

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年8月3日 (03.08.2006)

PCT

(10) 国際公開番号
WO 2006/080351 A1

(51) 国際特許分類:

H01L 25/065 (2006.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01)

(74) 代理人: 高松 猛, 外 (TAKAMATSU, Takeshi et al.);
〒1050003 東京都港区西新橋一丁目7番13号 栄光
特許事務所 Tokyo (JP).

(21) 国際出願番号:

PCT/JP2006/301144

(22) 国際出願日:

2006年1月25日 (25.01.2006)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2005-016818 2005年1月25日 (25.01.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 川端理仁 (KAWABATA, Masahito). 富士原 義人 (FUJIWARA, Yoshihito).

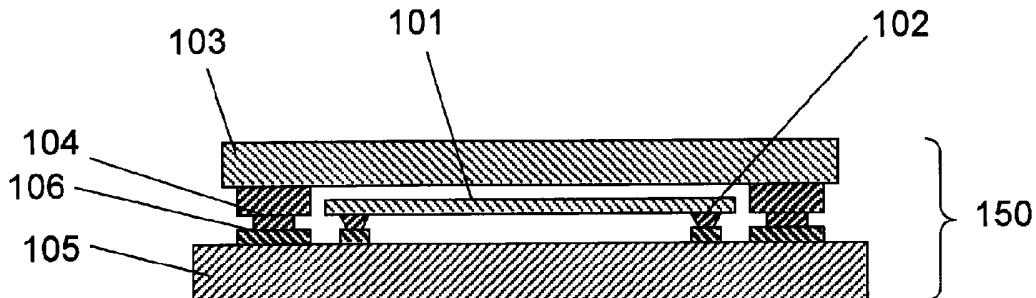
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: The thickness and occupied area are reduced compared with conventional methods when semiconductor chips are three-dimensionally arranged, low-cost mounting is realized without using any other components, and the manufacturing process of the semiconductor device is simplified. A flip-chip mounting structure in which a first semiconductor chip (101) thinned by back-grinding and a substrate (105) are directly connected to a wiring pattern (106) through bump electrodes (102) is fabricated. For example, an electrode (104) higher than the sum of the thickness of the first semiconductor chip (101) and the electrode (102) is formed on a second semiconductor chip (103) and connected directly to the wiring pattern (106) on the substrate (105), thus providing a most-compact, three-dimensional semiconductor mounted device.

(57) 要約: 本発明の課題は、複数の半導体チップを立体的に配置した場合に、従来手法に比べて厚みを抑え、専有面積を低減し、かつ、他の部品を用いずに低コストの実装を実現し、また、その半導体装置の製造工程の簡略化を図ることである。バックグラインドで薄型化されている第1の半導体チップ (101) と、基板 (105) を、バンプ電極 (102) を介して配線パターン (106) に直接に接続してフリップチップ実装構造を形成する。また、第2の半導体チップ (103) には、例えば、第1の半導体チップ (101) の厚みと電極 (102) の高さの和よりも高い電極 (104) を形成しておき、この電極 (104) を、基板 (105) 上の配線パターン (106) に直接に接続し、これによって、最もコンパクトで立体的な半導体実装装置を得る。

WO 2006/080351 A1



添付公開書類:

- 國際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体装置およびその製造方法

技術分野

[0001] 本発明は、複数の半導体チップが、共通の基板上において立体的にフリップチップ実装されてなる半導体装置およびその製造方法に関する。

背景技術

[0002] 半導体装置の高密度化、小型化を達成するため、半導体チップの基板への実装にフリップチップ実装が多く採用されている。フリップチップ実装は、パッケージ構造をもたない半導体ベアチップを、基板の配線パターン上にフェイスダウン状態で実装する実装方式である。

[0003] 従来、フリップチップ実装された一つの半導体チップの上に、別の半導体チップを積層する(あるいは、一つの半導体チップの上に、別の半導体チップを立体的に配置することにより、実装面積の低減を図ろうとする実装構造が提案されている(特許文献1~3)。

[0004] 特許文献1では、一つの半導体チップの上に他の半導体チップを積層し、その積層された上側の半導体チップと基板の配線パターンとの接続には、ワイヤボンディングが使用されている(特許文献1)。

[0005] また、特許文献2および特許文献3には、一つの半導体チップの上側に他の半導体チップを立体的に配置するために、基板上に専用の中継基板(中継部品)を配置し、この中継基板(中継部品)によって、その上側の半導体チップを支持する実装構造が開示されている。

特許文献1:特開平11-260851号公報

特許文献2:特開2002-170921号公報

特許文献3:特開2002-270760号公報

発明の開示

発明が解決しようとする課題

[0006] 特許文献1に記載の実装技術では、ワイヤボンディングの配線高さ、および、ワイヤ

部を封止する樹脂の厚みが生じて、半導体装置の厚みが厚くなる。また、ボンディングワイヤは横方向にも延びているため、各半導体チップを平面的に配置した場合と比較して、面積縮小効果が得られるとは限らない。

- [0007] また、特許文献2または特許文献3に記載の実装技術では、専用の中継基板(中継部品)がかなりの面積を占め、その分だけ半導体装置の占有面積が横方向に拡大することになり、この場合も、各半導体チップを平面的に配置した場合と比較して、面積縮小効果が得られるとは限らない。さらに、専用の中継基板(中継部品)の厚みの分だけ半導体装置の厚みも増すため、十分な体積縮小効果が生じるとは言えず、また、その中継基板(中継部品)を使用することによってコスト高になる場合がある。
- [0008] このように、従来の実装技術では、複数の半導体チップを積層実装(あるいは立体的に実装)したときに、各チップを平面的に配置した場合よりも、面積、体積の縮小効果の面、あるいは、コスト面で、不十分な点がある。
- [0009] 本発明は、前記実情に鑑みてなされたものであり、複数の半導体チップを立体的に配置した場合に、従来手法に比べて厚みを抑え、専有面積を低減し、かつ、他の部品を用いずに低成本の実装を実現し、また、その半導体装置の製造工程の簡略化を図ることを目的とする。

課題を解決するための手段

- [0010] 本発明の半導体装置は、主面上に、所定の配線パターンが形成された基板と、この基板の前記配線パターンに接続するための第1の電極を備え、この第1の電極が前記配線パターンの該当箇所に直接に接続されることによってフリップチップ実装された第1の半導体チップと、この第1の半導体チップよりも縦横の長さが共に大きく、前記配線パターンに接続するための第2の電極を備え、前記第2の電極が前記配線パターンの該当箇所に直接に接続されてフリップチップ実装されると共に、前記第2の電極の厚みおよび前記第2の電極に接続される前記配線パターンの該当箇所の厚みの総和は、前記第1の半導体チップの厚み、前記第1の電極の厚み、ならびに前記第1の電極に接続される前記所定箇所の配線パターンの厚みの総和を越えており、これによって前記第1の半導体チップの上に位置してなる第2の半導体チップと、を有する。

- [0011] チップサイズが異なる2つの半導体チップの双方を、特別の部品を使用することなく、共通の基板にフリップチップ実装したものである。チップサイズが小さい第1の半導体チップが、チップサイズが大きい第2の半導体チップと完全な重なりをもちつつ真正下に配置され、薄型の立体的なフリップチップ実装構造が実現される。下側に位置する第1の半導体チップの肉厚はバックグランド(背面研磨)によって薄型化が可能であり、また、第1の半導体チップの接続電極(第1の電極)は、金属メッキ等により形成される高さの低い(低背の)バンプ電極等とすることができます、これにより、第1の半導体チップの高さを低く抑えることができる。その一方、上側に位置する第2の半導体チップを支持する第2の電極として、例えば、ボンディングパッドに使用される肉厚(高背)の電極を使用することによって、かなりの高さを確保することができ、また、その高さが足りないときは、第2の電極の先端にメッキ等によって突起部(延長電極)を設けて高さ不足を補うこともできる(また、第2の電極が接続される、基板の表面の配線パターンの該当箇所に突起部を形成して、さらに高さを稼ぐことも可能である)。これによって、第2の電極の厚みおよび第2の電極に接続される配線パターンの該当箇所の厚みの総和が、第1の半導体チップの厚み、第1の電極の厚み、第1の電極に接続される所定箇所の配線パターンの厚みの総和を越えることが可能となり、これによって、同一平面に平置きするタイプの半導体実装と同じ電極材料と電極形成技術のみを使用して、第1の半導体チップの真上に、第2の半導体チップを位置させることができが可能となる。第1の半導体と第2の半導体が共通の基板の主面上において共にフリップチップ実装されているため、半導体装置の薄型化を図ることができる。また、同一平面に平置きするタイプの半導体実装と同じ電極材料、電極形成技術を利用して立体的なフリップチップ実装を実現するため、特別な部品が不要であり、同一基板面積での半導体装置の取り数を無理なく増やすことができ、したがって、半導体装置の低コスト化も可能となる。
- [0012] また、本発明の半導体装置は、前記第1の半導体チップの、前記第2の半導体チップ側の表面にシールド層が形成されているものを含む。
- [0013] シールド層によって、各半導体チップは互いに電磁ノイズの影響を受け難くなる。シールド層は第1の半導体チップの表面に設けられており、半導体装置の薄型化の妨

げにならない。

- [0014] また、本発明の半導体装置は、前記第1の半導体チップの前記第1の電極は、低背の金属電極であり、前記第2の半導体チップの前記第2の電極は、ボンディングパッドに使用される肉厚の金属層で構成される高背の電極であるものを含む。
- [0015] 第1の電極は、金属メッキ等により形成される高さの低い(低背)バンプ電極等とすることができ、これにより、第1の半導体チップの実装高さを低く抑えることができる。その一方、上側に位置する第2の半導体チップを支持する第2の電極として、ボンディングパッドに使用される肉厚(高背)の電極を使用することによって、かなりの高さを確保することができる。すなわち、同一平面に平置きするタイプの半導体実装と同じ電極材料、電極形成技術を活用して、無理なく、立体的なフリップチップ実装を実現することができる。
- [0016] また、本発明の半導体装置では、前記第2の半導体チップの前記第2の電極が接続される、前記配線パターンの該当箇所に、金属メッキによる突起状部分が形成されているものを含む。
- [0017] 第2の電極だけでは高さが不足する場合の対策として、第2の電極が接続される、基板の表面の配線パターンの該当箇所に突起部を形成して、高さを補充するものである。これにより、特別な部品を使用することなく、第2の半導体チップを第1の半導体チップ上に無理なく位置させ、立体的なフリップチップ構造を実現することができる。
- [0018] また、本発明の半導体装置は、第1の半導体チップが、第2の半導体チップに絶縁性樹脂を介して接着されているものを含む。
- [0019] 第1の半導体チップを、第2の半導体チップに絶縁性樹脂を介して接着した構造をもつものである。第1のチップと第2のチップは一体化されているため、その一体化された各チップを、基板に一括して実装することが可能となる。よって、半導体装置の製造工程の簡略化が可能である。また、薄くて応力に弱い第1の半導体チップを、所定厚みをもつ応力に比較的強い半導体チップに貼付けてから、一括してフリップチップすることにより、第1の半導体チップの実装上の制約がなくなり、汎用性の高い実装方法が利用可能となるという効果も得られる。

- [0020] また、本発明の半導体装置は、前記基板と前記第2の半導体チップとの間を熱硬化性絶縁樹脂によって封止するものを含む。
- [0021] 热処理による封止樹脂によって半導体装置は強固な構造となり、耐湿性や耐環境性が向上する。
- [0022] また、本発明の半導体装置は、前記基板と前記第2の半導体チップとの間を熱可塑性絶縁樹脂によって封止するものを含む。
- [0023] 半導体装置は封止樹脂により強固な構造となる。また、装置全体を加熱することによって、封止樹脂の接着力が弱まり、接着界面から剥離可能となり、リペア(半導体チップの実装し直し)も可能となる。
- [0024] また、本発明の半導体装置は、前記基板は、紫外線透過性の基材からなる基板、または、その一部に開口部を有する基板であり、かつ、前記第1の半導体チップの前記基板側の表面を覆わない形態で、紫外線硬化性絶縁樹脂による封止構造を形成するものを含む。
- [0025] 高周波モジュール用半導体装置や固体撮像素子等の光学モジュール用半導体装置では、第1の半導体チップの基板側の表面を開放すること(つまり、樹脂で覆わないこと)によって中空部を形成することによって、高周波回路の寄生容量を小さくして高周波特性を改善したり、あるいは、基板の裏面側から第1の半導体チップの裏面に形成された受光面に光を照射することが可能になるといったメリットがある。この点に着目し、本態様では、一部に開口が設けられた基板(一部が中空の基板)、あるいは、紫外線(つまり光)が透過可能な透明基板を使用すると共に、第1の半導体チップの裏面(基板側の表面)を避けて樹脂封止を行い、その一部が中空である樹脂封止体を形成するものである。封止材料として紫外線硬化性絶縁樹脂を使用する(および紫外線透過基板を使用する)理由は、樹脂封止工程において、基板側から、少なくとも中空部の周辺部分に紫外線を照射してその部分を光硬化させ、樹脂が中空部分に流出するのを防止するためである。
- [0026] また、本発明の半導体装置の他の態様では、前記基板は、紫外線透過性の基材からなる基板、または、その一部に開口部を有する基板であり、かつ、前記第1および第2の半導体チップの各々と前記基板の前記配線パターンの該当箇所との接続

部分の周囲においてのみ、紫外線硬化性絶縁樹脂による封止構造を形成する。

- [0027] 樹脂封止箇所を、第1および第2の半導体チップと基板との接続部の周辺に限定するものである。第1の半導体チップについては、中空部を設ける前掲の態様と同じ効果(つまり、樹脂の接触を避けることによる高周波回路の周波数特性の改善、基板側からの光入力を可能とする、基板側からの紫外線照射を可能とする)を得ることができる。また、第2の半導体チップの側面や裏面にも樹脂が接触しないため、第1の半導体チップだけでなく、第2の半導体チップについても、回路の周波数特性(高周波特性)が改善される。
- [0028] また、本発明の半導体装置の製造方法は、バックグラインド(背面研磨)によって厚みを薄くする加工がなされると共に、その主面上に所定の配線パターンが形成される前記基板を用意する工程と、前記第1の電極をもつ第1の半導体チップおよび前記第2の電極をもつ第2の半導体チップの各々を前記基板上にフリップチップ実装し、前記第2の半導体チップが前記第1の半導体チップ上に位置する、立体的なフリップチップ実装構造を形成する工程と、を含む。
- [0029] 下側に配置される第1の半導体チップを予め薄型化し、また、第1の電極の厚みを小さくして第1の半導体チップの位置を低く抑制する一方で、第2のチップに関しては、その反対に、第2の電極の厚みと配線パターン部分の厚みの総和を大きくし、これによって、第2の半導体チップを第1の半導体チップ上に、無理なくフリップチップ実装することができる。余分な部品を使用せず、通常の実装技術のみを使用するため、製造プロセスが複雑化しないという効果が得られる。
- [0030] また、本発明の半導体装置の製造方法は、上記工程に加えて、さらに、前記第1の半導体チップの、前記第2の半導体チップ側の表面にシールド層を形成する工程を、有するものを含む。
- [0031] 第1の半導体チップ上に予めシールド層(例えば、アルミニウム等の薄い金属層)を形成しておき、上記のとおり、第1および第2の半導体チップを立体的にフリップチップ実装することによって、各チップの耐電磁ノイズ性を、効率的に向上させることが可能となる。
- [0032] また、本発明の半導体装置の製造方法は、前記立体的なフリップチップ実装構造

を形成する工程は、前記第1の半導体チップを前記第2の半導体チップに接着して両チップを一体化し、その一体化した前記第1および第2の半導体チップを、前記基板に一括してフリップチップ実装する工程を含む。

- [0033] 第1および第2のチップを予め接着して一体化しておき、その一体化された両チップを一括してフリップチップ実装するものである。フリップチップ実装工程が1回で済むことから、製造プロセスの簡略化を図ることができる。
- [0034] また、本発明の半導体装置の製造方法は、さらに、前記第1の半導体チップがフリップチップ実装されるエリアにフィルムまたはペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、前記第2の半導体チップがフリップチップ実装されるエリアにフィルムまたはペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、を有する。
- [0035] この方法により、2つの半導体チップをフリップチップ実装すると同時に、樹脂封止も完了し、効率的に樹脂封止体を形成することができる。
- [0036] また、本発明の半導体装置の製造方法は、さらに、ペースト状の絶縁性樹脂を供給し封止する工程と、前記ペースト状の絶縁性樹脂を加熱処理し硬化させる工程と、を有するものを含む。
- [0037] これにより、強固な構造をもつ樹脂封止体を効率的に形成することができ、半導体装置の耐湿性や耐環境性が向上する。
- [0038] また、本発明の半導体装置の製造方法は、さらに、ペースト状の絶縁性樹脂を供給する工程と、この絶縁性樹脂が前記第1の半導体チップの前記基板との接続領域の内側に流れ込まないように、前記絶縁性樹脂の少なくとも一部に紫外線を照射して硬化させる工程と、前記絶縁性樹脂を加熱処理し硬化させる工程と、を含む。
- [0039] この方法により、第1の半導体チップは、接続電極の周囲のみが樹脂封止され、機能面(駆動面)は暴露された状態(すなわち、中空状態)であり、一方、第2の半導体チップは十分に樹脂封止されてなる半導体装置を効率的に形成することができる。樹脂封止の際、樹脂の光硬化を利用して、樹脂の中空部への流出を効果的に防ぐことができる。
- [0040] また、本発明の半導体装置の製造方法は、前記立体的なフリップチップ実装構造

を形成する工程は、前記第1の半導体チップの前記基板との接続部のみにペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、前記絶縁性樹脂の少なくとも一部に紫外線を照射し、前記絶縁性樹脂が前記第1の半導体チップの前記基板との接続部の内側に流れ込まないようにしつつ、前記第1の半導体チップを前記基板にフリップチップ実装する工程と、前記第2の半導体チップを前記基板にフリップチップ実装する工程と、ペースト状の絶縁性樹脂を供給し封止する工程と、前記ペースト状の絶縁性樹脂を加熱処理し硬化させる工程と、を含む。

- [0041] この方法により、2つの半導体チップがフリップチップ実装され、第1の半導体チップは中空状態で樹脂封止され、第2の半導体チップは十分に樹脂封止された、強固な樹脂封止構造をもつ半導体装置を、効率的に製造することができる。
- [0042] また、本発明の半導体装置の製造方法は、前記立体的なフリップチップ実装構造を形成する工程は、前記第1の半導体チップの前記基板との接続部のみにペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、前記絶縁性樹脂の一部に紫外線を照射し、前記絶縁性樹脂が前記第1の半導体チップの前記基板との接続部の内側に流れ込まないようにしつつ、前記第1の半導体チップを前記基板にフリップチップ実装する工程と、前記第2の半導体チップを前記基板にフリップチップ実装する工程と、前記絶縁性樹脂の未硬化の部分に紫外線を照射し、前記絶縁性樹脂が前記第2の半導体チップの基板との接続部の内側に流れ込まないようにしつつ、未硬化の前記絶縁性樹脂を硬化させる工程と、を含む。
- [0043] この方法により、樹脂の光硬化を利用して中空部への流出を防止しつつ、第1および第2の半導体チップの各々と基板との接続部(接続電極)の周囲のみを樹脂封止することができる。

発明の効果

- [0044] 本発明によれば、チップサイズが異なる2つの半導体チップの双方を、特別の部品を使用することなく、通常の実装技術を利用して、共通の基板の主面上にフリップチップ実装することができる。
- [0045] すなわち、第1の半導体チップの薄型化、電極の低背化によって第1の半導体チップの支持位置の高さを抑制し、その一方で、第2の半導体チップの電極を高背化し、

さらに、必要に応じて配線パターンの該当箇所にも突起部を形成して高さ不足を補う
という手法を採用することによって、特別な部品や技術を使用することなく、第2の半
導体チップを、第1の半導体チップの真上で支持することが可能となる。

- [0046] これにより、チップサイズが小さい第1の半導体チップが、チップサイズが大きい第2
の半導体チップと完全な重なりをもちつつ真下に配置される、最もコンパクトな構造
の立体的なフリップチップ実装構造が実現される。
- [0047] 第1の半導体と第2の半導体が共通の基板の主面上において共にフリップチップ実
装されているため、半導体装置の格段の薄型化を図ることができる。
- [0048] また、同一平面に平置きするタイプの半導体実装と同じ電極材料、電極形成技術
を利用して立体的なフリップチップ実装を実現するため、特別な部品が不要であり、
同一基板面積での半導体装置の取り数を無理なく増やすことができ、したがって、半
導体装置の低コスト化も可能となる。
- [0049] また、第1の半導体チップの上面に電磁シールド層を設けたり、第1および第2の半
導体チップを一体化しておき、その一体化したチップを一括してフェースダウン実装
することもでき、半導体装置の高性能化や製造コストの削減が可能である。
- [0050] また、各チップを一括してフェースダウンボンディングする手法を採用すると、薄くて
応力に弱い第1の半導体チップを、所定厚みをもち比較的応力に強い半導体チップ
に貼付けてから、一括でフリップチップすることができ、第1の半導体チップの実装上
の制約がなくなり、汎用性の高い実装方法が利用可能となるという効果も得られる。
- [0051] また、樹脂封止体を形成することによって、半導体装置の耐湿性ならびに耐環境性
を向上させることができる。樹脂封止体の態様としては、半導体装置の全体を封止す
る態様と、第1および第2の半導体チップの接続部周辺のみを封止する態様とがあり
、前者の態様では、第1および第2のチップを樹脂により保護できる。後者の態様で
は、第2の半導体チップに樹脂が接触しないようにすることができ、回路の高周波特
性の改善を図れる。
- [0052] また、高周波モジュール用半導体装置や固体撮像素子等の光学モジュール用半
導体装置では、第1の半導体チップの基板側の表面を開放すること(つまり、樹脂で
覆わないこと)によって中空部を形成することによって、高周波回路の寄生容量を小

さくして高周波特性を改善したり、あるいは、基板の裏面側から第1の半導体チップの裏面に形成された受光面に光を照射できるようにする必要があり、この点を考慮し、本発明では、樹脂封止体に中空部を設ける構造にも対応できるようにしている。すなわち、一部が中空の基板、あるいは、紫外線が透過可能な透明基板を使用すると共に、封止材料として紫外線硬化性絶縁樹脂を使用し、樹脂封止工程において、基板側から、少なくとも中空部の周辺部分に紫外線を照射してその部分を光硬化させ、樹脂が中空部分に流出するのを防止するという技術を使用することによって、高周波モジュール用半導体装置や固体撮像素子等の光学モジュールに適した、小型で薄型の半導体装置を実現することができる。

- [0053] また、樹脂の硬化に際し、紫外線硬化と熱硬化を併用することによって、封止体の封止特性をさらに改善することもできる。
- [0054] また、本発明によれば、2つの半導体チップを共通の基板上に効率的にフリップチップ実装することができ、また、必要に応じて樹脂封止体を形成してパッケージ化も可能であり、簡便化された製造プロセスにて、小型、薄型かつ信頼性の高い半導体装置を効率的に製造することが可能である。
- [0055] 本発明の半導体装置は、複数の半導体チップを同一基板面にフリップチップ実装し、低コストで高密度化、薄型化を実現しており、かつ、製造工程も簡便化されており、したがって、高集積化、薄型化、積層化が求められる半導体メモリやSIP (System in Package) 等の半導体パッケージとして利用可能である。
- [0056] また、樹脂封止体の一部に中空構造をもつ半導体装置は、高周波モジュール部品や固体撮像素子等の光学モジュール部品の用途に適している。
- [0057] 本発明によって、特別な部品や技術を使用しない、使い勝手のよい、立体的フリップチップ実装技術を確立することができる。

図面の簡単な説明

- [0058] [図1]本発明の半導体装置の基本的な構造を示す、半導体装置の断面図
- [図2]第1の半導体チップの上面に電磁シールド層を形成した構造をもつ半導体装置の断面図
- [図3]基板上の配線パターンの一部にメッキを施して高さを高くした構造をもつ半導

体装置の断面図

[図4]本発明の半導体装置の他の例(第1および第2の半導体チップを一体化した例)を示す、半導体装置の断面図

[図5]本発明の半導体装置の他の例(全体を樹脂封止した例)を示す、半導体装置の断面図

[図6](a), (b)は、中空の樹脂封止体をもつ半導体装置の構造例を示す半導体装置の断面図であり、(a)は、開口部を有する基板を用いた半導体装置の断面図であり、(b)は、紫外線透過基板を使用した半導体装置の断面図

[図7](a), (b)は、中空部をもち、かつ各半導体チップの電極回りのみを樹脂封止した構造をもつ半導体装置の断面図であり、(a)は、開口部を有する基板を用いた半導体装置の断面図、(b)は、紫外線透過基板を使用した半導体装置の断面図

[図8](a)～(c)は、図1の本発明の半導体装置の製造方法を示す、主要な工程におけるデバイスの断面図

[図9](a)～(d)は、図2に示される半導体装置(シールド層が設けられた構造をもつ半導体装置)の製造方法を説明するための、主要な工程における半導体装置の断面図

[図10](a)～(e)は、図4の半導体装置の製造方法を示す、主要な工程における半導体装置の断面図

[図11](a)～(f)は、図5の半導体装置の製造方法を示す、主要な工程における半導体装置の断面図

[図12](a)～(f)は、図6(a)に示される半導体装置の製造方法を説明するための、主要な工程における半導体装置の断面図

[図13](a)～(f)は、図7(a)に示される半導体装置の製造方法を説明するための、主要な工程における半導体装置の断面図

符号の説明

- [0059] 101 バックグラインドによる薄型化加工がなされた第1の半導体チップ
- 102 フェースダウン実装用の低背の第1の電極(バンプ電極等)
- 103 第2の半導体チップ

104 フェースダウン実装用の高背の第2の電極(例えば、ボンディングパッド用金属層とメッキ層を組み合わせて所定高さを確保した電極)

105 基板(実装基板)

106 基板上の配線パターン(端子電極)

107 金属からなる電磁シールド層

108 配線パターン上のメッキ層(第2電極の高さ不足を補うための金属層)

109(1), 109(2), 109 封止樹脂

110 接着剤

150, 152, 154, 156, 158, 160, 162 164, 166 本発明の、立体的なフリップチップ構造をもつ半導体装置(SiP等)

205 開口部をもつ実装基板

208 紫外線透過性の実装基板

209(1), 209(2) 封止樹脂(熱硬化性と紫外線硬化性を併せ持つ樹脂)

A 中空部(封止樹脂が設けられない部分)

発明を実施するための最良の形態

[0060] 以下、本発明の実施の形態について、図面を参照して説明する。

(実施の形態1)

[0061] 図1は、本発明の半導体装置の基本的な構造を示す、半導体装置の断面図である。

。

[0062] 図示されるように、半導体装置150は、2つの半導体チップ101, 103を立体的にフリップチップ実装して構成される。

[0063] すなわち、第1の半導体チップ(下側の半導体チップ)101には、金属メッキ等により形成されるバンプ電極(低背の電極:以下、第1の電極という)102が形成されており、この第1の電極102は、基板105上に形成された所定の配線パターン106に直接に接続されている。つまり、第1の半導体装置は基板105の主面上にてフリップチップ実装されている。

[0064] 同様に、第2の半導体チップ103には高背の電極104(以下、第2の電極という)が形成されており、この第2の電極104が、基板105上に形成された所定の配線パター

ン106に直接に接続されている。つまり、第2の半導体チップ103も、第1の半導体チップ101と同様に、基板105の主面上にてフリップチップ実装されている。

- [0065] この立体的なフリップチップ構造には、特別な部品は一切、使用されていない。
- [0066] ここで、第1の半導体チップ101は、シリコン(Si)などの薄型化可能な材質のチップであり、予め、50～80 μm 程度にバックグラインド(背面研磨)されている。
- [0067] また、第1の電極102は、Ni、Au、Cuなどの金属材料からなり、高さが5～10 μm であり、その高さが低く抑えられている。
- [0068] 一方、第2の半導体チップ103は、Si、SiC、GaAsなどフリップチップ実装可能な材質のチップであり、厚みは、100～600 μm 程度である。なお、半導体装置のさらなる薄型化のために、この第2の半導体チップ103についても、バックグラインド加工を施すこともできる。
- [0069] 第2の電極104は、Ni、Au、Cuなどの金属材料からなり、高さが90～120 μm である。図1の場合、この第2の電極104の先端は突起状となっており(例えば、2つの電極層を積層することによって、このような先端が突起状の電極を形成することができる)、高さを確保している。
- [0070] 第2の半導体チップ103を支持する第2の電極104としては、例えば、ボンディングパッドに使用される肉厚(高背)の電極を使用することができる。これによって、かなりの高さを確保することができる。すなわち、同一平面に平置きするタイプの半導体実装と同じ電極材料、電極形成技術を活用して、無理なく、立体的なフリップチップ実装を実現することができる。
- [0071] 上記のとおり、第1の半導体チップ101の厚みは50～80 μm 程度であり、第1の電極102の高さが5～10 μm であるため、第1の半導体チップ101の上面の位置は、基板105の主面から最大で90 μm 程度である。一方、第2の電極104の高さは、上記のとおり90～120 μm であるため、第2の半導体チップ103を、第1の半導体チップ101の真上にて保持することが可能である。
- [0072] また、基板(実装基板)105は、有機材料(エポキシ、ポリイミドなど)または無機材料(ガラス、セラミックなど)からなる。配線パターン(端子電極)106は、メッキ法による配線形成の場合、圧延または電解Cu箔をベースにNiとAuを表面にメッキ(電解または

無電解)されて形成され、総配線高さは、30～50 μm であり、半導体チップ101、103を実装する電極部の平坦度は、 $\pm 2 \mu\text{m}$ 以下である。また、配線パターンは、ディスペンス法によって形成することもできる。ディスペンス法による配線パターンの形成の場合、Ag、Au、Pdなどのナノペーストを塗布し、厚み10～20 μm に焼成する。

- [0073] 図1に示される基本実装構造は、図2、図3に示されるように、種々、変形、応用が可能である。
- [0074] 図2は、第1の半導体チップの上面に電磁シールド層を形成した構造をもつ半導体装置の断面図である。
- [0075] 図示されるように、半導体チップの上面には、シールド材107として、Al、Ag、Au、Cuなどの薄箔材または(ナノ)ペースト層を厚さ5～10 μm で設けている。これにより、第1および第2の半導体チップ101、103の電磁ノイズ耐性が向上する。また、シールド材107は極薄であるため、第2の半導体チップ103を立体的に配置することの妨げにならない。
- [0076] 図3は、基板上の配線パターンの一部にメッキを施して高さを高くした構造をもつ半導体装置の断面図である。
- [0077] 第2の電極104の高背化だけでは十分な高さを確保できない場合には、基板105上の配線パターンの一部にメッキを施して、そのメッキ部分にて高さ不足を補うことが可能である。
- [0078] 図3に示されるように、第2の電極104に接続される配線パターン106にのみ、局部メッキ(例えばCuメッキ)を行い、メッキ層108の厚みを30～50 μm 程度とする。これにより、そのメッキ層108の厚みの分だけ、第2の半導体チップ103を高い位置に支持することが可能となる。したがって、第2の電極104だけでは高さが不足する場合でも、その高さ不足を効果的に補い、立体的なフリップチップ実装が可能となる。
- [0079] なお、ディスペンス法によって配線パターン106が形成される場合には、高さを補うための電極部分108も同じくディスペンス法によって形成される。その厚みは、30～50 μm 程度である。
- [0080] 次に、図1(乃至図3)の半導体装置の製造方法を説明する。
- [0081] 図8(a)～(c)は、図1の本発明の半導体装置の製造方法を示す、主要な工程にお

けるデバイスの断面図である。

- [0082] 図8(a)に示すように、基板105上に配線パターン106を形成する(金属の蒸着ならびにパターニング)。このとき、必要に応じて、配線パターン106上に、局所的なメッキやディスペンスによる端子電極108(図3)を形成する。
- [0083] 次に、図8(b)に示すように、第1の電極102が形成され、かつ、 $50 \mu\text{m}$ の厚みまでバックグラインドした第1の半導体チップ101を、基板105上に、応力歪みの小さい低温、低荷重法によりフリップチップ実装する(例えば、常温低荷重超音波接合や、電極表面プラズマ処理後の真空常温接合など)。
- [0084] そして、図8(c)に示すように、第2の電極104が形成された第2の半導体チップ103を超音波接合や金属接合法により、基板105上に、フリップチップ実装する。
- [0085] 図9(a)～(d)は、図2に示される半導体装置(シールド層が設けられた構造をもつ半導体装置)の製造方法を説明するための、主要な工程における半導体装置の断面図である。
- [0086] 図9(a), (b), (d)は、それぞれ、図8(a), (b), (c)に対応している。図9に示される製造方法の特徴的な工程は、図9(c)の工程である。つまり、図9(c)の工程では、フリップチップ実装された第1の半導体チップ101上に、電磁シールド層107を形成している。
- [0087] なお、本発明には種々のバリエーションが考えられ、例えば、第2の半導体チップ101も薄くバックグラインドして半導体装置の薄型化を促進することができる。また、第3の半導体チップを同一基板面へフリップチップ実装して実装密度をさらに高めることもできる。また、第2の半導体チップの下面に、複数の半導体チップや面実装部品を配置して、高密度実装を実現することも可能である。
(実施の形態2)
- [0088] 図4は、本発明の半導体装置の他の例(第1および第2の半導体チップを一体化した例)を示す、半導体装置の断面図である。図4において、前掲の図面と共に通する部分には同じ参照符号を付してあり、共通する部分の説明は省略する。この点は、以下の図面でも同様である。
- [0089] 前掲の実施形態では、2つの半導体チップを別々にフリップチップ実装したが、本

実施の形態では、まず、2つの半導体チップ(101, 103)を接着し、次に、一体化された半導体チップを一括して基板105上にフリップチップ実装する。

- [0090] すなわち、前掲の実施形態では、第1の半導体チップ101と第2の半導体チップ103は、接触または密着が無い状態であったが、本実施の形態では、第1の半導体チップ101の上面と、第2の半導体チップ103の下面が接着剤110で固定されている。
- [0091] この接着剤107は、高耐熱(ガラス転移温度が120～180°C)のエポキシ樹脂、ポリイミド樹脂、アクリル樹脂、シリコーン樹脂等であり、ハロゲン、有機リン酸等腐食誘発成分フリーであることが望ましい。また、接着剤107の硬化温度は、100～200°Cである。
- [0092] 次に、この半導体装置の製造方法について説明する。
- [0093] 図10は、図4の半導体装置の製造方法を示す、主要な工程における半導体装置の断面図である。
- [0094] まず、図10(a)に示すように、第2の半導体チップ103を用意する。
- [0095] 次に、図10(b)に示すように、第2の半導体チップ103上の電極形成領域に被らないように接着剤110を供給する。
- [0096] 次に、図10(c)に示すように、第1の半導体チップ101を第2の半導体チップ103上に接着(ダイボンディング)する。第1の半導体チップ101には、第1の電極(バンプ電極)102が形成されており、また、第1の半導体チップの肉厚は50 μmまでバックグラウンドされている。
- [0097] そして、図10(d)に示すように、第2の半導体チップに第2の電極(高背の電極)104を形成する。この時、第1の電極102と第2の電極104の、第2の半導体チップ103の裏面からの高さのばらつきが±2 μm以下であることが望ましい。なおここで、電極高さばらつきを小さくするレベリング工程を付加してもよい。
- [0098] 最後に、図10(e)に示すように、配線パターン(端子電極)106が形成されている基板105上へ、一体化された半導体チップ101および103を一括して、超音波接合や金属・BR>レ合法によりフリップチップ実装する。
- [0099] このように、応力に弱い薄い第1の半導体チップ101を、比較的応力に強い厚い半導体チップ103に貼付けてから、一括でフリップチップすることにより、第1の半導体

チップの実装上の制約がなくなり、汎用性の高い実装方法が利用可能となる。

- [0100] なお、先の説明では、各半導体チップ(101, 103)の第1および第2の電極(102, 104)の形成を別々に行っているが、最初に各チップ(101, 103)をダイボンディングしてから、メッキマスクを利用して、両チップ(101, 103)について、一括でメッキ電極(102, 104)を形成してもよい。これにより電極高さのばらつきを小さくすることができる。

(実施の形態3)

- [0101] 図5は、本発明の半導体装置の他の例(全体を樹脂封止した例)を示す、半導体装置の断面図である。

- [0102] 本実施形態では、ベアチップ(101, 103)に樹脂封止を行い、パッケージ構造を形成することによって、耐水性や耐環境性を向上させる。図5に示されるように、本実施形態の半導体装置158には、全体を封止する樹脂封止体109が設けられている(他の構造は、図1と同じである)。

- [0103] 封止樹脂109は、高耐熱(ガラス転移温度が120～180°C)のエポキシ樹脂、ポリイミド樹脂、アクリル樹脂、シリコーン樹脂等からなり、ハロゲン、有機リン酸等腐食誘発成分フリーであることが望ましい。また、封止樹脂109の硬化温度は、100～200°Cである。

- [0104] 次に、この半導体装置の製造方法について説明する。

- [0105] 図11(a)～(f)は、図5の半導体装置の製造方法を示す、主要な工程におけるデバイスの断面図である。

- [0106] まず、図11(a)に示すように、基板105上に配線パターン(端子電極)106を形成する。

- [0107] 次に、図11(b)に示すように、基板105の、第1の半導体チップ101の実装領域に、フリップチップ実装を妨げない絶縁性接着フィルム(NCF)109(1)を供給する。なお、参照符号109(1)の(1)は、最初に部分的に供給される樹脂であることを示している。

- [0108] なお、絶縁性接着フィルム109(1)は、異方性導電性フィルム(ACF)やペースタップ(NCPやACP)であってもよい。

- [0109] 次に、図11(c)に示すように、第1の電極102が形成されている第1の半導体チップ101を、基板105上にフリップチップ実装する。この実装は、熱圧着法であり、150～220°Cで、5～20秒間加熱、圧着する。
- [0110] そして、図11(d)に示すように、第2の半導体チップ103を実装するエリアに同様の絶縁性接着フィルム109(2)を供給する。
- [0111] 最後に、図11(e)に示すように、第2の電極104が形成されている第2の半導体チップ103を、同じく熱圧着方式で、基板105上にフリップチップ実装する。
- [0112] このようにして、図11(f)に示されるような、全体が樹脂封止された半導体装置が形成される。
- [0113] なお、図11(e), (f)において、樹脂封止体の全体には、109という参照符号を付している(つまり、109(1)と109(2)を合わせたものが109である)。
- [0114] なお、上記の方法では、先に基板側に封止樹脂を供給して、熱圧着方式でフリップチップ実装したが、第1の実施の形態や第2の実施の形態でフリップチップ実装したものに対して、側面からキャピラリフロー現象を利用して、アンダーフィル封止樹脂ペーストを流し込んでもよい。
- [0115] なお、封止樹脂ペーストは、粘度が1～30Pa·sであることが望ましい。また、高信頼性にするため、サブ μ m～10 μ mのシリカ粉体を20～50wt%含有していることが望ましい。この場合、一括した樹脂封止が可能であり、熱圧着方法よりも工程が簡略化される利点がある。
- (実施の形態4)
- [0116] 本実施形態では、樹脂封止の一部に中空部を設けた構造を採用し、実装基板105側から光の照射も可能とする。
- [0117] すなわち、高周波モジュール用半導体装置や固体撮像素子等の光学モジュール用半導体装置では、第1の半導体チップ101の基板105側の表面を開放すること(つまり、樹脂で覆わないこと)によって中空部を形成することによって、高周波回路の寄生容量を小さくして高周波特性を改善したり、あるいは、基板の裏面側から第1の半導体チップの裏面に形成された受光面に光を照射できるようにする必要があり、この点を考慮し、本実施形態では、樹脂封止体に中空部を設ける構造を採用したもの

である。

- [0118] 図6(a), (b)は、中空の樹脂封止体をもつ半導体装置の構造例を示す半導体装置の断面図であり、(a)は、開口部を有する基板を用いた例を示し、(b)は、紫外線透過基板を使用した例を示す。
- [0119] 図6(a), (b)に示されるように、実施形態の半導体装置(160, 162)には、樹脂封止体109の一部に、中空部(A)が形成されている。これにより、第1の半導体チップ101の機能面(駆動面)が露出しており、開口部をもつ基板205(あるいは、紫外線透過基板208)から光照射が可能である。
- [0120] 但し、中空部をもつ樹脂封止体を形成するときは、樹脂封止材料が、中空にしたいエリア(中空部A)へ流出し易いという問題が生じる。
- [0121] そこで、本発明では、このような中空実装の樹脂封止エリアの精度を向上するためには、紫外線硬化性を付与した、封止樹脂109を用いる。すなわち、その封止樹脂成分には、熱硬化型の樹脂に、さらに紫外線硬化性を付加するためにカチオン重合系の硬化樹脂触媒を添加しておく。
- [0122] そして、第1の半導体101の実装に際し、開口部をもつ基板205や紫外線透過基板208の下面側から紫外線を照射し、この紫外線照射の下でフリップチップ実装を実施する。この紫外線照射によって、封止樹脂109の中空部の周辺が光硬化し、この部分がダムの働きをして余分な樹脂の流出が、効果的に防止される。
- [0123] すなわち、一部が中空の基板、あるいは、紫外線が透過可能な透明基板を使用すると共に、封止材料として紫外線硬化性絶縁樹脂を使用し、樹脂封止工程において、基板側から、少なくとも中空部の周辺部分に紫外線を照射してその部分を光硬化させ、樹脂が中空部分に流出するのを防止するという技術を適宜、使用することによって、高周波モジュール用半導体装置や固体撮像素子等の光学モジュールに適した、小型で薄型の半導体装置を実現することが可能である。
- [0124] 次に、図6(a)に示される半導体装置の製造方法について説明する。
- [0125] 図12(a)～(f)は、図6(a)に示される半導体装置の製造方法を説明するための、主要な工程における半導体装置の断面図である。
- [0126] まず、図12(a)に示すように、開口部Aが設けられた基板205上に所定の配線パタ

ーン106を形成する。

- [0127] 次に、図12(b)に示すように、基板205上の第1の半導体チップ101の接続電極部周辺に紫外線硬化性付与の樹脂209(1)を供給する。
- [0128] 次に、図12(c)に示すように、電極102が形成された第1の半導体チップ101を基板205にアライメント(位置決め)してフェースダウンボンディングする。この時、樹脂209(1)が基板205の開口部Aから流れ出すことを防ぐため、高压水銀ランプ、メタルハライドランプ、ガリウムランプなどの主波長を持った紫外線を、基板205の開口部Aから照射する。
- [0129] これにより、紫外線が当たった部分の樹脂が硬化し、樹脂の開口部Aへの流出が防止される。これにより、第1の半導体チップ101は、中空で封止した状態でフリップチップ実装されることになる。
- [0130] 以下、図12(d), (e)の工程を経て、図12(f)に示すような中空構造をもつ樹脂封止パッケージを備えた半導体装置160が完成する。図12(d), (e)の工程(第2の半導体チップ103の実装工程)は、図11(d), (e)と同様であるため、省略する。
- [0131] 図6(b)に示される紫外線透過基板(208)を用いて中空構造をもつ樹脂封止パッケージを形成場合も、同様の工程を経て形成することができる。ただし、この場合には、紫外線を中空にしたいエリアのみに当たるように、遮光マスクを基板208の下面に当接させた状態で、紫外線照射を実施する。
(実施の形態5)
- [0132] 本実施形態では、第1の半導体チップに関しては中空の樹脂封止とし(この点は実施の形態4と同じ)、さらに、第2の半導体チップについても電極回りのみを樹脂封止する構成とする。
- [0133] 図7(a), (b)は、中空部をもち、かつ各半導体チップの電極回りのみを樹脂封止した構造をもつ半導体装置の断面図であり、(a)は、開口部を有する基板を用いた例を示し、(b)は、紫外線透過基板を使用した例を示す。
- [0134] 実施の形態4では、2つの半導体チップのうち、第1の半導体チップ101については、中空実装状態で樹脂封止を行い、第2の半導体チップ103については、チップ下面全面を樹脂封止したが、本実施形態では、第2の半導体チップ103についても

、中空実装状態で樹脂封止を行っている(つまり、部分的な樹脂封止を実施する)。

- [0135] 2つの半導体チップ101、103の接続電極の周辺を封止する樹脂(図7(a), (b)における参照符号209(1), 209(2))としては、上記の紫外線硬化性付与封止樹脂を使用することができる。
- [0136] 次に、この半導体装置の製造方法について説明する。
- [0137] まず、図13(a)～(f)は、図7(a)に示される半導体装置の製造方法を説明するための、主要な工程における半導体装置の断面図である。
- [0138] 図13(a)～図13(c)までは、図12(a)～(c)と同様である。すなわち、開口部Aを有する基板205上に配線パターン106を形成し、部分的に封止樹脂209(1)を供給し、続いて、第1の半導体チップ101のフリップチップ実装を実施する。
- [0139] 続いて、図13(d)に示すように、第2の半導体チップ103の電極接続部のみ封止樹脂209(2)を供給する。
- [0140] そして、図13(e)に示すように、第2の半導体チップ103をフリップチップ実装する。このときに、基板205側から、ならびに、半導体装置の側面から紫外線を照射する。これにより、樹脂209(1), 209(2)は共に硬化し、第1および第2の半導体チップ(101, 103)のいずれに関しても中空実装が実現される。
- [0141] なお、図7(b)の紫外線透過性基板208を使用するデバイスも、同様の製造工程を経て、形成することが可能である。但し、紫外線照射は、紫外線透過性基板208の下面に遮光マスクを当接させた状態で行う。
- [0142] このように、熱硬化性と光硬化性を併せ持つ樹脂を用い、紫外線照射による中空部回りの樹脂の局所的な硬化によって、中空部への樹脂流出を防止することができ、電極周辺のみをスポット的に樹脂封止する形態も容易に実現することが可能となる。
- [0143] 以上説明したように、本発明によれば、チップサイズが異なる2つの半導体チップの双方を、特別の部品を使用することなく、通常の実装技術を利用して、共通の基板の主面上にフリップチップ実装することができる。
- [0144] すなわち、第1の半導体チップの薄型化、電極の低背化によって第1の半導体チップの支持位置の高さを抑制し、その一方で、第2の半導体チップの電極を高背化し、さらに、必要に応じて配線パターンの該当箇所にも突起部を形成して高さ不足を補う

という手法を採用することによって、特別な部品や技術を使用することなく、第2の半導体チップを、第1の半導体チップの真上で支持することが可能となる。

- [0145] これにより、チップサイズが小さい第1の半導体チップが、チップサイズが大きい第2の半導体チップと完全な重なりをもちつつ真下に配置される、最もコンパクトな構造の立体的なフリップチップ実装構造が実現される。
- [0146] 第1の半導体と第2の半導体が共通の基板の主面上において共にフリップチップ実装されているため、半導体装置の格段の薄型化を図ることができる。
- [0147] また、同一平面に平置きするタイプの半導体実装と同じ電極材料、電極形成技術を利用して立体的なフリップチップ実装を実現するため、特別な部品が不要であり、同一基板面積での半導体装置の取り数を無理なく増やすことができ、したがって、半導体装置の低コスト化も可能となる。
- [0148] また、第1の半導体チップの上面に電磁シールド層を設けたり、第1および第2の半導体チップを一体化しておき、その一体化したチップを一括してフェースダウン実装することもでき、半導体装置の高性能化や製造コストの削減が可能である。
- [0149] また、各チップを一括してフェースダウンボンディングする手法を採用すると、薄くて応力に弱い第1の半導体チップを、所定厚みをもち比較的応力に強い半導体チップに貼付けてから、一括でフリップチップすることができ、第1の半導体チップの実装上の制約がなくなり、汎用性の高い実装方法が利用可能となるという効果も得られる。
- [0150] また、樹脂封止体を形成することによって、半導体装置の耐湿性ならびに耐環境性を向上させることができる。樹脂封止体の態様としては、半導体装置の全体を封止する態様と、第1および第2の半導体チップの接続部周辺のみを封止する態様とがあり、前者の態様では、第1および第2のチップを樹脂により保護できる。後者の態様では、第2の半導体チップに樹脂が接触しないようにすることができ、回路の高周波特性の改善を図れる。
- [0151] また、高周波モジュール用半導体装置や固体撮像素子等の光学モジュール用半導体装置では、第1の半導体チップの基板側の表面を開放すること(つまり、樹脂で覆わないこと)によって中空部を形成することによって、高周波回路の寄生容量を小さくして高周波特性を改善したり、あるいは、基板の裏面側から第1の半導体チップ

の裏面に形成された受光面に光を照射できるようにする必要があり、この点を考慮し、本発明では、樹脂封止体に中空部を設ける構造にも対応できるようにしている。すなわち、一部が中空の基板、あるいは、紫外線が透過可能な透明基板を使用すると共に、封止材料として紫外線硬化性絶縁樹脂を使用し、樹脂封止工程において、基板側から、少なくとも中空部の周辺部分に紫外線を照射してその部分を光硬化させ、樹脂が中空部分に流出するのを防止するという技術を使用することによって、高周波モジュール用半導体装置や固体撮像素子等の光学モジュールに適した、小型で薄型の半導体装置を実現することができる。

- [0152] また、樹脂の硬化に際し、紫外線硬化と熱硬化を併用することによって、封止体の封止特性をさらに改善することもできる。
- [0153] また、本発明によれば、2つの半導体チップを共通の基板上に効率的にフリップチップ実装することができ、また、必要に応じて樹脂封止体を形成してパッケージ化也可能であり、簡便化された製造プロセスにて、小型、薄型かつ信頼性の高い半導体装置を効率的に製造することが可能である。
- [0154] 本発明の半導体装置は、複数の半導体チップを同一基板面にフリップチップ実装し、低コストで高密度化、薄型化を実現しており、かつ、製造工程も簡便化されており、したがって、高集積化、薄型化、積層化が求められる半導体メモリーやSIP (System in Package) 等の半導体パッケージとして利用可能である。
- [0155] また、樹脂封止体の一部に中空構造をもつ半導体装置は、高周波モジュール部品や固体撮像素子等の光学モジュール部品の用途に適している。
- [0156] 本発明によって、特別な部品や技術を使用しない、使い勝手のよい、立体的フリップチップ実装技術を確立することができる。
- [0157] 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。本出願は、2005年1月25日出願の日本特許出願、出願番号2005-016818に基づくものであり、その内容はここに参考として取り込まれる。

産業上の利用可能性

- [0158] 本発明は、複数の半導体チップを同一基板面にフリップチップ実装し、低コストで

高密度かつ薄型の半導体装置を実現することができるという効果を奏し、したがって、半導体メモリや

SIP(System in Package)用の半導体装置として利用可能であり、また、樹脂封止体の一部に中空構造をもつ半導体装置は、高周波モジュール部品や固体撮像素子等の光学モジュール部品用の半導体装置として利用可能である。

請求の範囲

- [1] 主面上に、所定の配線パターンが形成された基板と、
前記基板の前記配線パターンに接続するための第1の電極を備え、この第1の電
極が前記配線パターンの該当箇所に直接に接続されることによってフリップチップ実
装された第1の半導体チップと、
前記第1の半導体チップよりも縦横の長さが共に大きく、前記配線パターンに接続
するための第2の電極を備え、前記第2の電極が前記配線パターンの該当箇所に直
接に接続されてフリップチップ実装されると共に、前記第2の電極の厚みおよび前記
第2の電極に接続される前記配線パターンの該当箇所の厚みの総和は、前記第1の
半導体チップの厚み、前記第1の電極の厚み、ならびに前記第1の電極に接続され
る前記所定箇所の配線パターンの厚みの総和を越えており、前記第1の半導体チッ
プの上に位置してなる第2の半導体チップと、
を有する半導体装置。
- [2] 請求項1記載の半導体装置であって、
前記第1の半導体チップの、前記第2の半導体チップ側の表面にシールド層が形
成されている半導体装置。
- [3] 請求項1記載の半導体装置であって、
前記第1の半導体チップの前記第1の電極は、低背の金属電極であり、前記第2の
半導体チップの前記第2の電極は、ボンディングパッドに使用される肉厚の金属層で
構成される高背の電極である半導体装置。
- [4] 請求項1乃至請求項3のいずれかに記載の半導体装置であって、
前記第2の半導体チップの前記第2の電極が接続される、前記配線パターンの該
当箇所に、金属メッキによる突起状部分が形成されている半導体装置。
- [5] 請求項1乃至請求項4記載のいずれかに記載の半導体装置であって、
第1の半導体チップが、第2の半導体チップに絶縁性樹脂を介して接着されている
半導体装置。
- [6] 請求項1乃至請求項5のいずれかに記載の半導体装置であって、
前記基板と前記第2の半導体チップとの間を熱硬化性絶縁樹脂によって封止した

半導体装置。

- [7] 請求項1乃至請求項5のいずれかに記載の半導体装置であって、
前記基板と前記第2の半導体チップとの間を熱可塑性絶縁樹脂によって封止した
半導体装置。
- [8] 請求項1乃至請求項5のいずれかに記載の半導体装置であって、
前記基板は、紫外線透過性の基材からなる基板、または、その一部に開口部を有する基板であり、かつ、前記第1の半導体チップの前記基板側の表面を覆わない形態で、紫外線硬化性絶縁樹脂による封止構造を形成した半導体装置。
- [9] 請求項1乃至請求項5のいずれかに記載の半導体装置であって、
前記基板は、紫外線透過性の基材からなる基板、または、その一部に開口部を有する基板であり、かつ、前記第1および第2の半導体チップの各々と前記基板の前記配線パターンの該当箇所との接続部分の周囲においてのみ、紫外線硬化性絶縁樹脂による封止構造を形成したことを特徴とする半導体装置。
- [10] 請求項1、請求項3または請求項4のいずれかに記載の半導体装置の製造方法であって、
バックグラインド(背面研磨)によって厚みを薄くする加工がなされると共に、その主面上に所定の配線パターンが形成される前記基板を用意する工程と、
前記第1の電極をもつ第1の半導体チップおよび前記第2の電極をもつ第2の半導体チップの各々を前記基板上にフリップチップ実装し、前記第2の半導体チップが前記第1の半導体チップ上に位置する、立体的なフリップチップ実装構造を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
- [11] 請求項2記載の半導体装置の製造方法であって、
請求項10記載の工程に加えて、さらに、前記第1の半導体チップの、前記第2の半導体チップ側の表面にシールド層を形成する工程を、有することを特徴とする半導体装置の製造方法。
- [12] 請求項5記載の半導体装置の製造方法であって、
請求項10記載の、前記立体的なフリップチップ実装構造を形成する工程は、前記

第1の半導体チップを前記第2の半導体チップに接着して両チップを一体化し、その一体化した前記第1および第2の半導体チップを、前記基板に一括してフリップチップ実装する工程を含むことを特徴とする半導体装置の製造方法。

- [13] 請求項6または7記載の半導体装置の製造方法であって、
請求項10記載の工程に加えて、さらに、
前記第1の半導体チップがフリップチップ実装されるエリアにフィルムまたはペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、
前記第2の半導体チップがフリップチップ実装されるエリアにフィルムまたはペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、
を有することを特徴とする半導体装置の製造方法。
- [14] 請求項6または7記載の半導体装置の製造方法であって、
請求項10記載の工程に加えて、さらに、ペースト状の絶縁性樹脂を供給し封止する工程と、
前記ペースト状の絶縁性樹脂を加熱処理し硬化させる工程と、
を有することを特徴とする半導体装置の製造方法。
- [15] 請求項8記載の半導体装置の製造方法であって、
請求項10記載の工程に加えて、さらに、
ペースト状の絶縁性樹脂を供給する工程と、
この絶縁性樹脂が前記第1の半導体チップの前記基板との接続領域の内側に流れ込まないように、前記絶縁性樹脂の少なくとも一部に紫外線を照射して硬化させる工程と、
前記絶縁性樹脂を加熱処理し硬化させる工程と、
を含むことを特徴とする半導体装置の製造方法。
- [16] 請求項8記載の半導体装置の製造方法であって、
請求項10記載の、前記立体的なフリップチップ実装構造を形成する工程は、
前記第1の半導体チップの前記基板との接続部のみにペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、
前記絶縁性樹脂の少なくとも一部に紫外線を照射し、前記絶縁性樹脂が前記第1

の半導体チップの前記基板との接続部の内側に流れ込ないようにしつつ、前記第1の半導体チップを前記基板にフリップチップ実装する工程と、
前記第2の半導体チップを前記基板にフリップチップ実装する工程と、
ペースト状の絶縁性樹脂を供給し封止する工程と、
前記ペースト状の絶縁性樹脂を加熱処理し硬化させる工程と、
を含むことを特徴とする半導体装置の製造方法。

- [17] 請求項9記載の半導体装置の製造方法であって、
請求項10記載の、前記立体的なフリップチップ実装構造を形成する工程は、
前記第1の半導体チップの前記基板との接続部のみにペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、
前記絶縁性樹脂の一部に紫外線を照射し、前記絶縁性樹脂が前記第1の半導体チップの前記基板との接続部の内側に流れ込ないようにしつつ、前記第1の半導体チップを前記基板にフリップチップ実装する工程と、
前記第2の半導体チップを前記基板にフリップチップ実装する工程と、
前記絶縁性樹脂の未硬化の部分に紫外線を照射し、前記絶縁性樹脂が前記第2の半導体チップの基板との接続部の内側に流れ込まないようにしつつ、未硬化の前記絶縁性樹脂を硬化させる工程と、
を含むことを特徴とする半導体装置の製造方法。

補正書の請求の範囲

[2006年06月07日 (15.06.06) 国際事務局受理]

[1] (補正後)

主面上に、所定の配線パターンが形成された基板と、

前記基板の前記配線パターンに接続するための第1の電極を備え、この第1の電極が前記配線パターンの該当箇所に直接に接続されることによってフリップチップ実装された、光学モジュール用の第1の半導体チップと、

前記第1の半導体チップよりも縦横の長さが共に大きく、前記配線パターンに接続するための第2の電極を備え、前記第2の電極が前記配線パターンの該当箇所に直接に接続されてフリップチップ実装されると共に、前記第2の電極の厚みおよび前記第2の電極に接続される前記配線パターンの該当箇所の厚みの総和は、前記第1の半導体チップの厚み、前記第1の電極の厚み、ならびに前記第1の電極に接続される前記所定箇所の配線パターンの厚みの総和を越えており、前記第1の半導体チップの上に位置してなる第2の半導体チップと、を有し、

前記基板は、紫外線透過性の基材からなる基板、または、その一部に開口部を有する基板であり、かつ、前記第1の半導体チップの前記基板側の表面を覆わない形態で、紫外線硬化性絶縁樹脂による封止構造を形成した半導体装置。

[2] (補正後)

主面上に、所定の配線パターンが形成された基板と、

前記基板の前記配線パターンに接続するための第1の電極を備え、この第1の電極が前記配線パターンの該当箇所に直接に接続されることによってフリップチップ実装された、光学モジュール用の第1の半導体チップと、

前記第1の半導体チップよりも縦横の長さが共に大きく、前記配線パターンに接続するための第2の電極を備え、前記第2の電極が前記配線パターンの該当箇所に直接に接続されてフリップチップ実装されると共に、前記第2の電極の厚みおよび前記第2の電極に接続される前記配線パターンの該当箇所の厚みの総和は、前記第1の半導体チップの厚み、前記第1の電極の厚み、ならびに前記第1の電極に接続される前記所定箇所の配線パターンの厚みの総和を越えており、前記第1の半導体チップの上に位置してなる第2の半導体チップと、を有し、

補正された用紙 (条約第19条)

前記基板は、紫外線透過性の基材からなる基板、または、その一部に開口部を有する基板であり、かつ、前記第1および第2の半導体チップの各々と前記基板の前記配線パターンの該当箇所との接続部分の周囲においてのみ、紫外線硬化性絶縁樹脂による封止構造を形成したことを特徴とする半導体装置。

[3] (補正後)

請求項1又は請求項2に記載の半導体装置であって、

前記第1の半導体チップの、前記第2の半導体チップ側の表面にシールド層が形成されている半導体装置。

[4] (補正後)

請求項1又は請求項2に記載の半導体装置であって、

前記第1の半導体チップの前記第1の電極は、低背の金属電極であり、前記第2の半導体チップの前記第2の電極は、ボンディングパッドに使用される肉厚の金属層で構成される高背の電極である半導体装置。

[5] (補正後)

請求項1乃至請求項4のいずれかに記載の半導体装置であって、

前記第2の半導体チップの前記第2の電極が接続される、前記配線パターンの該当箇所に、金属メッキによる突起状部分が形成されている半導体装置。

[6] (補正後)

請求項1乃至請求項5記載のいずれかに記載の半導体装置であって、

第1の半導体チップが、第2の半導体チップに絶縁性樹脂を介して接着されている半導体装置。

[7] (補正後)

請求項 1、請求項 2、請求項 4 または請求項 4 のいずれかに記載の半導体装置の製造方法であって、

バックグラインド（背面研磨）によって厚みを薄くする加工がなされると共に、その主面上に所定の配線パターンが形成される前記基板を用意する工程と、

前記第 1 の電極をもつ第 1 の半導体チップおよび前記第 2 の電極をもつ第 2 の半導体チップの各々を前記基板上にフリップチップ実装し、前記第 2 の半導体チップが前記第 1 の半導体チップ上に位置する、立体的なフリップチップ実装構造を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

[8] (補正後)

請求項 3 記載の半導体装置の製造方法であって、

請求項 7 記載の工程に加えて、さらに、前記第 1 の半導体チップの、前記第 2 の半導体チップ側の表面にシールド層を形成する工程を、有することを特徴とする半導体装置の製造方法。

[9] (補正後)

請求項 6 記載の半導体装置の製造方法であって、

請求項 7 記載の、前記立体的なフリップチップ実装構造を形成する工程は、前記第 1 の半導体チップを前記第 2 の半導体チップに接着して両チップを一体化し、その一体化した前記第 1 および第 2 の半導体チップを、前記基板に一括してフリップチップ実装する工程を含むことを特徴とする半導体装置の製造方法。

[10] (補正後)

請求項 1 記載の半導体装置の製造方法であって、

請求項 7 記載の工程に加えて、さらに、

ペースト状の絶縁性樹脂を供給する工程と、

この絶縁性樹脂が前記第 1 の半導体チップの前記基板との接続領域の内側に流れ込まないよう、前記絶縁性樹脂の少なくとも一部に紫外線を照射して硬化させる工程と、
前記絶縁性樹脂を加熱処理し硬化させる工程と、
を含むことを特徴とする半導体装置の製造方法。

[1 1] (補正後)

請求項 1 記載の半導体装置の製造方法であって、
請求項 7 記載の、前記立体的なフリップチップ実装構造を形成する工程は、
前記第 1 の半導体チップの前記基板との接続部のみにペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、
前記絶縁性樹脂の少なくとも一部に紫外線を照射し、前記絶縁性樹脂が前記第 1 の半導体チップの前記基板との接続部の内側に流れ込ないようにしつつ、前記第 1 の半導体チップを前記基板にフリップチップ実装する工程と、
前記第 2 の半導体チップを前記基板にフリップチップ実装する工程と、
ペースト状の絶縁性樹脂を供給し封止する工程と、
前記ペースト状の絶縁性樹脂を加熱処理し硬化させる工程と、
を含むことを特徴とする半導体装置の製造方法。

[1 2] (補正後)

請求項 2 記載の半導体装置の製造方法であって、
請求項 7 記載の、前記立体的なフリップチップ実装構造を形成する工程は、
前記第 1 の半導体チップの前記基板との接続部のみにペースト状の絶縁性樹脂または異方性導電性樹脂を供給する工程と、
前記絶縁性樹脂の一部に紫外線を照射し、前記絶縁性樹脂が前記第 1 の半導体チップの前記基板との接続部の内側に流れ込ないようにしつつ、前記第 1 の半導体チップを前記基板にフリップチップ実装する工程と、
前記第 2 の半導体チップを前記基板にフリップチップ実装する工程と、
前記絶縁性樹脂の未硬化の部分に紫外線を照射し、前記絶縁性樹脂が前記第 2 の半導体チップの基板との接続部の内側に流れ込まないようにしつつ、未硬化の前記絶縁性樹脂を硬化させる工程と、
を含むことを特徴とする半導体装置の製造方法。

[1 3] (削除)

[1 4] (削除)

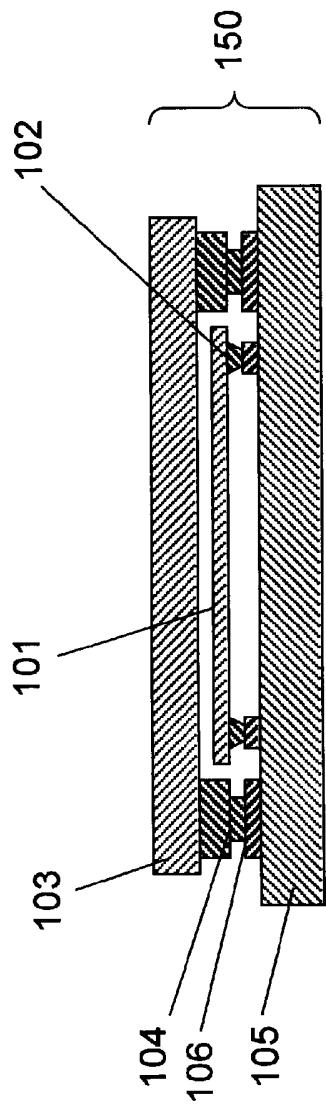
[1 5] (削除)

[1 6] (削除)

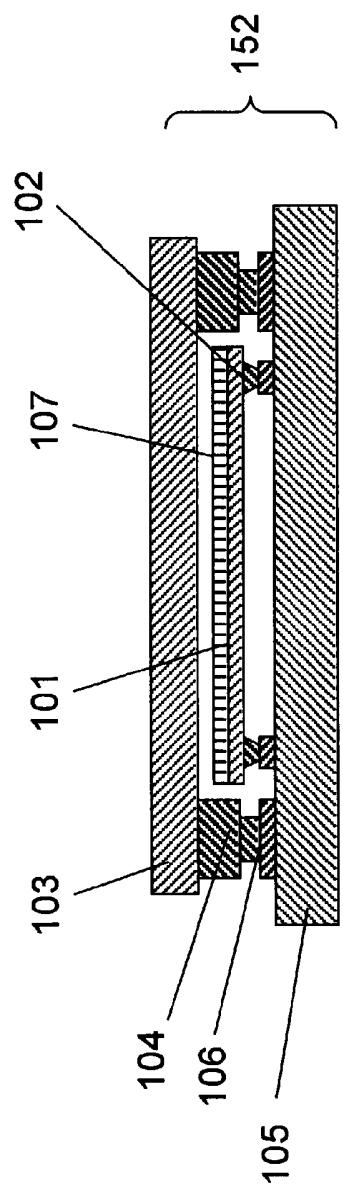
[1 7] (削除)

補正された用紙（条約第19条）

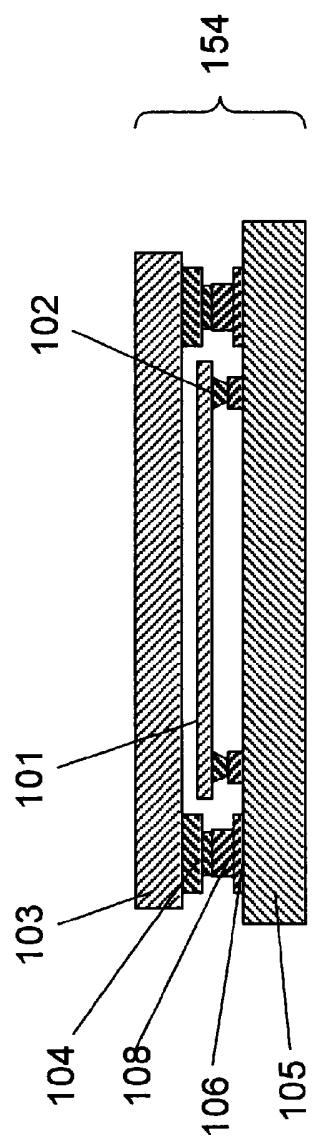
[図1]



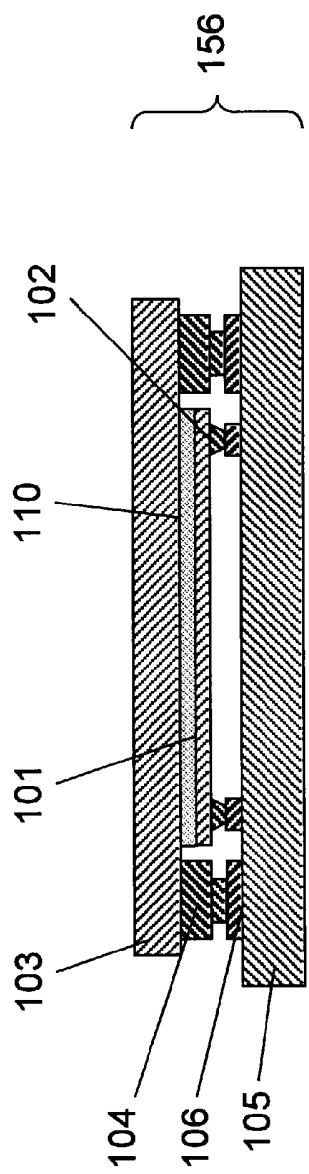
[図2]



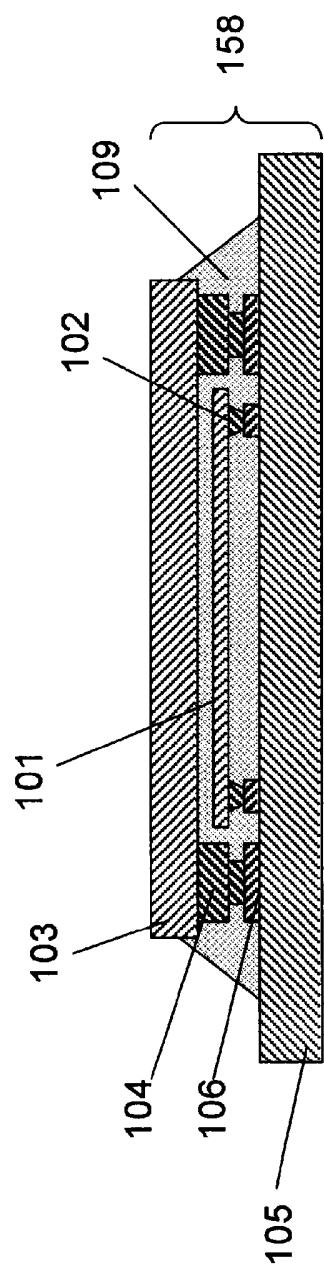
[図3]



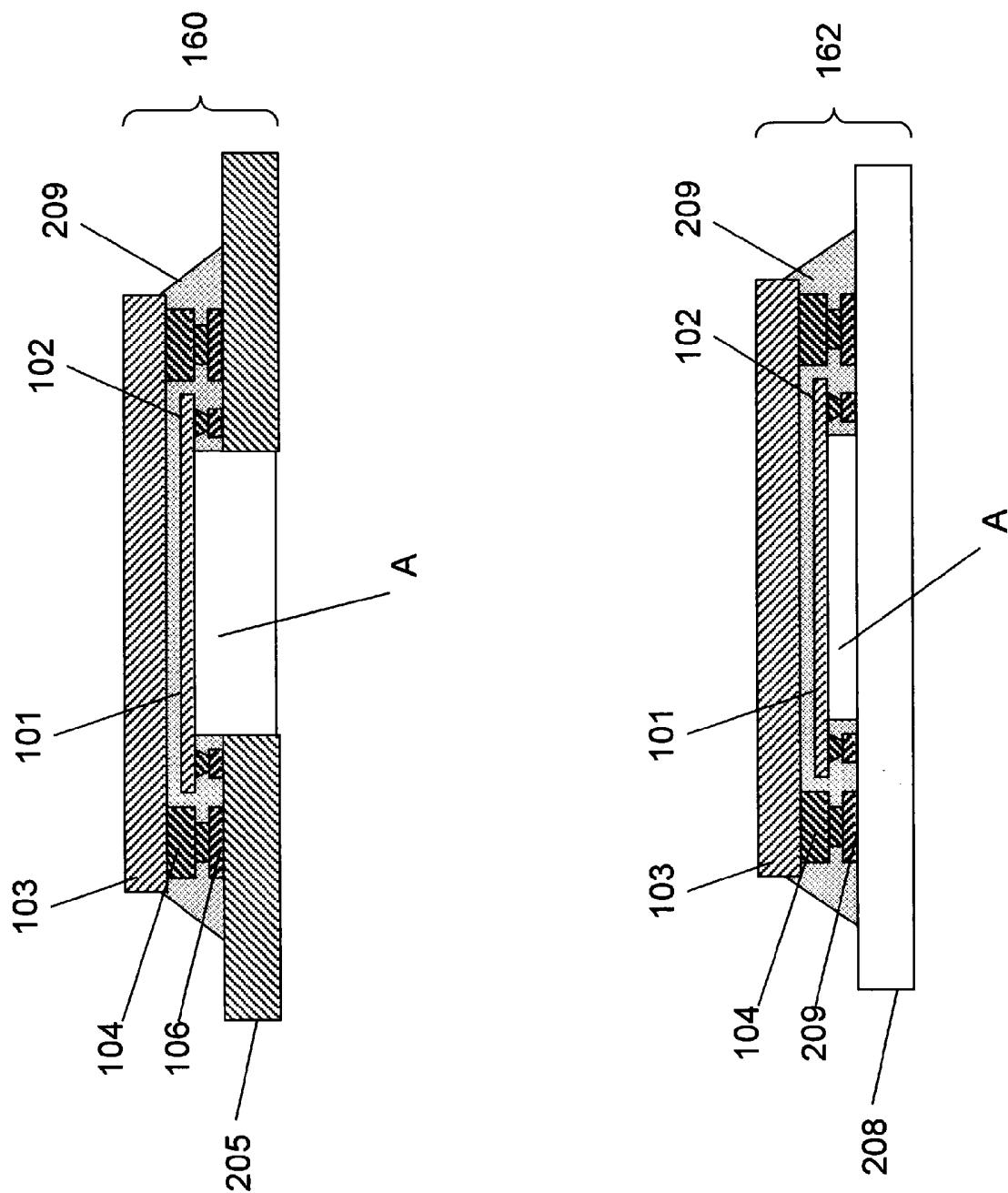
[図4]



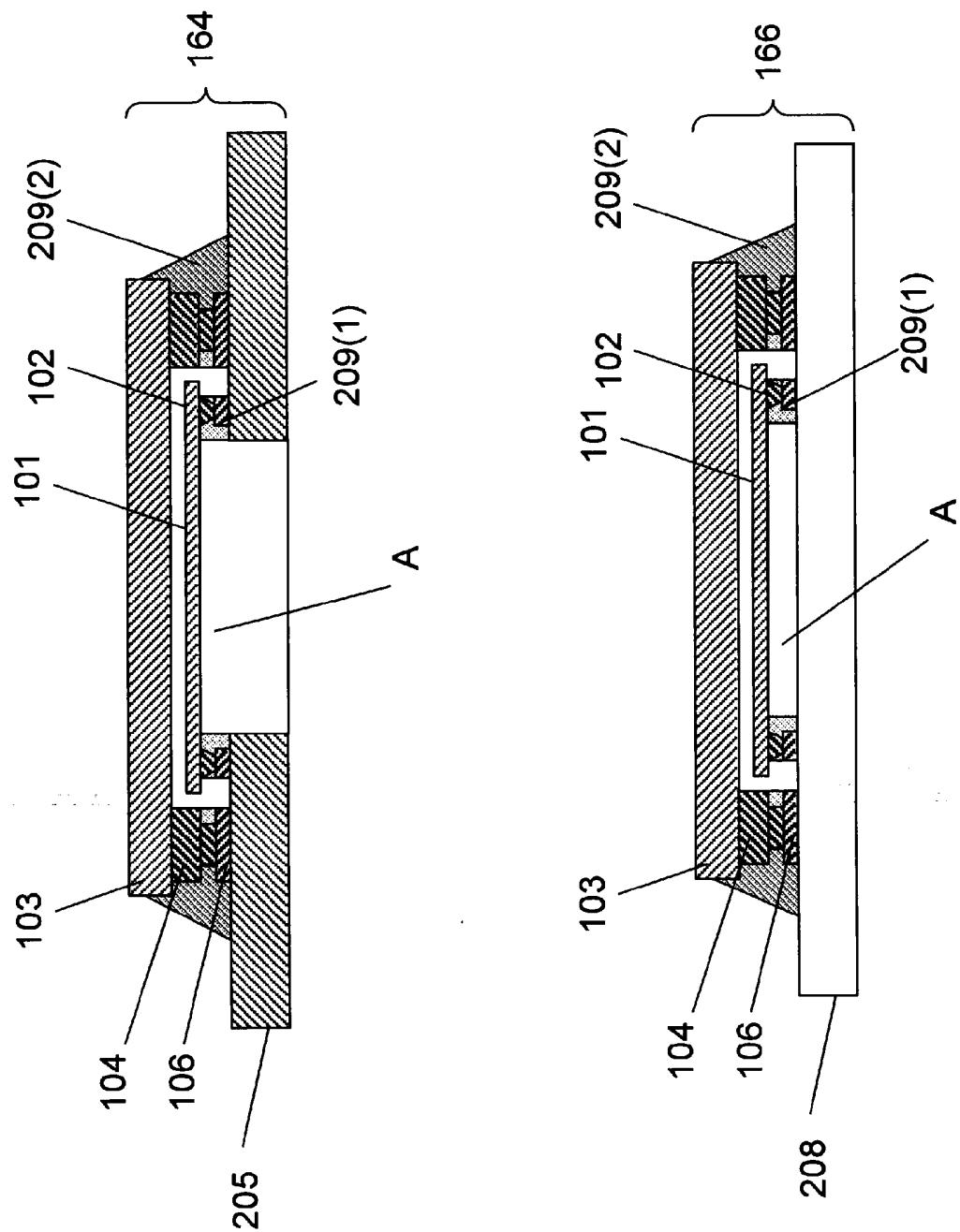
[図5]



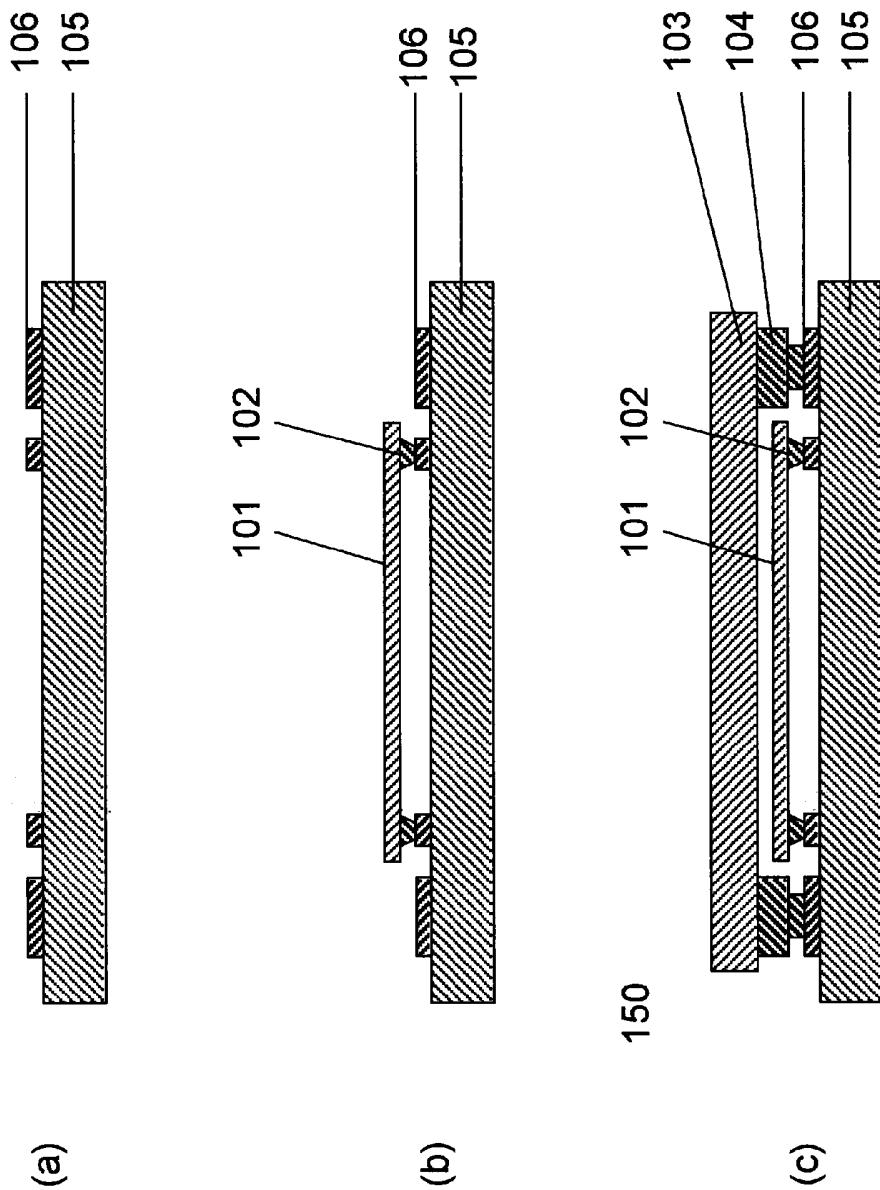
[図6]



[図7]



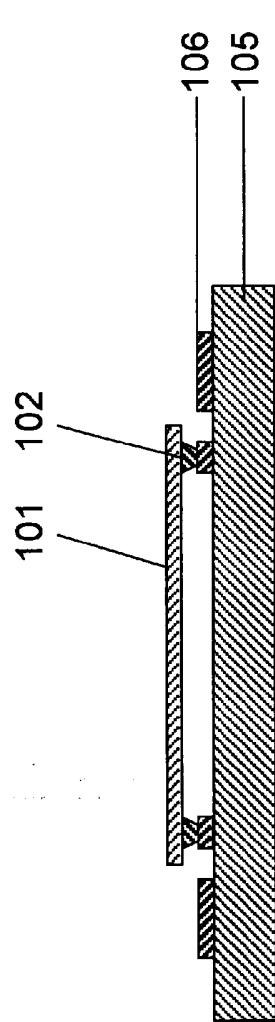
[図8]



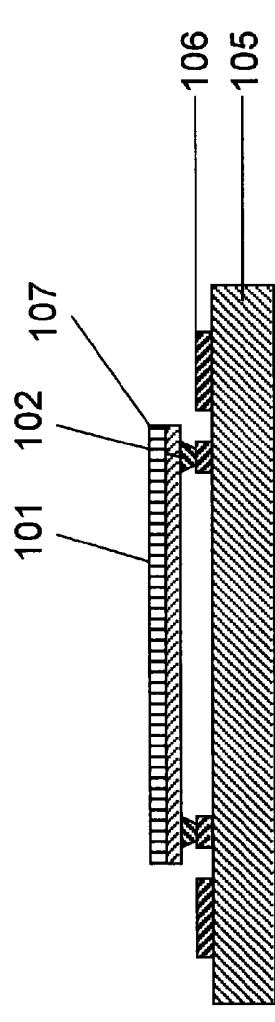
[図9]



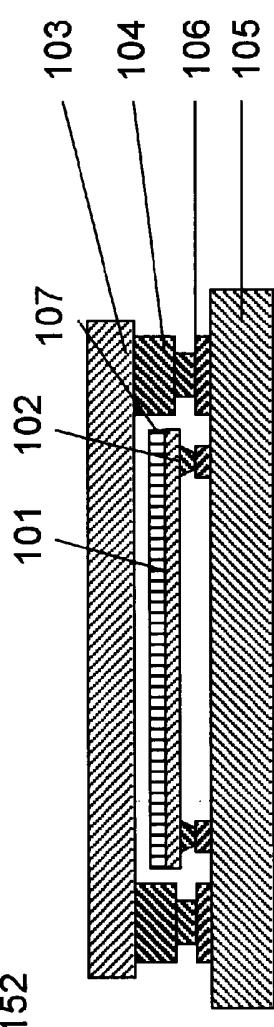
(a)



(b)

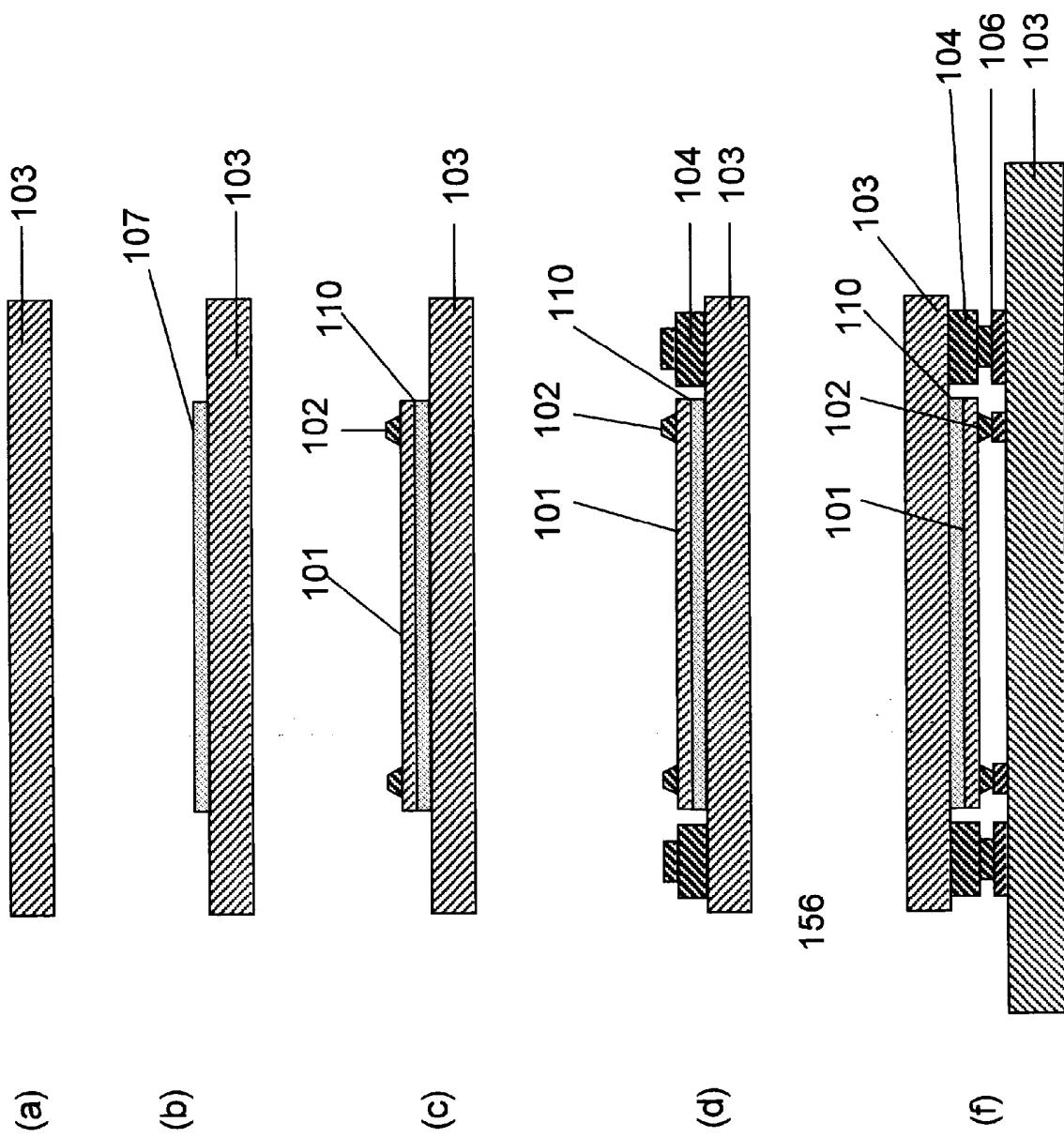


(c)

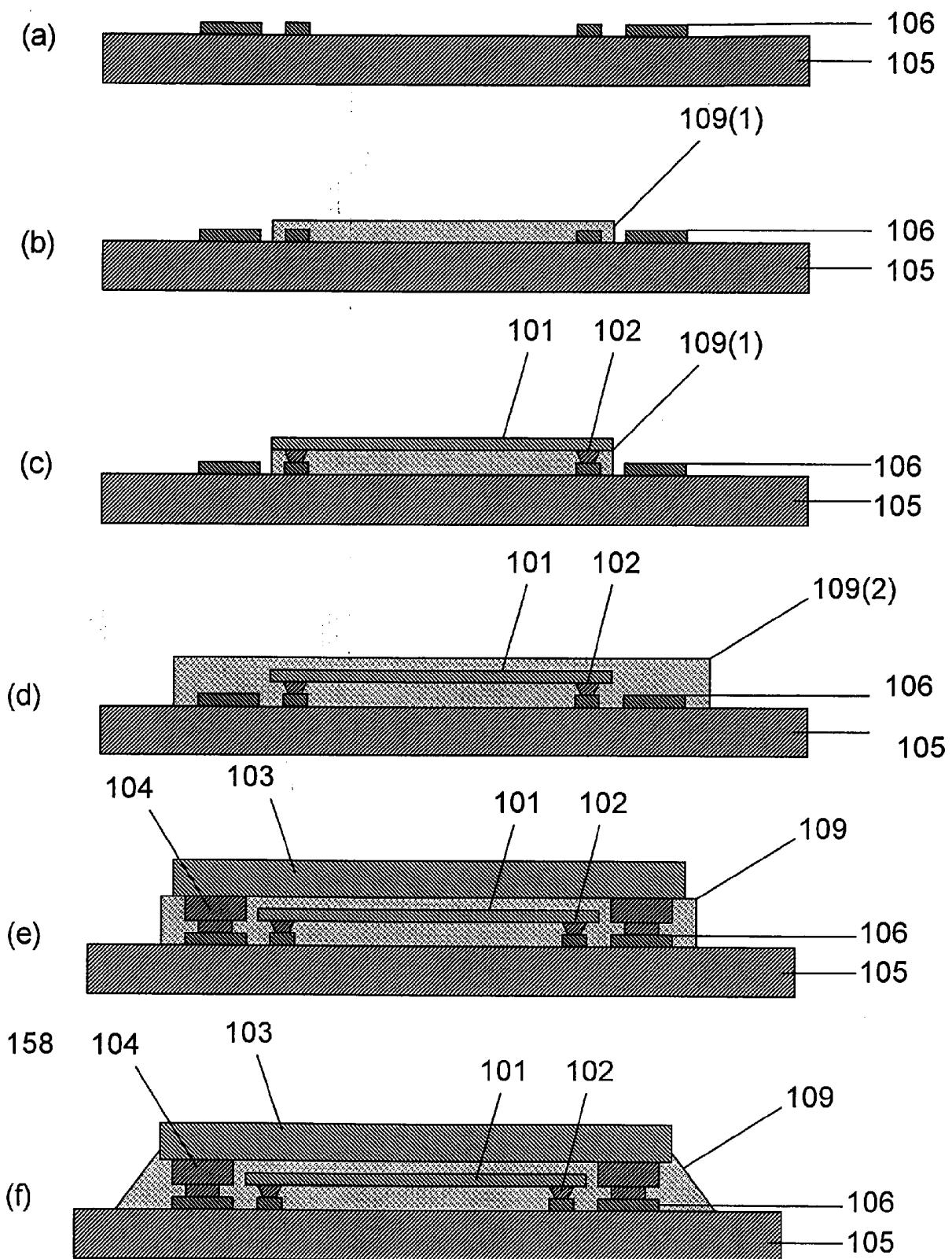


(d)

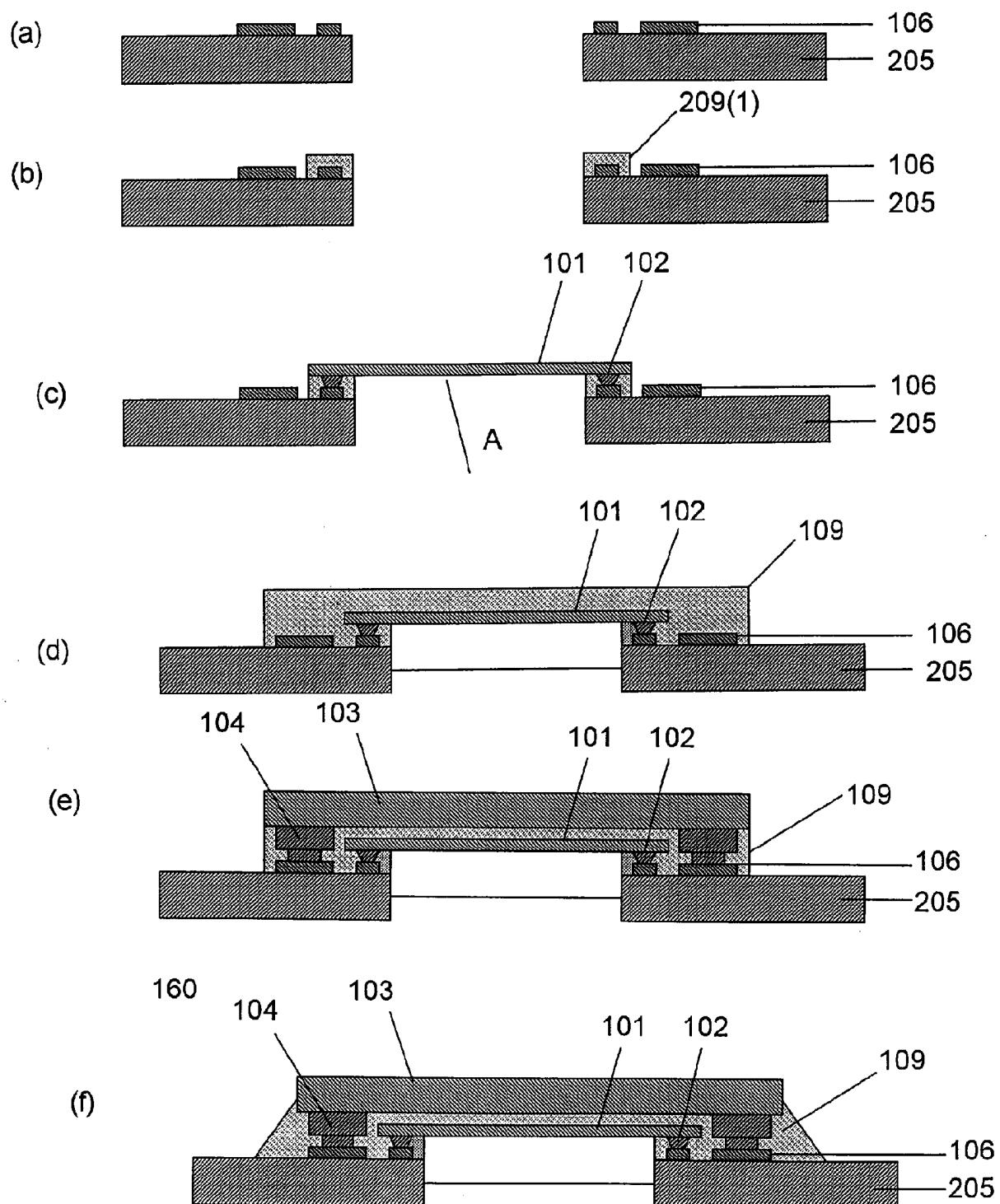
[図10]



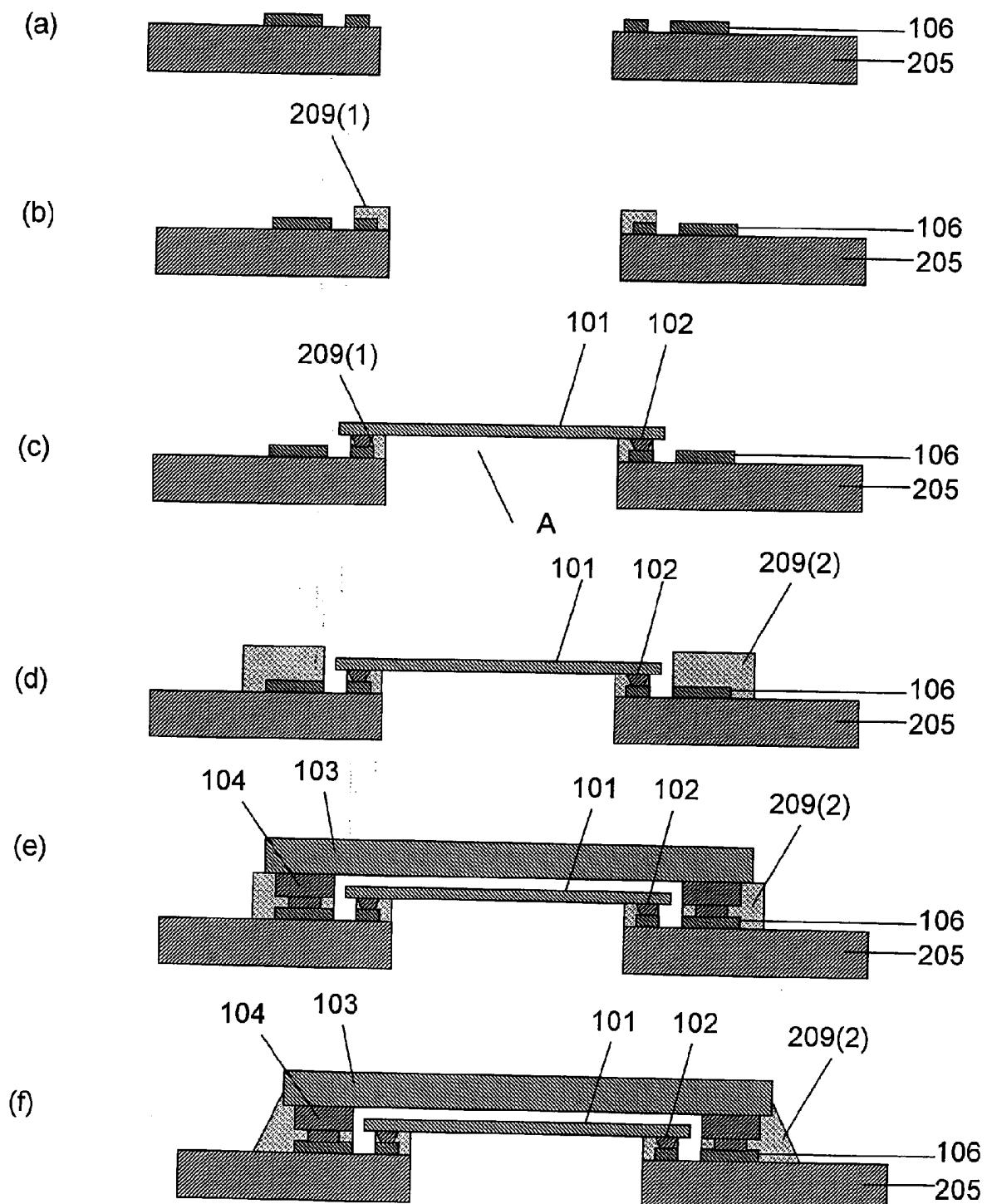
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/301144

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01), **H01L25/07**(2006.01), **H01L25/18**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/00-H01L25/18, H01L21/60, H01L23/28-H01L23/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-79923 A (Fujitsu Ltd.), 11 March, 2004 (11.03.04), Figs. 3, 4; Par. Nos. [0018] to [0032] (Family: none)	1, 3-7, 10, 13, 14 <u>2, 8, 9, 11, 12,</u> <u>15-17</u>
Y	JP 2003-7930 A (Alcatel), 10 January, 2003 (10.01.03), Figs. 1 to 3; Par. Nos. [0008] to [0034] & EP 1263043 A1 & US 6713878 B2	2, 11
Y	JP 2002-9265 A (Sony Corp.), 11 January, 2002 (11.01.02), Figs. 6, 7; Par. Nos. [0004], [0005] (Family: none)	8, 9, 15-17

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 April, 2006 (07.04.06)

Date of mailing of the international search report
18 April, 2006 (18.04.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/301144

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-214344 A (NEC Kansai, Ltd.), 29 July, 2004 (29.07.04), Figs. 1 to 3; Par. Nos. [0015] to [0025] (Family: none)	8, 9, 15-17
Y	JP 2004-6482 A (Renesas Technology Corp.), 08 January, 2004 (08.01.04), Figs. 14 to 16; Par. Nos. [0027] to [0030] (Family: none)	12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L25/065(2006.01), H01L25/07(2006.01), H01L25/18(2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L25/00-H01L25/18, H01L21/60, H01L23/28-H01L23/31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-79923 A (富士通株式会社) 2004.03.11, 図3, 図4, 【0018】-【0032】 (ファミリーなし)	1, 3-7, 10, 13, 14
Y		2, 8, 9, 11, <u>12, 15-17</u>
Y	JP 2003-7930 A (アルカテル) 2003.01.10, 図1-3, 【0008】-【0034】 & EP 1263043 A1 & US 6713878 B2	2, 11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願目前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 0 7 . 0 4 . 2 0 0 6	国際調査報告の発送日 1 8 . 0 4 . 2 0 0 6
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 酒井 英夫 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1 4 R 9 6 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-9265 A (ソニー株式会社) 2002. 01. 11, 図 6, 図 7, 【0004】 , 【0005】 (ファミリーなし)	8, 9, 15-17
Y	JP 2004-214344 A (関西日本電気株式会社) 2004. 07. 29, 図 1-3, 【0015】 - 【0025】 (ファミリーなし)	8, 9, 15-17
Y	JP 2004-6482 A (株式会社ルネサステクノロジ) 2004. 01. 08, 図 14-16, 図 20, 【0027】 - 【0030】 (ファミリーなし)	12