

公告本

申請日期	90.3.27
案 號	90107219
類 別	ICL 21/20, 21/24

A4
C4

495845

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體晶圓及其製造方法
	日 文	半導体ウエハー及びその製造方法
二、發明 創作人	姓 名	1.神澤 好彦 YOSHIHIKO KANZAWA 2.能澤 克彌 KATSUYA NOZAWA 3.齋藤 徹 TOHRU SAITOH 4.久保 實 MINORU KUBO
	國 籍	1.-4.均日本
三、申請人	住、居所	1.日本國大阪府門真市御堂町25-3 2.日本國大阪府大阪市旭區大宮5-4-25-1101 3.日本國大阪府攝津市鳥飼新町2-18-14 4.日本國三重縣名張市桔梗丘西一番町125
	姓 名 (名稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區）

申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

2000 年 03 月 27 日

特願2000-086117

☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

技術領域

本發明係有關半導體晶圓的製造方法，尤其是有關具有含應變之半導體結晶層之半導體晶圓的形成方法。

背景技術

使用表體Si結晶的半導體裝置逐漸達到多功能性及快速性，主要係因裝置的微細化。今後為求提高裝置性能，仍有必要促使裝置進一步的微細化，不過，隨裝置的微細化而衍生出許多必須在技術上突破的課題。此外，縱使實施裝置的微細化，卻因表體Si結晶等材料所具備的物理特性(如移動率)，造成裝置的最高性能受到限制。亦即，只要是使用表體Si結晶等材料，就很難大幅提高裝置的性能。

因而近年來，嘗試改採表體Si結晶以外的材料以圖提高裝置特性。其中一種研究係利用矽與鍺的混晶(SiGe)及矽、鍺與碳的混晶(SiGeC)等移動率大於Si的新材料。而另外一種研究即是利用應變Si結晶，其係在Si結晶上加進應變的新要素，以圖減低稱之為intevalley scattering的載電子散射，以提高移動率的方式。這些方式，尤其是後者的應變Si結晶，由於使用現有的Si處理技術(如氧化及蝕刻步驟的技術)可以直接對裝置實施加工，只需使表體Si結晶應變即可提高性能，因此受到工業上的矚目。

先前的此種應變Si結晶，係在包含應變Si結晶的Si基板上堆積厚的SiGe結晶層，再於其上堆積Si結晶製成。通常，由於SiGe結晶為晶格常數大於Si的結晶，在使Si整合在基板平面內之晶格的狀態下，使SiGe結晶磊晶生長時，

五、發明說明 (2)

在 SiGe 結晶內產生極大壓縮性的應變。因而，在 Si 基板上堆積超過一定膜厚(臨界膜厚)的 SiGe 結晶時，在 Si 基板與 SiGe 層之間產生轉位來鬆弛應變。以致 SiGe 層平面內的晶格間隔大於 Si 基板表面的晶格間隔。再於該 SiGe 結晶層上磊晶堆積 Si 結晶層時，該 Si 平面內的晶格間隔則與鬆弛後之 SiGe 結晶的晶格間隔一致，比 Si 本來的晶格常數大，所以可以製成承受伸張應力的應變 Si 結晶層(以下將上述 SiGe 結晶等引起晶格鬆弛，所形成之晶格間隔大於 Si 基板的結晶層，稱之為鬆弛緩衝層)。

以下，使用圖式稍微詳細說明先前在基板上形成應變 Si 結晶層的方法。

圖 1 為使用先前方法形成應變 Si 結晶層的基板剖面圖。

形成該應變 Si 結晶層之基板的製造方法，係以 CVD 法，使 Si 基板 101 上磊晶生長厚度超過臨界膜厚達數 μm 以上的 SiGe 結晶層 103。此時，在鬆弛 SiGe 結晶層 103 之間產生轉位 102，SiGe 結晶層 103 的晶格鬆弛。其次，以 CVD 法，藉由在 SiGe 結晶層 103 上堆積 Si 結晶，以形成應變 Si 結晶層 104。

解決之課題

但是，採用上述先前技術形成具有比臨界膜厚更厚之 SiGe 結晶層 103 的鬆弛緩衝層時，會產生貫穿結晶層中的重大瑕疵(貫穿轉位 105)。有時該貫穿轉位 105 會深入應變 Si 結晶層 104 中，是造成應變 Si 結晶層 104 中也形成瑕疵的原因。而此種結晶層中的瑕疵則是影響裝置特性提高的原

五、發明說明 (3)

因。

因此，多採用階段性或傾斜性改變SiGe結晶層103中之Ge含有率的構造，來作為減低貫穿轉位105之密度的構造，不過，欲降低轉位密度，於改變Ge之含有率的同時，總需要堆積數 μm 以上相當厚的SiGe結晶。當然，在製造該厚的鬆弛緩衝層時，需要長時間的結晶生長，以致很難達到晶圓製造的低成本化。因此，先前很難將應變Si結晶實際應用在半導體裝置的工業生產上。

發明的揭示

本發明之目的，在藉由提出一種減低結晶瑕疵密度的鬆弛緩衝層構造及製造方法，來製造具備應變Si層等的半導體晶圓，作為半導體裝置的基板。

本發明的半導體晶圓具備：Si結晶構成基板；及結晶層，其係設置在上述基板上，且具有大於上述基板之晶格常數的平面內晶格常數，上述結晶層的至少一部分為包含SiC結晶分散的Si、Ge及C的結晶。

藉此，由於可將具有大於Si結晶構成基板之晶格常數之平面內晶格常數的結晶層用作鬆弛緩衝層，因此，可以在該鬆弛緩衝層上形成應變的Si結晶層。此外，此時所製造的半導體晶圓也可以用作半導體裝置的基板。

此外，上述半導體晶圓中，藉由還具備設置在上述結晶層上的應變Si結晶層，將該半導體晶圓用作半導體裝置的基板時，由於應變Si結晶層內的載體移動率大於表體Si結晶內的載體移動率，因此，可以製造出性能高於將表體Si

五、發明說明 (4)

結晶用作基板時的半導體裝置。

本發明第一種半導體晶圓的製造方法包含：堆積步驟(a)，其係在Si結晶構成基板上，至少一部分上堆積含有Si、Ge及C的結晶層；及析出步驟(b)，其係將堆積有上述結晶層的上述基板加以熱退火，使上述結晶層的晶格鬆弛，在上述結晶層中析出SiC結晶。

藉由該方法，可以製造出一種半導體晶圓，其係將含有Si、Ge及C的結晶層作為鬆弛緩衝層，可以在該鬆弛緩衝層上形成幾乎不轉位的應變Si結晶層。

尤其是在上述的步驟(b)中，藉由將基板熱退火來析出SiC，可以抑制在鬆弛緩衝層的結晶層內產生貫穿轉位。此外，由於鬆弛緩衝層厚度比先前所需數 μm 的厚度要薄，因此，可以量產能夠形成應變Si結晶層的半導體晶圓。

上述第一種半導體晶圓的製造方法，藉由還包含形成步驟(c)，其係在含上述SiC結晶，經過熱退火後的上述結晶層上，形成應變Si結晶層，可以製造出半導體晶圓，其具備含有Si、Ge及C的鬆弛緩衝層；及應變Si結晶層。並藉由將該半導體晶圓用作半導體裝置的基板，可以製成性能高於以表體Si結晶用作基板的半導體裝置。

本發明第二種半導體晶圓的製造方法包含：堆積步驟(a)，其係在Si結晶構成基板上，至少一部分上堆積含有Si、Ge及C的結晶層；堆積步驟(b)，其係在上述結晶層上堆積Si結晶層；及應變步驟(c)，其係將上述基板加以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

熱退火，在上述結晶層中析出SiC結晶，使上述Si結晶層應變。

藉由該方法，與上述第一種半導體晶圓的製造方法同樣的可以製造出一種半導體晶圓，其具備含有Si、Ge及C的鬆弛緩衝層；及應變Si結晶層。並藉由將該半導體晶圓用作半導體裝置的基板，可以製成性能高於以表體Si結晶用作基板的半導體裝置。

圖式之簡要說明

圖1為用於獲得應變Si結晶之先前基板構造的剖面圖。

圖2為以本發明實施形態形成之具備應變Si結晶層之半導體晶圓剖面圖。

圖3(a)~(d)為本發明實施形態之半導體晶圓的製造步驟剖面圖。

圖4為本發明實施形態之半導體晶圓，其堆積在Si基板上後之SiGeC結晶與熱退火後之SiGeC結晶的X射線繞射光譜圖。

圖5為本發明提議之在鬆弛緩衝層上製成應變Si結晶層之Si基板的X射線繞射光譜圖。

圖6為將本發明形成在Si基板上之SiGeC層加以熱退火後的穿透型電子顯微鏡照相圖。

圖7為將形成在基板上之SiGe結晶加以熱退火後的穿透型電子顯微鏡照相圖。

最佳之實施形態

參照圖式說明本發明之最佳實施形態如下。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

圖 2 為本實施形態之半導體晶圓的剖面圖。如該圖所示，本發明實施形態的半導體晶圓包含：表體 Si 結晶的 Si 基板 1；退火 SiGeC 結晶層 10，其係形成在 Si 基板 1 上，厚度約 130nm；Si 結晶層 9，其係形成在退火 SiGeC 結晶層 10 上，厚度約 4nm；及應變 Si 結晶層 4，其係形成在 Si 結晶層 9 上。

此外，退火 SiGeC 結晶層 10 包含：矩陣 SiGeC 結晶層 7，其係形成在 Si 基板 1 上；及 SiC 微結晶 6，其係分散在矩陣 SiGeC 結晶層 7 中，直徑約 2-3nm。

此外，自矩陣 SiGeC 結晶層 7 內之 Si 基板 1 與矩陣 SiGeC 結晶層 7 的界面起 20nm 以內的區域內包含轉位及所發現的瑕疵 2。

本實施形態之晶圓的特徵為將 SiC 微結晶 6 與矩陣 SiGeC 結晶層 7 所構成的退火 SiGeC 結晶層 10 用作鬆弛緩衝層。

藉此，由於晶格鬆弛之矩陣 SiGeC 結晶層 7 的晶格常數大於 Si 的晶格常數，因此，縱使是厚度達 130nm 的鬆弛緩衝層，也可以藉由在退火 SiGeC 結晶層 10 的上方生長 Si 結晶層 9，來形成應變 Si 結晶層 4。

此外，本實施形態之半導體晶圓上的轉位及所發現之結晶的瑕疵 2，係抑制在自退火 SiGeC 結晶層 10 內之 Si 基板 1 與退火 SiGeC 結晶層 10 的界面起 20nm 以內的區域內，未發現貫穿轉位。其證據及本發明人所持的理由如後述。

因在退火 SiGeC 結晶層 10 中未發現貫穿轉位，可以使用本實施形態之半導體晶圓製造可靠性高，且性能高的半導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (7)

體裝置。例如，可以製造場效電晶體等，其具有Si/SiGeC異質構造，其係在應變Si結晶層4上設置閘極氧化膜及閘極。

此外，本實施形態之Si結晶層9的厚度為4nm，不過Si結晶層9的厚度並無特別限制。此外，也可以不在退火SiGeC結晶層10上形成Si結晶層9，而直接在退火SiGeC結晶層10上形成應變Si結晶層4。或是，也可以在應變Si結晶層4之下及Si結晶層9之上形成SiGe結晶及SiGeC結晶。

本實施形態係說明具有應變Si結晶層4的晶圓，不過，也可以提供用戶一種未形成應變Si結晶層4狀態的晶圓。

此外，本實施形態之半導體晶圓之SiGeC結晶的組成如後述的，分別為Si為68.3%，Ge為30.5%，C為1.2%，不過，各原子的含有率並不限定於此。

此外，本實施形態之構成鬆弛緩衝層之退火SiGeC結晶層10的厚度為130nm，不過只要在基板表面沒有出現轉位，退火SiGeC結晶層10的厚度只需要20nm即可。此外，退火SiGeC結晶層10的厚度也可以在130nm以上。

其次，參照圖式說明本發明實施形態之半導體晶圓的製造方法。圖3(a)~(d)為本發明實施形態之半導體晶圓的製造步驟剖面圖。

首先，在圖3(a)所示的步驟中，按照如下的方式清洗(001)面之Si基板1的表面。先以硫酸－過氧化氫水混合溶液清洗Si基板1的表面，除去Si基板1表面上的有機物及金屬污染物質。其次，以氫－過氧化氫水溶液清洗Si基板1

經濟部智慧財產局員工消費合作社印製

五、發明說明 (8)

的表面，除去Si基板1表面上的附著物。繼續使用氟化氫酸，清除Si基板1表面上的自然氧化膜。再將Si基板1浸漬在氫－過氧化氫水溶液中，在Si基板1的表面上形成薄的保護氧化膜。

其次，在圖3(b)所示的步驟中，將表面經過清洗的Si基板1放進超高真空化學汽相生長裝置(UHV-CVD裝置)內，先將UHV-CVD裝置內減壓至 $2.6 \times 10^{-7} \text{Pa}$ ($2 \times 10^{-9} \text{Torr}$)。其次，在氫氣環境中，將Si基板1加熱至 800°C 的溫度，來除去上述保護氧化膜，露出Si基板1的潔淨表面。繼續，將Si基板1的溫度降低至 490°C ，分別將Si、Ge及C之原料氣體的乙矽烷(Si_2H_6)氣體、鍺烷(GeH_4)氣體及甲基矽烷(SiCH_3)氣體分別導入UHV-CVD裝置內，在Si基板1上磊晶生長SiGeC結晶15分鐘，堆積厚度約130nm的SiGeC結晶層8。而此時各氣體的壓力分別為， Si_2H_6 設定為 $9.1 \times 10^{-3} \text{Pa}$ ($7 \times 10^{-5} \text{Torr}$)、 GeH_4 設定為 $4.2 \times 10^{-2} \text{Pa}$ ($3 \times 10^{-4} \text{Torr}$)、 SiCH_3 設定為 $1.2 \times 10^{-3} \text{Pa}$ ($9 \times 10^{-6} \text{Torr}$)。之後，停止供應 GeH_4 氣體與 SiCH_3 氣體，暫時將基板溫度提高至 550°C ，在 $3.2 \times 10^{-2} \text{Pa}$ ($2.4 \times 10^{-4} \text{Torr}$)的壓力下僅供應 Si_2H_6 氣體2分鐘，堆積約4nm的Si結晶層9。該Si結晶層9具有保護膜的功能，可防止Ge及C原子流入爾後使用之清洗裝置等的處理裝置內而污染到裝置。

本實施形態中，堆積在SiGeC結晶層8上之Si結晶層9的厚度為4nm，不過厚度比其厚或比其薄，均不致影響污染的防止，有時因裝置的構造，也可以省略Si結晶層9的堆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

積。此外，也可以在Si結晶層9上堆積SiGe結晶及SiGeC結晶。

另外，本實施形態的結晶生長係使用UHV-CVD法，不過也可以使用其他的LRP裝置及RT-CVD裝置等。

此外，本實施形態係使用(001)面之Si晶圓作為基板，不過也可以使用具有其他面方位的Si晶圓。

在說明下一個步驟之前，先說明SiGeC結晶生長之後的結晶狀態。圖4為在Si基板上生長之後的SiGeC結晶與熱退火後之SiGeC結晶的XRD光譜圖。

在圖4的下端，為圖3(b)所示步驟中，形成有SiGeC結晶層8及Si結晶層9之基板的結晶XRD光譜。該光譜中，於34.56度附近觀察出的峰值為用作基板之Si(004)面繞射所形成的峰值，34.06度附近的峰值則為堆積在Si基板1上之SiGeC結晶所形成的峰值。該SiGeC結晶係處於完全應變的狀態，亦即，與Si基板平行之各方向之SiGeC結晶的晶格常數與Si基板之晶格常數完全一致的狀態。從X射線繞射光譜的峰值角度，使用稱之為維加德定律(Vegard則)之結晶分析方法來估計結晶的組成時，可知其為含有約30.5%之Ge，及約1.2%之C的SiGeC結晶。再者，詳細觀察圖4下端的光譜時，可觀察出在34.06度附近之SiGeC結晶的峰值附近有小峰值。該小峰值係因X射線繞射影像所形成的邊紋(fringe)，顯示本實施形態所形成之SiGeC結晶的結晶性與平坦性非常良好。有關結晶性係以穿透型電子顯微鏡(TEM)進行剖面觀察來確認，且在Si基板1與堆積SiGeC結

五、發明說明 (10)

晶層 8 的界面及 SiGeC 結晶層 8 中完全觀察不出有任何瑕疵等。

其次，在圖 3(c) 所示的步驟中，自 UHV-CVD 裝置中取出基板，並使用鹵素燈退火裝置或電爐退火裝置等，在氮氣環境下進行熱退火。此時的熱退火係在 1050℃ 下進行 15 秒鐘。

如後述的藉由該熱退火步驟，SiGeC 結晶層 8 引起層析出，並析出成 SiC 微結晶 6 及矩陣 SiGeC 結晶層 7。此外，如後述的，同時引起晶格鬆弛，使矩陣 SiGeC 結晶層 7 之平面內的晶格常數大於 Si 基板 1 的晶格常數。藉此，於以後的步驟中，於將 Si 結晶層堆積在退火 SiGeC 結晶層 10 上時，可使 Si 結晶層應變，以形成應變 Si 結晶層 4。

此外，由於本實施形態係在 1050℃ 下將基板熱退火以析出 SiC 微結晶 6，因此，在退火 SiGeC 結晶層 10 中未發現貫穿轉位。顯示使用本實施形態所製造之半導體晶圓可以製造出可靠性高的半導體裝置。

另外，本實施形態係在 1050℃ 下進行基板的熱退火，不過也可以在 SiC 的析出溫度，亦即約 950℃ 以上的條件下進行熱退火。

此外，本實施形態係於堆積 SiGeC 結晶層 8 之後，暫時將基板自結晶生長裝置中取出來進行熱退火，不過，未必一定需要執行該步驟，也可以於堆積 SiGeC 結晶層 8 之後，於結晶生長裝置內繼續進行熱退火處理。

另外，本實施形態係在以後的步驟中形成應變 Si 結晶層

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (11)

4，不過也可以不如此進行，而製造具備Si基板1及退火SiGeC結晶層10之熱退火後的基板，作為形成任意半導體裝置用的基板。亦即，也可以提供用戶一種未形成應變Si結晶層4狀態下，具備Si基板與SiC結晶分散之SiGeC結晶層的晶圓。

在說明下一個步驟之前，先說明熱退火後的SiGeC結晶狀態。

圖6為顯示圖3(c)所示的步驟中，以TEM觀察熱退火後之基板剖面結果的TEM照相圖。參照該圖可知，在均勻分佈之SiGeC結晶的部分析出出直徑約為2-3nm的SiC微結晶6。該SiC微結晶6係因熱退火引起準穩定結晶之SiGeC結晶的相析出，並析出成穩定結晶的SiC結晶及SiGe結晶而產生。此時，推斷SiGeC結晶層8中絕大部分的C集中在SiC微結晶6的部分，其周圍部分則為C含有率相當低的SiGeC結晶(矩陣SiGeC結晶層7)。

另外，為便於瞭解，圖3(c)中顯示之SiC微結晶6的體積比率比實際為大，而實際上退火SiGeC結晶層10中之SiC微結晶6的體積比率相當小。

此外，詳細觀察圖6所示的TEM照片時，於矩陣SiGeC結晶層7中，僅自Si基板1與退火SiGeC結晶層10之界面起約20nm以內的區域發現認為是轉位的瑕疵2。但是，於矩陣SiGeC結晶層7中，自Si基板1與退火SiGeC結晶層10之界面起約20nm以外的區域，幾乎未發現瑕疵。通常，對於在Si基板上僅堆積SiGe結晶者進行熱退火時，會發生大量的

五、發明說明 (12)

貫穿轉位等。圖7為對基板上形成有SiGe結晶進行熱退火後的穿透型電子顯微鏡照片圖，從該圖可知在熱退火後的SiGe層中發生貫穿轉位。反之，以本實施例所製造之具備SiGeC層的晶圓則完全不會發生此種瑕疵。

以下簡單考察不發生貫穿轉位等重大瑕疵的原因。SiC微結晶的晶格常數與包圍SiC微結晶，且C含有率低之SiGeC結晶的晶格常數彼此差異甚大(推測約有20%)。因而，在SiC微結晶與其周圍之C含有率低的SiGeC結晶之間形成有以圖6所示之TEM照片幾乎無法判定的微少瑕疵。因存在此種微少瑕疵，以致矩陣SiGeC結晶層7內的應變逐漸鬆弛，由於不致發生貫穿轉位等重大瑕疵，因而整體進行了晶格鬆弛。

測定熱退火步驟後之基板(參照圖3(c))的X射線繞射結果為圖4上端的光譜。在33.95度上出現的峰值相當於以矩陣SiGeC結晶層7的繞射峰值。使用該峰值角度與維加德定律詳細分析時，可知在矩陣SiGeC結晶層7上引起鬆弛，矩陣SiGeC結晶層7的面內晶格間隔比Si晶格常數約大0.6%，約為0.5494nm。嚴格來說，該值僅為矩陣SiGeC結晶層7的值，並非含有SiC結晶之退火SiGeC結晶層10的晶格常數。但是如上所述，由於SiC結晶的體積比率相當小，因此可視為與退火SiGeC結晶層10的晶格常數相等。

從以上所述可知本發明之具備Si基板與SiC結晶分散之SiGeC結晶層的構造具有瑕疵少之鬆弛緩衝層的功能。此外，如上所述，由於以本實施例製成之晶圓的結晶構造瑕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

疵僅發生在矩陣SiGeC結晶層7內之自Si基板1與退火SiGeC結晶層10之界面起20nm以內的區域，因此也知僅以比本實施例還薄的堆積層即可製造出無貫穿轉位等瑕疵的晶圓。

其次，說明使用上述的鬆弛緩衝層來製造應變Si層。

在圖3(d)所示的步驟中，以圖3(a)所示的相同方法來清洗具備Si基板1、退火SiGeC結晶層10及Si結晶層9的基板表面。其次，將基板放進UHV-CVD裝置內後，使潔淨的基板表面露出。繼續將基板溫度設定在550℃，以 3.2×10^{-2} Pa (2.4×10^{-4} Torr)的壓力供應Si₂H₆氣體15分鐘，在Si結晶層9上磊晶生長厚度約30nm的Si結晶層。

如後所述的，由於退火SiGeC結晶層10及Si結晶層9上的平面內晶格常數大於Si基板1，因此，此處堆積之Si結晶層的晶格常數也大於Si基板1，形成具有應變的應變Si結晶層4。因而，利用以上的步驟可製造具備應變Si結晶層的半導體基板。

藉由使用具備該應變Si結晶層4的晶圓，可以製成比先前使用Si結晶之半導體裝置更高性能的二極體裝置。例如，可以製造場效電晶體等，其具有Si/SiGeC異質構造，其係在應變Si結晶層4上設置閘極氧化膜及閘極。

此外，本發明實施形態之半導體晶圓的製造方法，由於鬆弛緩衝層薄至130nm，因此可以比先前方法大幅減低製造所需時間及成本。因而可以量產具備應變Si結晶層4的二極體晶圓。

此外，本實施形態係於Si基板1上堆積SiGeC結晶層8之

經濟部智慧財產局員工消費合作社印製

五、發明說明 (14)

後，在堆積Si結晶層步驟之前進行熱退火，不過也可以在SiGeC結晶層8上堆積Si結晶層之後進行熱退火。採用此種方法也可以製造出具備應變Si結晶層4的半導體晶圓。

以下驗證以本實施形態製成之Si基板1上的退火SiGeC結晶層10及應變Si結晶層4的結晶狀態。

圖5為具備退火SiGeC結晶層10與應變Si結晶層4之Si基板1的X射線繞射光譜測定結果。從該圖中可知，圖上除了34.56度附近之Si基板1的繞射峰值與33.95度附近之鬆弛SiGeC結晶(退火SiGeC結晶層10)的繞射峰值之外，在34.7度附近還觀察出既弱且寬的峰值。該34.7度附近的峰值由於係在具有大於Si基板1之平面內晶格常數的退火SiGeC結晶層10上堆積Si結晶層，因此Si結晶層受到伸張應力而出現應變的結果。若也使用維加德定律來分析時，即知應變Si結晶層4的基板面內晶格間隔約為0.5458nm。因Si基板1(表體Si結晶)的晶格間隔為0.5431nm，因此，應變Si結晶層4應變約0.5%。從以上結果可知，在SiC結晶分散的SiGeC結晶層上堆積Si結晶，也可以製造應變Si結晶。

利用在產業上的可行性

本發明可利用在具有Si/SiGeC異質構造，及具備應變Si結晶的場效電晶體等上。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要（發明之名稱：半導體晶圓及其製造方法）

本發明係藉由將堆積有SiGeC結晶層8的Si基板1實施熱退火，在Si基板1上形成退火SiGeC結晶層10，其包含晶格鬆弛、幾乎無轉位的矩陣SiGeC結晶層7及分散在矩陣SiGeC結晶層7中的SiC微結晶6。其次，藉由在退火SiGeC結晶層10上堆積Si結晶層，形成轉位少的應變Si結晶層4。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

日文發明摘要（發明之名稱：半導體ウェハー及びその製造方法）

SiGeC結晶層8を堆積させたSi基板1を熱アニールすることにより、Si基板1上に、格子緩和され、転位がほとんどないマトリクスSiGeC結晶層7とマトリクスSiGeC結晶層7中に分散したSiC微結晶6とから構成されるアニールSiGeC結晶層10を形成する。次に、アニールSiGeC結晶層10上にSi結晶層を堆積することにより、転位が少ない歪みSi結晶層4が形成される。

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種半導體晶圓，其具備：
包含Si結晶之基板；及
結晶層，其係設置在上述基板上，且具有大於上述基板之晶格常數的平面內晶格常數；
上述結晶層的至少一部分為包含SiC結晶分散的Si、Ge及C的結晶。
2. 如申請專利範圍第1項之半導體晶圓，
還具備應變Si結晶層，其係設置在上述結晶層上。
3. 一種半導體晶圓的製造方法，其包含：
堆積步驟(a)，其係在包含Si結晶之基板上，至少一部分上堆積含有Si、Ge及C的結晶層；及
析出步驟(b)，其係將堆積有上述結晶層的上述基板加以熱退火，使上述結晶層的晶格鬆弛，在上述結晶層中析出SiC結晶。
4. 如申請專利範圍第3項之半導體晶圓的製造方法，
還包含形成步驟(c)，其係在含上述SiC結晶之退火後的上述結晶層上形成應變Si結晶層。
5. 一種半導體晶圓的製造方法，其包含：
堆積步驟(a)，其係在Si結晶構成基板上，至少一部分上堆積含有Si、Ge及C的結晶層；
堆積步驟(b)，其係在上述結晶層上堆積Si結晶層；及
應變步驟(c)，其係將上述基板加以熱退火，在上述結晶層中析出SiC結晶，使上述Si結晶層產生應變。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

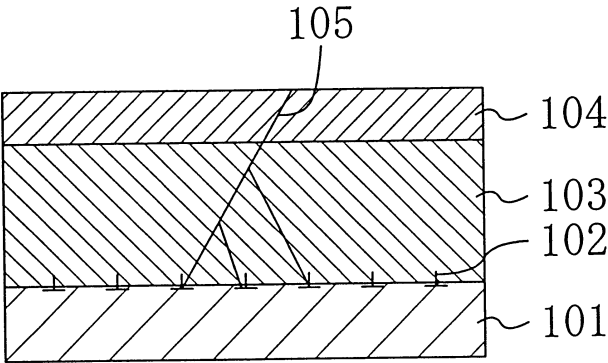


圖 1

91 年 6 月 7 日 修正 補充

第 090107219 號專利申請案
中文圖式修正頁(91 年 5 月)

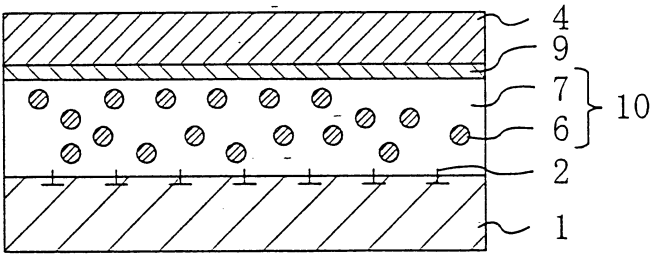


圖 2

圖 3(a)

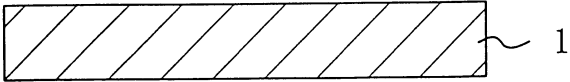


圖 3(b)

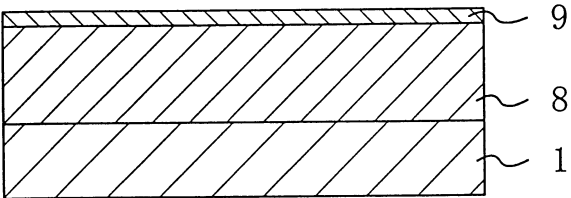


圖 3(c)

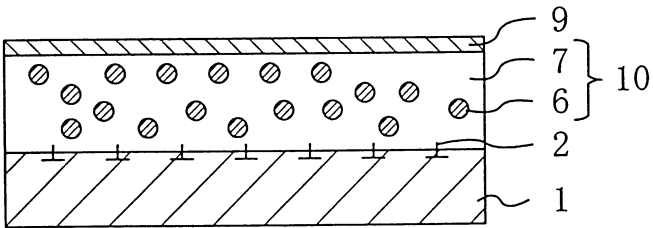
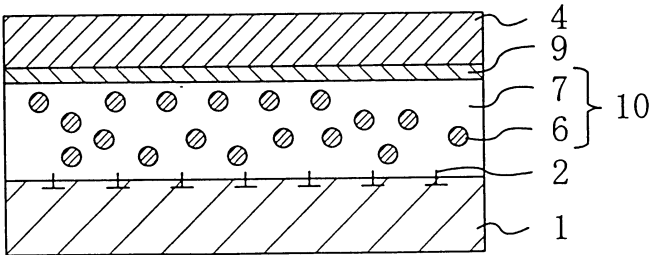


圖 3(d)



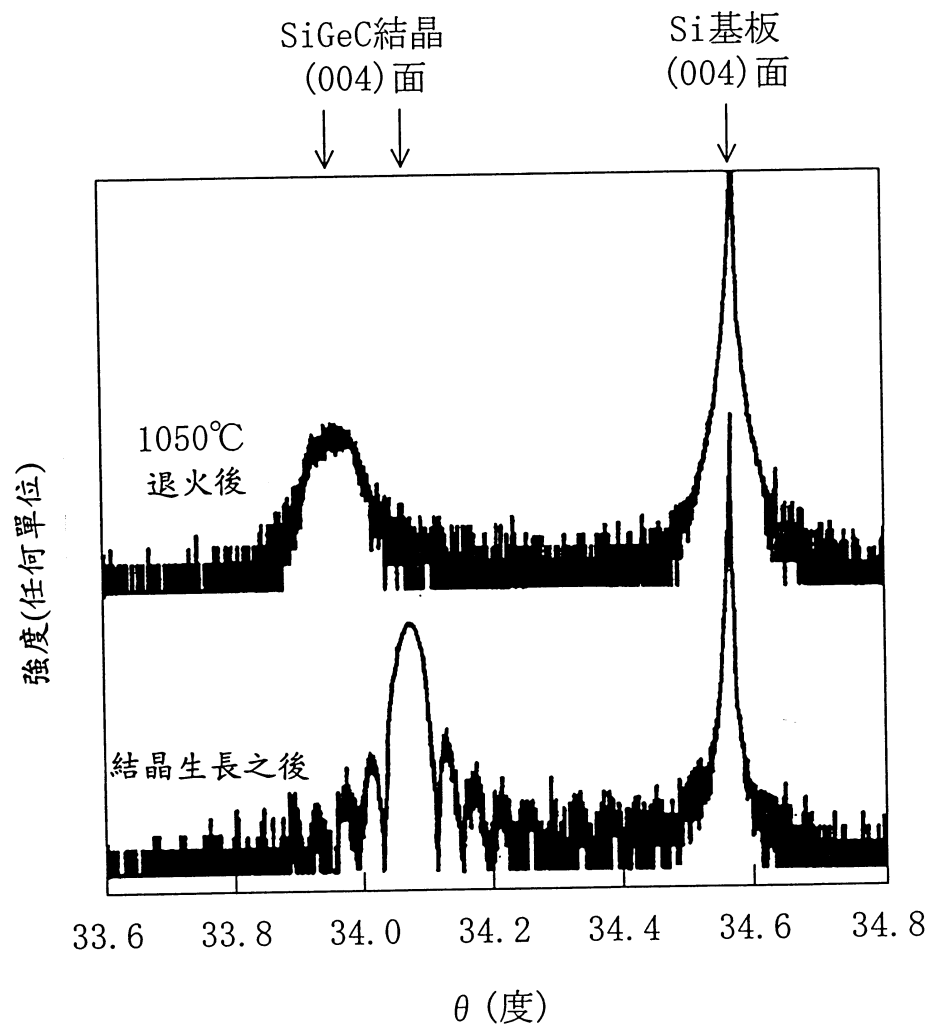


圖 4

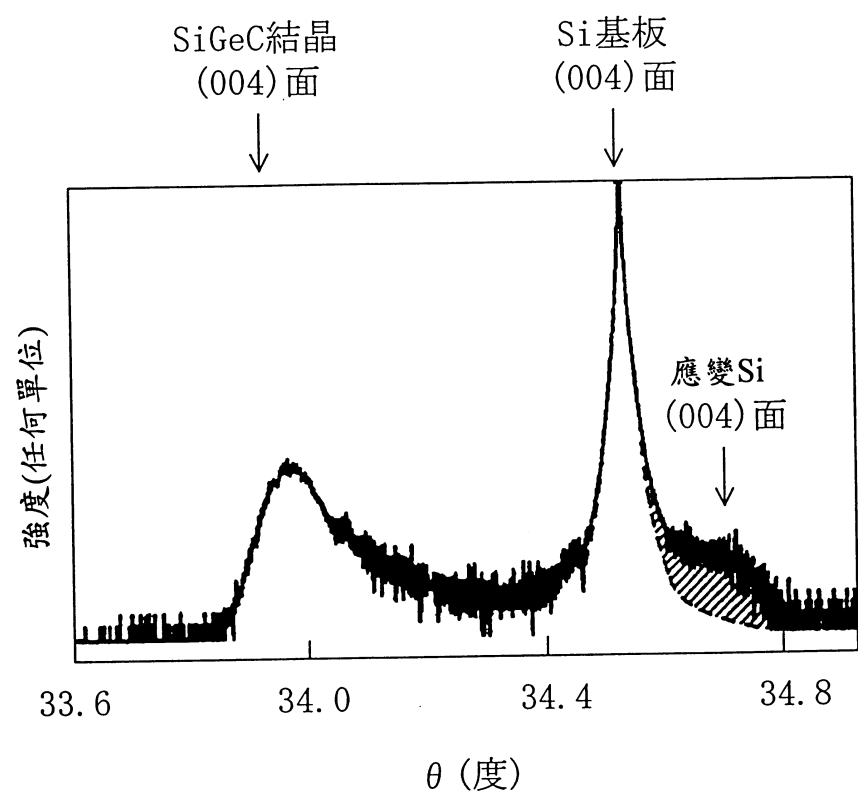


圖 5

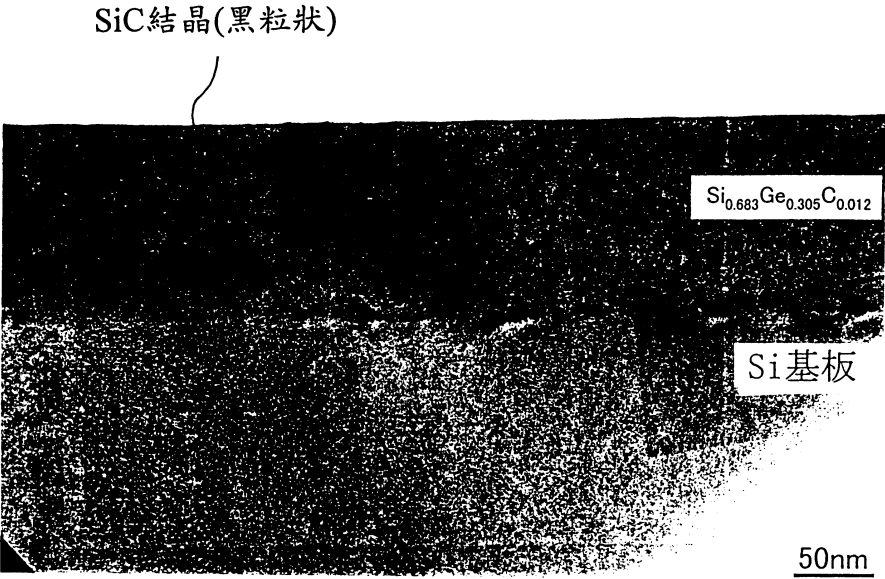


圖 6

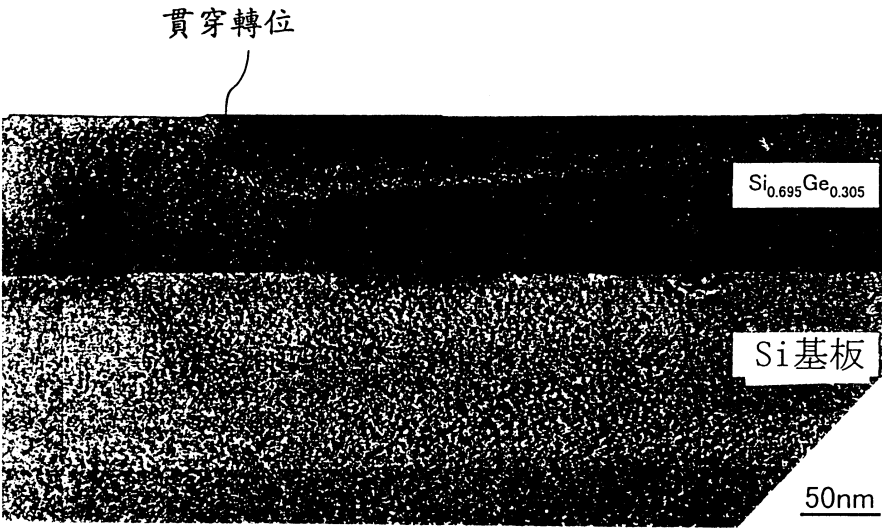


圖 7