

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-193493
(P2010-193493A)

(43) 公開日 平成22年9月2日(2010.9.2)

(51) Int.Cl.			F I			テーマコード (参考)		
H03L	7/081	(2006.01)	H03L	7/08	J	5J001		
H03L	7/10	(2006.01)	H03L	7/10	A	5J106		
H03K	5/13	(2006.01)	H03K	5/13				
H03L	7/085	(2006.01)	H03L	7/08	A			

審査請求 有 請求項の数 11 O L (全 18 頁)

(21) 出願番号 特願2010-86336 (P2010-86336)
 (22) 出願日 平成22年4月2日 (2010.4.2)
 (62) 分割の表示 特願2006-515607 (P2006-515607)
 の分割
 原出願日 平成16年6月23日 (2004.6.23)
 (31) 優先権主張番号 60/482,260
 (32) 優先日 平成15年6月25日 (2003.6.25)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 10/647,664
 (32) 優先日 平成15年8月25日 (2003.8.25)
 (33) 優先権主張国 米国 (US)

(71) 出願人 508034325
 モサイド・テクノロジーズ・インコーポレ
 ーテッド
 カナダ・オンタリオ・K2K・2X1・オ
 タワ・ハインズ・ロード・11・スイート
 ・203
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊

最終頁に続く

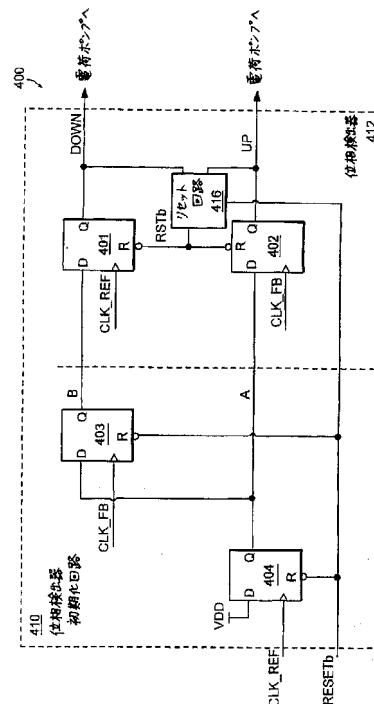
(54) 【発明の名称】 遅延ロックループのための初期化回路

(57) 【要約】

【課題】 遅延ロックループのための起動回路を提供する。

【解決手段】 遅延ロックループにおける初期化回路は、電源投入または他のリセットの後、クロック端縁が適切な動作のために適切な順序で位相検出器によって受取られることを確実にし、遅延ロックループのリセット後、初期化回路は、遅延線における遅延を増加（または減少）させるように位相検出器をイネーブルするより先に基準クロックの少なくとも1つの端縁が受取られることを確実にし、フィードバッククロックの少なくとも1つの端縁が受取られた後、初期化回路は位相検出器をイネーブルして、遅延線における遅延を減少（または増加）させる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

第 1 および第 2 のラッチと、

リセット信号に応答して前記第 1 および第 2 のラッチをイネーブルするように構成された回路とを備え、前記回路は、

複数の第 1 の段を含み、前記第 1 の段の各々は、第 1 のクロック信号によってクロックされる記憶素子を有し、前記第 1 の段の出力は、前記第 1 のラッチに電氣的に接続され、前記回路は、さらに、

複数の第 2 の段を含み、前記第 2 の段の各々は、第 2 のクロック信号によってクロックされる記憶素子を有し、前記第 2 の段は、前記第 1 の段の出力を受け、前記第 2 の段の出力は、前記第 2 のラッチに電氣的に接続される、装置。

10

【請求項 2】

前記第 1 の段は、前記リセット信号に応答して、前記第 1 の段の数に対応する遅延後に前記第 1 のラッチをイネーブルする、請求項 1 に記載の装置。

【請求項 3】

前記遅延は、少なくとも、前記第 1 の段の数より小さい数に対応する前記第 1 のクロック信号の数クロック周期の期間である、請求項 2 に記載の装置。

【請求項 4】

前記第 2 の段は、前記リセット信号に応答して、前記第 1 および第 2 の段の数に対応する遅延後に前記第 2 のラッチをイネーブルする、請求項 1 に記載の装置。

20

【請求項 5】

前記遅延は、少なくとも、1) 前記第 1 の段の数より小さい数に対応する前記第 1 のクロック信号の数クロック周期、および、2) 前記第 2 の段の数より小さい数に対応する前記第 2 のクロック信号の数クロック周期、の期間である、請求項 4 に記載の装置。

【請求項 6】

前記第 1 および第 2 のクロック信号の周波数は、実質的に等しい、請求項 1 に記載の装置。

【請求項 7】

前記記憶素子は、各々ラッチを含んでいる、請求項 1 に記載の装置。

【請求項 8】

連続した段のラッチは、それぞれの出力およびそれぞれの入力を介して電氣的に接続される、請求項 7 に記載の装置。

30

【請求項 9】

前記第 1 のラッチは、前記第 2 のクロック信号によりクロックされ、前記第 2 のラッチは、前記第 1 のクロック信号によりクロックされる、請求項 1 に記載の装置。

【請求項 10】

前記第 1 のラッチは、前記第 2 のクロック信号に응答して制御信号を生成し、前記第 2 のラッチは、前記第 1 のクロック信号に응答して制御信号を生成する、請求項 1 に記載の装置。

【請求項 11】

40

第 1 および第 2 のラッチと、

リセット信号に응答して前記第 1 および第 2 のラッチをイネーブルするように構成された回路とを備え、前記回路は、

複数の第 1 の段を含み、前記第 1 の段の各々は、基準クロック信号によってクロックされるラッチを有し、前記第 1 の段の出力は、前記第 1 のラッチに電氣的に接続され、前記回路は、さらに、

複数の第 2 の段を含み、前記第 2 の段の各々は、フィードバッククロック信号によってクロックされるラッチを有し、前記第 2 の段は、前記第 1 の段の出力を受け、前記第 2 の段の出力は、前記第 2 のラッチに電氣的に接続される、装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

発明の背景

調整可能な遅延線を有する遅延ロックループ(DLL)は、第1のクロック信号を遅らせることによって、第1のクロック信号を第2のクロック信号と同期させるために使用される。DLLは、第1のクロック信号と第2のクロック信号との間の位相差を検出する位相検出器を含む。DLLは、検出される位相差に基づいて、第2のクロック信号が第1のクロック信号と同相になるまで第1のクロック信号に適切な遅延を加えることによって、第1のクロック信号を外部クロック信号に同期させる。

【背景技術】

10

【0002】

図1は、先行技術のDLL100のブロック図である。外部から供給されるクロック(CLK)は、クロックバッファ101によって緩衝されて、電圧制御遅延線102および位相検出器104に結合される基準クロック(CLK_REF)を与える。電圧制御遅延線102は出力クロック(CLK_OUT)を生成し、この出力クロックはCLK_REFの遅延したバージョンであり、装置内のさまざまな回路およびレプリカ遅延回路103に送られる。レプリカ遅延回路103は、バッファ101を介する遅延に似た遅延およびワイヤルーティング遅延を与える。レプリカ遅延は当業者に周知である。レプリカ遅延のさらなる説明については、フォス(Foss)らへの、共通に所有される米国特許番号第5,796,673号を参照されたい。レプリカ遅延回路103から出力されたフィードバッククロック信号CLK_FBは、位相検出器104に結合される。他の先行技術のDLLは、デジタル遅延線またはタップ付遅延線を使用する。共通に所有される米国特許番号第5,796,673号および第6,087,868号はこのようなDLLを説明する。

20

【0003】

位相検出器104は、CLK_REFとCLK_FBとの間の位相差に応じて、位相制御信号(UP、DOWN)を発生させる。DOWN信号は各々のCLK_REFの立上り端縁で論理「1」にセットされ、UP信号は各々のCLK_FBの立上り端縁で論理「1」にセットされる。UPおよびDOWN信号はどちらも、それら2つの信号の第2の立上り端縁が受取られると論理「0」にリセットされる。したがって、CLK_REFの立上り端縁がCLK_FBの立上り端縁より先に検出されるとき、DOWN信号は論理「0」に遷移して、CLK_FBの次の立上り端縁が検出されるまで電圧制御遅延線(VCDL)102における遅延を減少させる。代替的に、CLK_FBの立上り端縁がCLK_REFの立上り端縁より先に検出される場合には、UP信号はアサートされて(論理「1」)、CLK_REFの次の立上り端縁が検出されるまで遅延を増加させる。

30

【0004】

位相検出器104の位相制御信号(UP/DOWN)は電荷ポンプ105およびループフィルタ106によって統合されて、VCDL110に可変バイアス電圧V_CTRL110を与える。バイアス電圧V_CTRLは、CLK_FBをCLK_REFと同期させるために、VCDL102によってCLK_REFに付加されるべき遅延を選択する。

【0005】

40

位相検出器100はレベルセンシティブ型または端縁トリガ型であってもよい。典型的には、レベルセンシティブ型位相検出器は誤ったロッキングの影響を受けやすいので、端縁トリガ型位相検出器が使用される。しかしながら、クロックは自走(free running)であり、リセット後にどのクロック端縁が最初に発生するかということはわからない。したがって、位相検出器への入力信号間の初期位相の関係に左右される。(つまり、システムリセットまたは電源投入後にCLK_REFの立上り端縁が最初に発生するか、それともCLK_FBの立上り端縁が最初に発生するか)に左右される)遅延が減少(増加)されるべきであるときにUP(DOWN)信号が最初にトリガされ得るので、端縁トリガ型位相検出器を有するDLLは決してロックを達成しないであろう。

【0006】

50

図2は、先行技術の端縁トリガ型位相検出器104の概略図である。位相検出器104は、CLK_REFとCLK_FBとの間の位相差を検出し、遅延を増加または減少させるためにその位相差に応じてUP、DOWN信号を論理「1」にセットする。位相検出器104は、2つの立上り端縁トリガ型Dタイプフリップフロップ(DFF)201、203およびリセット回路210を含む。各々のDFF201、203の入力はV_{DD}に結合され、各々のDFF201、203のそれぞれの非同期リセット入力のリセット回路210の出力(RSTb)に結合される。リセット回路210は、RESETb信号が論理「0」にあるとき、またはUPおよびDOWN信号が両方とも論理「1」にあるときに、RSTb信号上で論理「0」を発生させて、DFF201、203をリセットする。

【0007】

各々のDFFのクロック入力は、入力信号(CLK_REF、CLK_FB)のそれぞれ1つに結合され、DFF201のクロック入力はCLK_REFに結合され、DFF203のクロック入力はCLK_FBに結合される。各々のDFF201、203の出力は電荷ポンプ105(図1)のそれぞれのUP/DOWN入力に結合されて、クロック間で検出される位相差に基づいてVCDL102の遅延を増加または減少させる。

【0008】

CLK_REFの立上り端縁(論理「0」から論理「1」への遷移)がCLK_FBの立上り端縁より先に検出される場合、遅延は減少される。たとえば、CLK_REFの立上り端縁がCLK_FBの立上り端縁より先に発生する場合、DOWN信号は遅延を減少させるようにアサートされる(つまり、DFF201の出力は論理「1」に変化する)。DOWN信号が論理「1」にある間、電荷ポンプおよびループフィルタはVCDL102における遅延を減少させる。DOWN信号は、CLK_FBの後続の立上り端縁がDFF203をクロックしてDFF203の出力におけるUP信号が論理「0」から論理「1」へ遷移するまで、論理「1」に留まる。UPおよびDOWN信号が両方とも論理「1」になると、リセット回路210はRSTb信号上で論理「0」パルスを発生させる。DFF201、203の非同期リセット入力に結合されるRSTb信号上の論理「0」パルスはDFF201、203をリセットし、UPおよびDOWN信号は論理「0」にリセットされる。

【0009】

CLK_FBの立上り端縁がCLK_REFの立上り端縁より先に検出される場合、遅延は増加され、UP信号は論理「0」から論理「1」へ遷移する。UP信号が論理「1」にある間、電荷ポンプおよびループフィルタは遅延線を介して遅延を増加させる。UP信号は、CLK_REFの立上り端縁がDFF203をクロックしてDOWN信号が論理「1」に遷移するまで、論理「1」に保持される。UPおよびDOWN信号が両方とも(論理「1」で)アサートされると、リセット回路210はRSTb信号上で論理「0」パルスを発生させ、DFF201、203はリセットされる。DFF201、203がリセットされた後、DFFの出力におけるUPおよびDOWN信号は論理「0」にリセットされる。

【0010】

電源投入またはシステムリセットの後、電圧制御遅延線は典型的には最小の遅延にセットされる。リセットまたは電源投入後、CLK_REF信号の立上り端縁がCLK_FB信号の立上り端縁より先に発生する場合、位相検出器104は遅延を減少させるようにDOWN信号を論理「1」にセットすることになる。しかしながら、遅延は既に許容される最小値である。したがって、すべての後続の位相検出器サイクルはDLLの遅延を減少させようとし続け、DLLは決してロックを達成しないことになる。

【0011】

図3は、リセット後のクロック端縁の順序付け問題を示すタイミング図である。ロックの達成に関する問題は、CLK_REFの立上り端縁がCLK_FBの立上り端縁より先に発生するとき生じる。示される例では、CLK_REFの立上り端縁はCLK_FBの立下り端縁と同時に発生する。しかしながら、位相差は変化し得るものであり、両方の

10

20

30

40

50

立上り端縁が同時に発生することさえあり得る。図3は、図2に示される回路に関連づけて記載される。リセットの間、RESETb信号は論理「0」に保持され、電圧制御遅延線における遅延は最小の遅延（1単位の遅延セル）にセットされる。信号UPおよびDOWNも両方とも論理「0」に保持される。なぜなら、DF F 2 0 1、2 0 3はRESETb信号上の論理「0」によってリセットを保持されるからである。

【0012】

時間200において、RESETb信号は論理「0」から論理「1」へ遷移する。示されるように、リセットの後、CLK__REFの立上り端縁が発生し、それに続いて、CLK__FBの立上り端縁が発生する。

【0013】

時間202において、CLK__REF信号上の第1の立上り端縁（論理「0」から論理「1」へ）はDF F 2 0 1をセットし、DOWN信号（DF F 2 0 1の出力）が論理「1」にセットされる。DOWN信号が論理「1」にある間、遅延線における遅延は減少される。しかしながら、DLLの遅延は既に、RESETbが論理「0」にあった間に設定された最小値になっている。したがって、DOWN信号上の論理「1」はVC DLの遅延に何の影響も与えない。

【0014】

時間204において、CLK__FB信号上で検出された立上り端縁はDF F 2 0 3をセットし、その結果、UP信号（DF F 2 0 3の出力）を論理「1」にセットする。UP信号およびDOWN信号が両方とも論理「1」になると、リセット回路210はRSTb信号上で論理「0」パルスを発生させて、時間206においてDF F 2 0 1、2 0 3をリセットし、また、UPおよびDOWN信号を論理「0」にリセットする。

【0015】

このシーケンスは、時間208においてCLK__REFの次の立上り端縁から始まって繰返され、CLK__REFおよびCLK__FBの各々の後続の立上り端縁の間続く。遅延は最小の遅延に留まったままであり、したがって、DLLは決してロックを達成しない。

【発明の概要】

【課題を解決するための手段】

【0016】

発明の概要

リセット後に位相検出器へのクロック信号の適切な順序付けを確実にする、遅延ロックループにおける初期化回路が提示される。遅延ロックループは、フィードバッククロックを発生させるために、遅延を基準クロックに与える遅延回路を含む。遅延回路は遅延範囲を有する。遅延ロックループにおける位相検出器は、遅延回路の遅延を変化させるために、基準クロックおよびフィードバッククロックの位相を比較する。リセットの後、初期化回路は、基準クロックおよびフィードバッククロックのうちの1つを受取った後に位相検出器が遅延範囲の第1の端部から離れる方向に遅延を最初に変化させることを確実にし、基準クロックおよびフィードバッククロックのうちの一方を受取ることによって基準クロックおよびフィードバッククロックのうちの他方を受取った後にのみ、第1の端部に向かう逆方向への遅延の変化をイネーブルする。

【0017】

遅延範囲の第1の端部は最小の遅延であってもよく、第1の端部から離れる方向は遅延を増加させ、第1の端部に向かう逆方向は遅延を減少させる。初期化回路は、基準クロックを受取った後に遅延を増加させ、基準クロックに続いてフィードバッククロックを受取った後にのみ遅延の減少をイネーブルする。初期化回路は第1のラッチおよび第2のラッチを含んでもよく、第2のラッチの入力は第1のラッチの出力に結合される。第1のラッチは基準クロックに回答し、基準クロックの第1の端縁を検出して、第1の端部から離れる方向への遅延の変化をイネーブルする。第2のラッチはフィードバッククロックに回答し、基準クロックの第1の端縁が第1のラッチによって検出された後にフィードバッククロックの端縁を検出して、逆方向への遅延の変化をイネーブルする。

10

20

30

40

50

【 0 0 1 8 】

代替的な実施例では、2つのラッチを初期化回路に加えることによって、クロックが安定化することを可能にするために、さらなる遅延が加えられてもよい。第3のラッチの入力は第1のラッチの出力に結合され、第4のラッチの入力は第3のラッチの出力に結合される。第3のラッチは基準クロックの次の端縁を検出して、少なくとも1つの基準クロック周期の間に第1の方向に位相検出回路をイネーブルすることを遅らせる。第4のラッチはフィードバッククロックの次の端縁を検出して、少なくとも1つのフィードバッククロック周期の間に他の方向への位相検出器の調整をイネーブルすることを遅らせる。

【 0 0 1 9 】

基準クロックの第1の端縁は立上り端縁であってもよく、フィードバッククロックの端縁は立上り端縁である。

10

【 0 0 2 0 】

代替的な実施例では、初期化回路は第1のラッチおよび第2のラッチを含んでもよい。第1のラッチはフィードバッククロックに応答し、フィードバッククロックの第1の端縁を検出して、第1の端部から離れる方向への遅延の変化をイネーブルする。第2のラッチは基準クロックに応答し、フィードバッククロックの第1の端縁が第1のラッチによって検出された後に基準クロックの端縁を検出して、逆方向への遅延の変化をイネーブルする。第2のラッチの入力は第1のラッチの出力に結合される。

【 0 0 2 1 】

位相検出器は、基準クロックに応答して第1の位相制御信号を発生させるラッチを含んでもよく、フィードバッククロックに応答して第2の位相制御信号を発生させる別のラッチを含んでもよい。

20

【 0 0 2 2 】

この発明の前述および他の目的、特徴、および利点は、同様の参照符号が異なる図面全体を通して同一の部品を指す添付の図面に示される、この発明の好ましい実施例の以下のより特定の記載から明らかであろう。図面は必ずしも一定の比例に応じているわけではなく、この発明の原理を示す際に強調されている。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 典型的な先行技術の遅延ロックループ (DLL) のブロック図である。

30

【 図 2 】 典型的な先行技術の位相検出器の概略図である。

【 図 3 】 リセット後のクロック端縁順序付け問題を示すタイミング図である。

【 図 4 】 この発明の原理に従う、位相検出器初期化回路を含む端縁トリガ型位相検出回路の概略図である。

【 図 5 】 図 4 に示されるリセット回路の実施例の回路図である。

【 図 6 】 図 4 および図 5 に示される回路の動作を示すタイミング図である。

【 図 7 】 リセット後にフィードバッククロックの立上り端縁が基準クロックの立上り端縁より先に発生するときの、図 4 に示される回路の動作を示すタイミング図である。

【 図 8 】 リセット時に遅延が最大値にリセットされる DLL において使用される、図 4 に示される位相検出回路の代替的な実施例の概略図である。

40

【 図 9 】 位相検出器初期化回路の代替的な実施例の概略図である。

【 図 10 】 位相検出器初期化回路のさらに別の実施例である。

【 図 11 】 基準クロックの立上り端縁がフィードバッククロックの立上り端縁より先に発生するときの、図 9 の回路の動作を示すタイミング図である。

【 発明を実施するための形態 】

【 0 0 2 4 】

発明の詳細な説明

以下に、この発明の好ましい実施例について説明する。

【 0 0 2 5 】

図 4 は、この発明の原理に従う、位相検出器初期化回路 410 を含む端縁トリガ型位相

50

検出回路400の概略図である。位相検出回路400は、図1の位相検出器104に代わるものであって、新規のDLLをもたらす。位相検出回路400は、基準クロック(CLK_REF)信号とフィードバッククロック(CLK_FB)信号との間の位相差を検出する位相検出器412を含む。位相検出器412の出力(UP、DOWN)は、図1に示される位相検出器104に関連して記載したように、電荷ポンプのそれぞれのUP/DOWN入力に結合されて、クロック間で検出された位相差に基づいて基準クロックの遅延を増加または減少させる。

【0026】

遅延の範囲は最小値から最大値までであり得る。電圧制御遅延線では、制御電圧は許容される値の範囲を有する。その範囲の一端はVCDLのための最小遅延値に対応し、その範囲の他端はVCDLのための最大遅延値に対応する。VCDLの動作は当該技術分野において十分に理解されており、さらに論じられることはない。デジタル遅延線を使用する他のDLLは、デジタル遅延線における1単位の遅延に通常等しい最小遅延値、およびデジタル遅延線における単位遅延の数に通常等しい最大遅延値を有する。示される実施例では、DLLの遅延はリセット時に最小値にリセットされる。ノードAおよびノードBにおいて位相検出器412に結合される位相検出器初期化回路410は、リセット後のクロック端縁の検出を正確に順序付けることを確実にする。

10

【0027】

正確な順序付けを確実なものにするために、位相検出器初期化回路410は、リセット後にCLK_REFの第1の立上り端縁が検出されるまで位相検出器412の動作をディスエーブルする。位相検出器初期化回路410がCLK_REFの第1の立上り端縁を検出した後、位相検出器412の状態はDLLの遅延の増加を可能にするようにセットされる。位相検出器初期化回路410は、さらに、次のCLK_FBの立上り端縁まで位相検出器412による遅延の減少をイネーブルすることを遅らせることによって、クロック間の初期位相差がない場合であっても、システムまたは電源投入のリセット後に遅延が必ず増加されるようにする。遅延の最初の増加の後、位相検出器412は、図2および図3に関連して説明した先行技術の位相検出器と関連づけて上に記載したように動作する。リセット後にCLK_REFの立上り端縁を最初に検出し、かつ位相検出をイネーブルするより先にCLK_FBの第1の立上り端縁の検出を遅らせることによって、遅延はリセット後に常に増加される。リセット後に常に自動的に遅延を増加させることによって、図2および図3に関連して記載した先行技術の位相検出器におけるようなロックのない状態に直面することは決してない。

20

30

【0028】

位相検出器初期化回路410は、2つのDFF404、403を含む。DFF404はリセット後にCLK_REFの第1の立上り端縁を検出し、ノードAを論理「1」にセットすることによって遅延の増加をイネーブルする。DFF403は、CLK_FBの次の立上り端縁をむかえるまでノードBを論理「0」に保持することによって、遅延の減少をイネーブルすることを遅らせる。

【0029】

位相検出回路402は2つのDFF401、402およびリセット回路416を含む。DFF404の出力(ノードA)はDFF402のD入力に結合され、DFF403の出力(ノードB)はDFF401のD入力に結合される。各々のDFF401、402のそれぞれの非同期リセット入力は、リセット回路416の出力(RSTb)に結合される。RSTb信号は、RESETb信号が論理「0」に保持される間、またはUPおよびDOWN信号が両方とも論理「1」にある間、リセット中にDFF401、402をリセットするように、論理「0」にセットされる。

40

【0030】

各々のDFF401、402のクロック入力は、入力クロック信号(CLK_REF、CLK_FB)のうちのそれぞれ1つに結合され、DFF401のクロック入力はCLK_REFに結合され、DFF402のクロック入力はCLK_FBに結合される。各々の

50

DFF 401、402の出力は、電荷ポンプのそれぞれのUP/DOWN入力に結合されて、クロック間で検出された位相差に基づいて遅延を増加または減少させる。

【0031】

図5は、図4に示されるリセット回路416の一実施例の回路図である。リセット回路416は複数のインバータ215、213、212、217、NANDゲート216、およびAND-ORインバータ211を含む。リセット回路の動作を表す真理表が以下の表1に示される。

【0032】

【表1】

入力		出力	
UP	DOWN	RESETb	RSTb
X	X	0	0
0	1	X	1
1	0	X	1
1	1	X	0

表1

【0033】

リセット中に、インバータ217の入力において、RESETb信号は論理「0」にセットされ、RSTb信号は論理「0」にセットされる。AND-ORインバータ211の入力の1つに結合されるインバータ217の出力における論理「1」は、RSTb信号上に論理「0」をもたらす。

【0034】

位相検出器回路412のUPおよびDOWN出力が両方とも論理「1」に遷移するとき、RSTb信号はインバータ212、213、214を介する伝搬遅延に等しい長さの時間の間、論理「0」にセットされる。インバータ212の出力は、DOWNおよびUP信号の両方がNANDゲート216の入力において論理「1」に遷移するより前は、論理「1」である。NANDゲート216の両方の入力が論理「1」になると、NANDゲート216の出力は論理「0」に遷移する。インバータ215の入力における論理「0」は、AND-ORインバータ211の入力に結合されるインバータ215の出力において論理「1」をもたらす。AND-ORインバータ211の両方の入力が論理「1」になると、RSTb信号は論理「0」に遷移する。RSTb信号が論理「1」に戻るのは、インバータ214の入力上の論理「1」がインバータ213、212を介して伝搬し、その結果、インバータ212の出力に結合されるAND-ORインバータ211の入力上に論理「0」をもたらした後である。これは、RSTb信号上に論理「0」パルスをもたらす。

【0035】

図4および図5に示される回路の動作を、図6および図7に示されるタイミング図に関連して説明する。図6は、リセット後に基準クロックの立上り端縁がフィードバッククロックの立上り端縁より先に発生する場合を示し、図7は、リセット後にフィードバッククロックの立上り端縁が基準クロックの立上り端縁より先に発生する場合を示す。

【0036】

図6は、図4および図5に示される回路の動作を図示するタイミング図である。

DFF 403、404の出力は、ノードBおよびAにおいてDFF 401、402のそれぞれのD入力に結合される。図6における時間500より前には、リセットの間、RESETb信号は論理「0」に保持され、電圧制御遅延線における遅延は最小の遅延にセットされる。広範な周波数帯域のDLLにおいては、遅延線の最小の遅延はCLK_REFの周期より大きくてもよい。RESETb信号およびRSTb信号が論理「0」にあり、DFF 401、402、403のそれぞれのD入力上が論理「0」である間は、CLK_REF信号またはCLK_REF信号上の立上り端縁は出力信号(UP、DOWN)に何の影響も与えない。

10

20

30

40

50

【 0 0 3 7 】

R S T b は D F F 4 0 1、4 0 2 のそれぞれの非同期リセット入力に結合され、R E S E T b は D F F 4 0 3、4 0 4 のそれぞれの非同期リセット入力に結合される。ノード A および B は論理「0」信号に保持される。なぜなら、D F F 4 0 3、4 0 4 は R E S E T b 信号によってリセットを保持されるからである。D F F 4 0 1、4 0 2 の出力における U P および D O W N 信号も両方とも論理「0」に保持される。なぜなら、図 5 に関連して記載したように、R E S E T b が論理「0」にある間、リセット回路 4 1 0 によって出力される R S T B 信号は論理「0」に保持されるからである。

【 0 0 3 8 】

リセットサイクルの終わりに、時間 5 0 0 において、R E S E T b 信号は論理「1」に遷移して、D F F 4 0 4、4 0 3 が状態を変化させることを可能にする。リセットの後、C L K _ R E F の第 1 の立上り端縁（論理「0」から論理「1」への遷移）は、C L K _ F B 信号の第 1 の立上り端縁より先に発生する。

10

【 0 0 3 9 】

時間 5 0 2 において、C L K _ R E F 信号上の第 1 の立上り端縁は D F F 4 0 4 をセットし、ノード A における信号（D F F 4 0 4 の出力）は論理「0」から論理「1」へ遷移する。ノード A 上の論理「1」は、C L K _ F B の次の立上り端縁が検出された後に遅延を増加させるように、D F F 4 0 2 が U P 信号をセットすることを可能にする。

【 0 0 4 0 】

時間 5 0 4 において、C L K _ F B の第 1 の立上り端縁は D F F 4 0 2 をセットし、U P 信号（D F F 4 0 2 の出力）は論理「0」から論理「1」へ遷移する。C L K _ F B の第 1 の立上り端縁はさらに D F F 4 0 3 をセットし、ノード B における信号（D F F 4 0 3 の出力）は論理「0」から論理「1」へ遷移して、遅延が C L K _ R E F の次の立上り端縁上で減少することを可能にする。U P 信号が論理「1」にある間、遅延は増加する。

20

【 0 0 4 1 】

位相検出器初期化回路 4 1 0 における D F F 4 0 3 は、たとえ信号（C L K _ R E F および C L K _ F B）間に初期位相差がないとしても、リセット後に常に遅延が増加することを確実なものにする。D O W N 信号が D F F 4 0 1 によって論理「1」にセットされるより前に U P 信号が論理「1」に保持される時間は、C L K _ F B と C L K _ R E F との間の初期位相差に依存する。

30

【 0 0 4 2 】

時間 5 0 5 において、D F F 4 0 1 の D 入力において論理「1」であると、C L K _ R E F の立上り端縁は D F F 4 0 1 の出力において論理「1」をラッチする。D F F 4 0 1、4 0 2 の両方の出力（D O W N、U P）が論理「1」になると、リセット回路 4 1 6 によって論理「0」パルスが R S T b 信号上で発生されて、D F F 4 0 1、4 0 2 をリセットする。時間 5 0 6 において、D F F 4 0 1、4 0 2 は両方リセットされ、両方の出力（D O W N、U P）は論理「0」にリセットされる。D F F 4 0 3、4 0 4 はリセットされない。代わりに、D F F 4 0 3、4 0 4 は、次のリセットが検出されるまで、ノード A、B におけるそれぞれの出力上で論理「1」であるセット状態に留まる。

【 0 0 4 3 】

したがって、遅延の最初の増加の後、位相検出器 4 1 2 は位相制御信号（U P / D O W N）の発生を制御して、ロックが達成されるまで遅延をさらに増加または減少させる。位相検出器 4 1 2 は、時間 5 1 2 において D L L がロック状態になるまで、時間 5 0 8 および時間 5 1 0 において示されるように、さらなる U P 信号の遷移を発生させることによって遅延を増加させ続ける。位相検出器 4 1 2 は、C L K _ R E F 信号と C L K _ F B 信号との間の位相差を絶えず監視し、U P / D O W N 信号を適切にセットすることによって遅延を調整して、ロックを達成する。

40

【 0 0 4 4 】

図 7 は、リセット後にフィードバックロックの第 1 の立上り端縁が基準クロックの第 1 の立上り端縁より先に発生するときの、図 4 に示される回路の動作を図示するタイミン

50

グ図である。

【 0 0 4 5 】

時間 7 0 0 において、R E S E T b 信号は論理「 0 」から論理「 1 」へ遷移する。時間 7 0 1 において、C L K _ F B の立上り端縁は D F F 4 0 3、4 0 2 によって無視される。なぜなら、C L K _ R E F の第 1 の立上り端縁が D F F 4 0 4 によってまだ検出されていないからである。

【 0 0 4 6 】

時間 7 0 2 において、C L K _ R E F 上の第 1 の立上り端縁は D F F 4 0 4 をセットし、ノード A は論理「 0 」から論理「 1 」へ遷移する。

【 0 0 4 7 】

時間 7 0 3 において、C L K _ F B 信号の次の立上り端縁は D F F 4 0 2 をセットし、U P 信号 (D F F 4 0 2 の出力) は論理「 0 」から論理「 1 」へ遷移する。C L K _ F B 信号のその立上り端縁はさらに D F F 4 0 3 をセットし、ノード B は論理「 0 」から論理「 1 」へ遷移する。

【 0 0 4 8 】

時間 7 0 4 において、ノード B (D F F 4 0 1 の D 入力) 上で論理「 1 」であると、C L K _ R E F の立上り端縁は D F F 4 0 1 の出力において論理「 1 」をラッチする。D F F 4 0 1、4 0 2 の両方の出力 (D O W N、U P) が論理「 1 」になると、リセット回路 4 1 6 によって論理「 0 」パルスが R S T b 信号上で発生されて、D F F 4 0 1、4 0 2 をリセットし、両方の出力 (D O W N、U P) は論理「 0 」にセットされる。

【 0 0 4 9 】

遅延を最初に増加させるように U P 信号が論理「 1 」に最初に遷移した後、位相検出器 4 1 2 は出力信号 (U P / D O W N) の発生を制御して、ロックが達成されるまで遅延をさらに増加または減少させる。位相検出回路は、時間 7 0 5 に示されるように U P 信号を論理「 1 」にセットすることによって、遅延を増加させ続ける。

【 0 0 5 0 】

図 8 は、リセット時に遅延が最大値にリセットされる D L L において使用される、図 4 に示した位相検出回路 8 0 0 の代替的な実施例の概略図である。ノード A およびノード B において位相検出器 4 1 2 に結合される位相検出器初期化回路 8 0 6 は、リセット後のクロック端縁の検出を正確に順序付けることを確実にする。

【 0 0 5 1 】

正確な順序付けを確実なものにするために、位相検出器初期化回路 8 0 6 は、リセット後に C L K _ F B の第 1 の立上り端縁が検出されるまで、位相検出器 4 1 2 の動作をディスエーブルする。位相検出器初期化回路 8 0 6 が C L K _ F B の第 1 の立上り端縁を検出した後、位相検出器 4 1 2 の状態は D L L の遅延の減少を可能にするようにセットされる。位相検出器初期化回路 8 0 6 は、さらに、次の C L K _ R E F の立上り端縁まで位相検出器 4 1 2 による遅延の増加をイネーブルすることを遅らせて、クロック間の初期位相差がないときでさえ、システムまたは電源投入のリセット後に遅延が常に減少されることを確実にする。遅延の最初の減少の後、位相検出器 4 1 2 は、図 2 および図 3 に関連して説明した先行技術の位相検出器と関連づけて上に記載したように動作する。リセット後に C L K _ F B の立上り端縁を最初に検出し、かつ位相検出をイネーブルするより先に C L K _ R E F の第 1 の立上り端縁の検出を遅らせることによって、遅延はリセット後に常に減少される。リセット後に常に自動的に遅延を減少させることによって、図 2 および図 3 に関連して記載した先行技術の位相検出器におけるようなロックのない状態に直面することは決してない。

【 0 0 5 2 】

位相検出器初期化回路 8 0 6 は、2 つの D F F 8 0 2、8 0 4 を含む。D F F 8 0 2 はリセット後に C L K _ F B の第 1 の立上り端縁を検出し、ノード A を論理「 1 」にセットすることによって遅延の減少をイネーブルする。D F F 8 0 4 は、C L K _ R E F の次の立上り端縁をむかえるまでノード B を論理「 0 」に保持することによって、遅延の増加を

10

20

30

40

50

イネーブルすることを遅らせる。

【0053】

位相検出回路402は、2つのDF F 401、402およびリセット回路416を含む。DF F 802の出力(ノードA)はDF F 401のD入力に結合され、DF F 804の出力(ノードB)はDF F 402のD入力に結合される。各々のDF F 401、402のそれぞれの非同期リセット入力は、リセット回路416の出力(R S T b)に結合される。R S T b信号は、R E S E T b信号が論理「0」に保持される間、またはUPおよびDOWN信号が両方とも論理「1」にある間、リセット中にDF F 401、402をリセットするように、論理「0」にセットされる。

【0054】

各々のDF F 401、402のクロック入力は、入力クロック信号(C L K _ R E F、C L K _ F B)のうちのそれぞれ1つに結合され、DF F 401のクロック入力はC L K _ R E Fに結合され、DF F 402のクロック入力はC L K _ F Bに結合される。各々のDF F 401、402の出力は、電荷ポンプのそれぞれのUP/DOWN入力に結合されて、クロック間で検出された位相差に基づいて遅延を増加または減少させる。

【0055】

図9は、位相検出器初期化回路の代替的な実施例の概略図である。この実施例では、リセット後にC L K _ R E Fの第1の立上り端縁を検出する、DF F 604のデータ入力および非同期リセット入力に結合される信号が、図4に示される実施例とは異なる。DF F 604へのデータ入力はV d dではなくR E S E T b信号に結合され、非同期リセット入力はR E S E T bではなくV d dに結合される。DF F 604は、R E S E T bが論理「0」にあるときに、C L K _ R E Fの第1の立上り端縁の後リセットされる。DF F 604は、R E S E T bが論理「0」から論理「1」へ遷移した後、C L K _ R E Fの第1の立上り端縁後に、ノードA上の論理「1」でセットされる。DF F 604がC L K _ R E Fの第1の立上り端縁を検出した後は、この回路の動作は図4に示した実施例に関連して記載した動作と同様である。

【0056】

図10は、位相検出器初期化回路のさらに別の実施例である。クロックがリセット後または電源投入時に安定化することを可能にするために、図4に関連して記載した位相検出器初期化回路に追加のDF Fを加えることができ、その結果、位相検出回路をイネーブルするより先に2つ以上の立上り端縁がC L K _ R E F上で検出されるようになる。追加のDF F 706はDF F 704に結合される。C L K _ R E Fは、DF F 706のクロック入力にも結合される。したがって、論理「0」から論理「1」へのノードAの遷移は、C L K _ R E Fの第2の立上り端縁がDF F 704によって検出された後、発生する。この追加の遅延(C L K _ R E Fの1周期)は、回路がリセットされた後にクロック(C L K _ R E FおよびC L K _ F B)が安定化することを可能にする。位相検出回路をイネーブルするより先に検出されるC L K _ R E Fの立上り端縁の数をさらに増加させるために、いかなる所望の数の段が加えられてもよいことを当業者は認識するであろう。

【0057】

追加のDF F 705もDF F 705とDF F 701との間に結合される。DF F 705のクロック入力はC L K _ F B信号に結合され、非同期リセット入力はR E S E T b信号に結合される。DF F 705の出力はDF F 703の入力に結合される。追加のDF F 705はDOWN信号の論理「0」から論理「1」への遷移を遅らせ、したがって、遅延を増加させるようにUP信号が論理「1」に最初にセットされる時間を増加させる。UP信号が論理「1」に保持される時間をさらに増加させるために、いかなる所望の数の段が加えられてもよいことを当業者は認識するであろう。

【0058】

図11は、図10の回路の動作を図示するタイミング図である。DF F 703、704の出力は、ノードAおよびBにおいてDF F 401、402のそれぞれの入力に結合される。時間900より前は、リセットの間、R E S E T b信号は論理「0」に保持され、遅

10

20

30

40

50

延は最小の遅延にセットされる。RESET b 信号および RST b 信号が DFF 401、402、403、704、705、706 のそれぞれの D 入力上で論理「0」にある間は、CLK_FB 信号または CLK_REF 信号上の立上り端縁は出力信号 (UP、DOWN) に何の影響も与えない。

【0059】

時間 900 において、RESET b 信号は論理「1」に遷移して、DFF が状態を変化させることを可能にする。

【0060】

時間 901 において、CLK_REF 上の第 1 の立上り端縁は DFF 706 をセットし、DFF 706 の出力は論理「0」から論理「1」へ遷移する。

10

【0061】

時間 902 において、CLK_REF 上の第 2 の立上り端縁は DFF 704 をセットし、ノード A (DFF 404 の出力) は論理「0」から論理「1」へ遷移する。ノード A 上の論理「1」は、位相検出回路 412 における DFF 402 を介した遅延の増加をイネーブルする。

【0062】

時間 903 において、CLK_FB 信号の後続の立上り端縁は DFF 402 をセットし、UP 信号 (DFF 402 の出力) は論理「0」から論理「1」へ遷移する。CLK_FB 信号の後続の立上り端縁は、さらに、DFF 705 をセットする。

20

【0063】

時間 904 において、CLK_FB 信号の次の立上り端縁は DFF 703 をセットし、ノード B における信号 (DFF 403 の出力) は論理「0」から論理「1」へ遷移する。UP 信号が論理「1」にある間、遅延は増加される。

【0064】

時間 905 において、DFF 401 の入力において論理「1」であると、CLK_REF の次の立上り端縁は DFF 401 の出力において論理「1」をラッチする。DFF 401、402 の両方の出力 (DOWN、UP) が論理「1」になると、リセット回路 416 によって論理「0」パルスが RST b 信号上で発生されて、DFF 401、402 をリセットし、両方の出力 (DOWN、UP) は論理「0」にセットされる。

【0065】

代替的な実施例では、遅延線はリセット時に最大の遅延 (電圧制御遅延線における全単位セルの合計遅延) にセットされることができ、位相検出器は遅延を自動的に減少させるように構成され得る。さらに、この発明は立上り端縁トリガ型フリップフロップを使用して記載されてきたが、立下り端縁トリガ型 DFF も使用され得る。さらに、この発明は電圧制御遅延線を使用して記載されてきたが、デジタルまたはタップ付遅延線も使用され得る。

30

【0066】

この発明はその好ましい実施例を参照して特に示され、記載されてきたが、特許請求の範囲によって包含されるこの発明の範囲から逸脱することなく、形状および詳細においてさまざまな変更がなされ得ることが当業者によって理解されるであろう。

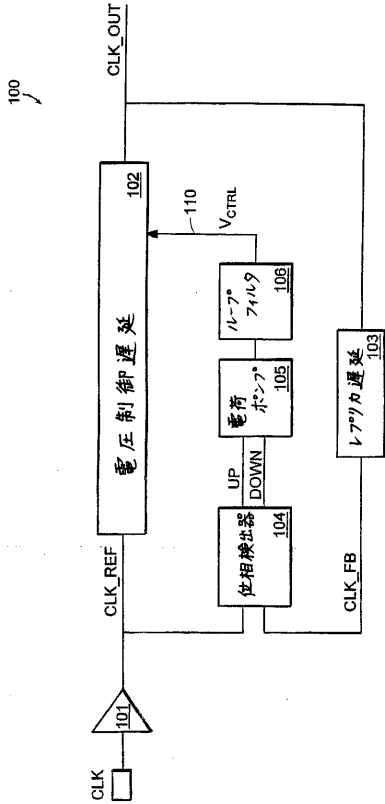
40

【符号の説明】

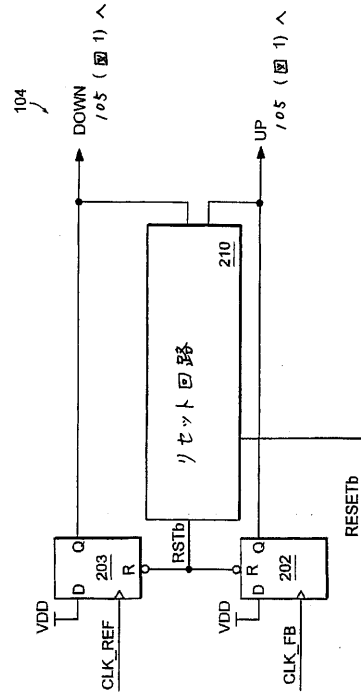
【0067】

104 位相検出器、211, 212, 213, 214, 215, 217 インバータ、216 ゲート、400 端縁トリガ型位相検出回路、402, 800 位相検出回路、410 位相検出器初期化回路、412 位相検出器回路、416 リセット回路、806 位相検出器初期化回路。

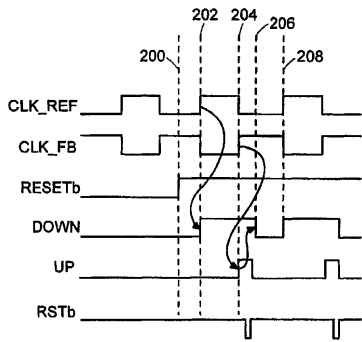
【図1】



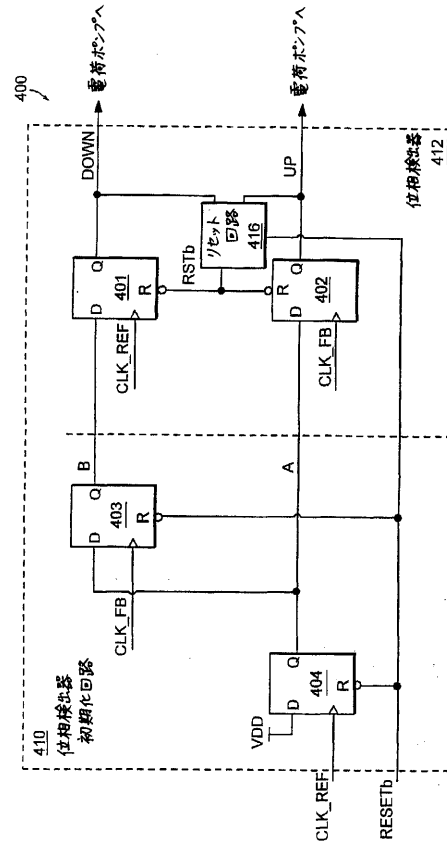
【図2】



【図3】

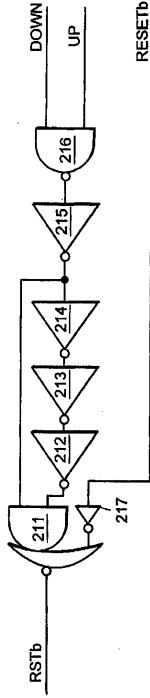


【図4】

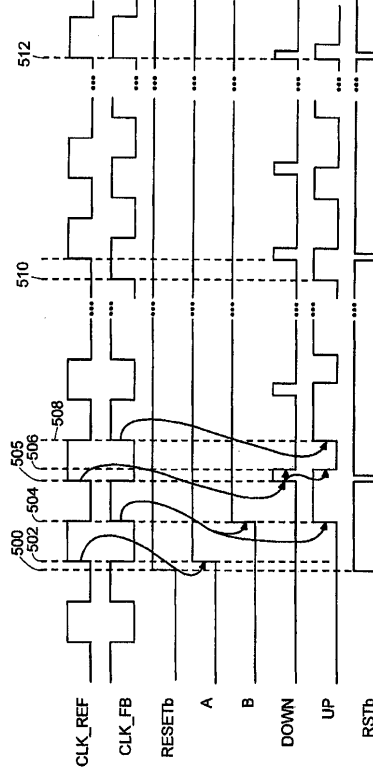


【 図 5 】

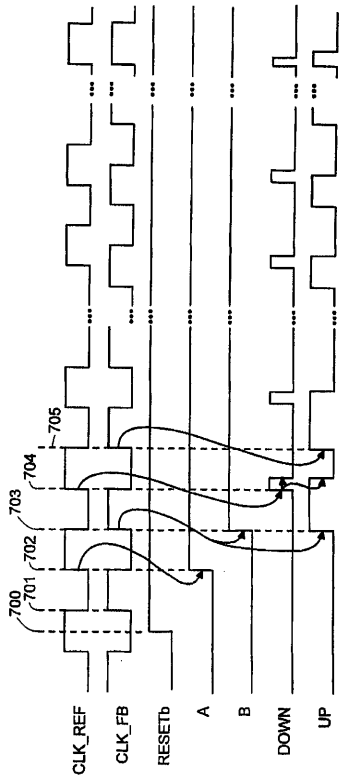
416



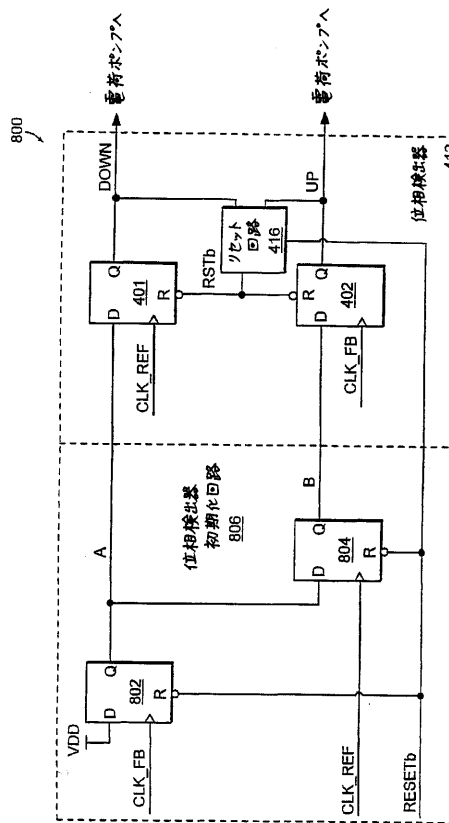
【 図 6 】



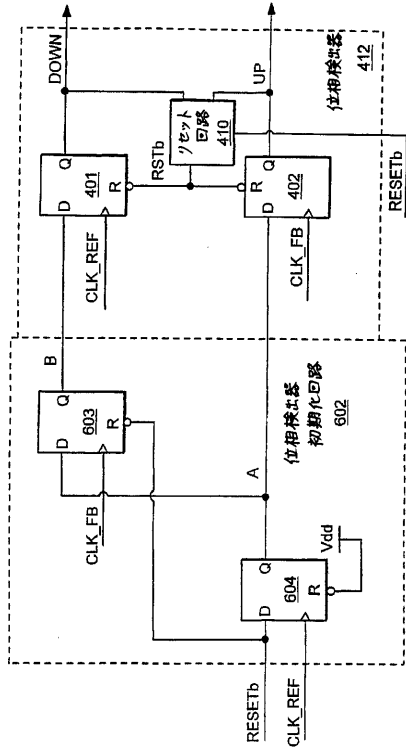
【 図 7 】



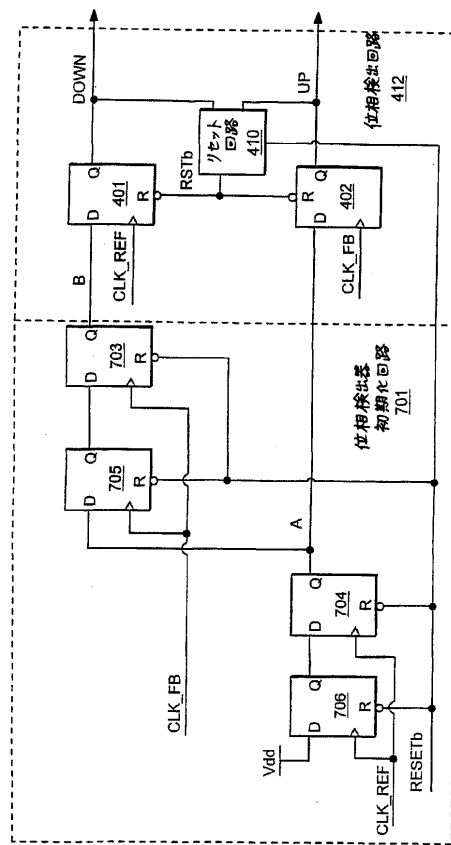
【 図 8 】



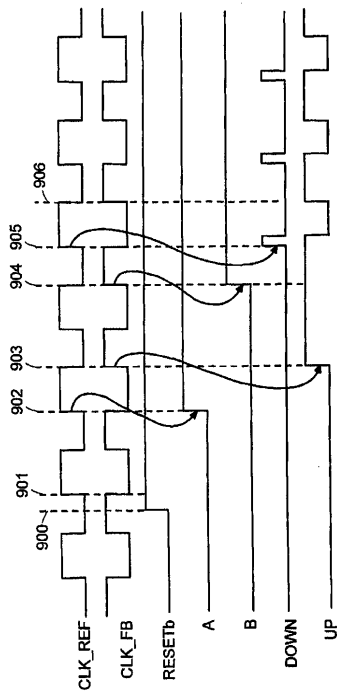
【 図 9 】



【 図 10 】



【 図 11 】



【手続補正書】

【提出日】平成22年4月26日(2010.4.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2のラッチと、

リセット信号に 응답して前記第1および第2のラッチをイネーブルするように構成された回路とを備え、前記回路は、

複数の第1の段を含み、前記第1の段の各々は、第1のクロック信号によってクロックされる記憶素子を有し、前記第1の段の出力は、前記第1のラッチに電氣的に接続され、前記回路は、さらに、

複数の第2の段を含み、前記第2の段の各々は、第2のクロック信号によってクロックされる記憶素子を有し、前記第2の段は、前記第1の段の出力を受け、前記第2の段の出力は、前記第2のラッチに電氣的に接続される、装置。

【請求項2】

前記第1の段は、前記リセット信号に 응답して、前記第1の段の数に対応する遅延後に前記第1のラッチをイネーブルする、請求項1に記載の装置。

【請求項3】

前記遅延は、少なくとも、前記第1の段の数より小さい数に対応する前記第1のクロック信号の数クロック周期の期間である、請求項2に記載の装置。

【請求項4】

前記第2の段は、前記リセット信号に 응답して、前記第1および第2の段の数に対応する遅延後に前記第2のラッチをイネーブルする、請求項1に記載の装置。

【請求項5】

前記遅延は、少なくとも、1)前記第1の段の数より小さい数に対応する前記第1のクロック信号、および2)前記第2の段の数より小さい数に対応する前記第2のクロック信号の数クロック周期の期間である、請求項4に記載の装置。

【請求項6】

前記第1および第2のクロック信号の周波数は、実質的に等しい、請求項1に記載の装置。

【請求項7】

前記記憶素子は、各々ラッチを含んでいる、請求項1に記載の装置。

【請求項8】

連続した段のラッチは、それぞれの出力およびそれぞれの入力を介して電氣的に接続される、請求項7に記載の装置。

【請求項9】

前記第1のラッチは、前記第2のクロック信号によりクロックされ、前記第2のラッチは、前記第1のクロック信号によりクロックされる、請求項1に記載の装置。

【請求項10】

前記第1のラッチは、前記第2のクロック信号に 응답して制御信号を生成し、前記第2のラッチは、前記第1のクロック信号に 응답して制御信号を生成する、請求項1に記載の装置。

【請求項11】

第1および第2のラッチと、

リセット信号に 응답して前記第1および第2のラッチをイネーブルするように構成された回路とを備え、前記回路は、

複数の第 1 の段を含み、前記第 1 の段の各々は、基準クロック信号によってクロックされるラッチを有し、前記第 1 の段の出力は、前記第 1 のラッチに電氣的に接続され、前記回路は、さらに、

複数の第 2 の段を含み、前記第 2 の段の各々は、フィードバッククロック信号によってクロックされるラッチを有し、前記第 2 の段は、前記第 1 の段の出力を受け、前記第 2 の段の出力は、前記第 2 のラッチに電氣的に接続される、装置。

フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(72)発明者 マイ, トニー

カナダ、ケイ・2・ケイ 3・エイ・6 オンタリオ州、カナタ、ウィソーン・アベニュー、9

Fターム(参考) 5J001 BB05 BB10 BB11 BB12 BB14 DD09

5J106 AA05 CC21 CC41 DD24 DD32 DD42 GG10 GG15 KK12