

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023년 7월 20일 (20.07.2023) WIPO | PCT

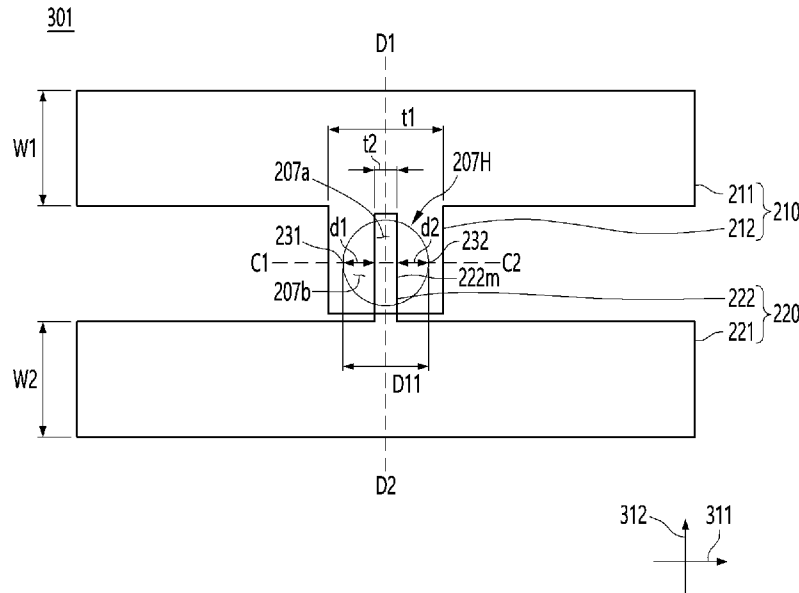


(10) 국제공개번호
WO 2023/136378 A1

- (51) 국제특허분류: H01L 25/075 (2006.01) H01L 33/62 (2010.01)
H01L 25/16 (2006.01) H01L 33/36 (2010.01)
- (21) 국제출원번호: PCT/KR2022/000763
- (22) 국제출원일: 2022년 1월 14일 (14.01.2022)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (71) 출원인: 엘지전자 주식회사 (LG ELECTRONICS INC.) [KR/KR]; 07336 서울특별시 영등포구 여의대로 128, Seoul (KR). 엘지디스플레이 주식회사 (LG DISPLAY CO., LTD.) [KR/KR]; 07336 서울시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 안재용 (AN, Jaeyong); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터, Seoul (KR). 변양우 (BYUN, Yangwoo); 06772 서울특별시 서초구 양재대로11길 19 LG전자 특허센터, Seoul (KR).
- (74) 대리인: 허용록 (HAW, Yong Noke); 06252 서울특별시 강남구 역삼로 114, 현죽빌딩 6층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: DISPLAY DEVICE

(54) 발명의 명칭: 디스플레이 장치



(57) Abstract: A display device comprises: a substrate; a first assembly wiring on the substrate; a second assembly wiring on top of the first assembly wiring; an insulating layer between the first assembly wiring and the second assembly wiring; a barrier rib disposed on the second assembly wiring and having an assembly hole; and a semiconductor light-emitting device in the assembly hole. A portion of the second assembly wiring may be disposed at the center of the assembly hole, and the width of the portion of the second assembly wiring may be smaller than the diameter of the assembly hole.

(57) 요약서: 디스플레이 장치는 기판과, 기판 상에 제1 조립 배선과, 제1 조립 배선의 상에 제2 조립 배선과, 제1 조립 배선과 제2 조립 배선 사이에 절연층과, 제2 조립 배선 상에 배치되고, 조립 홀을 갖는 격벽과, 조립 홀에 반도체 발광 소자를 포함한다. 제2 조립 배선의 일부는 조립 홀의 중심에 배치되고, 제2 조립 배선의 일부의 폭은 조립 홀의 직경보다 작을 수 있다.

[다음 쪽 계속]



WO 2023/136378 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 디스플레이 장치

기술분야

- [1] 실시예는 디스플레이 장치에 관한 것이다.

배경기술

- [2] 대면적 디스플레이는 액정디스플레이(LCD), OLED 디스플레이, 그리고 마이크로-LED 디스플레이(Micro-LED display) 등이 있다.
- [3] 마이크로-LED 디스플레이는 100 μ m 이하의 직경 또는 단면적을 가지는 반도체 발광 소자인 마이크로-LED를 표시소자로 사용하는 디스플레이이다.
- [4] 마이크로-LED 디스플레이는 반도체 발광 소자인 마이크로-LED를 표시소자로 사용하기 때문에 명암비, 응답속도, 색 재현율, 시야각, 밝기, 해상도, 수명, 발광효율이나 휘도 등 많은 특성에서 우수한 성능을 가지고 있다.
- [5] 특히 마이크로-LED 디스플레이는 화면을 모듈 방식으로 분리, 결합할 수 있어 크기나 해상도 조절이 자유로운 장점 및 플렉서블 디스플레이 구현이 가능한 장점이 있다.
- [6] 그런데 대형 마이크로-LED 디스플레이는 수백만 개 이상의 마이크로-LED가 필요로 하기 때문에 마이크로-LED를 디스플레이 패널에 신속하고 정확하게 전사하기 어려운 기술적 문제가 있다.
- [7] 최근 개발되고 있는 전사기술에는 픽앤-플레이스 공법(pick and place process), 레이저 리프트 오프법(Laser Lift-off method) 또는 자가조립 방식(self-assembly method) 등이 있다.
- [8] 이 중에서, 자가조립 방식은 유체 내에서 반도체 발광 소자가 조립위치를 스스로 찾아가는 방식으로써 대화면의 디스플레이 장치의 구현에 유리한 방식이다.
- [9] 하지만, 아직 마이크로-LED의 자가조립을 통하여 디스플레이를 제조하는 기술에 대한 연구가 미비한 실정이다.
- [10] 특히 종래기술에서 대형 디스플레이에 수백만 개 이상의 반도체 발광 소자를 신속하게 전사하는 경우 전사 속도(transfer speed)는 향상시킬 수 있으나 전사 불량률(transfer error rate)이 높아질 수 있어 전사 수율(transfer yield)이 낮아지는 기술적 문제가 있다.
- [11] 관련 기술에서 유전영동(dielectrophoresis, DEP)을 이용한 자가조립 방식의 전사공정이 시도되고 있으나 DEP force의 불균일성 등으로 인해 자가 조립률이 낮은 문제가 있다.
- [12] 한편, 비공개 내부기술에 의하면, 자가 조립을 위해서는 DEP Force가 필요한데, DEP Force의 균일한 제어의 어려움으로 자가 조립을 이용한 조립 시 반도체 발광 소자가 조립 홀 내에서 정위치가 아닌 곳으로 쏠림 현상이 발생하는 문제가

있다.

- [13] 또한 이러한 반도체 발광 소자의 쏠림 현상으로 인해 이후 전기적 컨택 공정에 있어서 전기적 접촉 특성이 저하되어 점등률이 저하되는 문제가 있다.
- [14] 그러므로 비공개 내부기술에 의하면 자기 조립을 위해 DEP Force가 필요하나 DEP Force를 이용하는 경우 반도체 발광 소자의 쏠림 현상으로 인해 전기적 접촉 특성이 저하되는 기술적 모순에 직면하고 있다.

발명의 상세한 설명

기술적 과제

- [15] 실시예는 전술한 문제 및 다른 문제를 해결하는 것을 목적으로 한다.
- [16] 실시예의 다른 목적은 자가 조립을 및 조립 수율을 향상시킬 수 있는 디스플레이 장치를 제공하는 것이다.
- [17] 또한, 실시예의 또 다른 목적은 반도체 발광 소자의 하측의 전기적 컨택 불량을 방지하여 점등율을 향상시킬 수 있는 디스플레이 장치를 제공하는 것이다.
- [18] 또한, 실시예의 또 다른 목적은 각 화소 간 또는 각 서브 화소 간에 균일한 점등율을 확보할 수 있는 디스플레이 장치를 제공하는 것이다.
- [19] 실시예의 기술적 과제는 본 항목에 기재된 것에 한정되지 않으며, 발명의 설명을 통해 파악될 수 있는 것을 포함한다.

과제 해결 수단

- [20] 상기 또는 다른 목적을 달성하기 위해 실시예의 일 측면에 따르면, 디스플레이 장치는, 기판; 상기 기판 상에 제1 조립 배선; 상기 제1 조립 배선의 상에 제2 조립 배선; 상기 제1 조립 배선과 상기 제2 조립 배선 사이에 절연층; 상기 제2 조립 배선 상에 배치되고, 조립 홀을 갖는 격벽; 및 상기 조립 홀에 반도체 발광 소자를 포함하고, 상기 제2 조립 배선의 일부는 상기 조립 홀의 중심에 배치되고, 상기 제2 조립 배선의 일부의 폭은 상기 조립 홀의 직경보다 작을 수 있다.
- [21] 상기 조립 홀은, 상기 제2 조립 배선이 상기 제1 조립 배선과 수직으로 중첩되는 제1 홀 영역; 및 상기 제2 조립 배선이 상기 제2 조립 배선과 수직으로 중첩되지 않는 제2 홀 영역을 포함할 수 있다.
- [22] 상기 제1 조립 배선은, 제1 방향)을 따라 배치되는 제1 버스 배선; 및 제2 방향을 따라 상기 제1 버스 배선으로부터 연장되는 제1 브랜치 전극을 포함하고, 상기 제2 조립 배선은, 상기 제1 방향을 따라 배치되고, 상기 제1 버스 배선으로부터 이격되는 제2 버스 배선; 및 상기 제2 방향을 따라 상기 제2 버스 배선으로부터 상기 제1 버스 배선을 향해 연장되는 제2 브랜치 전극을 포함할 수 있다.
- [23] 상기 제2 브랜치 전극은, 상기 제1 홀 영역에서 상기 제1 브랜치 전극과 수직으로 중첩되고, 상기 제2 홀 영역에서 상기 제1 브랜치 전극과 수직으로 중첩되지 않을 수 있다.
- [24] 상기 제2 브랜치 전극은, 상기 제2 방향을 따라 상기 조립 홀의 중심을 가로질러

배치되는 바 전극을 포함할 수 있다.

- [25] 상기 제2 브랜치 전극은, 상기 조립 홀의 중심에 배치되고, 상기 바 전극의 폭보다 큰 직경을 가지며, 원형을 갖는 보조 전극을 포함할 수 있다.
- [26] 상기 제2 브랜치 전극은, 상기 조립 홀의 중심에서 상기 바 전극과 교차하여 상기 제1 방향을 따라 배치되고, 상기 바 전극의 폭보다 큰 폭을 가지며, 다각형을 갖는 보조 전극을 포함할 수 있다.
- [27] 상기 제2 브랜치 전극은, 상기 제2 버스 배선으로부터 제1 거리에 위치되어 상기 바 전극과 교차하고, 상기 바 전극의 폭보다 큰 폭을 갖는 제1 보조 전극; 및 상기 제1 버스 배선으로부터 제2 거리에 위치되어 상기 바 전극과 교차하고, 상기 바 전극의 폭보다 큰 폭을 갖는 제2 보조 전극을 포함할 수 있다.
- [28] 상기 제2 브랜치 전극은, 상기 조립 홀의 중심에서 제2 버스 배선을 향해 연장되는 제1 바 전극; 상기 조립 홀의 중심에서 제3 방향으로 연장되는 제2 바 전극; 및 상기 조립 홀의 중심에서 제4 방향으로 연장되는 제3 바 전극을 포함할 수 있다.
- [29] 상기 제1 브랜치 전극의 폭은 적어도 상기 조립 홀의 직경보다 크고, 상기 제2 브랜치 전극의 폭은 상기 조립 홀의 직경보다 작을 수 있다.

발명의 효과

- [30] 도 9 내지 도 11에 도시한 바와 같이, 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다. 이에 따라, 조립 홀(207H)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되는 제1 홀 영역(207a)과 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 제2 홀 영역(207b)을 포함할 수 있다. 자가 조립을 위해 제1 브랜치 전극(212)과 제2 브랜치 전극(222)에 교류 전압(도 13a의 V1)이 인가되는 경우, 제2 브랜치 전극(222)을 기준으로 제2 브랜치 전극(222)의 양 측에 위치된 제2 홀 영역(207b)에 제1 DEP force 및 제2 DEP force가 형성될 수 있다. 이때, 제2 브랜치 전극(222)은 조립 홀(207H)의 중심을 가로질러 배치된 바 전극(222m)를 포함할 수 있다.
- [31] 따라서, 바 전극(222m)과 조립 홀(207H)의 제1 내측(231) 사이의 거리(d1)와 바 전극(222m)과 조립 홀(207H)의 제2 내측(232) 사이의 거리(d2)가 동일하므로, 제1 홀 영역(207a)에 형성된 제1 DEP force와 제2 홀 영역(207b)에 형성된 제2 DEP force가 동일하다. 이에 따라, 자가 조립시 조립 홀(207H)에 삽입된 반도체 발광 소자가 조립 홀(207H)의 일측, 예컨대 제1 내측(231) 또는 제2 내측(232)으로 치우치지 않고 그 중심이 조립 홀(207H)의 중심이나 제2 브랜치 전극(222)의 중심에 위치될 수 있다. 즉, 반도체 발광 소자(150)가 조립 홀(207H) 내에서 정위치되어 제1 DEP force 및 제2 DEP force에 의해 고정될 수 있다. 반도체 발광 소자(150)가 조립 홀(207H) 내에서 제1 DEP force 및 제2 DEP force에 의해

고정되므로, 자가 조립 공정이 완료되거나 완료된 후에도 조립 홀(207H) 밖으로 이탈되지 않아 자가 조립율 및 조립 수율이 현저히 향상될 수 있다.

- [32] 한편, 하부 전극 배선으로 사용되는 제2 브랜치 전극(222)이 조립 홀(207H)의 중심에 배치되고, 반도체 발광 소자(150)의 하면이 직접 제2 브랜치 전극(222)의 상면에 접할 수 있다. 이러한 경우, 설사 반도체 발광 소자(150)가 조립 홀(207H) 내에서 한쪽으로 치우치더라도 제2 브랜치 전극(222)의 전 영역이 반도체 발광 소자(150)의 하면에 접할 수 있다. 따라서, 복수의 화소 각각의 복수의 서브 화소 각각에서 반도체 발광 소자(150)와 제2 브랜치 전극(222)의 전기적 접촉 불량이 방지되므로, 점등율이 현저히 향상될 수 있다. 또한, 복수의 화소 각각의 복수의 서브 화소 각각에서 반도체 발광 소자(150)와 제2 브랜치 전극(222)의 접촉 면적이 동일하므로, 복수의 화소 간 또는 복수의 서브 화소 간에 균일한 점등율을 확보할 수 있다.

- [33] 한편, 제2 브랜치 전극(222)의 폭(t_2)이 반도체 발광 소자(150)의 직경에 비해 상대적으로 작으므로, 반도체 발광 소자(150)가 조립 홀(207H)에 정위치되는 경우 제2 브랜치 전극(222)의 좁은 폭(t_2) 상에 지지가 어려워 반도체 발광 소자(150)가 제2 브랜치 전극(222) 상에서 좌우로 흔들려 결국 한쪽으로 치우칠 수 있다.

- [34] 실시예는 제2 브랜치 전극(222)의 바 전극(222m)에 교차하는 다양한 보조 전극(도 15 및 도 17의 222a, 도 18의 222a1 및 222a2, 도 19의 222a1 내지 222a3)를 배치함으로써, 반도체 발광 소자(150)의 좌우 흔들림으로 인한 한쪽으로의 치우침을 방지하여 반도체 발광 소자(150)를 정위치시킬 수 있다.

- [35] 실시예의 적용 가능성의 추가적인 범위는 이하의 상세한 설명으로부터 명백해질 것이다. 그러나 실시예의 사상 및 범위 내에서 다양한 변경 및 수정은 당업자에게 명확하게 이해될 수 있으므로, 상세한 설명 및 바람직한 실시예와 같은 특정 실시예는 단지 예시로 주어진 것으로 이해되어야 한다.

도면의 간단한 설명

- [36] 도 1은 실시예에 따른 디스플레이 장치가 배치된 주택의 거실을 도시한다.
- [37] 도 2는 실시예에 따른 디스플레이 장치를 개략적으로 보여주는 블록도이다.
- [38] 도 3는 도 2의 화소의 일 예를 보여주는 회로도이다.
- [39] 도 4은 도 1의 디스플레이 장치에서 제1 패널영역의 확대도이다.
- [40] 도 5은 도 4의 A2 영역의 확대도이다.
- [41] 도 6는 실시예에 따른 발광 소자가 자가 조립 방식에 의해 기판에 조립되는 예를 나타내는 도면이다.
- [42] 도 7은 도 6의 A3 영역의 부분 확대도이다.
- [43] 도 8a 내지 도 8b는 내부기술에 따른 디스플레이 장치에서 자가조립 예시도이다.
- [44] 도 8c는 내부기술에 따른 디스플레이 장치에서 자가조립 사진이다.

- [45] 도 8d는 내부 기술에 따른 디스플레이 장치의 자가 조립시 발생하는 틸트 현상을 나타내는 도면이다.
- [46] 도 8e는 내부기술에 따른 디스플레이 패널에서 발광 소자(chip)과 본딩 메탈의 FIB(focused ion beam) 사진이다.
- [47] 도 9는 제1 실시예에 따른 디스플레이 장치를 도시한 평면도이다.
- [48] 도 10은 도 9의 C1-C2 라인을 따라 절단한 단면도이다.
- [49] 도 11은 도 9의 D1-D2 라인을 따라 절단한 단면도이다.
- [50] 도 12a 내지 도 12c는 제1 조립 배선, 제2 조립 배선 및 조립 홀의 형성 과정을 도시한다.
- [51] 도 13a 및 도 13b는 반도체 발광 소자의 조립 과정을 도시한다.
- [52] 도 14는 제1 실시예에 따른 디스플레이 장치의 발광 과정을 도시한다.
- [53] 도 15는 제2 실시예에 따른 디스플레이 장치를 도시한 평면도이다.
- [54] 도 16은 도 15의 E 영역의 부분 확대도이다.
- [55] 도 17은 제3 실시예에 따른 디스플레이 장치를 도시한 평면도이다.
- [56] 도 18 제4 실시예에 따른 디스플레이 장치를 도시한 평면도이다.
- [57] 도 19는 제5 실시예에 따른 디스플레이 장치를 도시한 평면도이다.
- [58] 도면들에 도시된 구성 요소들의 크기, 형상, 수치 등은 실제와 상이할 수 있다. 또한, 동일한 구성 요소들에 대해서 도면들 간에 서로 상이한 크기, 형상, 수치 등으로 도시되더라도, 이는 도면 상의 하나의 예시일 뿐이며, 동일한 구성 요소들에 대해서는 도면들 간에 서로 동일한 크기, 형상, 수치 등을 가질 수 있다.

발명의 실시를 위한 형태

- [59] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 '모듈' 및 '부'는 명세서 작성의 용이함이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 첨부된 도면은 본 명세서에 개시된 실시예를 쉽게 이해할 수 있도록 하기 위한 것이며, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되는 것은 아니다. 또한, 층, 영역 또는 기판과 같은 요소가 다른 구성요소 '상(on)'에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 다른 중간 요소가 존재할 수도 있는 것을 포함한다.
- [60] 본 명세서에서 설명되는 디스플레이 장치에는 TV, 샤이니지, 휴대폰, 스마트폰(smart phone), 자동차용 HUD(head-Up Display), 노트북 컴퓨터(laptop computer)용 백라이트 유닛, VR이나 AR용 디스플레이 등이 포함될 수 있다. 그러나, 본 명세서에 기재된 실시예에 따른 구성은 추후 개발되는 새로운 제품형태이라도, 디스플레이가 가능한 장치에도 적용될 수 있다.

- [61] 이하 실시예에 따른 발광 소자 및 이를 포함하는 디스플레이 장치에 대해 설명한다.
- [62] 도 1은 실시예에 따른 디스플레이 장치가 배치된 주택의 거실을 도시한다.
- [63] 도 1을 참조하면, 실시예의 디스플레이 장치(100)는 세탁기(101), 로봇 청소기(102), 공기 청정기(103) 등의 각종 전자 제품의 상태를 표시할 수 있고, 각 전자 제품들과 IOT 기반으로 통신할 수 있으며 사용자의 설정 데이터에 기초하여 각 전자 제품들을 제어할 수도 있다.
- [64] 실시예에 따른 디스플레이 장치(100)는 얇고 유연한 기판 위에 제작되는 플렉서블 디스플레이(flexible display)를 포함할 수 있다. 플렉서블 디스플레이는 기존의 평판 디스플레이의 특성을 유지하면서, 종이와 같이 휘어지거나 말릴 수 있다.
- [65] 플렉서블 디스플레이에서 시각정보는 매트릭스 형태로 배치되는 단위 화소(unit pixel)의 발광이 독자적으로 제어됨에 의하여 구현될 수 있다. 단위 화소는 하나의 색을 구현하기 위한 최소 단위를 의미한다. 플렉서블 디스플레이의 단위 화소는 발광 소자에 의하여 구현될 수 있다. 실시예에서 발광 소자는 Micro-LED나 Nano-LED일 수 있으나 이에 한정되는 것은 아니다.
- [66] 도 2는 실시예에 따른 디스플레이 장치를 개략적으로 보여주는 블록도이고, 도 3는 도 2의 화소의 일 예를 보여주는 회로도이다.
- [67] 도 2 및 도 3를 참조하면, 실시예에 따른 디스플레이 장치는 디스플레이 패널(10), 구동 회로(20), 스캔 구동부(30) 및 전원 공급 회로(50)를 포함할 수 있다.
- [68] 실시예의 디스플레이 장치(100)는 액티브 매트릭스(AM, Active Matrix)방식 또는 패시브 매트릭스(PM, Passive Matrix) 방식으로 발광 소자를 구동할 수 있다.
- [69] 구동 회로(20)는 데이터 구동부(21)와 타이밍 제어부(22)를 포함할 수 있다.
- [70] 디스플레이 패널(10)은 직사각형으로 이루어질 수 있지만, 이에 대해서는 한정하지 않는다. 즉, 디스플레이 패널(10)은 원형 또는 타원형으로 형성될 수 있다. 디스플레이 패널(10)의 적어도 일 측은 소정의 곡률로 구부러지도록 형성될 수 있다.
- [71] 디스플레이 패널(10)은 표시 영역(DA)과 표시 영역(DA)의 주변에 배치된 비표시 영역(NDA)으로 구분될 수 있다. 표시 영역(DA)은 화소(PX)들이 형성되어 영상을 디스플레이하는 영역이다. 디스플레이 패널(10)은 데이터 라인들(D1~Dm, m은 2 이상의 정수), 데이터 라인들(D1~Dm)과 교차되는 스캔 라인들(S1~Sn, n은 2 이상의 정수), 고전위 전압이 공급되는 고전위 전압 라인(VDDL), 저전위 전압이 공급되는 저전위 전압 라인(VSSL) 및 데이터 라인들(D1~Dm)과 스캔 라인들(S1~Sn)에 접속된 화소(PX)들을 포함할 수 있다.
- [72] 화소(PX)들 각각은 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3)를 포함할 수 있다. 제1 서브 화소(PX1)는 제1 주 파장의 제1 컬러 광을 발광하고, 제2 서브 화소(PX2)는 제2 주 파장의 제2 컬러 광을 발광하며, 제3 서브

화소(PX3)는 제3 주 파장의 제3 컬러 광을 발광할 수 있다. 제1 컬러 광은 적색 광, 제2 컬러 광은 녹색 광, 제3 컬러 광은 청색 광일 수 있으나, 이에 한정되지 않는다. 또한, 도 2에서는 화소(PX)들 각각이 3 개의 서브 화소들을 포함하는 것을 예시하였으나, 이에 한정되지 않는다. 즉, 화소(PX)들 각각은 4 개 이상의 서브 화소들을 포함할 수 있다.

- [73] 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3) 각각은 데이터 라인들(D1~Dm) 중 적어도 하나, 스캔 라인들(S1~Sn) 중 적어도 하나 및 고전위 전압 라인(VDDL)에 접속될 수 있다. 제1 서브 화소(PX1)는 도 3과 같이 발광 소자(LD)들과 발광 소자(LD)들에 전류를 공급하기 위한 복수의 트랜지스터들과 적어도 하나의 커패시터(Cst)를 포함할 수 있다.
- [74] 도면에 도시되지 않았지만, 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3) 각각은 단지 하나의 발광 소자(LD)와 적어도 하나의 커패시터(Cst)를 포함할 수도 있다.
- [75] 발광 소자(LD)들 각각은 제1 전극, 복수의 도전형 반도체층 및 제2 전극을 포함하는 반도체 발광 다이오드일 수 있다. 여기서, 제1 전극은 애노드 전극, 제2 전극은 캐소드 전극일 수 있지만, 이에 대해서는 한정하지 않는다.
- [76] 발광 소자(LD)는 수평형 발광 소자, 플립칩형 발광 소자 및 수직형 발광 소자 중 하나일 수 있다.
- [77] 복수의 트랜지스터들은 도 3와 같이 발광 소자(LD)들에 전류를 공급하는 구동 트랜지스터(DT), 구동 트랜지스터(DT)의 게이트 전극에 데이터 전압을 공급하는 스캔 트랜지스터(ST)를 포함할 수 있다. 구동 트랜지스터(DT)는 스캔 트랜지스터(ST)의 소스 전극에 접속되는 게이트 전극, 고전위 전압이 인가되는 고전위 전압 라인(VDDL)에 접속되는 소스 전극 및 발광 소자(LD)들의 제1 전극들에 접속되는 드레인 전극을 포함할 수 있다. 스캔 트랜지스터(ST)는 스캔 라인(Sk, k는 $1 \leq k \leq n$ 을 만족하는 정수)에 접속되는 게이트 전극, 구동 트랜지스터(DT)의 게이트 전극에 접속되는 소스 전극 및 데이터 라인(Dj, j는 $1 \leq j \leq m$ 을 만족하는 정수)에 접속되는 드레인 전극을 포함할 수 있다.
- [78] 커패시터(Cst)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 사이에 형성된다. 스토리지 커패시터(Cst)는 구동 트랜지스터(DT)의 게이트 전압과 소스 전압의 차이값을 충전한다.
- [79] 구동 트랜지스터(DT)와 스캔 트랜지스터(ST)는 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 또한, 도 3에서는 구동 트랜지스터(DT)와 스캔 트랜지스터(ST)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 본 발명은 이에 한정되지 않는다. 구동 트랜지스터(DT)와 스캔 트랜지스터(ST)는 N 타입 MOSFET으로 형성될 수도 있다. 이 경우, 구동 트랜지스터(DT)와 스캔 트랜지스터(ST)들 각각의 소스 전극과 드레인 전극의 위치는 변경될 수 있다.
- [80] 또한, 도 3에서는 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브

화소(PX3) 각각이 하나의 구동 트랜지스터(DT), 하나의 스캔 트랜지스터(ST) 및 하나의 커패시터(Cst)를 갖는 2T1C (2 Transistor - 1 capacitor)를 포함하는 것을 예시하였으나, 본 발명은 이에 한정되지 않는다. 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3) 각각은 복수의 스캔 트랜지스터(ST)들과 복수의 커패시터(Cst)들을 포함할 수 있다.

- [81] 제2 서브 화소(PX2)와 제3 서브 화소(PX3)는 제1 서브 화소(PX1)와 실질적으로 동일한 회로도로 표현될 수 있으므로, 이들에 대한 자세한 설명은 생략한다.
- [82] 구동 회로(20)는 디스플레이 패널(10)을 구동하기 위한 신호들과 전압들을 출력한다. 이를 위해, 구동 회로(20)는 데이터 구동부(21)와 타이밍 제어부(22)를 포함할 수 있다.
- [83] 데이터 구동부(21)는 타이밍 제어부(22)로부터 디지털 비디오 데이터(DATA)와 소스 제어 신호(DCS)를 입력 받는다. 데이터 구동부(21)는 소스 제어 신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 아날로그 데이터 전압들로 변환하여 디스플레이 패널(10)의 데이터 라인들(D1~Dm)에 공급한다.
- [84] 타이밍 제어부(22)는 호스트 시스템으로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal) 및 도트 클럭(dot clock)을 포함할 수 있다. 호스트 시스템은 스마트폰 또는 태블릿 PC의 어플리케이션 프로세서, 모니터, TV의 시스템 온 칩 등일 수 있다.
- [85] 타이밍 제어부(22)는 데이터 구동부(21)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 제어신호들을 생성한다. 제어신호들은 데이터 구동부(21)의 동작 타이밍을 제어하기 위한 소스 제어 신호(DCS)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 제어 신호(SCS)를 포함할 수 있다.
- [86] 구동 회로(20)는 디스플레이 패널(10)의 일 측에 마련된 비표시 영역(NDA)에서 배치될 수 있다. 구동 회로(20)는 집적회로(integrated circuit, IC)로 형성되어 COG(chip on glass) 방식, COP(chip on plastic) 방식, 또는 초음파 접합 방식으로 디스플레이 패널(10) 상에 장착될 수 있으나, 본 발명은 이에 한정되지 않는다. 예를 들어, 구동 회로(20)는 디스플레이 패널(10)이 아닌 회로 보드(미도시) 상에 장착될 수 있다.
- [87] 데이터 구동부(21)는 COG(chip on glass) 방식, COP(chip on plastic) 방식, 또는 초음파 접합 방식으로 디스플레이 패널(10) 상에 장착되고, 타이밍 제어부(22)는 회로 보드 상에 장착될 수 있다.
- [88] 스캔 구동부(30)는 타이밍 제어부(22)로부터 스캔 제어 신호(SCS)를 입력 받는다. 스캔 구동부(30)는 스캔 제어 신호(SCS)에 따라 스캔 신호들을 생성하여 디스플레이 패널(10)의 스캔 라인들(S1~Sn)에 공급한다. 스캔 구동부(30)는 다수의 트랜지스터들을 포함하여 디스플레이 패널(10)의 비표시 영역(NDA)에 형성될 수 있다. 또는, 스캔 구동부(30)는 집적 회로로 형성될 수 있으며, 이 경우 디스플레이 패널(10)의 다른 일 측에 부착되는 게이트 연성 필름 상에 장착될 수

있다.

- [89] 회로 보드는 이방성 도전 필름(anisotropic conductive film)을 이용하여 디스플레이 패널(10)의 일 측 가장 자리에 마련된 패드들 상에 부착될 수 있다. 이로 인해, 회로 보드의 리드 라인들은 패드들에 전기적으로 연결될 수 있다. 회로 보드는 연성 인쇄 회로 보드(flexible printed circuit board), 인쇄 회로 보드(printed circuit board) 또는 칩 온 필름(chip on film)과 같은 연성 필름(flexible film)일 수 있다. 회로 보드는 디스플레이 패널(10)의 하부로 벤딩(bending)될 수 있다. 이로 인해, 회로 보드의 일 측은 디스플레이 패널(10)의 일 측 가장 자리에 부착되며, 타 측은 디스플레이 패널(10)의 하부에 배치되어 호스트 시스템이 장착되는 시스템 보드에 연결될 수 있다.
- [90] 전원 공급 회로(50)는 시스템 보드로부터 인가되는 메인 전원으로부터 디스플레이 패널(10)의 구동에 필요한 전압들을 생성하여 디스플레이 패널(10)에 공급할 수 있다. 예를 들어, 전원 공급 회로(50)는 메인 전원으로부터 디스플레이 패널(10)의 발광 소자(LD)들을 구동하기 위한 고전위 전압(VDD)과 저전위 전압(VSS)을 생성하여 디스플레이 패널(10)의 고전위 전압 라인(VDDL)과 저전위 전압 라인(VSSL)에 공급할 수 있다. 또한, 전원 공급 회로(50)는 메인 전원으로부터 구동 회로(20)와 스캔 구동부(30)를 구동하기 위한 구동 전압들을 생성하여 공급할 수 있다.
- [91] 도 4은 도3의 디스플레이 장치에서 제1 패널영역의 확대도이다.
- [92] 도 4을 참조하면, 실시예의 디스플레이 장치(100)는 제1 패널영역(A1)과 같은 복수의 패널영역들이 타일링에 의해 기구적, 전기적 연결되어 제조될 수 있다.
- [93] 제1 패널영역(A1)은 단위 화소(도 2의 PX) 별로 배치된 복수의 반도체 발광 소자(150)를 포함할 수 있다.
- [94] 예컨대, 단위 화소(PX)는 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3)를 포함할 수 있다. 예컨대, 복수의 적색 반도체 발광 소자(150R)가 제1 서브 화소(PX1)에 배치되고, 복수의 녹색 반도체 발광 소자(150G)가 제2 서브 화소(PX2)에 배치되며, 복수의 청색 반도체 발광 소자(150B)가 제3 서브 화소(PX3)에 배치될 수 있다. 단위 화소(PX)는 반도체 발광 소자가 배치되지 않는 제4 서브 화소를 더 포함할 수도 있지만, 이에 대해서는 한정하지 않는다.
- [95] 도 5은 도 4의 A2 영역의 확대도이다.
- [96] 도 5을 참조하면, 실시예의 디스플레이 장치(100)는 기판(200), 조립 배선(201, 202), 절연층(206) 및 복수의 반도체 발광 소자(150)를 포함할 수 있다. 이보다 더 많은 구성 요소들이 포함될 수 있다.
- [97] 조립 배선은 서로 이격된 제1 조립 배선(201) 및 제2 조립 배선(202)을 포함할 수 있다. 제1 조립 배선(201) 및 제2 조립 배선(202)은 반도체 발광 소자(150)를 조립하기 위해 유전영동 힘(DEP force)을 생성하기 위해 구비될 수 있다. 예컨대, 반도체 발광 소자(150)는 수평형 반도체 발광 소자, 플립칩형 반도체 발광 소자 및 수직형 반도체 발광 소자 중 하나일 수 있다.

- [98] 반도체 발광 소자(150)는 각각 단위 화소(sub-pixel)를 이루기 위하여 적색 반도체 발광 소자(150), 녹색 반도체 발광 소자(150G) 및 청색 반도체 발광 소자(150B)를 포함할 수 있으나 이에 한정되는 것은 아니며, 적색 형광체와 녹색 형광체 등을 구비하여 각각 적색과 녹색을 구현할 수도 있다.
- [99] 기판(200)은 그 기판(200) 상에 배치되는 구성 요소들을 지지하는 지지 부재이거나 구성 요소들을 보호하는 보호 부재일 수 있다.
- [100] 기판(200)은 리지드(rigid) 기판이거나 플렉서블(flexible) 기판일 수 있다. 기판(200)은 사파이어, 유리, 실리콘이나 폴리이미드(Polyimide)로 형성될 수 있다. 또한 기판(200)은 PEN(Polyethylene Naphthalate), PET(Polyethylene Terephthalate) 등의 유연성 있는 재질을 포함할 수 있다. 또한, 기판(200)은 투명한 재질일 수 있으나 이에 한정되는 것은 아니다. 기판(200)은 디스플레이 패널에서의 지지 기판으로 기능할 수 있으며, 발광 소자의 자가 조립시 조립용 기판으로 기능할 수도 있다.
- [101] 기판(200)은 도 2 및 도 3에 도시된 서브 화소(PX1, PX2, PX3) 내의 회로, 예컨대 트랜지스터(ST, DT), 커패시터(Cst), 신호 배선 등이 구비된 백플레인(backplane)일 수 있지만, 이에 대해서는 한정하지 않는다.
- [102] 절연층(206)은 폴리이미드, PAC, PEN, PET, 폴리머 등과 같이 절연성과 유연성 있는 유기물 재질이나 실리콘 옥사이드(SiO₂)나 실리콘 나이트라이드 계열(SiN_x) 등을 같은 무기물 재질을 포함할 수 있으며, 기판(200)과 일체로 이루어져 하나의 기판을 형성할 수도 있다.
- [103] 절연층(206)은 접착성과 전도성을 가지는 전도성 접착층일 수 있고, 전도성 접착층은 연성을 가져서 디스플레이 장치의 플렉서블 기능을 가능하게 할 수 있다. 예를 들어, 절연층(206)은 이방성 전도성 필름(ACF, anisotropy conductive film)이거나 이방성 전도매질, 전도성 입자를 함유한 솔루션(solution) 등의 전도성 접착층일 수 있다. 전도성 접착층은 두께에 대해 수직방향으로는 전기적으로 전도성이나, 두께에 대해 수평방향으로는 전기적으로 절연성을 가지는 레이어일 수 있다.
- [104] 절연층(206)은 반도체 발광 소자(150)가 삽입되기 위한 조립 홀(203)을 포함할 수 있다. 따라서, 자가 조립시, 반도체 발광 소자(150)가 절연층(206)의 조립 홀(203)에 용이하게 삽입될 수 있다. 조립 홀(203)은 삽입 홀, 고정 홀, 정렬 홀 등으로 불릴 수 있다. 조립 홀(203)은 홀로 불릴 수도 있다.
- [105] 조립 홀(203)은 홀, 홈, 그루브, 리세스, 포켓 등으로 불릴 수 있다.
- [106] 조립 홀(203)은 반도체 발광 소자(150)의 형상에 따라 상이할 수 있다. 예컨대, 적색 반도체 발광 소자, 녹색 반도체 발광 소자 및 청색 반도체 발광 소자 각각은 상이한 형상을 가지며, 이들 반도체 발광 소자 각각의 형상에 대응하는 형상을 갖는 조립 홀(203)을 가질 수 있다. 예컨대, 조립 홀(203)은 적색 반도체 발광 소자가 조립되기 위한 제1 조립 홀, 녹색 반도체 발광 소자가 조립되기 위한 제2 조립 홀 및 청색 반도체 발광 소자가 조립되기 위한 제3 조립 홀을 포함할 수

있다. 예컨대, 적색 반도체 발광 소자는 원형을 가지고, 녹색 반도체 발광 소자는 제1 단축과 제2 장축을 갖는 제1 타원형을 가지며, 청색 반도체 발광 소자는 제2 단축과 제2 장축을 갖는 제2 타원형을 가질 수 있지만, 이에 대해서는 한정하지 않는다. 청색 반도체 발광 소자의 타원형의 제2 장축은 녹색 반도체 발광 소자의 타원형의 제2 장축보다 크고, 청색 반도체 발광 소자의 타원형의 제2 단축은 녹색 반도체 발광 소자의 타원형의 제1 단축보다 작을 수 있다.

- [107] 한편, 반도체 발광 소자(150)를 기판(200) 상에 장착하는 방식은 예컨대, 자가 조립 방식(도 6)과 전사 방식 등이 있을 수 있다.
- [108] 도 6은 실시예에 따른 발광 소자가 자가조립 방식에 의해 기판에 조립되는 예를 나타내는 도면이며, 도 7은 도 6의 A3 영역의 부분 확대도이다. 도 7은 설명 편의를 위해 A3 영역을 180도 회전시킨 상태의 도면이다.
- [109] 도 6 및 도 7을 바탕으로 실시예에 따른 반도체 발광 소자를 전자기장을 이용한 자가조립 방식에 의해 디스플레이 패널에 조립되는 예를 설명하기로 한다.
- [110] 이후 설명되는 조립 기판(200)은 발광 소자의 조립 후에 디스플레이 장치에서 패널 기판(200a)의 기능도 할 수 있으나, 실시예가 이에 한정되는 것은 아니다.
- [111] 도 6을 참조하면, 반도체 발광 소자(150)는 유체(1200)가 채워진 챔버(1300)에 투입될 수 있으며, 조립 장치(1100)로부터 발생하는 자기장에 의해 반도체 발광 소자(150)는 조립 기판(200)으로 이동할 수 있다. 이때 조립 기판(200)의 조립 홀(207H)에 인접한 발광 소자(150)는 조립 배선들의 전기장에 의한 DEP force에 의해 조립 홀(207H)에 조립될 수 있다. 유체(1200)는 초순수 등의 물질일 수 있으나 이에 한정되는 것은 아니다. 챔버는 수조, 컨테이너, 용기 등으로 불릴 수 있다.
- [112] 반도체 발광 소자(150)가 챔버(1300)에 투입된 후, 조립 기판(200)이 챔버(1300) 상에 배치될 수 있다. 실시예에 따라, 조립 기판(200)은 챔버(1300) 내로 투입될 수도 있다.
- [113] 도 7을 참조하면 반도체 발광 소자(150)는 도시된 바와 같이 수직형 반도체 발광 소자로 구현될 수 있으나 이에 한정되지 않고 수평형 발광 소자가 채용될 수 있다.
- [114] 반도체 발광 소자(150)는 자성체를 갖는 자성층(미도시)을 포함할 수 있다. 자성층은 니켈(Ni) 등 자성을 갖는 금속을 포함할 수 있다. 유체 내로 투입된 반도체 발광 소자(150)는 자성층을 포함하므로, 조립 장치(1100)로부터 발생하는 자기장에 의해 조립 기판(200)로 이동할 수 있다. 자성층은 발광 소자의 상측 또는 하측 또는 양측에 모두 배치될 수 있다.
- [115] 반도체 발광 소자(150)는 상면 및 측면을 둘러싸는 패시베이션층(156)을 포함할 수 있다. 패시베이션층(156)은 실리카, 알루미늄 등의 무기물 절연체를 PECVD, LPCVD, 스퍼터링 증착법 등을 통해 형성될 수 있다. 또한 패시베이션층(156)은 포토레지스트, 고분자 물질과 같은 유기물을 스핀 코팅하는 방법을 통해 형성될 수 있다.
- [116] 반도체 발광 소자(150)는 제1 도전형 반도체층(152a), 제2 도전형

반도체층(152c) 및 그 사이에 배치되는 활성층(152b)을 포함할 수 있다. 제1 도전형 반도체층(152a)은 n형 반도체층일 수 있고, 제2 도전형 반도체층(152c)은 p형 반도체층일 수 있으나 이에 한정되는 것은 아니다. 제1 도전형 반도체층(152a), 제2 도전형 반도체층(152c) 및 그 사이에 배치되는 활성층(152b)는 발광부(152)를 구성할 수 있다. 발광부(152)는 발광층, 발광 영역 등으로 불릴 수 있다.

- [117] 제1 전극(층)(154a)이 제1 도전형 반도체층(152a) 아래에 배치될 수 있고, 제2 전극(층)(154b)이 제2 도전형 반도체층(152c) 상에 배치될 수 있다. 이를 위해서는 제1 도전형 반도체층(152a) 또는 제2 도전형 반도체층(152c)의 일부 영역이 외부로 노출될 수 있다. 이에 따라 반도체 발광 소자(150)가 조립 기판(200)에 조립된 후에 디스플레이 장치의 제조 공정에서, 패시베이션층(156) 중 일부 영역이 식각될 수 있다.
- [118] 제1 전극(154a)은 적어도 하나 이상의 층을 포함할 수 있다. 예컨대, 제1 전극(154a)은 오믹층, 반사층, 자성층, 전도층, 산화 방지층, 접착층 등을 포함할 수 있다. 오믹층은 Au, AuBe 등을 포함할 수 있다. 반사층은 Al, Ag 등을 포함할 수 있다. 자성층은 Ni, Co 등을 포함할 수 있다. 도전층은 Cu 등을 포함할 수 있다. 산화 방지층은 Mo 등을 포함할 수 있다. 접착층은 Cr, Ti 등을 포함할 수 있다.
- [119] 제2 전극(154b)은 투명한 도전층을 포함할 수 있다. 예컨대, 제2 전극(154b)은 ITO, IZO 등을 포함할 수 있다.
- [120] 조립 기판(200)은 조립될 반도체 발광 소자(150) 각각에 대응하는 한 쌍의 제1 조립 배선(201) 및 제2 조립 배선(202)을 포함할 수 있다. 제1 조립 배선(201) 및 제2 조립 배선(202) 각각은 단일 금속 혹은 금속합금, 금속산화물 등을 다층으로 적층하여 형성할 수 있다. 예를 들어, 제1 조립 배선(201) 및 제2 조립 배선(202) 각각은 Cu, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며 이에 한정되는 않는다.
- [121] 또한 제1 조립 배선(201) 및 제2 조립 배선(202) 각각은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO 중 적어도 하나를 포함하여 형성될 수 있으며 이에 한정되지 않는다.
- [122] 제1 조립 배선(201) 및 제2 조립 배선(202)은 교류 전압이 인가됨에 따라 전기장이 형성되고, 이 전기장에 의한 DEP force에 의해 조립 홀(207H)로 투입된 반도체 발광 소자(150)가 고정될 수 있다. 제1 조립 배선(201) 및 제2 조립 배선(202) 간의 간격은 반도체 발광 소자(150)의 폭 및 조립 홀(207H)의 폭보다 작을 수 있으며, 전기장을 이용한 반도체 발광 소자(150)의 조립 위치를 보다 정밀하게 고정할 수 있다.

- [123] 제1 조립 배선(201) 및 제2 조립 배선(202) 상에는 절연층(215)이 형성되어, 제1 조립 배선(201) 및 제2 조립 배선(202)을 유체(1200)로부터 보호하고, 제1 조립 배선(201) 및 제2 조립 배선(202)에 흐르는 전류의 누출을 방지할 수 있다. 예컨대 절연층(215)은 실리카, 알루미늄 등의 무기물 절연체 또는 유기물 절연체가 단일층 또는 다층으로 형성될 수 있다. 절연층(215)은, 반도체 발광 소자(150)의 조립 시 제1 조립 배선(201) 및 제2 조립 배선(202)의 손상을 방지하기 위한 최소 두께를 가질 수 있고, 반도체 발광 소자(150)가 안정적으로 조립되기 위한 최대 두께를 가질 수 있다.
- [124] 절연층(215)의 상부에는 격벽(207)이 형성될 수 있다. 격벽(207)의 일부 영역은 제1 조립 배선(201) 및 제2 조립 배선(202)의 상부에 위치하고, 나머지 영역은 조립 기관(200)의 상부에 위치할 수 있다.
- [125] 한편, 조립 기관(200)의 제조 시 절연층(215) 상부에 형성된 격벽 중 일부가 제거됨으로써, 반도체 발광 소자(150)들 각각이 조립 기관(200)에 결합 및 조립되는 조립 홀(207H)이 형성될 수 있다.
- [126] 조립 기관(200)에는 반도체 발광 소자(150)들이 결합되는 조립 홀(207H)이 형성되고, 조립 홀(207H)이 형성된 면은 유체(1200)와 접촉할 수 있다. 조립 홀(207H)은 반도체 발광 소자(150)의 정확한 조립 위치를 가이드할 수 있다.
- [127] 한편, 조립 홀(207H)은 대응하는 위치에 조립될 반도체 발광 소자(150)의 형상에 대응하는 형상 및 크기를 가질 수 있다. 이에 따라, 조립 홀(207H)에 다른 반도체 발광 소자가 조립되거나 복수의 반도체 발광 소자들이 조립되는 것을 방지할 수 있다.
- [128] 다시 6을 참조하면, 조립 기관(200)이 챔버에 배치된 후에 자기장을 가하는 조립 장치(1100)가 조립 기관(200)을 따라 이동할 수 있다. 조립 장치(1100)는 영구 자석이거나 전자석일 수 있다.
- [129] 조립 장치(1100)는 자기장이 미치는 영역을 유체(1200) 내로 최대화하기 위해, 조립 기관(200)과 접촉한 상태로 이동할 수 있다. 실시예에 따라서는, 조립 장치(1100)가 복수의 자성체를 포함하거나, 조립 기관(200)과 대응하는 크기의 자성체를 포함할 수도 있다. 이 경우, 조립 장치(1100)의 이동 거리는 소정 범위 이내로 제한될 수도 있다.
- [130] 조립 장치(1100)에 의해 발생하는 자기장에 의해 챔버(1300) 내의 반도체 발광 소자(150)는 조립 장치(1100) 및 조립 기관(200)을 향해 이동할 수 있다.
- [131] 도 7을 참조하면, 반도체 발광 소자(150)는 조립 장치(1100)를 향해 이동 중 조립 배선(201, 202) 사이의 전기장에 의해 형성되는 DEP force에 의해 조립 홀(207H)로 진입하여 고정될 수 있다.
- [132] 구체적으로 제1, 제2 조립 배선(201, 202)은 교류 전원에 의해 전기장을 형성하고, 이 전기장에 의해 DEP force이 조립 배선(201, 202) 사이에 형성될 수 있다. 이 DEP force에 의해 조립 기관(200) 상의 조립 홀(207H)에 반도체 발광 소자(150)를 고정시킬 수 있다.

- [133] 이때 조립 기관(200)의 조립 홀(207H) 상에 조립된 발광 소자(150)와 조립 배선(201, 202) 사이에 소정의 솔더층(미도시)이 형성되어 발광 소자(150)의 결합력을 향상시킬 수 있다.
- [134] 또한 조립 후 조립 기관(200)의 조립 홀(207H)에 몰딩층(미도시)이 형성될 수 있다. 몰딩층은 투명 레진이거나 또는 반사물질, 산란물질이 포함된 레진일 수 있다.
- [135] 상술한 전자기장을 이용한 자가조립 방식에 의해, 반도체 발광 소자들 각각이 기관에 조립되는 데 소요되는 시간을 급격히 단축시킬 수 있으므로, 대면적 고화소 디스플레이를 보다 신속하고 경제적으로 구현할 수 있다.
- [136] 한편, 도시되지 않았지만, 제1 조립 배선(201)과 제2 조립 배선(202) 사이에 Vdd 라인이 배치되어, 반도체 발광 소자(150)에 전기적으로 콘택하기 위한 위한 전극 배선으로 사용될 수 있다.
- [137] 하지만, 반도체 발광 소자(150)가 소형화됨에 따라 제1 조립 배선(201)과 제2 조립 배선(202) 사이의 간격 또한 좁아지게 되고, 제1 조립 배선(201)과 제2 조립 배선(202) 사이의 간격이 좁아지는 경우, 제1 조립 배선(201) 또는 제2 조립 배선(202)가 Vdd 라인과 전기적으로 쇼트되는 문제가 발생할 수 있다.
- [138]
- [139] 다음으로 도 8a 내지 도 8b는 내부기술에 따른 디스플레이 장치(300)에서 자가조립 예시도이며, 도 8c는 내부기술에 따른 디스플레이 장치에서 자가조립 사진이다.
- [140] 내부기술에 따른 디스플레이 장치(300)에서는 제1 조립 배선(201) 또는 제2 조립 배선(202) 중 어느 하나와 반도체 발광 소자(150)의 본딩 메탈(155)을 본딩(Bonding) 공정을 통해 콘택시키고 있다.
- [141] 그런데 반도체 발광 소자(150)가 소형화되면서 본딩 영역도 축소되는 문제를 해결하기 위해, 도 8a 내지 도 8b와 같이 기존 Vdd 라인은 생략하고 그 역할을 조립 배선 한쪽, 예컨대, 제1 조립 배선(201)으로 오픈(open) 시키는 방법을 사용한다. Vdd 라인이 생략되므로, 제1 조립 배선(201)과 제2 조립 배선(202) 사이의 간격이 더욱 더 좁아질 수 있어, 반도체 발광 소자(150)의 소형화에 용이하게 대응할 수 있다.
- [142] 그런데 이 방법을 사용하게 되면 유체내 DEP에 의해 제1 조립 배선(201)으로 끌려온 반도체 발광 소자(150)가 제1 조립 배선(201)과 접촉되어 도통이 된다. 이에 따라 절연층(215)에 의해 오픈되지 않은 제2 조립 배선(202)으로 전기장 힘이 집중되어 결과적으로 한쪽 방향으로 치우치며 조립이 되는 문제가 있다.
- [143] 도 8b 및 도 8c를 참조하면 반도체 발광 소자(150)의 본딩 메탈(155)과 패널 전극으로 기능하는 제1 조립 배선(201)간의 접촉영역(C)이 매우 작아서 접촉불량이 발생할 수 있다.
- [144] 즉, 비공개 내부기술에 의하면, 자가 조립을 위해서는 DEP Force가 필요한데, DEP Force의 균일한 제어의 어려움으로 자가 조립을 이용한 조립 시 반도체 발광

소자가 조립 홀(207H) 내에서 정위치가 아닌 곳으로 쏠림 현상이 발생하는 문제가 있다.

[145] 또한 이러한 반도체 발광 소자의 쏠림 현상으로 인해 이후 전기적 컨택 공정에 있어서 전기적 접촉 특성이 저하되어 점등률 불량이 발생하고, 수율이 저하되는 문제가 있다.

[146] 그러므로 비공개 내부기술에 의하면 자기 조립을 위해 DEP Force가 필요하나 DEP Force를 이용하는 경우 반도체 발광 소자의 쏠림 현상으로 인해 전기적 접촉 특성이 저하되는 기술적 모순에 직면하고 있다.

[147] 다음으로 도 8d는 내부 기술에 따른 자가 조립시 발생할 수 있는 틸트 현상을 나타내는 도면이다.

[148] 내부 기술에 의하면, 조립 기관(200) 상의 제1 및 제2 조립 배선들(201, 202) 상에 절연층(215)이 배치되고, 조립 조립 격벽(207)에 의해 설정되는 조립 홀(207H)에 반도체 발광 소자(150)의 DEP force에 의한 자가 조립을 진행하였다. 그런데 내부 기술에 의하면 제2 조립 배선(202)으로 전기장 힘이 집중되어 결과적으로 한쪽 방향으로 치우치며 조립이 되는 문제가 있고 이로 인해 자가조립이 제대로 되지 못하고 조립 홀(207H) 내에서 틸트되는 문제가 연구되었다.

[149] 또한 도 8e는 내부기술에 따른 디스플레이 패널에서 발광 소자(chip)과 본딩 메탈의 FIB(focused ion beam) 사진이며, 도 8f는 내부 기술에서의 디스플레이 패널에서의 점등 데이터이다.

[150]

[151] 도 8e와 같이, 내부 기술에 따른 반도체 발광 소자에서 후면 본딩 메탈은 표면 morphology가 좋지 않으며, 발광 소자의 후면 본딩 메탈과 패널 배선 간의 접촉특성이 좋지 않아서 점등 불량이 발생하고 있다.

[152] 또한 내부 기술에 의하면 후면 본딩 메탈은 조립 배선(201), 202)과 직접 접하게 되는데 본딩 메탈의 표면 불 균일로 인해 전기적 접촉 불량이 발생하고 있다.

[153] 내부 기술에서 발광 소자의 전극층은 Ti, Cu, Pt, Ag, Au 등의 재질이 사용가능한데 이러한 재질의 전극층에 Sn 또는 In 등 재질의 본딩 메탈이 형성되는 경우 표면이 뭉침현상 등으로 인해 울퉁불퉁하게 된다.

[154] 한편, 내부기술에서 본딩 메탈의 표면 특성을 개선하기 위해 증착속도를 빠르게 하였으나 뭉침현상이 일부 완화되더라도 증착속도 증대에 따라 그레이н 사이즈가 작아져서 접촉력 저하되는 또 다른 문제가 발견되었으며, 본딩 메탈의 표면 특성을 개선하는 문제가 쉽지 않은 상황이었다.

[155] 이하, 도 9 내지 도 19를 참조하여 상술한 문제를 해결하기 위한 다양한 실시예를 설명한다. 이하에서 누락된 설명은 도 1 내지 도 8 및 해당 도면과 관련하여 상술된 설명으로부터 용이하게 이해될 수 있다.

[156]

[157] [제1 실시예]

- [158] 도 9는 제1 실시예에 따른 디스플레이 장치를 도시한 평면도이다. 도 10은 도 9의 C1-C2 라인을 따라 절단한 단면도이다. 도 11은 도 9의 D1-D2 라인을 따라 절단한 단면도이다.
- [159] 도 9 내지 도 11을 참조하면, 제1 실시예에 따른 디스플레이 장치(301)는 기판(200), 제1 조립 배선(210), 제2 조립 배선(220), 절연층(215), 격벽(207) 및 반도체 발광 소자(150)를 포함할 수 있다.
- [160] 기판(200)은 자가 조립 공정시에는 반도체 발광 소자(150)를 조립하기 위한 조립 기판으로 사용되고, 제품 출하시에는 각종 구성 요소들을 지지하고 영상을 표시하기 위한 디스플레이 기판으로 사용될 수 있다.
- [161] 기판(200) 상에 복수의 화소가 포함될 수 있다. 도 9 내지 도 11은 복수의 화소 중 하나의 화소를 도시한 것으로서, 복수의 화소 각각은 도 9 내지 도 11에 도시된 동일한 구조를 가질 수 있다. 다만, 복수의 화소 각각에 포함된 복수의 서브 화소에 배치된 반도체 발광 소자(150)는 서로 상이한 컬러 광을 발광할 수 있다. 예컨대, 반도체 발광 소자(150)는 제1 서브 화소에 배치되어 제1 컬러 광을 발광하는 제1 반도체 발광 소자, 제2 서브 화소에 배치되어 제2 컬러 광을 발광하는 제2 반도체 발광 소자 및 제3 서브 화소에 배치되어 제3 컬러 광을 발광하는 제3 반도체 발광 소자를 포함할 수 있다. 예컨대, 제1 컬러 광은 적색 광이고, 제2 컬러 광은 녹색 광이며, 제3 컬러 광은 청색 광일 수 있지만, 이에 대해서는 한정하지 않는다.
- [162] 제1 조립 배선(210)의 일부와 제2 조립 배선(220)의 일부가 수직으로 중첩될 수 있다. 이와 같이, 수직으로 중첩되는 제1 조립 배선(210) 또는 제2 조립 배선(220) 상에 조립 홀(207H)이 형성될 수 있다. 조립 홀(207H)은 격벽(207)에 형성될 수 있다. 조립 홀(207H)에 반도체 발광 소자(150)가 배치될 수 있다.
- [163] 실시예에 따르면, 수직으로 중첩되는 제1 조립 배선(210) 및 제2 조립 배선(220)에 의해 반도체 발광 소자(150)가 조립 홀(207H)에 정 위치에 조립될 수 있다. 이에 따라, 도 8b에 도시한 바와 같이, 반도체 발광 소자(150)가 한쪽 방향으로 치우쳐 조립되는 문제, 반도체 발광 소자(150)가 한쪽 방향으로 치우쳐 조립됨에 따라 반도체 발광 소자(150)와 제1 조립 전극(201) 간의 접촉영역(C)의 감소로 인한 접촉불량 문제로 인한 점등율 불량과 수율 저하 문제를 해결할 수 있다. 또한, 도 8d에 도시한 바와 같이 반도체 발광 소자(150)가 조립 홀(207H) 내에서 틸트되어 발생하는 점등율 불량과 수율 저하 문제를 해결할 수 있다.
- [164]
- [165] 한편, 도 9에 도시한 바와 같이, 제1 조립 배선(210)의 일부는 조립 홀(207H)의 중심에 배치되고, 제2 조립 배선(220)의 일부는 조립 홀(207H)의 중심에 배치될 수 있다.
- [166] 제1 조립 배선(210)은 제1 버스 배선(211) 및 제1 브랜치 전극(212)를 포함할 수 있다. 제1 버스 배선(211)은 제1 방향(311)을 따라 배치될 수 있다. 제1 브랜치 전극(212)은 제2 방향(312)을 따라 제1 버스 배선(211)으로부터 연장될 수 있다.

- [167] 제2 조립 배선(220)은 제2 버스 배선(221) 및 제2 브랜치 전극(222)를 포함할 수 있다. 제2 버스 배선(221)은 제1 방향(311)을 따라 배치될 수 있다. 제2 버스 배선(221)은 제1 버스 배선(211)으로부터 이격되며 서로 나란하게 또는 평행하게 배치될 수 있다. 제2 브랜치 전극(222)은 제2 방향(312)을 따라 제2 버스 배선(221)으로부터 연장될 수 있다. 제2 브랜치 전극(222)은 제2 버스 배선(221)으로부터 제1 버스 배선(211)을 향해 연장될 수 있다.
- [168] 예컨대, 제1 버스 배선(211)의 폭(W1)과 제2 버스 배선(221)의 폭(W2)은 동일할 수 있지만, 이에 대해서는 한정하지 않는다.
- [169] 제1 브랜치 전극(212) 및 제2 브랜치 전극(222) 각각은 바 전극, 로드 전극, 스트링 전극 등으로 불릴 수 있다.
- [170] 예컨대, 제1 브랜치 전극(212)은 제1 버스 배선(211)으로부터 조립 홀(207H) 내로 연장되고, 제2 브랜치 전극(222)은 제2 버스 배선(221)으로부터 조립 홀(207H) 내로 연장될 수 있다. 이러한 경우, 조립 홀(207H)에서 제1 브랜치 전극(212)과 제2 브랜치 전극(222)은 수직으로 중첩될 수 있다.
- [171] 도면에는 제1 브랜치 전극(212)이 제2 버스 배선(221)과 중첩되지 않고 제2 브랜치 전극(222)이 제1 버스 배선(211)과 중첩되지 않는 것으로 도시되고 있지만, 이에 대해서는 한정하지 않는다. 즉, 제1 브랜치 전극(212)은 제1 버스 배선(211)으로부터 연장되어 제2 버스 배선(221)의 일부와 중첩될 수 있다. 제2 브랜치 전극(222)은 제2 버스 배선(221)으로부터 연장되어 제1 버스 배선(211)의 일부와 중첩될 수 있다.
- [172] 예컨대, 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다.
- [173] 조립 홀(207H)은 제1 홀 영역(207a) 및 제2 홀 영역(207b)을 포함할 수 있다. 제1 홀 영역(207a)은 제2 조립 배선(220)이 제1 조립 배선(210)과 수직으로 중첩되는 영역일 수 있다. 예컨대, 제1 홀 영역(207a)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되는 영역일 수 있다. 제2 홀 영역(207b)은 제2 조립 배선(220)이 제1 조립 배선(210)과 수직으로 중첩되지 않는 영역일 수 있다. 예컨대, 제2 홀 영역(207b)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 영역일 수 있다.
- [174] 이에 따라, 제2 브랜치 전극(222)은 제1 홀 영역(207a)에서 제1 브랜치 전극(212)과 수직으로 중첩되고, 제2 홀 영역(207b)에서 제1 브랜치 전극(212)과 수직으로 중첩되지 않을 수 있다.
- [175] 도 9에 도시한 바와 같이, 제2 브랜치 전극(222)은 제2 방향(312)을 따라 조립 홀(207H)의 중심을 가로질러 배치되는 바 전극(222m)을 포함할 수 있다. 이러한 경우, 제1 홀 영역(207a)은 조립 홀(207H) 중에서 바 전극(222m)에 수직으로 대응하는 홀 영역이고, 제2 홀 영역(207b)은 조립 홀(207H) 중에서 바 전극(222m)에 수직으로 대응하지 않는 홀 영역일 수 있다. 즉, 바 전극(222m) 상에 제1 홀 영역(207a)이 위치되고, 바 전극(222m)의 양 측에 제2 홀

영역(207b)이 위치될 수 있다.

- [176] 예컨대, 바 전극(222m)과 조립 홀(207H)의 제1 내측(231) 사이의 거리(d1)와 바 전극(222m)과 조립 홀(207H)의 제2 내측(232) 사이의 거리(d2)는 동일할 수 있다. 제1 내측(231)과 제2 내측(232)은 서로 마주볼 수 있다. 예컨대, 제1 내측(231)과 제2 내측(232)은 제1 방향(311) 상에 위치될 수 있다.
- [177] 바 전극(222m)의 양 측에 위치된 제2 홀 영역(207b) 각각의 면적은 동일할 수 있다. 예컨대, 바 전극(222m)의 왼쪽에 위치된 제2 홀 영역(207b)의 면적은 바 전극(222m)의 오른쪽에 위치된 제2 홀 영역(207b)의 면적은 동일할 수 있다. 이와 같이, 바 전극(222m)의 양 측에 위치된 제2 홀 영역(207b) 각각의 면적이 동일하고, 이는 곧 바 전극(222m)의 양 측에 위치된 제2 홀 영역(207b)에 수직으로 대응하는 제1 브랜치 전극(212)의 면적이 동일함을 의미할 수 있다. 자가 조립시 제1 브랜치 전극(212)과 제2 브랜치 전극(222)에 교류 전압이 인가되어 전기장에 의해 DEP force가 형성될 수 있다. 이러한 경우, 바 전극(222m)의 양 측에 위치된 제2 홀 영역(207b)에 수직으로 대응하는 제1 브랜치 전극(212)의 면적이 동일하므로, 바 전극(222m)의 양 측에 위치된 제2 홀 영역(207b) 각각에서 형성된 DEP force가 균이하고 또한 동일할 수 있다. 이에 따라, 반도체 발광 소자(150)가 조립 홀(207H) 내에서 정 위치로 조립 및 고정될 수 있다.
- [178] 다음으로, 도 12a 내지 도 12c는 제1 조립 배선(210), 제2 조립 배선(220) 및 조립 홀(207H)의 형성 과정을 도시한다.
- [179] 도 12a에 도시한 바와 같이, 기판(200) 상에 제1 버스 배선(211)과 제1 브랜치 전극(212)을 포함하는 제1 조립 배선(210)이 형성될 수 있다. 이때, 제1 버스 배선(211)은 제1 방향(311)을 따라 형성되고, 제1 브랜치 전극(212)은 제1 버스 배선(211)으로부터 연장되되, 제2 방향(312)을 따라 형성될 수 있다.
- [180] 도 12b에 도시한 바와 같이, 제2 버스 배선(221)과 제2 브랜치 전극(222)을 포함하는 제2 조립 배선(220)이 형성될 수 있다. 이때, 제2 버스 배선(221)은 제1 방향(311)을 따라 형성되고, 제2 브랜치 전극(222)은 제2 버스 배선(221)으로부터 연장되되, 제2 방향(312)을 따라 형성될 수 있다. 즉, 제2 브랜치 전극(222)은 제2 버스 배선(221)으로부터 제1 버스 배선(211)을 향해 연장될 수 있다. 이에 따라, 제2 브랜치 전극(222)은 제1 브랜치 전극(212)과 수직으로 중첩될 수 있다.
- [181] 제1 조립 배선(210)과 제2 조립 배선(220) 사이에 절연층(도 10 및 도 11의 215)이 형성되어, 제1 조립 배선(210)과 제2 조립 배선(220)이 절연되어 전기적인 쇼트가 방지될 수 있다.
- [182] 도 12c에 도시한 바와 같이, 조립 홀(207H)을 갖는 격벽(207)이 형성될 수 있다. 이때, 조립 홀(207H)은 제1 브랜치 전극(212) 및 제2 브랜치 전극(222)을 포함할 수 있다. 즉, 조립 홀(207H)은 제1 브랜치 전극(212)과 제2 브랜치 전극(222)이 중첩된 영역, 즉 제1 홀 영역(207a)과 중첩되지 않은 영역, 즉 제2 홀 영역(207b)을 포함할 수 있다.

- [183] 제1 홀 영역(207a)은 조립 홀(207H) 중에서 제2 브랜치 전극(222)에 수직으로 대응하는 영역이고, 제2 홀 영역(207b)은 조립 홀(207H) 중에서 제2 브랜치 전극(222)을 제외한 나머지 영역일 수 있다. 제2 브랜치 전극(222)이 조립 홀(207H)의 중심을 가로질러 배치된 바 전극(222m)이므로, 제2 홀 영역(207b)은 조립 홀(207H) 내에서 제2 브랜치 전극(222)의 양 측 각각에 정의될 수 있다.
- [184] 도면에는 조립 홀(207H)이 위에서 보았을 때 원형을 갖지만, 이에 대해서는 한정하지 않는다. 조립 홀(207H)의 형상은 반도체 발광 소자(150)의 형상에 따라 결정될 수 있다. 즉, 조립 홀(207H)의 형상은 반도체 발광 소자(150)의 형상을 고려하여 형성될 수 있다. 예컨대, 조립 홀(207H)은 반도체 발광 소자(150)의 형상에 대응하는 형상을 가질 수 있다. 예컨대, 반도체 발광 소자(150)가 원형을 갖는 경우, 조립 홀(207H) 또한 원형을 가질 수 있다. 반도체 발광 소자(150)가 타원형을 갖는 경우, 조립 홀(207H) 또한 타원형을 가질 수 있다. 반도체 발광 소자(150)가 조립 홀(207H) 내로 삽입되어야 하므로, 조립 홀(207H)의 사이즈가 반도체 발광 소자(150)의 사이즈보다 크도록 하여, 반도체 발광 소자(150)가 조립 홀(207H) 내에 삽입된 경우 반도체 발광 소자(150)의 외 측면이 조립 홀(207H)의 내 측면으로부터 이격될 수 있다.
- [185]
- [186] 한편, 도 10 및 도 11을 참조하면, 절연층(215)은 제1 조립 배선(210) 상에 배치될 수 있다. 절연층(215)은 기관(200)의 전 영역 상에 배치될 수 있다. 이에 따라, 절연층(215)은 제1 조립 배선(210)의 상면뿐만 아니라 기관(200)의 상면에도 접할 수 있다. 절연층(215)은 유기물 재질이나 무기물 재질을 포함할 수 있다.
- [187] 격벽(207)이 제2 조립 배선(220) 상에 배치될 수 있다. 즉, 기관(200)의 전 영역 상에 격벽(207)이 형성된 후, 격벽(207)의 일부분이 제거되어 조립 홀(207H)이 형성될 수 있다. 조립 홀(207H)은 반도체 발광 소자(150)가 배치되는 영역으로서, 조립 홀(207H)은 복수의 화소 각각의 복수의 서브 화소 각각에 형성될 수 있다. 격벽(207)은 유기물 재질을 포함할 수 있지만, 이에 대해서는 한정하지 않는다. 격벽(207)은 단일층 또는 다중층을 가지며, 다중층은 서로 상이한 재질을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [188] 반도체 발광 소자(150)가 조립 홀(207H)에 배치될 수 있다. 반도체 발광 소자(150)는 복수의 화소 각각의 복수의 서브 화소 각각에 배치될 수 있다. 이때, 복수의 서브 화소 각각에 배치된 반도체 발광 소자(150)는 서로 상이한 컬러 광을 발광할 수 있다.
- [189] 반도체 발광 소자(150)는 제1 홀 영역(207a)에서 제2 브랜치 전극(222)에 접하고, 제2 홀 영역(207b)에서 제2 브랜치 영역에서 제2 브랜치 전극(222)에 접하지 않을 수 있다.
- [190] 제2 브랜치 전극(222)은 반도체 발광 소자(150)의 하측에 전기적으로 연결됨으로써, 반도체 발광 소자(150)를 발광시키기 위한 전극 배선으로 사용될

수 있다. 다른 전극 배선은 도 10 및 도 11에 도시한 바와 같이, 격벽(207) 상에 배치된 전극 배선(260)일 수 있다. 따라서, 제2 브랜치 전극(222)과 전극 배선(260)에 인가된 전압에 의해 반도체 발광 소자(150)가 발광될 수 있다.

[191] 반도체 발광 소자(150)는 제1 도전형 반도체층(152a), 활성층(152b), 제2 도전형 반도체층(152c), 제1 전극(154a), 제2 전극(154b) 및 패시베이션층(156)을 포함할 수 있다. 제1 도전형 반도체층(152a), 활성층(152b) 및 제2 도전형 반도체층(152c)은 발광부(152)를 구성할 수 있다. 발광부는 발광층, 발광 영역 등으로 불릴 수 있다. 반도체 발광 소자(150)의 이들 구성 요소들(152a, 152b, 152c, 154a, 154b, 156)은 도 7에 도시된 반도체 발광 소자(150)의 구성 요소들에 대한 설명으로부터 용이하게 이해될 수 있는 바, 상세한 설명은 생략한다.

[192] 한편, 제1 실시예에 따른 디스플레이 장치(301)는 절연층(250) 및 전극 배선(260)을 포함할 수 있다. 편의상, 절연층(215)은 제1 절연층(215)으로 그리고 절연층(250)은 제2 절연층으로 불릴 수 있다.

[193] 제2 절연층(250)은 격벽(207) 상에 배치될 수 있다. 제2 절연층(250)은 기판(200)의 전 영역 상에 배치되는 것으로서, 격벽(207) 위뿐만 아니라 조립 홀(207H) 내에도 배치될 수 있다. 제2 절연층(250)은 조립 홀(207H) 내에 배치된 반도체 발광 소자(150)를 덮음으로써, 반도체 발광 소자(150)의 고정성을 강화할 수 있다. 아울러, 제2 절연층(250)은 조립 홀(207H) 내에 배치된 반도체 발광 소자(150)를 덮음으로써, 외부의 이물질이나 외부의 충격으로부터 반도체 발광 소자(150)를 보호할 수 있다. 제2 절연층(250)은 유기물 재질 또는 무기물 재질을 포함할 수 있다.

[194] 전극 배선(260)은 제2 절연층(250) 상에 배치될 수 있다. 전극 배선(260)은 반도체 반도체 발광 소자(150)에 전압을 공급하기 위한 전극으로 사용될 수 있다. 이를 위해, 전극 배선(260)은 제2 절연층(250)을 통해 반도체 발광 소자(150)의 상측에 전기적으로 연결될 수 있다.

[195] 한편, 제2 조립 배선(220), 즉 제2 브랜치 전극(222) 또한 반도체 발광 소자(150)에 전압을 공급하기 위한 전극으로 사용될 수 있다.

[196] 편의상, 영상을 디스플레이하기 위해 반도체 발광 소자(150)를 발광할 때, 제2 조립 배선(220)은 하부 전극 배선으로 사용되고, 격벽(207) 상에 배치된 전극 배선(260)은 상부 전극 배선으로 사용될 수 있다.

[197] 예컨대, 하부 전극 배선(220)과 상부 전극 배선(260) 중 하나의 전극 배선은 복수의 화소 각각의 복수의 서브 화소에 공통으로 연결되는 공통 전극 배선일 수 있다. 여기서, 하부 전극 배선(220)은 제2 조립 배선(220), 즉 제2 버스 배선(221) 및 제2 브랜치 배선이고, 상부 전극 배선(260)은 전극 배선(260)일 수 있다. 하부 전극 배선(220)은 제2 전극 배선으로 불리고, 상부 전극 배선(260)은 하부 전극 배선으로 불릴 수 있다. 예컨대, 상부 전극 배선(260)이 공통 전극 배선으로 사용될 수 있다. 이러한 경우, 복수의 화소 각각의 복수의 서브 화소 각각에 배치된 하부 전극 배선(220), 즉 제2 브랜치 전극(222)에 인가된 상이한 전압에

의해 복수의 화소 각각의 복수의 서브 화소 각각에서 서로 상이한 휘도를 갖는 광이 출사되고, 이와 같이 서로 상이한 휘도를 갖는 광에 의해 복수의 화소 각각의 복수의 서브 화소 각각에서 서로 상이한 계조를 갖는 영상이 디스플레이될 수 있다.

[198]

[199] 도 13a 및 도 13b는 반도체 발광 소자의 조립 과정을 도시한다.

[200] 도 13a에 도시한 바와 같이, 자가 조립 공정을 위해 기관(200)이 챔버(도 6의 1300)에 장착될 수 있다.

[201] 다음, 제1 조립 배선(210)의 제1 브랜치 전극(212)과 제2 조립 배선(220)의 제2 브랜치 전극(222)에 교류 전압(V1)이 인가되어 제1 브랜치 전극(212)과 제2 브랜치 전극(222) 사이에 DEP force가 형성될 수 있다.

[202] 도 9에 도시한 바와 같이, 제2 브랜치 전극(222)이 조립 홀(207H)의 중심을 가로질러 배치되므로, 제2 브랜치 전극(222)을 기준으로 제2 브랜치 전극(222)의 양 측으로 DEP force(DEP 1, DEP 2)가 형성될 수 있다. 즉, DEP force(DEP 1, DEP 2)가 제2 브랜치 전극(222)을 기준으로 제2 브랜치 전극(222)의 양측으로 대칭적으로 형성될 수 있다. 예컨대, 제1 홀 영역(207a)에 제1 브랜치 전극(212)과 제2 브랜치 전극(222) 사이에 제1 DEP force(DEP 1)가 형성되고, 제2 홀 영역(207b)에 제1 브랜치 전극(212)과 제2 브랜치 전극(222) 사이에 제2 DEP force(DEP 2)가 형성될 수 있다.

[203] 제1 DEP force(DEP 1) 및 제2 DEP force(DEP 2) 각각은 제2 브랜치 전극(222)의 길이 방향을 따라 양 측으로 형성될 수 있다. 예컨대, 제1 DEP force(DEP 1)의 값과 제2 DEP force(DEP 2)의 값은 동일할 수 있다. 예컨대, 제1 DEP force(DEP 1)의 볼륨(volume)과 제2 DEP force(DEP 2)의 볼륨은 동일할 수 있다.

[204] 다음, 조립 장치(1100)가 기관(200)을 따라 이동함에 따라 조립 장치(1100)에 의해 유체(1200) 속의 반도체 발광 소자(150)가 이동되고, 이들 반도체 발광 소자(150)가 기관(200)의 조립 홀(207H)을 지나가는 경우, 해당 조립 홀(207H) 내의 DEP force(DEP 1, DEP 2)에 의해 조립 홀(207H) 내로 삽입될 수 있다.

[205] 도 13b에 도시한 바와 같이, 조립 홀(207H) 내로 삽입된 반도체 발광 소자(150)가 제2 브랜치 전극(222)을 기준으로 양측으로 균일하게 형성된 제1 DEP force(DEP 1) 및 제2 DEP force(DEP 2)에 의해 조립 홀(207H) 내에서 일측으로 치우치지 않고 정 위치될 수 있다. 즉, 반도체 발광 소자(150)의 중심 라인이 조립 홀(207H)의 중심을 지나는 중심 라인, 제1 브랜치 전극(212)의 중심을 지나는 중심 라인 또는 제2 브랜치 전극(222)의 중심을 지나는 중심 라인과 일치되도록 제2 브랜치 전극(222) 상에 안착될 수 있다. 예컨대, 반도체 발광 소자(150)의 하면은 제2 브랜치 전극(222)의 상면에 접할 수 있다. 예컨대, 반도체 발광 소자(150)의 하면은 제2 브랜치 전극(222)의 상면으로부터 이격되어 위치되어, 제1 DEP force(DEP 1) 및 제2 DEP force(DEP 2)에 의해 조립 홀(207H)의 정 위치, 즉 중심 위치에 고정될 수 있다.

[206]

[207] 도 14는 제1 실시예에 따른 디스플레이 장치의 발광 과정을 도시한다.

[208] 도 14에 도시한 바와 같이, 자가 조립 공정에 의해 반도체 발광 소자(150)가 기판(200) 상에 안착된 후(도 13 및 도 13b), 일련의 후공정, 예컨대 제2 절연층(250)과 전극 배선(260) 각각의 형성 공정과 구동부를 포함한 각종 회로 구성들을 장착하여 디스플레이 장치(301)가 제조될 수 있다.

[209] 디스플레이 장치(301)에서 영상을 디스플레이하기 위해 반도체 발광 소자(150)가 발광될 수 있다. 이를 위해, 제2 조립 배선(220), 즉 제2 버스 배선(221) 및 제2 브랜치 전극(222)은 제1 전극 배선으로 사용되고, 전극 배선(260)은 제2 전극 배선으로 사용될 수 있다. 예컨대, 제2 전압(V2)가 반도체 발광 소자(150)로 인가되어 반도체 발광 소자(150)가 발광될 수 있다. 제2 전압(V2)에 의해 전류가 전극 배선(260), 반도체 발광 소자(150) 및 제2 조립 배선(220), 즉 제2 버스 배선(221) 및 제2 브랜치 전극(222)을 통해 흐르게 되며, 이러한 전류에 의해 반도체 발광 소자(150)의 제1 도전형 반도체층(152a)에서 전자가 생성되고 제2 도전형 반도체층(152c)에서 정공이 생성될 수 있다. 이러한 전자 및 정공이 반도체 발광 소자(150)의 활성층(152b)에 주입되어 재결합됨으로써, 특정 컬러 광이 생성될 수 있다. 특정 컬러 광의 파장은 반도체 발광 소자(150)의 활성층(152b)의 반도체 재질, 혼합물 또는 혼합물의 조성비에 따라 달라질 수 있다.

[210] 예컨대, 전극 배선(260)은 정전위(+) 전압이 인가되는 아노드 전극이고, 제2 조립 배선(220)은 부전위(-) 전압이 인가되는 캐소드 전극일 수 있다.

[211] 예컨대, 전극 배선(260)은 복수의 화소 각각의 복수의 서브 화소에 공통으로 연결되는 공통 전극 배선일 수 있다. 반도체 발광 소자(150)에서 생성된 광의 진행에 방해가 되지 않도록 전극 배선(260)은 투명도가 우수한 투명 전극일 수 있다. 예컨대, 투명 전극은 ITO, IZO 등을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[212] 만일 전극 배선(260)이 공통 전극으로서 접지된 경우, 제2 조립 배선(220)에 인가되는 전압(V2)을 달리함으로써, 반도체 발광 소자(150)에 흐르는 전류의 세기가 달라지고, 이와 같이 달라진 전류에 의해 반도체 발광 소자(150)에서 생성된 광의 휘도가 달라질 수 있다. 이와 같이 달라진 광의 휘도에 따라 복수의 화소 각각의 복수의 서브 화소 각각에서 서로 상이한 계조의 영상이 디스플레이될 수 있다.

[213] 한편, 제1 실시예는 이상에서 상술한 구성 요소보다 더 더 많은 구성 요소를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[214] 제1 실시예에 따르면, 도 9 내지 도 11에 도시한 바와 같이, 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다. 이에 따라, 조립 홀(207H)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로

중첩되는 제1 홀 영역(207a)과 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 제2 홀 영역(207b)을 포함할 수 있다. 자가 조립을 위해 제1 브랜치 전극(212)과 제2 브랜치 전극(222)에 교류 전압(도 도 13a의 V1)이 인가되는 경우, 제2 브랜치 전극(222)을 기준으로 제2 브랜치 전극(222)의 양 측에 위치된 제2 홀 영역(207b)에 제1 DEP force 및 제2 DEP force가 형성될 수 있다. 이때, 제2 브랜치 전극(222)은 조립 홀(207H)의 중심을 가로질러 배치된 바 전극(222m)을 포함할 수 있다.

[215] 따라서, 바 전극(222m)과 조립 홀(207H)의 제1 내측(231) 사이의 거리(d1)와 바 전극(222m)과 조립 홀(207H)의 제2 내측(232) 사이의 거리(d2)가 동일하므로, 제1 홀 영역(207a)에 형성된 제1 DEP force와 제2 홀 영역(207b)에 형성된 제2 DEP force가 동일하다. 이에 따라, 자가 조립시 조립 홀(207H)에 삽입된 반도체 발광 소자(150)가 조립 홀(207H)의 일측, 예컨대 제1 내측(231) 또는 제2 내측(232)으로 치우치지 않고 그 중심이 조립 홀(207H)의 중심이나 제2 브랜치 전극(222)의 중심에 위치될 수 있다. 즉, 반도체 발광 소자(150)가 조립 홀(207H) 내에서 정위치되어 제1 DEP force 및 제2 DEP force에 의해 고정될 수 있다. 반도체 발광 소자(150)가 조립 홀(207H) 내에서 제1 DEP force 및 제2 DEP force에 의해 고정되므로, 자가 조립 공정이 완료되거나 완료된 후에도 조립 홀(207H) 밖으로 이탈되지 않아 자가 조립을 및 조립 수율이 현저히 향상될 수 있다.

[216] 한편, 하부 전극 배선으로 사용되는 제2 브랜치 전극(222)이 조립 홀(207H)의 중심에 배치되고, 반도체 발광 소자(150)의 하면이 직접 제2 브랜치 전극(222)의 상면에 접할 수 있다. 이러한 경우, 설사 반도체 발광 소자(150)가 조립 홀(207H) 내에서 한쪽으로 치우치더라도 제2 브랜치 전극(222)의 전 영역이 반도체 발광 소자(150)의 하면에 접할 수 있다. 따라서, 복수의 화소 각각의 복수의 서브 화소 각각에서 반도체 발광 소자(150)와 제2 브랜치 전극(222)의 전기적 접촉 불량이 방지되므로, 점등율이 현저히 향상될 수 있다. 또한, 복수의 화소 각각의 복수의 서브 화소 각각에서 반도체 발광 소자(150)와 제2 브랜치 전극(222)의 접촉 면적이 동일하므로, 복수의 화소 간 또는 복수의 서브 화소 간에 균일한 점등율을 확보할 수 있다.

[217]

[218] 한편, 제2 브랜치 전극(222)의 폭(t2)이 반도체 발광 소자(150)의 직경에 비해 상대적으로 작으므로, 반도체 발광 소자(150)가 조립 홀(207H)에 정위치되는 경우 제2 브랜치 전극(222)의 좁은 폭(t2) 상에 지지가 어려워 반도체 발광 소자(150)가 제2 브랜치 전극(222) 상에서 좌우로 흔들려 결국 한쪽으로 치우칠 수 있다.

[219] 이러한 문제를 해결하기 위해 제2 내지 제5 실시예가 제공되었다. 즉, 제2 브랜치 전극(222)의 바 전극(222m)에 교차하는 다양한 보조 전극(도 15 및 도 17의 222a, 도 18의 222a1 및 222a2, 도 19의 222a1 내지 222a3)를 배치함으로써, 반도체 발광 소자(150)의 좌우 흔들림으로 인한 한쪽으로는 치우침을 방지하여

반도체 발광 소자(150)를 정위치시킬 수 있다.

[220] 이하에서 제2 내지 제5 실시예를 상세히 설명한다.

[221] [제2 실시예]

[222] 도 15는 제2 실시예에 따른 디스플레이 장치를 도시한 평면도이다. 도 16은 도 15의 E 영역의 부분 확대도이다.

[223] 제2 실시예는 보조 전극(222a)을 제외하고 제1 실시예와 동일하다. 제2 실시예에서 제1 실시예와 동일한 구조, 형상 및/또는 기능을 갖는 구성 요소에 대해서는 동일한 도면 부호를 부여하고 상세한 설명을 생략한다.

[224] 제2 실시예는 도 15 및 도 16뿐만 아니라 도 10 및 도 11도 참고하여 설명될 수 있다.

[225] 도 10, 도 11, 도 15 및 도 16을 참조하면, 제2 실시예에 따른 디스플레이 장치(302)는 기판(200), 제1 조립 배선(210), 제2 조립 배선(220), 제1 절연층(215), 격벽(207), 반도체 발광 소자(150), 제2 절연층(250) 및 전극 배선(260)을 포함할 수 있다. 제2 실시예는 이보다 더 많은 구성 요소를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[226] 제1 조립 배선(210)은 제1 버스 배선(211) 및 제1 브랜치 전극(212)을 포함하고, 제2 조립 배선(220)은 제2 버스 배선(221) 및 제2 브랜치 전극(222)을 포함할 수 있다.

[227] 제2 조립 배선(220)의 일부, 즉 제2 브랜치 전극(222)은 제1 조립 배선(210)의 일부, 즉 제1 브랜치 전극(212)의 상측에 배치될 수 있다. 예컨대, 제2 브랜치 전극(222)은 제1 브랜치 전극(212)과 수직으로 중첩될 수 있다.

[228] 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다. 이에 따라, 조립 홀(207H)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되는 제1 홀 영역(207a)과 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 제2 홀 영역(207b)을 포함할 수 있다.

[229] 이와 같은 제1 브랜치 전극(212), 제2 브랜치 전극(222) 및 조립 홀(207H) 각각의 구조나 이들 간의 배치 관계에 의해 제2 브랜치 전극(222)을 기준으로 양측으로 균일하거나 동일한 세기를 갖는 제1 DEP force 및 제2 DEP force가 형성되어, 반도체 발광 소자(150)가 조립 홀(207H)에 삽입되어 정위치로 정렬될 수 있을 뿐만 아니라 제1 DEP force 및 제2 DEP force에 의해 제2 브랜치 전극(222) 상에 정위치된 상태로 고정될 수 있다.

[230] 제2 브랜치 전극(222)은 바 전극(222m)과 보조 전극(222a)을 포함할 수 있다.

[231] 바 전극(222m)은 조립 홀(207H)의 중심을 가로질러 제2 방향(312)을 따라 배치될 수 있다.

[232] 보조 전극(222a)은 조립 홀(207H)의 중심에 배치되고, 바 전극(222m)의 폭(t2)보다 큰 직경(D22)을 가질 수 있다. 예컨대, 보조 전극(222a)은 원형을 가질 수 있다. 보조 전극(222a)은 조립 홀의 형상에 대응하는 형상을 가질 수 있다.

예컨대, 조립 홀(207H)이 원형을 갖는 경우, 보조 전극(222a)은 원형을 가질 수 있다. 이러한 경우, 보조 전극(222a)의 원주를 따른 외측과 조립 홀(207H)의 원주를 따른 내측 사이의 거리는 동일할 수 있다.

[233] 보조 전극(222a)의 양측은 바 전극(222m)과 연결될 수 있다. 예컨대, 바 전극(222m)의 중심에 보조 전극(222a)이 배치될 수 있다. 예컨대, 바 전극(222m)이 보조 전극(222a)의 양측에서 각각 제1 버스 배선(211) 및 제2 버스 배선(221)을 향해 연장될 수 있다. 예컨대, 바 전극(222m)의 일측은 제2 버스 배선(221)으로부터 조립 홀(207H)의 중심을 향해 연장되어 보조 전극(222a)의 일측과 접할 수 있다. 예컨대, 바 전극(222m)은 타측은 보조 전극(222a)의 타측으로부터 제1 버스 배선(211)을 향해 연장될 수 있다.

[234] 조립 홀(207H)의 중심에 배치된 보조 전극(222a)이 원형을 갖고 그 직경(D22)이 바 전극(222m)의 폭(t2)보다 크므로, 조립 홀(207H)의 중심에 정위치된 반도체 발광 소자(150)가 보조 전극(222a)과의 접촉 면적이 확장되어 좌우로 흔들리지 않고 그대로 조립 홀(207H)에 정위치될 수 있다. 아울러, 바 전극(222m)의 폭(t2)보다 큰 직경(D22)을 갖는 원형의 보조 전극(222a)에 의해 반도체 발광 소자(150)와의 접촉 면적이 확장되어 전기적 특성 및 광학적 특성이 향상될 수 있다.

[235] 한편, 조립 홀(207H)을 중심에는 원형의 보조 전극(222a)이 배치되어, 보조 전극(222a)을 기준으로 양측으로 제1 DEP force 및 제2 DEP force가 형성될 수 있다. 또한, 보조 전극(222a)의 양측으로 제2 방향(312)을 따라 바 전극(222m)이 배치되어, 바 전극(222m)을 기준으로 양측으로 제1 DEP force 및 제2 DEP force가 형성될 수 있다. 따라서, 바 전극(222m)뿐만 아니라 보조 전극(222a) 각각의 양측으로 제1 DEP force 및 제2 DEP force가 형성됨으로써, 반도체 발광 소자(150)가 보다 더 정교하게 조립 홀(207H)에 정위치되고 또한 보다 강하게 고정될 수 있다.

[236] 제2 실시예에 따르면, 조립 홀(207H)의 중심에 바 전극(222m)의 폭보다 큰 직경(D22)을 갖는 원형의 보조 전극(222a)을 배치함으로써, 반도체 발광 소자(150)의 좌우 흔들림으로 인한 한쪽으로의 치우침을 방지하여 반도체 발광 소자(150)를 정위치시킬 수 있다.

[237]

[238] [제3 실시예]

[239] 도 17은 제3 실시예에 따른 디스플레이 장치를 도시한 평면도이다.

[240] 제3 실시예는 보조 전극(222a)를 제외하고 제1 실시예와 동일하고 제2 실시예와 유사하다. 제3 실시예에서 제1 및 제2 실시예와 동일한 구조, 형상 및/또는 기능을 갖는 구성 요소에 대해서는 동일한 도면 부호를 부여하고 상세한 설명을 생략한다.

[241] 제3 실시예는 도 17뿐만 아니라 도 10 및 도 11도 참고하여 설명될 수 있다.

[242] 도 10, 도 11 및 도 17을 참조하면, 제3 실시예에 따른 디스플레이 장치(303)는

기관(200), 제1 조립 배선(210), 제2 조립 배선(220), 제1 절연층(215), 격벽(207), 반도체 발광 소자(150), 제2 절연층(250) 및 전극 배선(260)을 포함할 수 있다. 제3 실시예는 이보다 더 많은 구성 요소를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

- [243] 제1 조립 배선(210)은 제1 버스 배선(211) 및 제1 브랜치 전극(212)을 포함하고, 제2 조립 배선(220)은 제2 버스 배선(221) 및 제2 브랜치 전극(222)을 포함할 수 있다.
- [244] 제2 조립 배선(220)의 일부, 즉 제2 브랜치 전극(222)은 제1 조립 배선(210)의 일부, 즉 제1 브랜치 전극(212)의 상측에 배치될 수 있다. 예컨대, 제2 브랜치 전극(222)은 제1 브랜치 전극(212)과 수직으로 중첩될 수 있다.
- [245] 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다. 이에 따라, 조립 홀(207H)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되는 제1 홀 영역(207a)과 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 제2 홀 영역(207b)을 포함할 수 있다.
- [246] 이와 같은 제1 브랜치 전극(212), 제2 브랜치 전극(222) 및 조립 홀(207H) 각각의 구조나 이들 간의 배치 관계에 의해 제2 브랜치 전극(222)을 기준으로 양측으로 균일하거나 동일한 세기를 갖는 제1 DEP force 및 제2 DEP force가 형성되어, 반도체 발광 소자(150)가 조립 홀(207H)에 삽입되어 정위치로 정렬될 수 있을 뿐만 아니라 제1 DEP force 및 제2 DEP force에 의해 제2 브랜치 전극(222) 상에 정위치된 상태로 고정될 수 있다.
- [247] 제2 브랜치 전극(222)은 바 전극(222m)과 보조 전극(222a)을 포함할 수 있다.
- [248] 바 전극(222m)은 조립 홀(207H)의 중심을 가로질러 제2 방향(312)을 따라 배치될 수 있다.
- [249] 보조 전극(222a)은 조립 홀(207H)의 중심에 배치되고, 바 전극(222m)과 교차하여 제1 방향(311)을 따라 배치될 수 있다. 보조 전극(222a)의 폭(t3)은 바 전극(222m)의 폭(t2)보다 클 수 있다.
- [250] 도면에는 보조 전극(222a)의 폭(t3)이 조립 홀(207H)의 직경(D11)보다 작은 것으로 도시되고 있지만, 조립 홀(207H)의 직경보다 클 수도 있다.
- [251] 예컨대, 보조 전극(222a)은 바 형태를 가질 수 있다. 예컨대, 보조 전극(222a)은 다각형을 가질 수 있다. 도면에는 보조 전극(222a)이 직사각 형상을 갖고 있지만, 5각형, 6각형 등이나 별 모양을 가질 수도 있다.
- [252] 예컨대, 바 전극(222m)과 보조 전극(222a)에 의해 십자가 형상이 만들어질 수 있다.
- [253] 예컨대, 보조 전극(222a)의 양측 끝단과 조립 홀(207H)의 내측 사이의 거리가 바 전극(222m)과 조립 홀(207H)의 내측 사이의 거리보다 작을 수 있다.
- [254] 일 예로, 바 전극(222m)은 보조 전극(222a)의 양측에서 제2 방향(312)을 따라 연장될 수 있다. 예컨대, 바 전극(222m)의 제1 측은 보조 전극(222a)의 제1 측에서

제2 버스 배선(221)을 향해 연장될 수 있다. 예컨대, 바 전극(222m)의 제2 측은 보조 전극(222a)의 제2 측에서 제1 조립 배선(210)을 향해 연장될 수 있다.

[255] 다른 예로, 보조 전극(222a)은 바 전극(222m)의 양측에서 제1 방향(311)을 따라 연장될 수 있다. 예컨대, 보조 전극(222a)의 제1 측은 바 전극(222m)의 제1 측에서 제2 방향(312)을 따라 연장되고, 보조 전극(222a)의 제2 측은 바 전극(222m)의 제2 측에서 제2 방향(312)의 반대 방향을 따라 연장될 수 있다.

[256] 조립 홀(207H)의 중심에서 바 전극(222m)에 교차하여 배치된 보조 전극(222a)이 다각형을 갖고 그 폭(t3)이 바 전극(222m)의 폭(t2)보다 크므로, 조립 홀(207H)의 중심에 정위치된 반도체 발광 소자(150)가 보조 전극(222a)과의 접촉 면적이 확장되어 좌우로 흔들리지 않고 그대로 조립 홀(207H)에 정위치될 수 있다. 아울러, 바 전극(222m)의 폭(t2)보다 큰 폭(3)을 갖는 다각형의 보조 전극(222a)에 의해 반도체 발광 소자(150)와의 접촉 면적이 확장되어 전기적 특성 및 광학적 특성이 향상될 수 있다.

[257] 제3 실시예에 따르면, 조립 홀(207H)의 중심에 바 전극(222m)의 폭(t2)보다 큰 폭(t3)을 갖는 다각형의 보조 전극(222a)을 배치함으로써, 반도체 발광 소자(150)의 좌우 흔들림으로 인한 한쪽으로의 치우침을 방지하여 반도체 발광 소자(150)를 정위치시킬 수 있다.

[258]

[259] [제4 실시예]

[260] 도 18 제4 실시예에 따른 디스플레이 장치를 도시한 평면도이다.

[261] 제4 실시예는 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)를 제외하고 제1 실시예와 동일하고 제2 및 제3 실시예와 유사하다. 제4 실시예에서 제1 내지 제3 실시예와 동일한 구조, 형상 및/또는 기능을 갖는 구성 요소에 대해서는 동일한 도면 부호를 부여하고 상세한 설명을 생략한다.

[262] 제4 실시예는 도 18뿐만 아니라 도 10 및 도 11도 참고하여 설명될 수 있다.

[263] 도 10, 도 11 및 도 18을 참조하면, 제4 실시예에 따른 디스플레이 장치(304)는 기관(200), 제1 조립 배선(210), 제2 조립 배선(220), 제1 절연층(215), 격벽(207), 반도체 발광 소자(150), 제2 절연층(250) 및 전극 배선(260)을 포함할 수 있다. 제4 실시예는 이보다 더 많은 구성 요소를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[264] 제1 조립 배선(210)은 제1 버스 배선(211) 및 제1 브랜치 전극(212)을 포함하고, 제2 조립 배선(220)은 제2 버스 배선(221) 및 제2 브랜치 전극(222)을 포함할 수 있다.

[265] 제2 조립 배선(220)의 일부, 즉 제2 브랜치 전극(222)은 제1 조립 배선(210)의 일부, 즉 제1 브랜치 전극(212)의 상측에 배치될 수 있다. 예컨대, 제2 브랜치 전극(222)은 제1 브랜치 전극(212)과 수직으로 중첩될 수 있다.

[266] 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다. 이에

따라, 조립 홀(207H)은 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되는 제1 홀 영역(207a)과 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 제2 홀 영역(207b)을 포함할 수 있다.

- [267] 이와 같은 제1 브랜치 전극(212), 제2 브랜치 전극(222) 및 조립 홀(207H) 각각의 구조나 이들 간의 배치 관계에 의해 제2 브랜치 전극(222)을 기준으로 양측으로 균일하거나 동일한 세기를 갖는 제1 DEP force 및 제2 DEP force가 형성되어, 반도체 발광 소자(150)가 조립 홀(207H)에 삽입되어 정위치로 정렬될 수 있을 뿐만 아니라 제1 DEP force 및 제2 DEP force에 의해 제2 브랜치 전극(222) 상에 정위치된 상태로 고정될 수 있다.
- [268] 제2 브랜치 전극(222)은 바 전극(222m), 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)을 포함할 수 있다.
- [269] 바 전극(222m)은 조립 홀(207H)의 중심을 가로질러 제2 방향(312)을 따라 배치될 수 있다.
- [270] 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)은 조립 홀(207H)의 서로 마주 보는 제3 내측(233) 및 제4 내측(234) 각각의 아래에 배치되고, 각각 바 전극(222m)을 가로질러 제1 방향(311)을 따라 배치될 수 있다.
- [271] 예컨대, 제1 보조 전극(222a1)은 제2 버스 배선(221)보다는 제1 버스 배선(211)에 근접하여 조립 홀(207H)의 제3측(233) 아래에 배치될 수 있다. 예컨대, 제2 보조 전극(222a2)은 제1 버스 배선(211)보다는 제2 버스 배선(221)에 근접하여 조립 홀(207H)의 제4측(234) 아래에 배치될 수 있다. 제1 보조 전극(222a1)의 일부는 조립 홀(207H)에 의해 노출되고, 제1 보조 전극(222a1)의 다른 일부는 격벽(207)에 의해 노출되지 않을 수 있다. 제2 보조 전극(222a2)의 일부는 조립 홀(207H)에 의해 노출되고, 제1 보조 전극(222a1)의 다른 일부는 격벽(207)에 의해 노출되지 않을 수 있다.
- [272] 제1 보조 전극(222a1)은 제2 버스 배선(221)으로부터 제1 거리(d1)에 위치되어 바 전극(222m)과 교차하고, 제2 보조 전극(222a2)은 제1 버스 배선(211)으로부터 제2 거리(d2)에 위치되어 바 전극(222m)과 교차할 수 있다. 제1 거리(d1)와 제2 거리(d2)는 동일할 수 있지만, 이에 대해서는 한정하지 않는다.
- [273] 제1 보조 전극(222a1)과 제2 보조 전극(222a2)은 서로 평행하게 배치될 수 있다. 즉, 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)은 제1 방향(311)을 따라 배치될 수 있다. 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)은 제1 버스 배선(211) 또는 제2 버스 배선(221)과 평행하게 배치될 수 있지만, 이에 대해서는 한정하지 않는다.
- [274] 예컨대, 제1 보조 전극(222a1)의 폭(t21)은 바 전극(222m)의 폭(t2)보다 클 수 있다. 예컨대, 제2 보조 전극(222a2)의 폭(t22)은 바 전극(222m)의 폭(t2)보다 클 수 있다. 제1 보조 전극(222a1)의 폭(t21)과 제2 보조 전극(222a2)의 폭(t22)은 동일할 수 있지만, 이에 대해서는 한정하지 않는다.
- [275] 제1 보조 전극(222a1)의 폭(t21) 또는 제2 보조 전극(222a2)의 폭(t22)은 조립

- 홀(207H)의 직경(D11)보다 작을 수 있지만, 이에 대해서는 한정하지 않는다.
- [276] 조립 홀(207H)의 제3 내측(233) 및 제4 내측(234) 각각에서 바 전극(222m)과 교차하여 배치된 보조 전극이 바 형태를 가지므로, 반도체 발광 소자(150)가 조립 홀(207H)의 중심에 정위치되는 경우, 반도체 발광 소자(150)의 양측 하면 각각이 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)과 접촉되어 반도체 발광 소자(150)가 제1 및 제2 보조 전극(222a2)과의 접촉 면적이 확장되어 좌우로 흔들리지 않고 그대로 조립 홀(207H)에 정위치될 수 있다. 아울러, 조립 홀(207H)의 제3 내측(233) 및 제4 내측(234) 각각에 배치된 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)에 의해 반도체 발광 소자(150)와의 접촉 면적이 확장되어 전기적 특성 및 광학적 특성이 향상될 수 있다.
- [277] 제4 실시예에 따르면, 조립 홀(207H)의 제3 내측(233) 및 제4 내측(234) 각각에 제1 보조 전극(222a1) 및 제2 보조 전극(222a2)을 배치함으로써, 반도체 발광 소자(150)의 좌우 흔들림으로 인한 한쪽으로의 치우침을 방지하여 반도체 발광 소자(150)를 정위치시킬 수 있다.
- [278]
- [279] [제5 실시예]
- [280] 도 19는 제5 실시예에 따른 디스플레이 장치를 도시한 평면도이다.
- [281] 제5 실시예는 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)을 제외하고 제1 내지 제4 실시예와 유사하다. 제5 실시예에서 제1 내지 제4 실시예와 동일한 구조, 형상 및/또는 기능을 갖는 구성 요소에 대해서는 동일한 도면 부호를 부여하고 상세한 설명을 생략한다.
- [282] 제5 실시예는 도 19뿐만 아니라 도 10 및 도 11도 참고하여 설명될 수 있다.
- [283] 도 10, 도 11 및 도 19를 참조하면, 제5 실시예에 따른 디스플레이 장치(305)는 기판(200), 제1 조립 배선(210), 제2 조립 배선(220), 제1 절연층(215), 격벽(207), 반도체 발광 소자(150), 제2 절연층(250) 및 전극 배선(260)을 포함할 수 있다. 제5 실시예는 이보다 더 많은 구성 요소를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [284] 제1 조립 배선(210)은 제1 버스 배선(211) 및 제1 브랜치 전극(212)을 포함하고, 제2 조립 배선(220)은 제2 버스 배선(221) 및 제2 브랜치 전극(222)을 포함할 수 있다.
- [285] 제2 조립 배선(220)의 일부, 즉 제2 브랜치 전극(222)은 제1 조립 배선(210)의 일부, 즉 제1 브랜치 전극(212)의 상측에 배치될 수 있다. 예컨대, 제2 브랜치 전극(222)은 제1 브랜치 전극(212)과 수직으로 중첩될 수 있다.
- [286] 제1 브랜치 전극(212)의 폭(t1)은 조립 홀(207H)의 직경(D11)보다 크고, 제2 브랜치 전극(222)의 폭(t2)은 조립 홀(207H)의 직경(D11)보다 작을 수 있다.
- [287] 제2 브랜치 전극(222)은 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)을 포함할 수 있다.
- [288] 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)은 조립

홀(207H)의 중심에서 서로 상이한 방향을 따라 연장되어 배치될 수 있다. 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)은 조립 홀(207H)의 중심에서 서로 연결될 수 있다.

[289] 예컨대, 제1 바 전극(223a1)은 조립 홀(207H)의 중심에서 제2 버스 배선(221)을 향해 연장될 수 있다. 예컨대, 제2 바 전극(223a2)은 조립 홀(207H)의 중심에서 제3 방향(313)으로 연장되고, 제3 바 전극(223a3)은 조립 홀(207H)의 중심에서 제4 방향(304)으로 연장될 수 있다.

[290] 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3) 간의 사이각(θ_1 , θ_2 , θ_3)은 동일할 수 있다. 예컨대, 제1 바 전극(223a1)과 제2 바 전극(223a2) 간의 제1 사이각(θ_1)은 제2 바 전극(223a2)과 제3 바 전극(223a3) 간의 제2 사이각(θ_2)과 동일할 수 있다. 예컨대, 제2 바 전극(223a2)과 제3 바 전극(223a3) 간의 제2 사이각(θ_2)은 제1 바 전극(223a1)과 제3 바 전극(223a3) 간의 제3 사이각(θ_3)과 동일할 수 있다. 예컨대, 제1 사이각(θ_1), 제2 사이각(θ_2) 및 제3 사이각(θ_3) 각각은 120° 일 수 있지만, 이에 대해서는 한정하지 않는다.

[291] 한편, 조립 홀(207H)은 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)이 제1 브랜치 전극(212)과 중첩되는 제1 홀 영역(235)과 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)이 제1 브랜치 전극(212)과 중첩되지 않는 제2 홀 영역(236 내지 238)을 포함할 수 있다.

[292] 예컨대, 제2-1 홀 영역(236)은 제1 바 전극(223a1)과 제2 바 전극(223a2) 사이에서 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 영역일 수 있다. 예컨대, 제2-2 홀 영역(237)은 제2 바 전극(223a2)과 제3 바 전극(223a3) 사이에서 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 영역일 수 있다. 예컨대, 제2-3 홀 영역(238)은 제3 바 전극(223a3)과 제1 바 전극(223a1) 사이에서 제2 브랜치 전극(222)이 제1 브랜치 전극(212)과 수직으로 중첩되지 않는 영역일 수 있다.

[293] 한편, 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3) 각각을 기준으로 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3) 각각의 양측으로 DEP force가 형성될 수 있다. 예컨대, 제2-1 홀 영역(236)에서 제1 바 전극(223a1) 및 제2 바 전극(223a2)과 제1 브랜치 전극(212) 사이에 제1 DEP force(DEP 1)가 형성될 수 있다. 예컨대, 제2-2 홀 영역(237)에서 제2 바 전극(223a2) 및 제3 바 전극(223a3)과 제1 브랜치 전극(212) 사이에 제2 DEP force(DEP 2)가 형성될 수 있다. 예컨대, 제2-3 홀 영역(238)에서 제1 바 전극(223a1) 및 제3 바 전극(223a3)과 제1 브랜치 전극(212) 사이에 제3 DEP force(DEP 3)가 형성될 수 있다. 제1 DEP force(DEP 1)의 값, 제2 DEP force(DEP 2)의 값 및 제3 DEP force(DEP 3)의 값은 동일하거나 유사할 수 있다.

[294] 따라서, 반도체 발광 소자(150)가 조립 홀(207H)에 삽입되어 정위치로 정렬될 수 있을 뿐만 아니라 제1 DEP force(DEP 1), 제2 DEP force(DEP 2) 및 제3 DEP force(DEP 3)에 의해 제2 브랜치 전극(222) 상에 정위치된 상태로 고정될 수 있다.

- [295] 예컨대, 제2 바 전극(223a2)의 폭(또는 길이)와 제3 바 전극(223a3)의 폭(또는 길이)은 동일할 수 있지만, 이에 대해서는 한정하지 않는다.
- [296] 도면에는 제2 바 전극(223a2)의 끝단 및 제3 바 전극(223a3)의 끝단이 조립 홀(207H)에서 격벽(207) 아래에까지 연장되어 배치되는 것으로 도시되고 있지만, 조립 홀(207H) 내에 배치되고 격벽(207) 아래에는 배치되지 않을 수도 있다.
- [297] 제5 실시예에 따르면, 조립 홀(207H)의 중심에서 서로 상이한 방향으로 연장된 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)이 배치되어, 반도체 발광 소자(150)가 조립 홀(207H)의 중심에 정위치되는 경우, 반도체 발광 소자(150)의 하면의 3군데 영역이 각각 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)과 접촉되어 반도체 발광 소자(150)가 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)과의 접촉 면적이 확장되어 좌우로 흔들리지 않고 그대로 조립 홀(207H)에 정위치될 수 있다.
- [298] 제5 실시예에 따르면, 제1 바 전극(223a1), 제2 바 전극(223a2) 및 제3 바 전극(223a3)과의 접촉 면적이 확장되어 전기적 특성 및 광학적 특성이 향상될 수 있다.
- [299]
- [300] 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니되고 예시적인 것으로 고려되어야 한다. 실시예의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 실시예의 등가적 범위 내에서의 모든 변경은 실시예의 범위에 포함된다.

산업상 이용가능성

- [301] 실시예는 영상이나 정보를 디스플레이하는 디스플레이 분야에 채택될 수 있다. 실시예는 반도체 발광 소자를 이용하여 영상이나 정보를 디스플레이하는 디스플레이 분야에 채택될 수 있다. 반도체 발광 소자는 마이크로급 반도체 발광 소자나 나노급 반도체 발광 소자일 수 있다.
- [302] 예컨대, 실시예는 TV, 사이니지, 스마트폰, 모바일 폰, 이동 단말기, 자동차용 HUD, 노트북용 백라이트 유닛, VR이나 AR용 디스플레이 장치에 채택될 수 있다.

청구범위

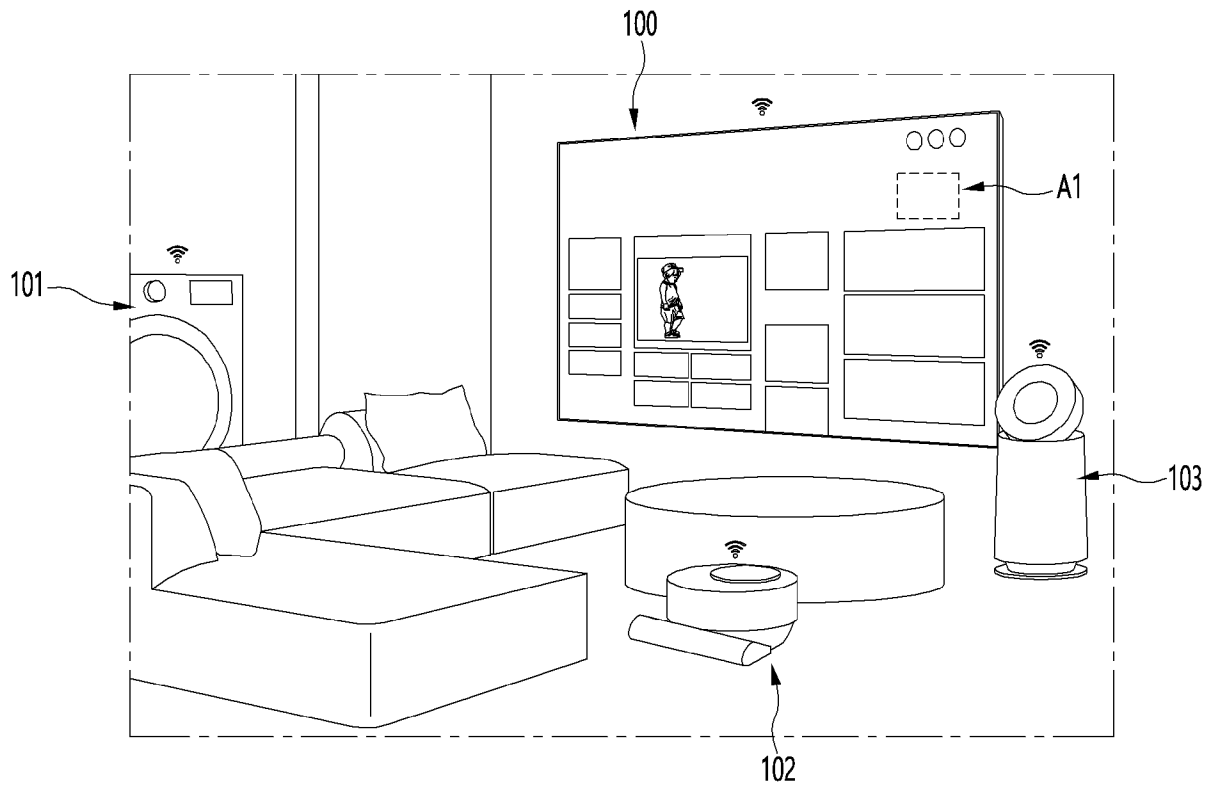
- [청구항 1] 기관;
 상기 기관 상에 제1 조립 배선;
 상기 제1 조립 배선의 상에 제2 조립 배선;
 상기 제1 조립 배선과 상기 제2 조립 배선 사이에 절연층;
 상기 제2 조립 배선 상에 배치되고, 조립 홀을 갖는 격벽; 및
 상기 조립 홀에 반도체 발광 소자를 포함하고,
 상기 제2 조립 배선의 일부는 상기 조립 홀의 중심에 배치되고,
 상기 제2 조립 배선의 일부의 폭은 상기 조립 홀의 직경보다 작은
 디스플레이 장치.
- [청구항 2] 제1항에 있어서,
 상기 조립 홀은,
 상기 제2 조립 배선이 상기 제1 조립 배선과 수직으로 중첩되는 제1 홀
 영역; 및
 상기 제2 조립 배선이 상기 제2 조립 배선과 수직으로 중첩되지 않는 제2
 홀 영역을 포함하는
 디스플레이 장치.
- [청구항 3] 제2항에 있어서,
 상기 제1 조립 배선은,
 제1 방향을 따라 배치되는 제1 버스 배선; 및
 제2 방향을 따라 상기 제1 버스 배선으로부터 연장되는 제1 브랜치
 전극을 포함하고,
 상기 제2 조립 배선은,
 상기 제1 방향을 따라 배치되고, 상기 제1 버스 배선으로부터 이격되는
 제2 버스 배선; 및
 상기 제2 방향을 따라 상기 제2 버스 배선으로부터 상기 제1 버스
 배선을 향해 연장되는 제2 브랜치 전극을 포함하는
 디스플레이 장치.
- [청구항 4] 제3항에 있어서,
 상기 제1 브랜치 전극 및 상기 제2 브랜치 전극은 상기 조립 홀에
 배치되는
 디스플레이 장치.
- [청구항 5] 제3항에 있어서,
 상기 제2 브랜치 전극은,
 상기 제1 홀 영역에서 상기 제1 브랜치 전극과 수직으로 중첩되고,
 상기 제2 홀 영역에서 상기 제1 브랜치 전극과 수직으로 중첩되지 않는
 디스플레이 장치.

- [청구항 6] 제3항에 있어서,
상기 제2 브랜치 전극은,
상기 제2 방향을 따라 상기 조립 홀의 중심을 가로질러 배치되는 바
전극을 포함하는
디스플레이 장치.
- [청구항 7] 제6항에 있어서,
상기 바 전극과 상기 조립 홀의 제1 내측 사이의 거리와 상기 바 전극과
상기 조립 홀의 제2 내측 사이의 거리는 동일하고,
상기 제1 내측과 상기 제2 내측은 서로 마주보는
디스플레이 장치.
- [청구항 8] 제6항에 있어서,
상기 제2 브랜치 전극은,
상기 조립 홀의 중심에 배치되고, 상기 바 전극의 폭보다 큰 직경을
가지며, 원형을 갖는 보조 전극을 포함하는
디스플레이 장치.
- [청구항 9] 제8항에 있어서,
상기 보조 전극의 외측은 상기 조립 홀의 내측의 형상에 대응하는 형상을
갖는
디스플레이 장치.
- [청구항 10] 제6항에 있어서,
상기 제2 브랜치 전극은,
상기 조립 홀의 중심에서 상기 바 전극과 교차하여 상기 제1 방향을 따라
배치되고, 상기 바 전극의 폭보다 큰 폭을 가지며, 다각형을 갖는 보조
전극을 포함하는
디스플레이 장치.
- [청구항 11] 제6항에 있어서,
상기 제2 브랜치 전극은,
상기 제2 버스 배선으로부터 제1 거리에 위치되어 상기 바 전극과
교차하고, 상기 바 전극의 폭보다 큰 폭을 갖는 제1 보조 전극; 및
상기 제1 버스 배선으로부터 제2 거리에 위치되어 상기 바 전극과
교차하고, 상기 바 전극의 폭보다 큰 폭을 갖는 제2 보조 전극을 포함하는
디스플레이 장치.
- [청구항 12] 제11항에 있어서,
상기 제1 보조 전극은 상기 조립 홀의 제3 내측 아래에 위치되고,
상기 제2 보조 전극은 상기 조립 홀의 제4 내측 아래에 위치되며,
상기 제3 내측과 상기 제4 내측은 서로 마주보는
디스플레이 장치.
- [청구항 13] 제11항에 있어서,

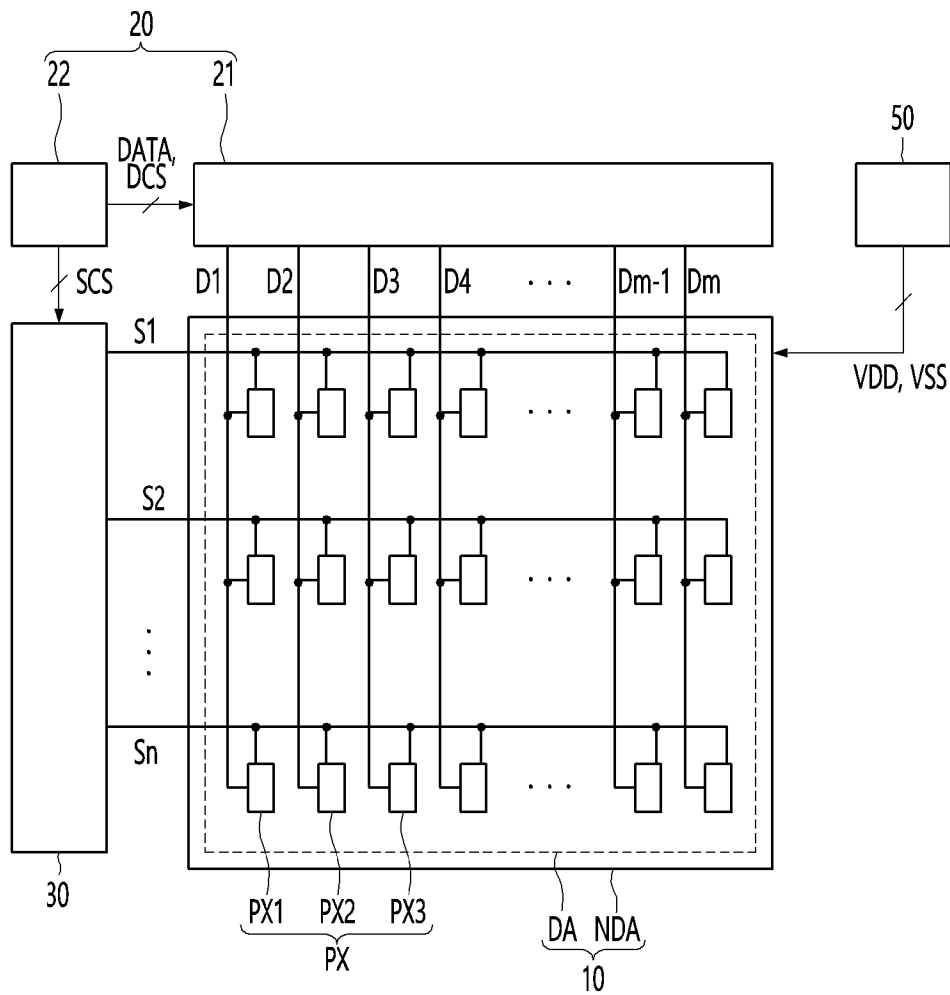
- 상기 제1 보조 전극과 상기 제2 보조 전극은 서로 평행하고,
상기 제1 보조 전극의 폭과 상기 제2 보조 전극의 폭은 동일한
디스플레이 장치.
- [청구항 14] 제3항에 있어서,
상기 제2 브랜치 전극은,
상기 조립 홀의 중심에서 제2 버스 배선을 향해 연장되는 제1 바 전극;
상기 조립 홀의 중심에서 제3 방향으로 연장되는 제2 바 전극; 및
상기 조립 홀의 중심에서 제4 방향으로 연장되는 제3 바 전극을 포함하는
디스플레이 장치.
- [청구항 15] 제14항에 있어서,
상기 제1 바 전극, 상기 제2 바 전극 및 상기 제3 바 전극 간의 사이각은
동일한
디스플레이 장치.
- [청구항 16] 제14항에 있어서,
상기 제2 홀 영역은,
상기 제1 바 전극과 상기 제2 바 전극 사이에서 상기 제2 브랜치 전극이
상기 제1 브랜치 전극과 수직으로 중첩되지 않는 제2-1 홀 영역;
상기 제2 바 전극과 상기 제3 바 전극 사이에서 상기 제2 브랜치 전극이
상기 제1 브랜치 전극과 수직으로 중첩되지 않는 제2-2 홀 영역; 및
상기 제3 바 전극과 상기 제1 바 전극 사이에서 상기 제2 브랜치 전극이
상기 제1 브랜치 전극과 수직으로 중첩되지 않는 제2-3 홀 영역을
포함하는
디스플레이 장치.
- [청구항 17] 제3항에 있어서,
상기 제1 브랜치 전극의 폭은 적어도 상기 조립 홀의 직경보다 크고,
상기 제2 브랜치 전극의 폭은 상기 조립 홀의 직경보다 작은
디스플레이 장치.
- [청구항 18] 제3항에 있어서,
상기 반도체 발광 소자는,
상기 제1 홀 영역에서 상기 제2 브랜치 전극에 접하고,
상기 제2 홀 영역에서 상기 제2 브랜치 전극에 접하지 않는
디스플레이 장치.
- [청구항 19] 제1항에 있어서,
상기 반도체 발광 소자 상에 전극 배선을 포함하고,
상기 제2 조립 배선은 상기 반도체 발광 소자의 제1 측에 전기적으로
연결되고,
상기 전극 배선은 상기 반도체 발광 소자의 제2 측에 전기적으로
연결되는

디스플레이 장치.

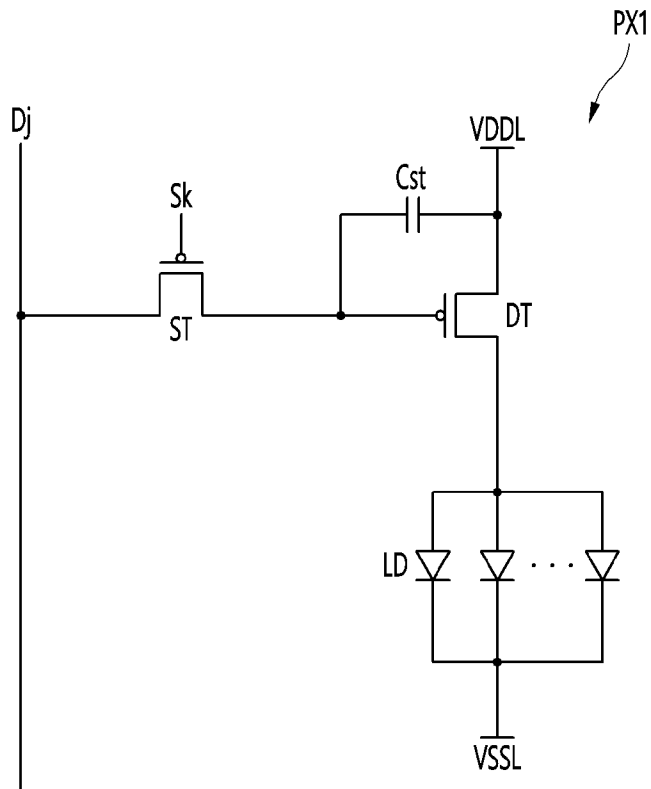
[도1]



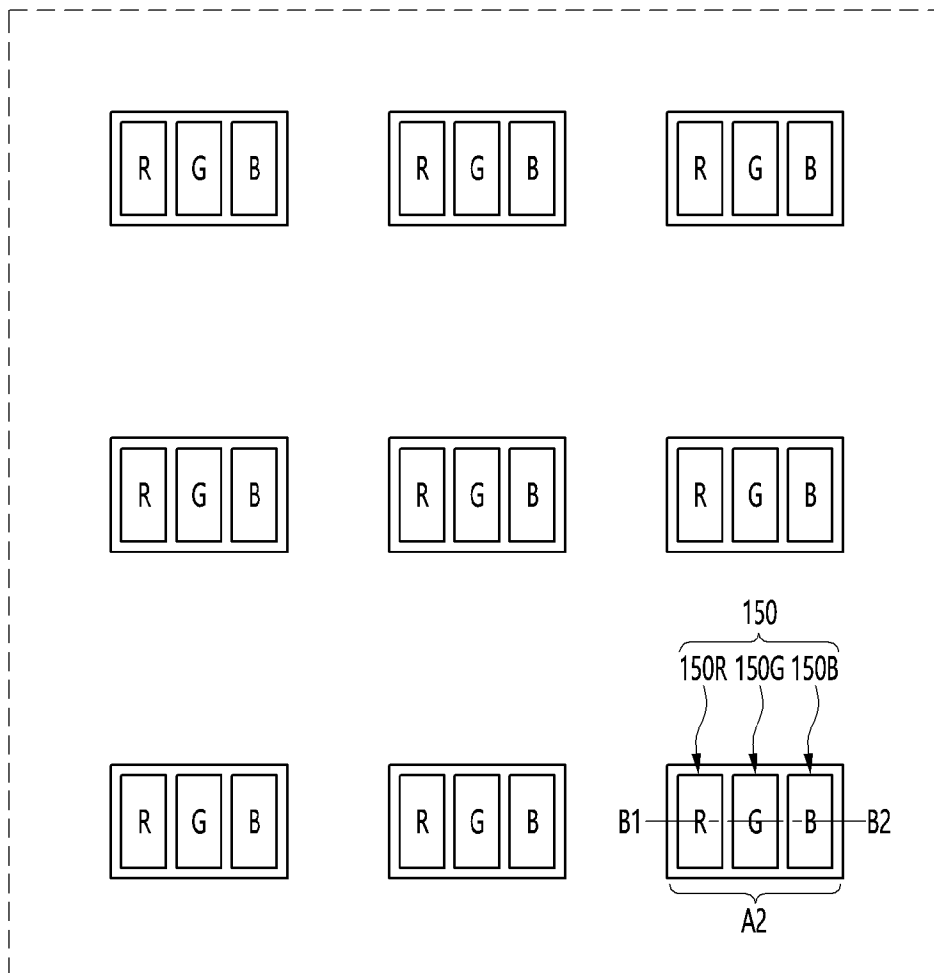
[도2]



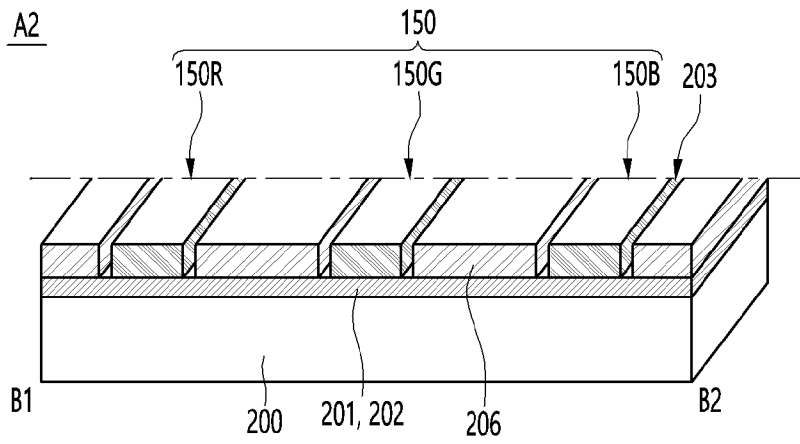
[도3]



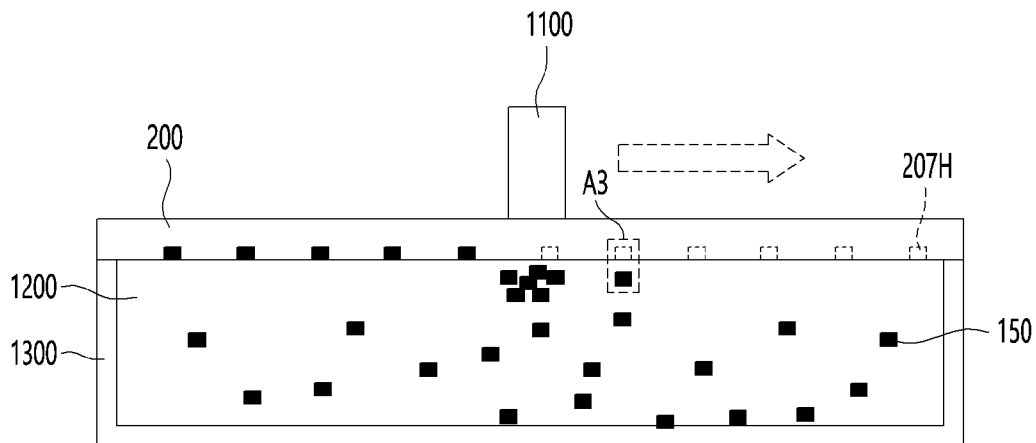
[도4]

A1

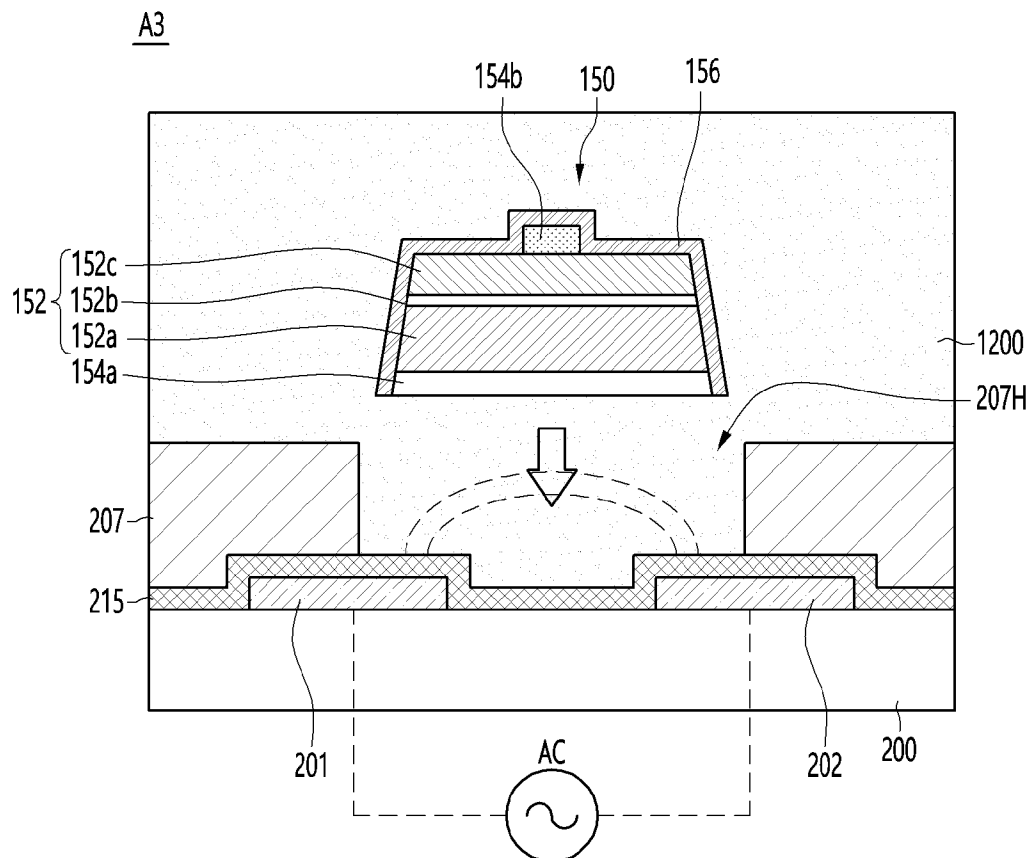
[도5]



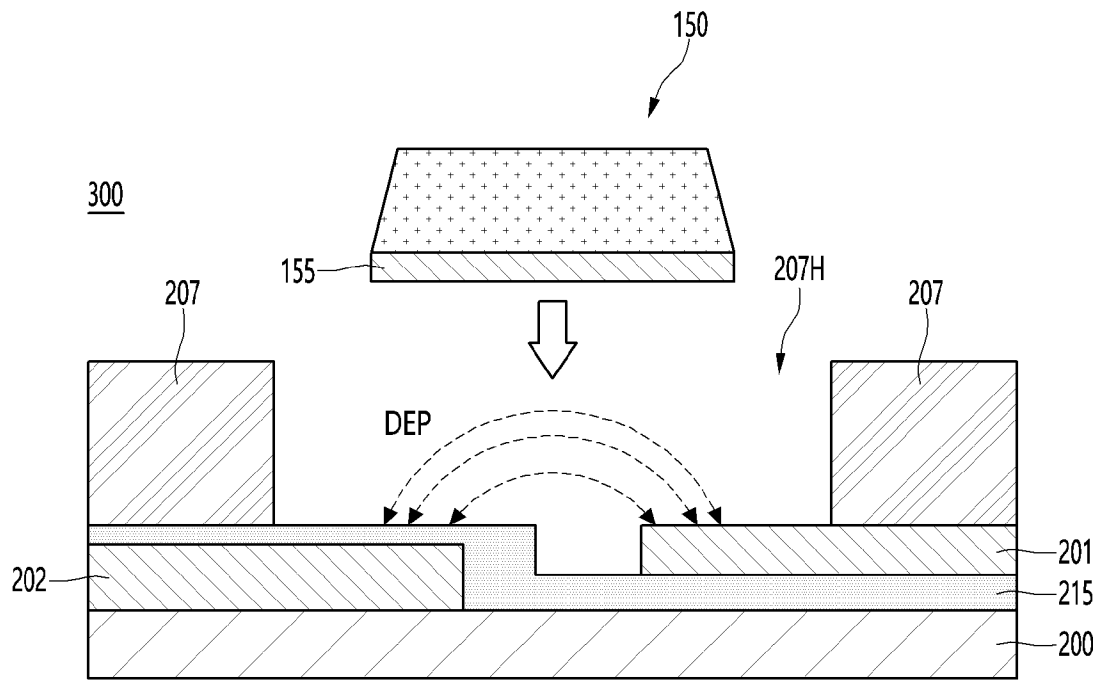
[도6]



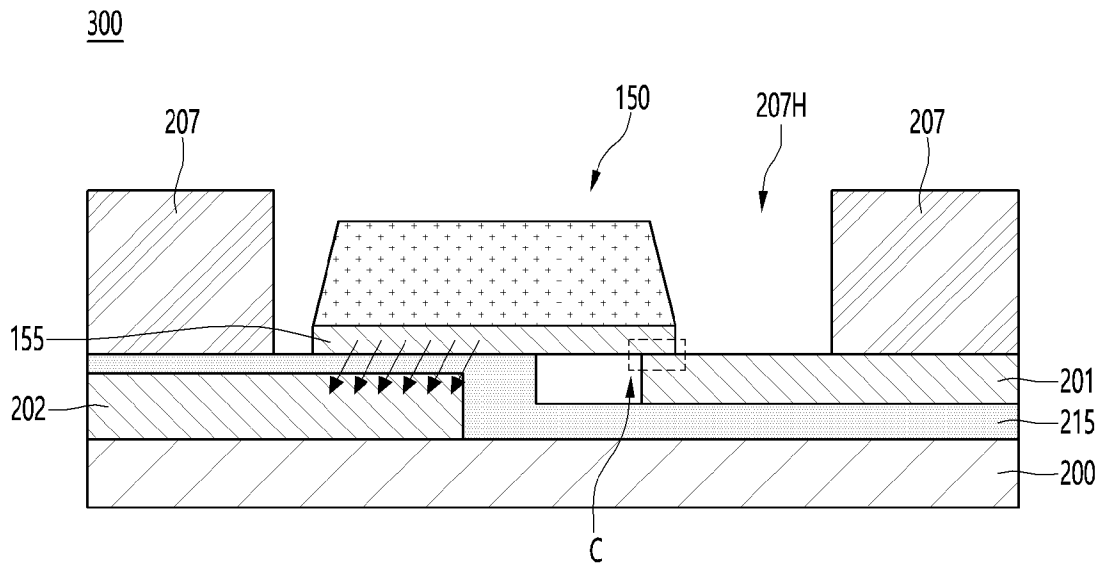
[도7]



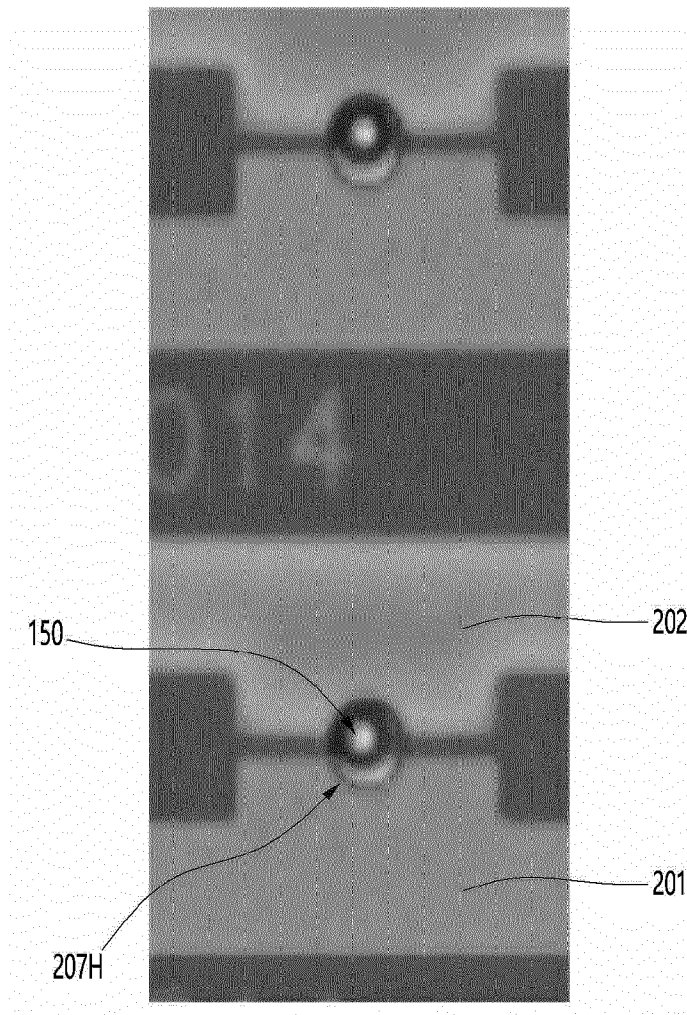
[도8a]



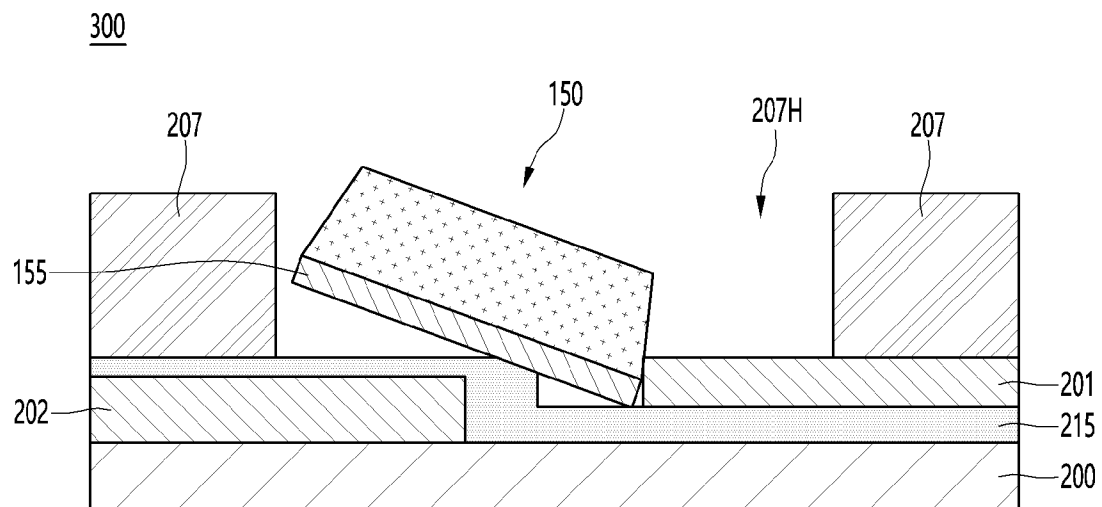
[도8b]



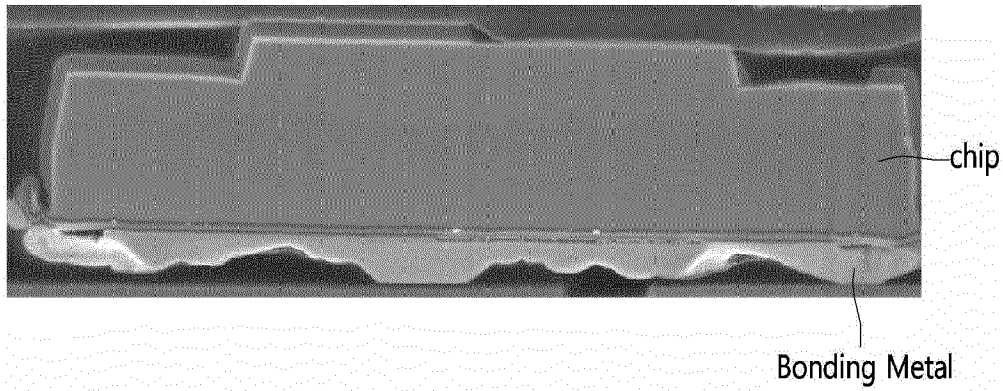
[도8c]



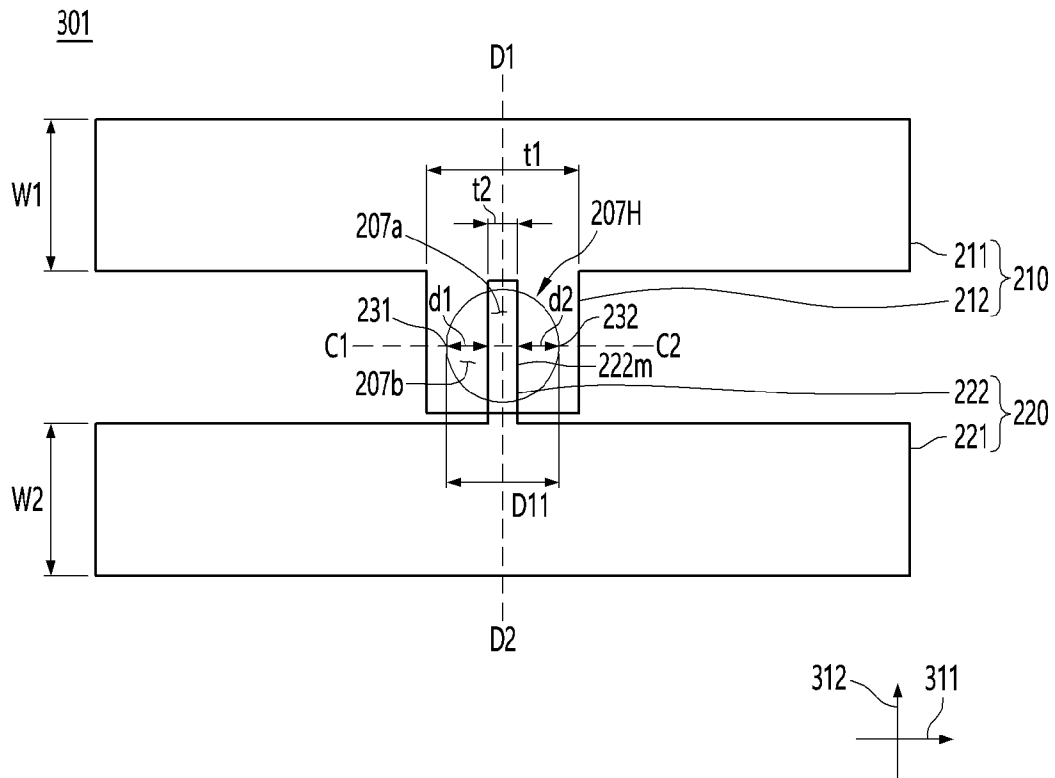
[도8d]



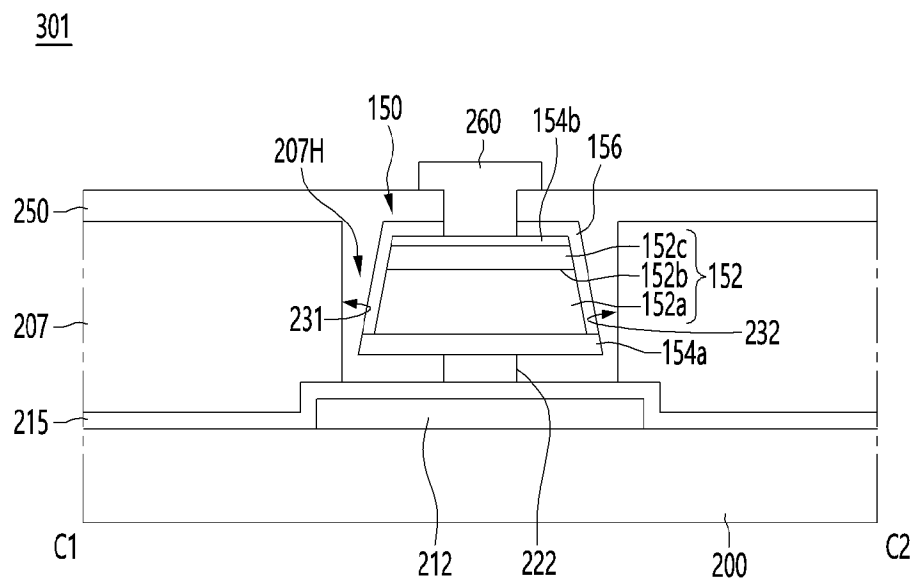
[도8e]



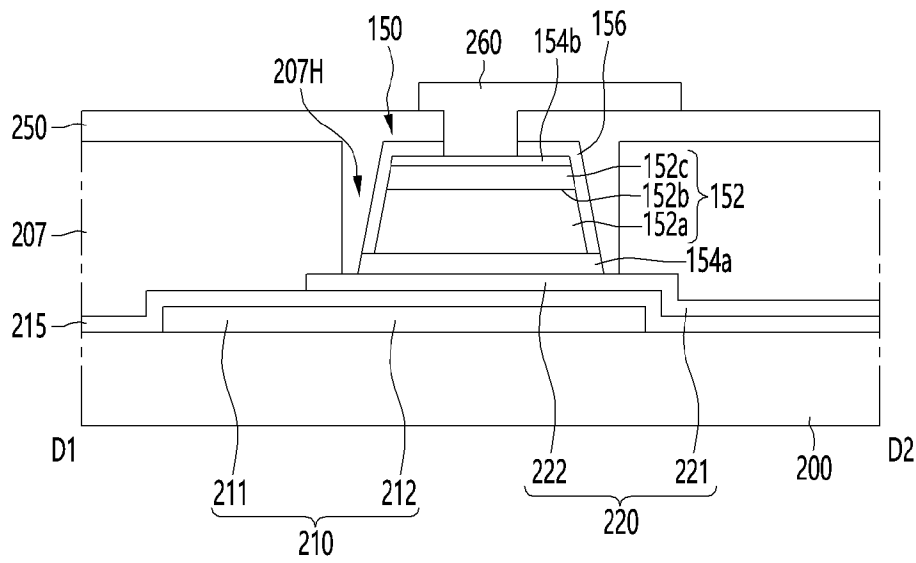
[도9]



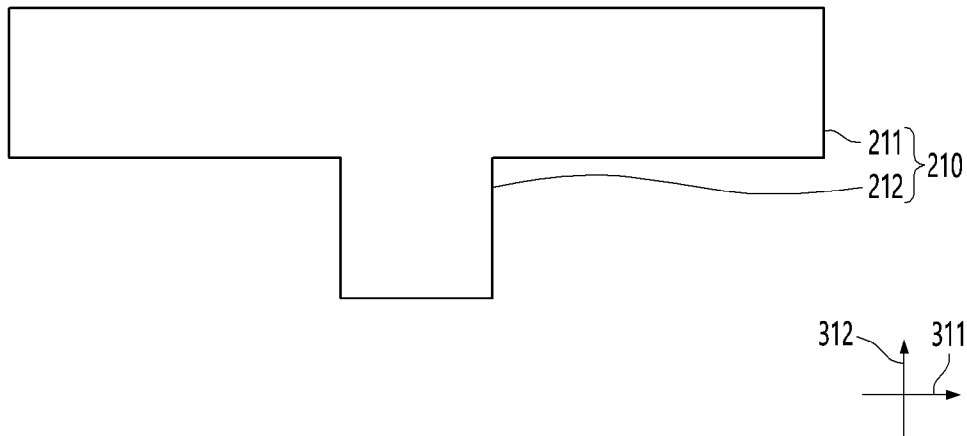
[도10]



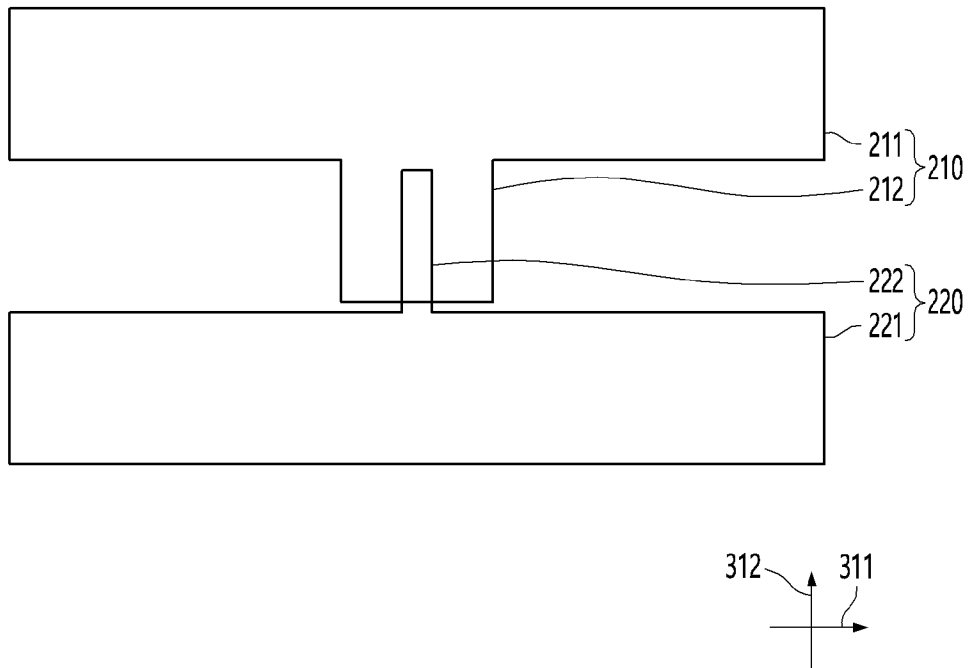
[도 11]

301

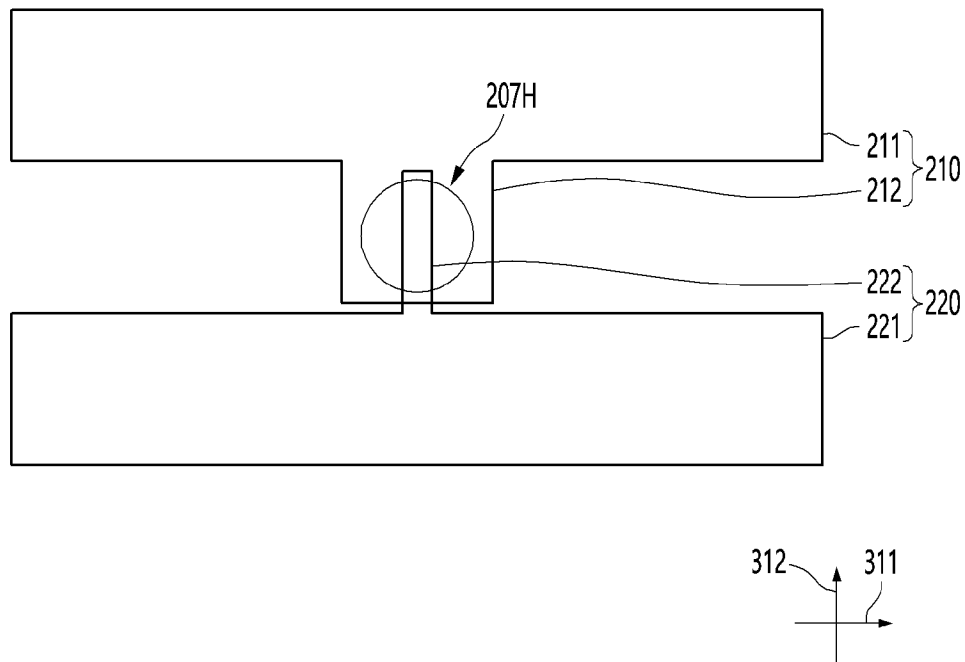
[도 12a]



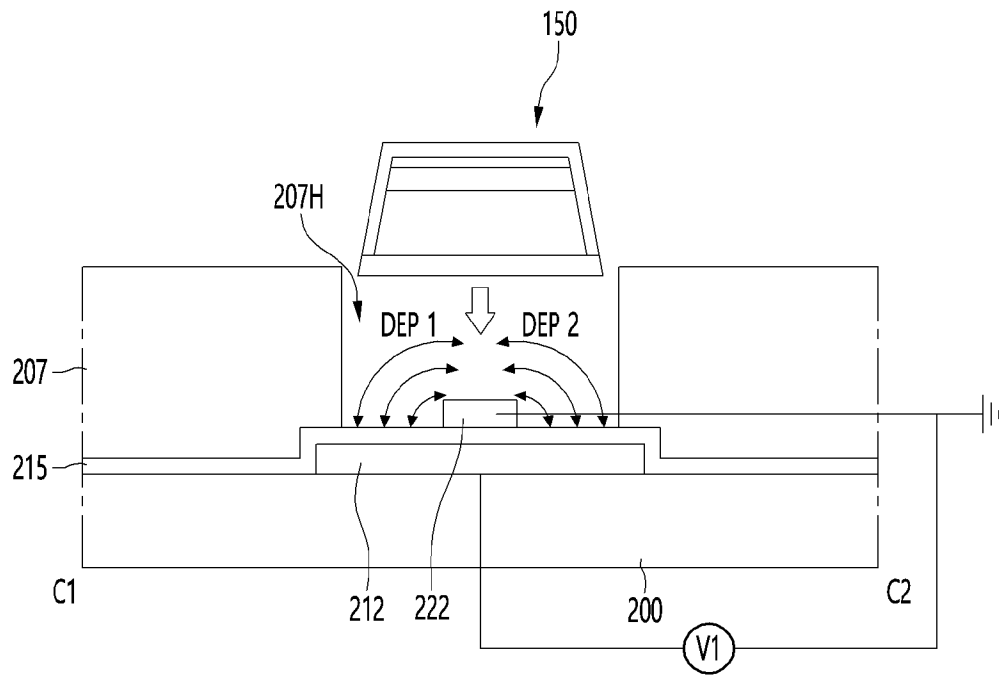
[도 12b]



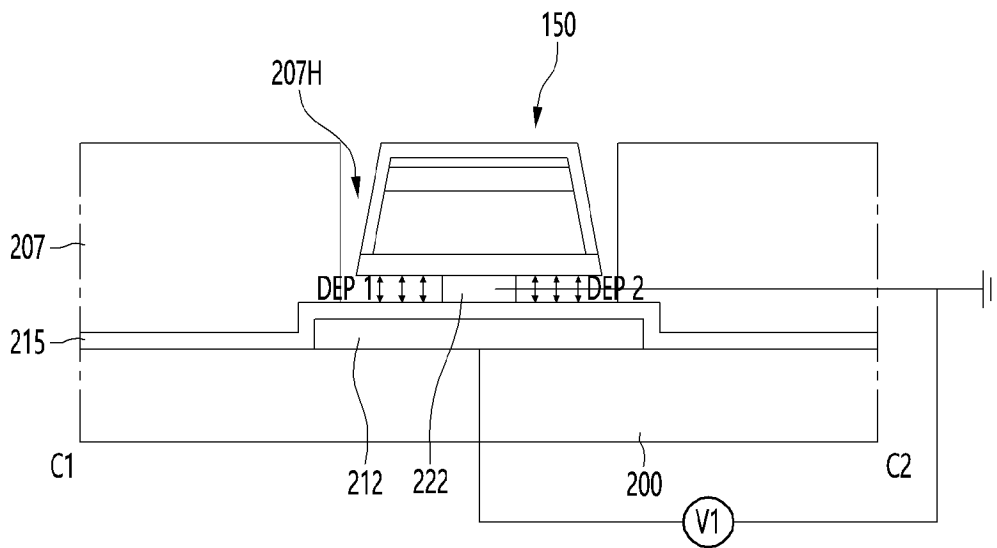
[도 12c]



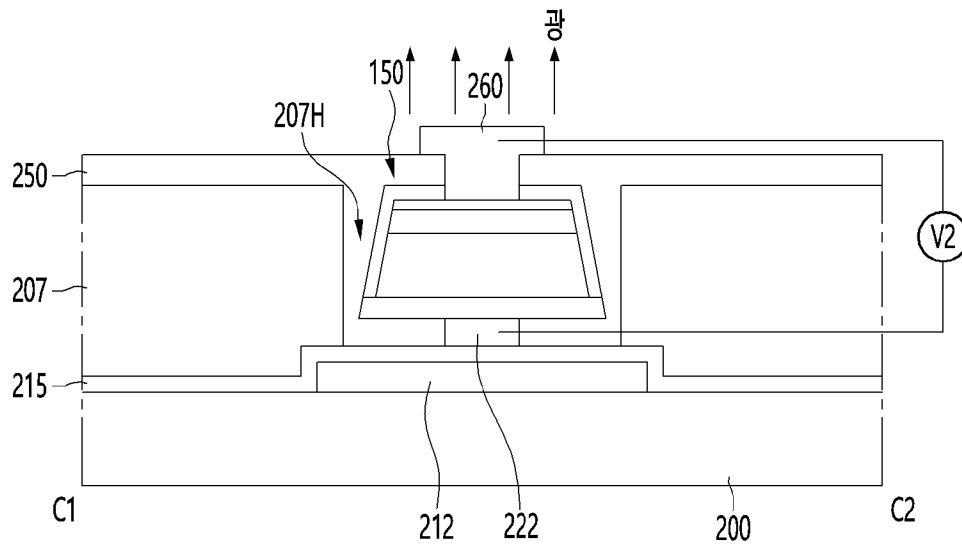
[도 13a]



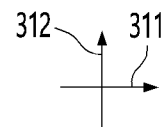
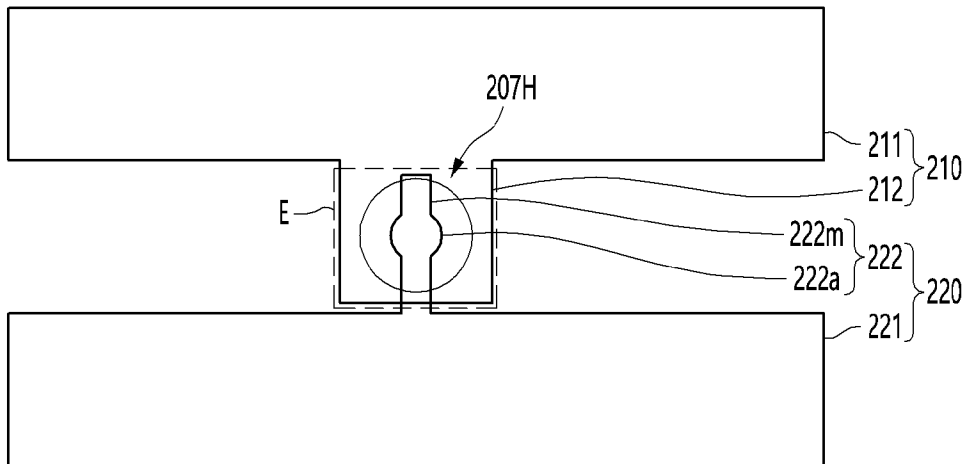
[도 13b]



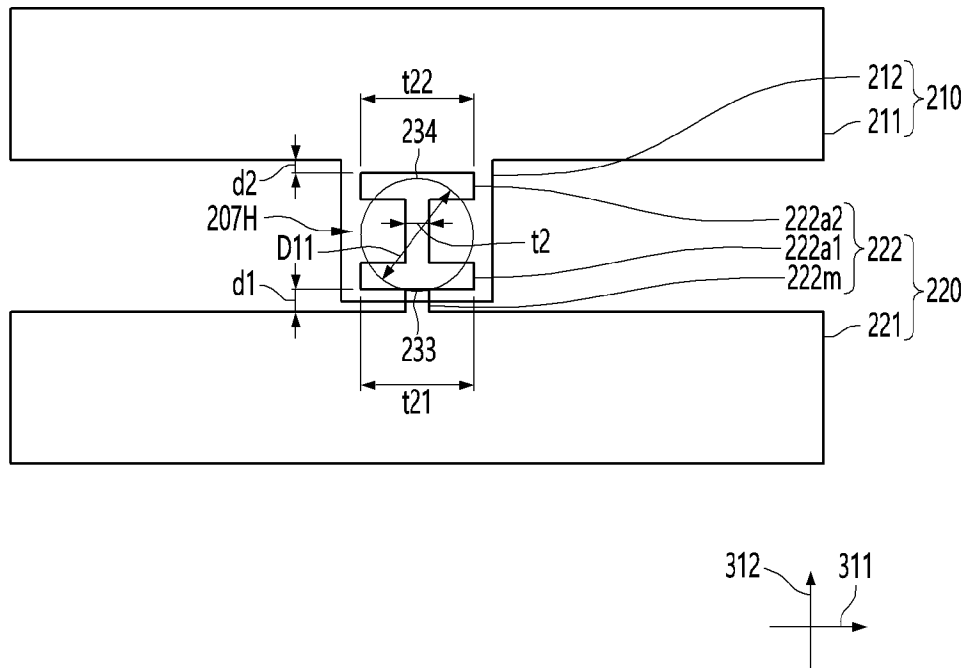
[도 14]



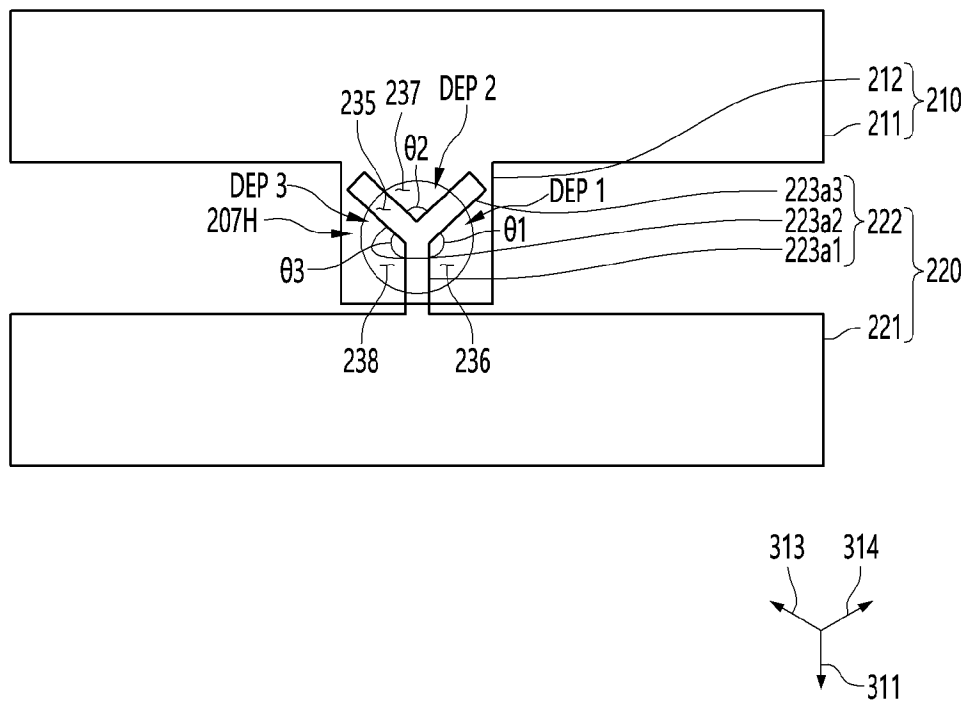
[도 15]

302

[도 18]

304

[도 19]

305

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/000763

A. CLASSIFICATION OF SUBJECT MATTER**H01L 25/075(2006.01)i; H01L 25/16(2006.01)i; H01L 33/62(2010.01)i; H01L 33/36(2010.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 25/075(2006.01); H01L 27/15(2006.01); H01L 33/00(2010.01); H01L 33/22(2010.01); H01L 33/30(2010.01);
H01L 33/36(2010.01); H01L 33/44(2010.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 디스플레이(display), DEP, 배선(wiring), 조립(assembly), 수직(vertical), 직경(diameter)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2019-0118992 A (LG ELECTRONICS INC.) 21 October 2019 (2019-10-21) See claim 1; and figures 13-14.	1-19
A	KR 10-2019-0143840 A (LG ELECTRONICS INC.) 31 December 2019 (2019-12-31) See paragraph [0158]; claims 1-12; and figures 7-14.	1-19
A	KR 10-2019-0085892 A (LG ELECTRONICS INC.) 19 July 2019 (2019-07-19) See paragraphs [0149]-[0154]; and figures 10-16.	1-19
A	KR 10-2021-0135383 A (SAMSUNG DISPLAY CO., LTD.) 15 November 2021 (2021-11-15) See claims 1-20; and figures 12-22.	1-19
A	KR 10-2020-0088949 A (SAMSUNG DISPLAY CO., LTD.) 24 July 2020 (2020-07-24) See claims 1-20; and figures 21-24.	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 October 2022

Date of mailing of the international search report

11 October 2022

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/000763

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2019-0118992	A	21 October 2019	EP	4040493	A1	10 August 2022
				WO	2021-066221	A1	08 April 2021
KR	10-2019-0143840	A	31 December 2019	WO	2021-117979	A1	17 June 2021
KR	10-2019-0085892	A	19 July 2019	WO	2021-002490	A1	07 January 2021
KR	10-2021-0135383	A	15 November 2021	WO	2021-225284	A1	11 November 2021
KR	10-2020-0088949	A	24 July 2020	CN	113330587	A	31 August 2021
				EP	3913694	A1	24 November 2021
				US	2022-0068876	A1	03 March 2022
				WO	2020-149515	A1	23 July 2020

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 25/075(2006.01)i; H01L 25/16(2006.01)i; H01L 33/62(2010.01)i; H01L 33/36(2010.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 25/075(2006.01); H01L 27/15(2006.01); H01L 33/00(2010.01); H01L 33/22(2010.01); H01L 33/30(2010.01); H01L 33/36(2010.01); H01L 33/44(2010.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 디스플레이(display), DEP, 배선(wiring), 조립(assembly), 수직(vertical), 직경(diameter)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2019-0118992 A (엘지전자 주식회사) 2019.10.21 청구항 1; 및 도면 13-14	1-19
A	KR 10-2019-0143840 A (엘지전자 주식회사) 2019.12.31 단락 [0158]; 청구항 1-12; 및 도면 7-14	1-19
A	KR 10-2019-0085892 A (엘지전자 주식회사) 2019.07.19 단락 [0149]-[0154]; 및 도면 10-16	1-19
A	KR 10-2021-0135383 A (삼성디스플레이 주식회사) 2021.11.15 청구항 1-20; 및 도면 12-22	1-19
A	KR 10-2020-0088949 A (삼성디스플레이 주식회사) 2020.07.24 청구항 1-20; 및 도면 21-24	1-19
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년10월11일(11.10.2022)		국제조사보고서 발송일 2022년10월11일(11.10.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2019-0118992 A	2019/10/21	EP 4040493 A1	2022/08/10
		WO 2021-066221 A1	2021/04/08
KR 10-2019-0143840 A	2019/12/31	WO 2021-117979 A1	2021/06/17
KR 10-2019-0085892 A	2019/07/19	WO 2021-002490 A1	2021/01/07
KR 10-2021-0135383 A	2021/11/15	WO 2021-225284 A1	2021/11/11
KR 10-2020-0088949 A	2020/07/24	CN 113330587 A	2021/08/31
		EP 3913694 A1	2021/11/24
		US 2022-0068876 A1	2022/03/03
		WO 2020-149515 A1	2020/07/23