

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2010-501966

(P2010-501966A)

(43) 公表日 平成22年1月21日 (2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/56 (2006.01)	G 1 1 C 29/00 6 5 1 Z	5 B 0 1 5
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 3 4 1 D	5 L 1 0 6

審査請求 有 予備審査請求 未請求 (全 14 頁)

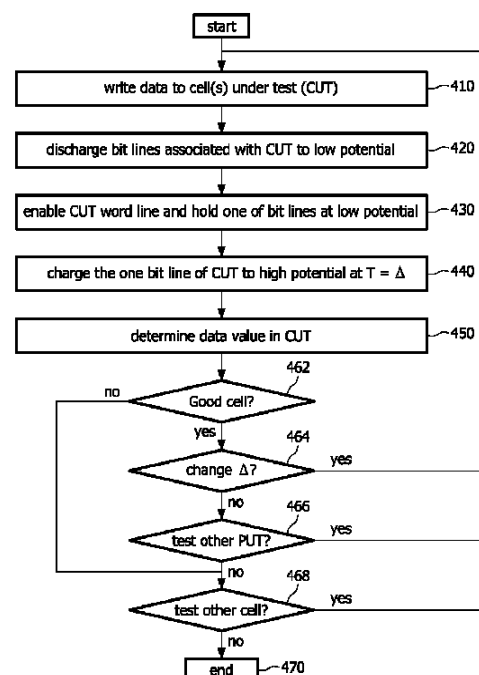
(21) 出願番号 特願2009-525161 (P2009-525161) (86) (22) 出願日 平成19年8月21日 (2007. 8. 21) (85) 翻訳文提出日 平成21年3月24日 (2009. 3. 24) (86) 国際出願番号 PCT/IB2007/053337 (87) 国際公開番号 W02008/023334 (87) 国際公開日 平成20年2月28日 (2008. 2. 28) (31) 優先権主張番号 06119335.5 (32) 優先日 平成18年8月22日 (2006. 8. 22) (33) 優先権主張国 欧州特許庁 (EP)	(71) 出願人 507219491 エヌエックスピー ビー ヴィ NXP B. V. オランダ国 5656エイジー アインド ーフェン ハイ テク キャンパス 60 High Tech Campus 60 , NL-5656 AG Eindhoven, Netherlands (74) 代理人 100147485 弁理士 杉村 憲司 (74) 代理人 100134005 弁理士 澤田 達也 (74) 代理人 100153017 弁理士 大倉 昭人
---	---

最終頁に続く

(54) 【発明の名称】 スタティックランダムアクセスメモリを検査する方法

(57) 【要約】

複数のメモリセルを持つSRAMを検査する方法を開示する。第1ステップにおいて、被検セル (CUT) 内にビット値を書き込む。続いて、第1および第2有効トランジスタを無効にして、ビット線を放電して低電位にする。つぎに、被検メモリセルに接続したワード線 (WL) を所定の期間にわたり有効にする。この期間の第1部分中に、一方のビット線 (BLB) を低電位に維持することでCUTにおける関連するプルアップトランジスタを導通状態にして、その後このビット線 (BLB) を高電位まで充電する。この期間が終了したとき、第1セルのビット値を決定する。本発明方法は、この目的を達成する専用のハードウェアを必要とすることなく、不良または欠陥SRAMセルの検出を容易にする。



【特許請求の範囲】

【請求項 1】

複数のメモリセルを持つスタティックランダムアクセスメモリであって、各メモリセルは高電位電源と低電位電源との間で、たすきがけ接続した 1 対のインバータ対を備え、このインバータ対の第 1 インバータは第 1 有効トランジスタを介して第 1 ビット線に接続する制御端子を有し、前記インバータ対の第 2 インバータは第 2 有効トランジスタを介して第 2 ビット線に接続する制御端子を有し、前記第 1 および第 2 の有効トランジスタはワード線に接続した制御端子をそれぞれ有する該スタティックランダムアクセスメモリを検査する方法において、

(a) 第 1 メモリセルに第 1 ビット値を書き込むステップと、

(b) 前記第 1 メモリセルにおける第 1 および第 2 の有効トランジスタを無効にするステップと、

(c) 前記第 1 メモリセルに接続した前記第 1 ビット線および前記第 2 ビット線を放電して低電位にするステップと、

(d) 所定期間にわたり前記メモリセルに接続した前記ワード線をアクティブ化するとともに、前記第 1 メモリセルに接続した前記第 1 ビット線を前記所定期間における所定部分中に前記低電位に維持するステップと、

(e) 前記所定期間における前記所定部分が完了する際に、前記第 1 ビット線を高電位にするステップと、

(f) 前記所定期間経過後に、前記被検セルの前記ビット値を測定するステップと、
を有する方法。

【請求項 2】

請求項 1 に記載の方法において、ステップ (a) ~ (f) を、前記所定期間の異なる所定部分で繰り返す方法。

【請求項 3】

請求項 1 または 2 に記載の方法において、さらに、

(g) 前記メモリセルに第 2 ビット値を書き込むステップと、

(h) 前記第 1 および第 2 の有効トランジスタを無効にするステップと、

(i) 前記第 2 ビット線および前記第 1 ビット線を放電して前記低電位にするステップと、

(j) 他の所定期間にわたり、前記メモリセルに接続した前記ワード線をアクティブ化するとともに、前記第 2 ビット線を前記他の所定期間における他の所定部分中に前記低電位に維持するステップと、

(k) 前記他の所定期間における前記他の所定部分が完了する際に、関連する前記第 2 ビット線を高電位にするステップと、

(l) 前記所定期間経過後に、前記被検セルの前記他のビット値を測定するステップと、
を有する、方法

【請求項 4】

請求項 3 に記載の方法において、ステップ (g) ~ (l) を異なる所定遅延時間にわたり繰り返す、方法。

【請求項 5】

請求項 1 または 2 に記載の方法において、ステップ (a) ~ (f) を前記スタティックランダムアクセスメモリの各メモリセルに対して繰り返す方法。

【請求項 6】

請求項 3 または 4 に記載の方法であって、ステップ (g) ~ (l) を前記スタティックランダムアクセスメモリの各メモリセルに対して繰り返す方法。

【発明の詳細な説明】

【技術分野】

【0001】

スタティックランダムアクセスメモリ (SRAM) は、その内容を保持するために電力

10

20

30

40

50

を必要とするメモリチップであり、言い換えれば、電力を供給する限りデータビットをそのメモリに保持する。このSRAMは、2個の選択トランジスタのうち一方をアクティブ化するのにもとづき、一方または他方の側に電流を流すラッチ回路により構成する。ダイナミックRAM(DRAM)とは違って、SRAMは定期的にセルをリフレッシュするために、回路をリフレッシュする必要が無い。SRAMはまた、DRAMより速いデータへのアクセスを得る。しかし、DRAMに比べて、より大きな場所を取り、より大きな電力を使用して、より高価になりがちである。SRAMは一般的にコンピュータのキャッシュメモリや、例えばビデオカードにおけるデジタル-アナログ変換器のランダムアクセスメモリの一部として使用する。

【背景技術】

10

【0002】

図1には、一般的に使用されている6トランジスタ(6T)-SRAMセルを示す。Pチャンネルトランジスタ102およびNチャンネルトランジスタ104を備える第1インバータ100と、Pチャンネルトランジスタ202およびNチャンネルトランジスタ204を備える第2インバータ200とを、既知のたすきがけ結合で相互接続してラッチを形成する。第1Nチャンネル選択トランジスタ106はこのラッチを第1ビット線BLBに接続し、第2Nチャンネル選択トランジスタ108はこのラッチを第2ビット線BLに接続する。Nチャンネル選択トランジスタ106、108のゲートをワード線WLに接続する。

【0003】

上述の6トランジスタ(6T)-CMOS-SRAMセルは、マイクロプロセッサおよびマイクロコントローラ設計において、4トランジスタ(4T)のSRAMセルより多くの利点があり、その利点としては、そのアクティブ・プルアップPMOSTランジスタによる完全なデータ保持能力がある。しかし、完全なデータ保持能力は、従来実現されてこなかった。なぜなら、よく脆弱欠陥と称されるいくつかの開回路欠陥により保持に失敗することが知られているからである。この種の欠陥は、一般的に抵抗欠陥、過剰プロセスシフト、トランジスタのミスマッチ、IR低下などにより生ずるものであり、プロセス、温度、時間に依存して予測不可能なデータ保持の失敗を引き起こすことがある。そのような保持の失敗はランダムに起こりがちであり、なぜならセルは全体的に損傷しているのではなく、保持の失敗(状態反転に特徴がある)は、SRAMの通常作動中のある動作条件、例えば電氣的攪乱(例えば電源ノイズ)、読み出し/書き込みセルの障害の下でのみ誘発されるからである。したがって、N-Marchのような高温ベークングおよび検査アルゴリズムによる従来の保持検査技術はこの種の欠陥を検出できない。

20

30

【0004】

以下の説明上、不良セルを、静的ノイズマージン(SNM)が0に近いセルと定義する。したがって、このようなセルは、不慮に状態を反転させる可能性がある。SNMはどちらかの状態におけるノイズに対する論理回路の許容度の指標であり、すなわち、入力電圧がどのくらい変化しても、現在の論理状態を攪乱することがないようにできるかの目安である。言い換えれば、SNMはセルのロバスト性の指標を表している。図2を参照して、静的ノイズマージンを強調してセルの伝達関数を示す。SNMを、2個のセルインバータの伝達特性曲線で囲まれる最大の正方形の辺として定義する。特性曲線上の点XおよびYは2つの安定状態を表し、交点Zはメタ(準)安定状態を表す。ZからXおよびYへの辺りの小さな障害は、セルの状態XおよびYをそれぞれ反転させるだろう。

40

【0005】

図3には、良SRAMセル(実線)と不良SRAMセル(破線)の伝達特性曲線を示す。軸はノード電圧を示し、ビット線電圧に比例する。 $V_{M_{good}}$ および $V_{M_{weak}}$ は良セルおよび不良セルのメタ安定点を表す。もしSRAMの内部ノードを V_M のレベルに達する場合、次に微小な電圧増加がこの電圧増加の方向にセルを反転させるであろう。伝達特性曲線上の点 X_1 , Y_1 (X_2 , Y_2) は、それぞれ、良(不良)セルの安定状態を示し、点 Z_1 (Z_2) はメタ安定状態を表す。図3より明らかなように、不良セルは、良セルよりも著しく小さいSNMを持つ。

50

【0006】

S R A Mにおける不良セルの検出について、いくつかの従来技術による解決法が存在する。例えば、特許文献1（米国特許6778450号）は、伝達特性曲線の範囲を持つ不良セルを検出するための装置および方法を開示している。この目的を達成するために、被検セルをバイアス電圧発生器に接続し、このバイアス電圧発生器は、所定のバイアス電圧を選択するよう構成することができる。異なるバイアス電圧は異なるメタ安定点の検出を可能にするので、この方法により不良セルの範囲を検出することができる。

【0007】

代替的手法が特許文献2（国際公開第W O 2 0 0 6 / 0 5 6 9 0 2）に開示されており、この場合、被検セルおよび基準セルのそれぞれに反対のデータ値を保存し、また基準セルのワード線に部分的にビット線を放電することを許可するパルス列を供給し、これらパルスの個数および幅を変更することによりこのビット線における電圧変化を容易にする、ことによって、不良セルを検出する。この後、被検セルに種々の電圧値を加え、このセルのS N Mを正確に決定する。

【0008】

特許文献3（米国特許6590818号）には、不良S R A Mセルを検出する他の方法が開示されている。この特許に開示されたS R A Mは、ソフト欠陥検出（S D D）モードで動作可能である。この目的のために、S D D調整回路をビット線の各対間に接続する。S D D調整回路は、各ビット線をそれぞれの所定電圧まで充電し、この後、ビット線を短絡し、双方のビット線に中間電圧を確立し、セルのワード線をアクティブ化することでセルにその中間電圧を加えるよう構成する。このことは不良セルに保存ビット値を反転させる。

【0009】

これらの従来技術の方法に共通な欠点は、不良セル検出を容易にするのに特化したいくつかのハードウェアを付加する必要があるということである。このことはいつも容認可能なわけではなく、例えば付加的ハードウェアはS R A Mの価格に上乗せされるためである。さらに、上述の検査方法は、メモリのセルにおけるプルアップトランジスタに関連するあるタイプの抵抗オープンを検出できない。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】米国特許6778450号

【特許文献2】国際公開第W O 2 0 0 6 / 0 5 6 9 0 2

【特許文献3】米国特許6590818号

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の課題は、間接的にS R A Mの面積オーバーヘッドを削減し、またメモリのセルにおけるプルアップトランジスタに関連する抵抗オープンの検出を容易にする、S R A Mの検査方法を得ることにある。

【課題を解決するための手段】

【0012】

本発明の第1の態様によれば、複数のメモリセルをもつスタティックランダムアクセスメモリであって、各メモリセルは高電位電源と低電位電源との間でたすきがけ接続した1対のインバータ対を備え、このインバータ対の第1インバータは第1有効トランジスタを介して第1ビット線に接続した制御端子を有し、前記インバータの第2インバータは第2有効トランジスタを介して第2ビット線に接続した制御端子を有し、第1および第2の有効トランジスタは、それぞれワード線に接続した制御端子を有する該スタティックランダムアクセスメモリを検査する方法を提供し、この方法は、

(a)第1メモリセルに第1ビット値を書き込むステップと

10

20

30

40

50

- (b)第1メモリセルにおける第1および第2の有効トランジスタを無効にするステップと、
(c)第1メモリセルに接続した第1ビット線および第2ビット線を放電して低電位にするステップと、
(d)所定期間にわたりメモリセルに接続したワード線をアクティブ化するとともに、第1メモリセルに接続した第1ビット線を、前記所定期間における所定部分中に、低電位に維持するステップと、
(e)前記所定期間における前記所定部分が完了する際に、前記第1ビット線を高電位にするステップと、
(f)所定期間経過後に、被検セルのビット値を測定するステップと、
を有する。

10

【0013】

本発明方法は、従来技術の方法と基本的に異なる手法を使用しており、従来技術では通常不良SRAMセルにおけるビット反転を目安にして検出している。対照的に本発明の方法は、被検セル(CUT)に規定ビット値を保存することでセルを明確に規定された状態にし、続いてこの明確な規定された初期状態から、ステップ(a)で書き込んだデータとステップ(f)のセルから回収したデータとの比較を必要とせずに、CUTのプルアップトランジスタにより浮動ビット線をプルアップすることができるかどうかをチェックすることにより、SRAMセル内のプルアップトランジスタが関連するビット線をプルアップできるかどうかを検査する。不良セルの場合、被検プルアップトランジスタの抵抗欠損または閾値シフトのために、プルアップトランジスタは関連するビット線のキャパシタンス(静電容量)を充電することができない。

20

【0014】

好適には、本発明方法は、さらに、被検セルのSNMを正確に決定できるようにするため、異なる所定遅延でステップ(a)~(f)を繰り返す。

【0015】

ステップ(a)~(f)は、さらに、被検セルの他のプルアップトランジスタを検査するために被検セルに接続した第1および第2ビット線の役割を交換して、繰り返してよい。

本発明を、より詳細に、単なる例示として、添付図面につき説明する。

【図面の簡単な説明】

30

【0016】

【図1】従来の6トランジスタSRAMセルの構造を示す回路図である。

【図2】静的ノイズマージンを強調して伝達関数を示す。

【図3】良SRAMセルおよび脆弱SRAMセルのそれぞれの伝達関数を示す。

【図4】本発明方法のフローチャートを示す。

【図5】本発明方法を行ったときに、良SRAMセルと抵抗オープンまたはブリッジング(架橋)欠陥を持つSRAMとの間における挙動の違いのシミュレーション結果を示す。

【図6】本発明の方法を行ったときに、良SRAMセルと抵抗オープンまたはブリッジング(架橋)欠陥を持つSRAMとの間における挙動の違いのシミュレーション結果を示す。

40

【図7】本発明の方法を行ったときに、良SRAMセルと抵抗オープンまたはブリッジング(架橋)欠陥を持つSRAMとの間における挙動の違いのシミュレーション結果を示す。

【発明を実施するための形態】

【0017】

図面は単に概略的であり、縮尺通りに描いていないことを理解されたい。いくつかの参照番号は図面にわたり、同一または類似の部分を示すことを理解されたい。

本発明の検査方法(一つの実施形態を図4に示す)を、図1~5につきより詳細に説明する。

【0018】

50

本発明の原理は、ビット線BLおよびBLBが無視できないキャパシタンス（静電容量）を持つという事実にもとづいている。被検セル（CUT）における1個のPUTを介して高電位電源に導通するとき、ビット線をこの電位に達するためにこのキャパシタンス（静電容量）を充電する必要がある。不良セルは、通常いくつかの構造的欠陥、例えば抵抗オープンのようなスポット欠陥、ブリッジング（架橋）欠陥、過剰閾値シフトがある。このような欠陥は、例えばPUT102および202などのプルアップトランジスタの、それらが関連するビット線のキャパシタンス（静電容量）を充電する能力を著しく減少する。この特性を、以下のようにして有効に利用する。

【0019】

本発明方法は、CUTにバックグラウンドデータを書き込むステップ410から開始する。データをCUTに書き込んで、セルを十分明確に規定された状態にする。1個以上のセルに、同時にデータを供給する、例えばワード線WLを共有するすべてのセルに供給することができる。

【0020】

例えば、論理値「0」をCUTに書き込むことができる。このことは、通常、ビット線BLBを電源電圧（ V_{dd} ）などの高電位に充電し、またビット線BLを接地し、この後ワード線WLを有効にすることにより、達成する。このことは、高電位をノード1に記憶し、低電位をノード2に記憶することになる。ノード1は、プルアップトランジスタ（PUT）202およびプルダウントランジスタ（PDT）204の制御端子に接続しているので、ノード1上の高電位はPUT202をスイッチオフにし、PDT204をスイッチオン状態にする。同様に、ノード2上の低電位はPUT102をスイッチオン状態にし、104をスイッチオフ状態にする。このことはノード2をさらに接地電位へ引き込み、ノード1をさらに V_{dd} へ引き込む。したがって、ノード2すなわち「真」ビットを論理「0」にセットし、ノード1すなわち「偽」ビットを論理「1」にセットする。

【0021】

しかし、本発明方法の以下のステップは、論理「1」をCUTに書き込むことにも同様に適用でき、このことを後でより詳細に説明する。

CUTの書き込みサイクル後に、ワード線WLを無効にし、ステップ420で、そのビット線BLおよびBLBを低電位、例えば、接地電位に引き下げる。つぎに、ワード線WLをステップ430で再び有効にする。このことにより、有効トランジスタ106および108をスイッチオン状態にし、したがって、CUTのクロス接続のインバータを、接地状態のビット線BLおよびBLBに導通し、これにより、論理「1」を持つすなわちステップ410で書き込み動作中に高電位にプルアップした図1内のCUTのノードを、低電位までプルダウンする。

【0022】

ワード線WLが有効である期間の第1部分 Δ 中、ビット線BLBを接地（グラウンド）状態に維持して、ノード1を接地（グラウンド）状態に維持し、かつPUT202のスイッチオン状態に維持することを確実にする。この間、ビット線BLを浮動状態に釈放しておき、このビット線BLの釈放は、ワード線WLを有効にする時点の前またはその時点と同時に行う。ビット線BLBを接地（グラウンド）状態に維持するため、ノード1は低電位に維持され、このことは、ノード1に接続した制御端子を有するPUT202のスイッチオン状態を維持することを意味する。したがって、仮にPUT202が正確に機能している場合、PUT202は期間 Δ 中、浮動ビット線BLを充電すなわちプルアップを開始するはずである。

【0023】

期間 Δ の後、ただし依然としてワード線が有効である期間中、ステップ440で、ビット線BLBを高電位、例えば V_{dd} にプルアップする。この時点で、良CUTと不良CUTの挙動の違いが明らかになる。良CUTの場合、期間 Δ 中にノード2における電位を、PUT202により、PDT104が有効になるとともに、PUT102が無効になるような程度までプルアップしているはずである。したがって、たとえビット線BLBをプル

アップする場合でも、有効状態にされたP D T 1 0 4によって、C U Tのノード1を有意にプルアップすることはできない。したがって、P D T 2 0 2は有効状態を維持し、ノード2をさらにプルアップし、最終的には論理「1」をC U Tに記憶することに導く。

【0024】

逆に不良C U T、例えばP D T 2 0 2と高電位電源との間に導回路に抵抗オープンを持つセルの場合、P U T 2 0 2は浮動ビット線B Lのキャパシタンス（静電容量）を充電できないために、期間 Δ 中におけるP U T 2 0 2の強制されたアクティブ状態も、ノード2における電位の有意な上昇には至らないであろう。したがってビット線B L Bをプルアップするとき、ノード1も同様にプルアップされる、なぜならノード2上の比較的低い電位はP D T 1 0 4よりむしろP U T 1 0 2をスイッチオン状態にするからである。したがって、P U T 2 0 2はスイッチオフ状態になり、P D T 2 0 4をスイッチオン状態にし、このことにより、ノード2における電位をさらに低下させ、最終的には論理「0」をC U Tに記憶することに導くだろう。

【0025】

したがって、ステップ450でC U Tを読み出すことにより、良セルは、セルに記憶したビット値を測定することにより不良または不正セルから即座に判別することができる。

【0026】

図5は、本発明検査方法を良C U Tと10 G Ω の抵抗オープンを持つC U Tに対して行ったシミュレーション結果を示す。シミュレーションした良C U Tの過渡曲線を510の符号で示し、シミュレーションした不良C U Tの過渡曲線を520の符号で示す。図5は、上から下に向かって、ノード2における電位、ノード1における電位、ビット線B Lにおける電位、ビット線B L Bにおける電位、ワード線W Lにおける電位を示す。

【0027】

シミュレーションは、ビット線B L Bおよびワード線W Lの双方が高電位を持つ状態にし、時刻 $t = 0.0 \text{ ns}$ から開始し、その後ワード線を放電すなわち無効状態にする。これは、論理「0」をC U T内に書き込む書き込みサイクル（ステップ410）の終了を示し、ノード1における高電位とノード2における低電位として見ることができる。それから短時間経過した後（ $t = 0.8 \text{ ns}$ ）、ビット線B L Bを放電して（ステップ420）、その後ワード線W Lを再び $t = 2.0 \text{ ns}$ で有効にして（ステップ430）、トランジスタ106および108を有効にする。これによりノード1を急速に放電して、したがって上記のようにノード2に関連するP U T 2 0 2を有効にする。このことは良C U Tのノード2上に明確な電位上昇を起こし、浮動ビット線B LもまたP U T 2 0 2により充電する。

【0028】

対照的に不良C U Tの過渡曲線520は、このC U T内の抵抗オープンがノード1と関連するビット線B Lにおける著しい電位上昇を上記のように妨害していることを指し示す。したがって $t = 4.5 \text{ ns}$ で、良C U Tのノード2はノード1よりも著しく高電位を持つ一方で、不良C U Tにおいては、このセル内の作動P U Tが関連するビット線をプルアップする能力がないために、ノード1とノード2の双方がほとんど同一の比較的low電位を持つ。したがって、ビット線B L Bを $t = 4.5 \text{ ns}$ で高電位に引き上げるとき、上述のように、不良セルのノード1はすぐに引き上がるが、その一方で良セルにおいてはノード2での電位増加がノード1での引き上げを阻止する。C U Tのその後のビット値読み出しによりセルが正常かどうかを確認する。

【0029】

ここで、ステップ420において被検P U Tに接続したビット線が完全に放電しない、すなわちビット線は残存電位に維持できることを強調したい。このバイアスによれば、本発明方法のその後のステップにおいてP U Tをスイッチオン状態にすることを確実にする。

【0030】

ステップ430におけるワード線W Lのアクティブ化と、ビット線B L Bの接地（グラ

10

20

30

40

50

ンド) 状態からの釈放、すなわちステップ 440 におけるビット線 B L B の高電位への充電との間の遅延 Δ は、良セルがノード 2 における電位と、ノード 1 の P D T 104 が有効になるように関連するビット線 B L の電位とを十分にプルアップするために十分な時間を与えるように選択する。

【0031】

被検メモリは、 Δ における適正な値を動的に決定するために、基準またはレプリカセルを備えることができる。この目的を達成するために、C U T に適用する本発明方法のステップを、同時に対応するレプリカセルに適用することができる。レプリカセルのビット線を監視 (モニタ) して、レプリカセルのアクティブ状態にある P U T に関連するビット線における電位が所定閾値に達すると即座に、ステップ 440 を C U T に対して実行する。このことは、メモリを実装する技術、例えばその技術が比較的緩慢なまたは迅速な導通挙動を持つかどうかに対して適合する Δ の値を使用していることを確実にする。レプリカセルは、適切な Δ の値のより正確な決定を容易にするために、モニタするビット線上で変動する電位を増幅するために並列接続した多数のメモリセルにより構成することができる。

【0032】

ステップ 450 において、C U T に記憶したビット値を測定 (決定) する。このことは、例えば C U T を読み出すことにより実行する。図 5 における過渡曲線からすぐに明らかのように、良セルは、ステップ 440 におけるビット線 B L B の充電後に、ノード 2 上に高電位を持ち、ノード 1 上に低電位を持つ。言い換えれば、良セルはこの時点で論理「1」を保持する。不良セルは、ステップ 440 におけるビット線 B L B の充電後に、ノード 2 上に低電位を持ち、ノード 1 上に高電位を持つ。言い換えれば、不良セルはこの時点で論理「0」を持つ。本発明方法を適用することにより、ステップ 400 において C U T に論理「0」を書き込む場合の初期ビット値を保持する不良セルとは対照的に、良セルのビット状態を反転する。

【0033】

しかし、C U T における初期論理「1」ビット値は、C U T を同一最終状態にすることを強調したい。このことは、ステップ 420 および 430 の組み合わせが、どちらのノードが高電位であるかに関わらず、C U T の高電位のノードを低電位にプルダウンするという事実から理解することができる。しかし、もし本発明のステップ 440 を実行する間に浮動ビット線に接続するノードが初期に論理「1」を持っている場合、すなわちデータ書き込みステップ 410 の間にノード 1 を高電位にする場合、この状況では、本発明のステップ 430 を実行する間にこのノードが完全に放電されないことがある。このことは、通常、 Δ の適正な値に影響を与え、なぜならこのノードが制御する P D T が有効となる状態に達するのに、このノードはほとんど時間を必要としないからである。

【0034】

ステップ 462 において、C U T から回収したビット値を評価する。もし被検 S R A M セルが欠陥および不良セルであると結論付ける場合、そのセルの検査を終了する。もし別のセルを検査するなら、ステップ 468 で決定するように同一の検査手順を他のセルに適用することができ、そうでなければステップ 470 で本発明方法を終了する。

【0035】

不正のカバー範囲を改善するために、C U T にさらなる検査を行うことができる。例えば、ステップ 430 における C U T のワード線 W L の充電と、ステップ 440 における C U T の適正なビット線の充電との間における遅延 Δ を、ステップ 464 において変更することができる。図 5 につき説明したように、C U T にとって、一方の有効化した P U T により関連するビット線のキャパシタンス (静電容量) を充電するのに必要な時間は、ビット線のキャパシタンス (静電容量) と V_{dd} などの高電位電源との間における導電路にわたる抵抗の関数である。この抵抗の増大は、キャパシタンス (静電容量) の充電時間を増大し、したがって、浮動ビット線に接続したノードにより制御する P D T を有効化するために成功するために必要な時間を増加する。この時間は、また C U T の S N M にも関連する。したがって、各検査サイクルの Δ を変化させることにより、C U T の S N M の指標を決

定することができる。

【0036】

ステップ466において、CUTの他のPUTを検査するよう、CUTに対する本発明方法のステップを繰り返すことを決定することができ、この場合、この検査の種々のステップにおけるビット線BLおよびBLBの役割を交換する。この方法により、高電位電源と、PUT102を介するビット線BLBと、有効トランジスタ106との間における導電路の抵抗も、明確に検査することができる。

【0037】

通常は、本発明方法のステップを、SRAMのすべてのセルを検査するまで繰り返す。このことをステップ468においてチェックし、その後ステップ470で本発明方法を完了する。

10

【0038】

当然のことながら、本発明の検査方法を従来のSRAMデバイスに適用することができ、スタンドアロンまたは内蔵型のSRAMであっても、SRAMは不良セル検出を容易にするための専用検査構造を設ける必要がない。唯一の必要条件は、ビット線およびワード線は図5に示す波形のように、これらビット線およびワード線に適当な波形を与えるために制御可能でなければならないことである。そのような制御可能性は、従来のSRAMにおいて一般的に利用可能である。

【0039】

本発明方法によれば、マーチ検査のような従来のメモリ検査では検出できなかった広範囲の欠陥を検出可能である。図5においては、 $R = 10\text{ G}\Omega$ の比較的大きい抵抗オープンを検出することができる例を示す。しかし、もっと小さい抵抗欠損もまた発見することができる。図6は良セルを $R = 100\text{ k}\Omega$ の抵抗オープンを持つセルと比較したシミュレーション結果を示す。抵抗オープンを持つセルの過渡曲線を参照符号620で示す。このセルもまた、関連するワード線WLを有効にした後に、ノード2および関連するビット線BLを十分にチャージすることができないことが、すぐに理解できる。

20

【0040】

図7は、良セルをノード1とノード2の間に短絡したブリッジを持つセルと比較したシミュレーション結果を示す。良セルにおいて、これら2つのノードの間に抵抗回路は $R = 100\text{ G}\Omega$ の値を持つが、それに対して不良セルにおいては、この回路は $R = 100\text{ k}\Omega$ の抵抗値を持つ。不良セルの過渡曲線を参照符号720で示す。 $t = \Delta$ 、すなわちワード線が有効な期間($t = 4.5\text{ ns}$)中にビット線BLBをVddまで充電するときに、CUTの状態を即座にその初期状態に反転することは明白であり、したがって、そのようなブリッジ欠陥(短絡)を持つセルもまた本発明の方法を使用して検出できることを示す。

30

【0041】

上述の実施形態は本発明を限定するものでなく、当業者は添付の請求項の範囲から逸脱することなく多くの代替的な実施形態を設計することができる。請求項において、括弧で囲んだいずれの参照符号も請求を限定すると解すべきでない。用語「備える／有する(comprising)」は、特許請求の範囲に挙げた以外に他の要素やおよびステップがあることを除外しない。要素の冠詞「a」および「an」は、当該要素が複数存在することを除外しない。本発明を、いくつかの異なる要素を備えるハードウェアを用いて実装することができる。いくつかの手段を列挙するデバイス請求項において、これら手段のいくつかを1個および同一ハードウェアで実施することができる。相互に異なる独立請求項にある手段を引用したという事実は、これら手段の組み合わせを有利に使用することができないことを、全く示唆しない。

40

【図 1】

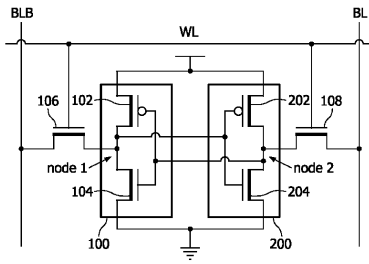


FIG. 1

【図 2】

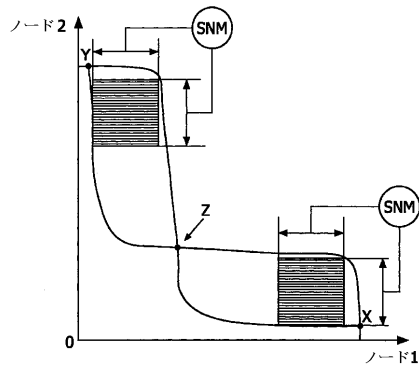


FIG. 2

【図 3】

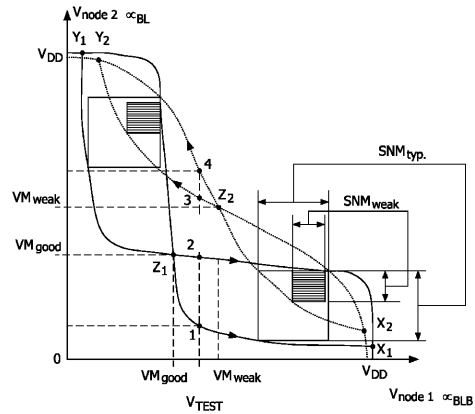


FIG. 3

【図 4】

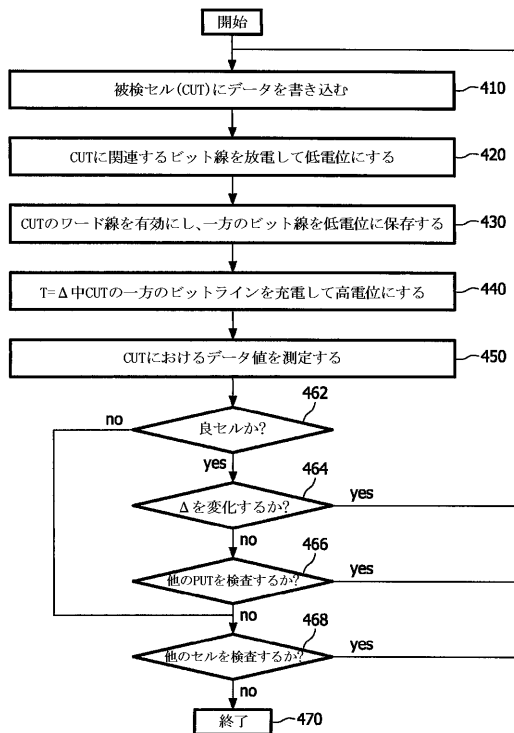


FIG. 4

【図 5】

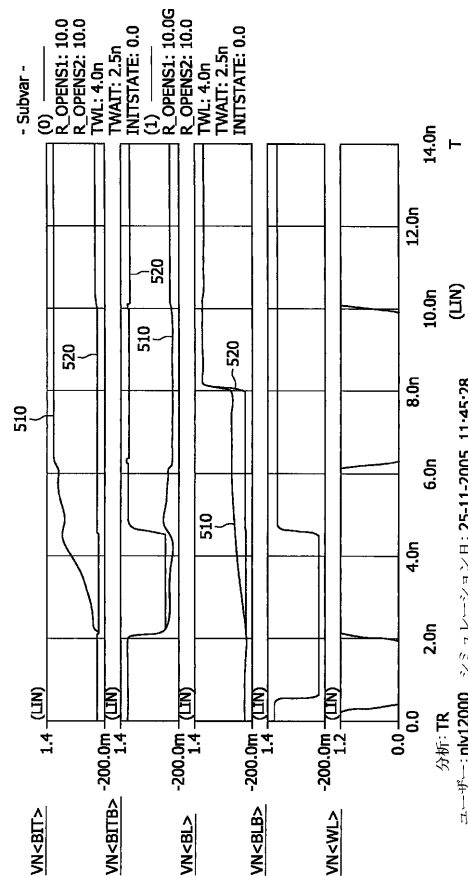
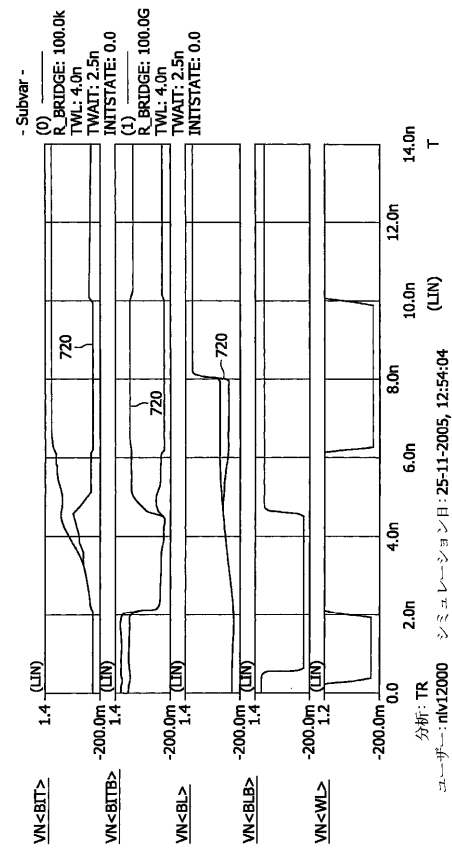
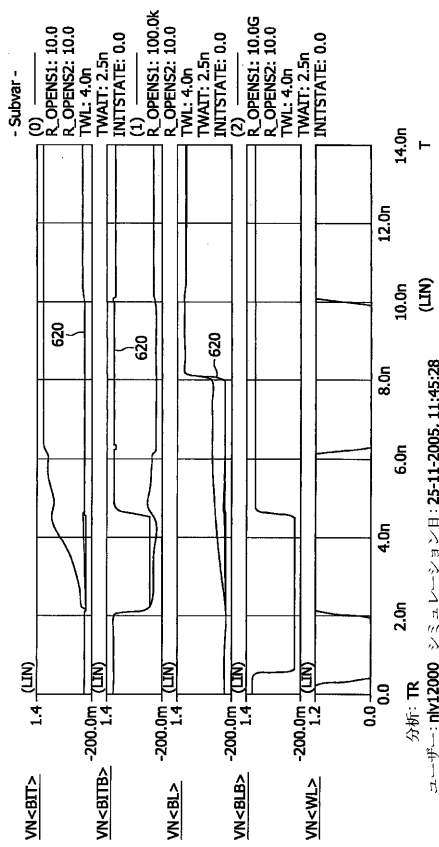


FIG. 5

【圖 7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/053337

A. CLASSIFICATION OF SUBJECT MATTER
INV. G11C29/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 463 557 B1 (DOCKER STEVEN CHARLES [GB]) 8 October 2002 (2002-10-08) column 5, line 66 - column 9, line 49; figures 2,5A,5B	1-6
A	US 5 361 232 A (PETSCHAUER RICHARD J [US] ET AL) 1 November 1994 (1994-11-01) column 1, line 63 - column 2, line 41; figure 2	1
A	US 5 559 745 A (BANIK JASHOJIBAN [US] ET AL) 24 September 1996 (1996-09-24) abstract; figures 2,3	1

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

31 January 2008

Date of mailing of the international search report

08/02/2008

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wolff, Norbert

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2007/053337

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6463557	B1	08-10-2002	DE 69923361 D1 EP 0947995 A2	03-03-2005 06-10-1999
US 5361232	A	01-11-1994	NONE	
US 5559745	A	24-09-1996	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 パウル ヴィラーゲ
イギリス国 サリー アールエイチ 1 5エイチエイ レッドヒル クロス オーク レーン エ
ヌエックスピー セミコンダクターズ アイピー デパートメント内

(72)発明者 モハメド アジマネ
イギリス国 サリー アールエイチ 1 5エイチエイ レッドヒル クロス オーク レーン エ
ヌエックスピー セミコンダクターズ アイピー デパートメント内

Fターム(参考) 5B015 KA13 KA38 MM07 RR06
5L106 AA02 DD06 DD12 DD22 DD35 EE05 FF05 GG03