

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月20日(20.01.2022)



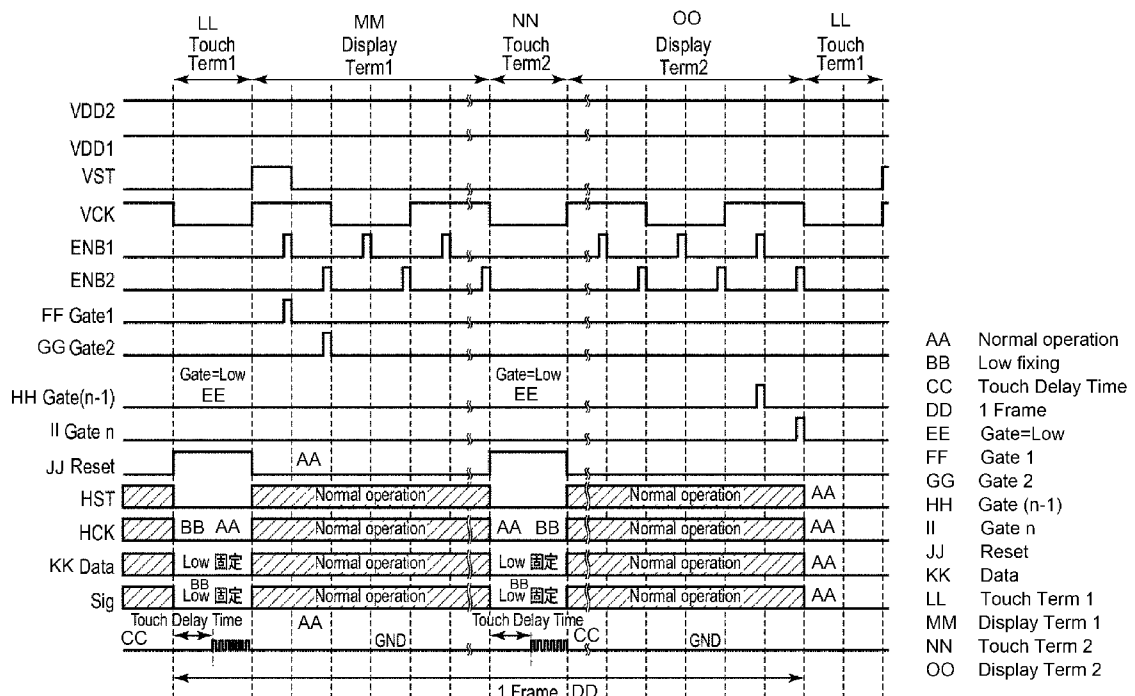
(10) 国際公開番号

WO 2022/014117 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) G06F 3/041 (2006.01)
G09G 3/36 (2006.01) G06F 3/044 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2021/016453
- (22) 国際出願日: 2021年4月23日(23.04.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-122152 2020年7月16日(16.07.2020) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 島 武弘 (SHIMA, Takehiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人スズエ国際特許事務所 (S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: DISPLAY DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 表示装置および電子機器



(57) Abstract: Provided are a display device and an electronic device capable of realizing both good display quality and excellent touch operability when an image is to be displayed. The display device according to one embodiment of the present invention is provided with: a display part having disposed therein a plurality of pixels each provided with a first memory capable of storing a digital signal; a non-display part that surrounds the display part; a first driver that is disposed in the non-display part and that supplies a plurality of the digital signals to the plurality of the first memories;

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

and a plurality of touch detection electrodes that are disposed so as to oppose the first driver. The display part displays an image by having driving potentials of the pixels set to potentials corresponding to the digital signals stored in the first memories. The first driver is provided with a plurality of second memories for storing digital signals to be supplied to the first memories. The potentials corresponding to the digital signals stored in the second memories are all set to the same potential when touch detection is performed by the plurality of touch detection electrodes.

(57) 要約: 画像を表示する際の表示品位とタッチによる優れた操作性との両立を実現することが可能な表示装置および電子機器を提供すること。実施形態によれば、表示装置は、デジタル信号を記憶可能な第1メモリを備える複数の画素が配置された表示部と、表示部を囲む非表示部と、非表示部に配置され、複数の第1メモリにデジタル信号を供給する第1ドライバと、第1ドライバと対向して配置される複数のタッチ検出電極と、備える。表示部は、各画素の駆動電位が、各第1メモリに記憶されたデジタル信号に対応する電位に設定されることで画像を表示する。第1ドライバは、各第1メモリに供給するデジタル信号を記憶するための複数の第2メモリを備え、各第2メモリに記憶されるデジタル信号に対応する電位は、複数のタッチ検出電極によるタッチ検出時には全て同電位に設定される。

明 細 書

発明の名称：表示装置および電子機器

技術分野

[0001] 本発明の実施形態は、表示装置および電子機器に関する。

背景技術

[0002] 近年、タッチ検出機能付きのウェアラブルデバイス（例えば腕時計型のウェアラブルデバイス、眼鏡型のウェアラブルデバイス等）が徐々に普及してきている。このようなウェアラブルデバイスでは、画像を表示する際の表示品位と、タッチによる優れた操作性との両立が求められており、種々様々な開発が進められている。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-61563号公報

発明の概要

発明が解決しようとする課題

[0004] そこで、本開示は、画像を表示する際の表示品位とタッチによる優れた操作性との両立を実現することが可能な表示装置および電子機器を提供することを目的の一つとする。

課題を解決するための手段

[0005] 一実施形態によれば、表示装置は、デジタル信号を記憶可能な第1メモリを備える複数の画素が配置された表示部と、前記表示部を囲む非表示部と、前記非表示部に配置され、前記複数の第1メモリにデジタル信号を供給する第1ドライバと、前記第1ドライバと対向して配置される複数のタッチ検出電極と、を具備する。前記表示部は、前記各画素の駆動電位が、前記各第1メモリに記憶されたデジタル信号に対応する電位に設定されることで画像を表示する。前記第1ドライバは、前記各第1メモリに供給するデジタル信号を記憶するための複数の第2メモリを備え、前記各第2メモリに記憶される

デジタル信号に対応する電位は、前記複数のタッチ検出電極によるタッチ検出時には全て同電位に設定される。

[0006] 一実施形態によれば、電子機器は、デジタル信号を記憶可能な複数の第1メモリと、前記複数の第1メモリにデジタル信号を供給する複数の第1ドライバと、前記第1ドライバと対向して配置される複数のタッチ検出電極と、を具備する。前記第1ドライバは、前記各第1メモリに供給するデジタル信号を記憶すると共に前記第1メモリに出力する第2メモリを備え、前記各第2メモリに記憶されるデジタル信号に対応する電位を、前記複数のタッチ検出電極によるタッチ検出時には全て同電位に設定する。

発明の効果

[0007] 本実施形態によれば、画像を表示する際の表示品位とタッチによる優れた操作性との両立を実現することが可能な表示装置および電子機器を提供することができる。

図面の簡単な説明

[0008] [図1]図1は、一実施形態に係る表示装置の一構成例を示す平面図である。
[図2]図2は、同実施形態に係る表示装置の一構成例を示す断面図である。
[図3]図3は、同実施形態に係るセグメント画素の回路構成例を示す図である。
[図4]図4は、同実施形態に係る水平ドライバの概略構成例を示す図である。
[図5]図5は、同実施形態に係るラインメモリの回路構成例を示す図である。
[図6]図6は、同実施形態に係る垂直ドライバの概略構成例を示す図である。
[図7]図7は、同実施形態に係る表示装置の駆動方法の一例を示すタイミングチャートである。
[図8]図8は、同実施形態に係る表示装置の駆動方法であって、当該表示装置内の水平ドライバの駆動方法の一例を示すタイミングチャートである。
[図9]図9は、図7に示す駆動方法の場合におけるラインメモリ内のスイッチング素子の状態を説明するための図である。
[図10]図10は、同実施形態に係る表示装置の駆動方法の別の例を示すタイ

ミングチャートである。

[図11]図11は、図10に示す駆動方法の場合におけるラインメモリ内のスイッチング素子の状態を説明するための図である。

[図12]図12は、同実施形態に係る表示装置の別の構成例を示す断面図である。

[図13]図13は、同実施形態に係る表示装置のさらに別の構成例を示す断面図である。

[図14]図14は、同実施形態に係る表示装置のさらに別の構成例を示す断面図である。

発明を実施するための形態

[0009] いくつかの実施形態につき、図面を参照しながら説明する。

なお、開示はあくまで一例に過ぎず、当業者において、発明の趣旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実施の態様に比べて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を省略することがある。

[0010] 本実施形態においては、表示装置の一例として、タッチ検出機能付きの表示装置について説明する。タッチ検出方式には、光学式、抵抗式、静電容量方式、電磁誘導方式などの種々の方式がある。上記した各種検出方式のうちの静電容量方式は、物体（例えば指など）の近接または接触に起因して静電容量が変化することを利用する検出方式である。本実施形態では、主に、静電容量方式を利用したタッチ検出機能付きの表示装置について説明する。

[0011] なお、静電容量方式は、互いに離間した状態で配置された送信電極（駆動電極）と受信電極（検出電極）との間に電界を発生させ、物体の近接または接触に伴う当該電界の変化を検出する相互容量方式と、単一の電極を用いて、物体の近接または接触に伴う静電容量の変化を検出する自己容量方式とを

含む。本実施形態では、主に、自己容量方式を利用したタッチ検出機能付きの表示装置について説明する。

[0012] 図1は、本実施形態の表示装置1の一構成例を示す平面図である。一例では、第1方向X、第2方向Y、および第3方向Zは、互いに直交しているが、90度以外の角度で交差していてもよい。第1方向Xおよび第2方向Yは、表示装置1を構成する基板の主面と平行な方向に相当し、第3方向Zは、表示装置1の厚さ方向に相当する。本明細書においては、第3方向Zを示す矢印の先端に向かう方向を上方向、当該矢印の先端から反対に向かう方向を下方向と称することもある。また、第3方向Zを示す矢印の先端側に表示装置1を観察する観察位置がある。この観察位置から、第1方向Xおよび第2方向Yで規定されるX-Y平面に向かって見ることを平面視と言う。

[0013] 図1に示すように、表示装置1は、画像を表示する表示部DAと、表示部DAを囲む額縁状の非表示部NDAとを備えている。表示部DAには画素PXが配置されている。具体的には、表示部DAには、多数の画素PXが第1方向Xおよび第2方向Yに沿ってマトリクス状に配列されている。本実施形態において、画素PXは、赤色(R)、緑色(G)、青色(B)の副画素SPを含む。また、各副画素SPは、複数のセグメント画素SGを有する。各セグメント画素SGは、面積の異なる画素電極PEを有しており、これらの複数のセグメント画素SGの表示／非表示状態を切り替えることで、副画素SPごとに階調が形成される。

[0014] 図1に示す二つの同心円のうちの内側の円内の領域が表示部DAに相当し、外側の円から内側の円を除いた領域が非表示部NDAに相当する。なお、本実施形態では、表示部DAが円形状であり、かつ、表示部DAを囲む非表示部NDAもまた同系統の形状である場合を例示しているが、これに限定されず、表示部DAは円形状でなくてもよいし、非表示部NDAは表示部DAとは異なる系統の形状であってもよい。例えば、表示部DAと非表示部NDAのいずれかが多角形状であってもよい。あるいは、表示部DAが円形または矩形状の場合に、非表示部NDAが表示部DAとは異なる系統の形状であ

る矩形または円形状であってもよい。

[0015] 図1に示すように、非表示部ND Aには、複数の検出電極（タッチ検出電極） $R \times 1 \sim R \times 8$ が表示部DAを囲んで配置されている。なお、本実施形態では、8個の検出電極 $R \times 1 \sim R \times 8$ を例示しているが、非表示部ND Aに配置される検出電極 $R \times$ の個数はこれに限定されず、任意の個数の検出電極 $R \times$ が表示部DAを囲むように配置されて構わない。各検出電極 $R \times 1 \sim R \times 8$ は、各々から延出する検出配線（図示せず）を介して、後述するフレキシブル配線基板2と電氣的に接続されている。検出配線は、検出電極 $R \times 1 \sim R \times 8$ が検出信号を出力するために使用する配線である。

[0016] 図1に示すように、表示装置1は、非表示部ND Aにおいて、フレキシブル配線基板2と、二つの水平ドライバ3と、垂直ドライバ4とをさらに備えている。水平ドライバ3および垂直ドライバ4は、各々から延出する接続配線（図示せず）を介して、フレキシブル配線基板2と電氣的に接続されている。水平ドライバ3および垂直ドライバ4は、フレキシブル配線基板2を介して電氣的に接続された制御装置（図示せず）によりその動作が制御される。水平ドライバ3は、表示部DAの上方の縁部および下方の縁部に沿う円弧形状を有している。また、垂直ドライバ4は、表示部DAの左方の縁部に沿う円弧形状を有している。水平ドライバ3および垂直ドライバ4は、平面視において検出電極 $R \times 1 \sim R \times 8$ と重畳して配置されている。なお、水平ドライバ3は、信号線駆動回路、ソースドライバ、あるいは、第1ドライバなどと言い換えることもできる。また、垂直ドライバ4は、走査線駆動回路、ゲートドライバ、あるいは、第2ドライバなどと言い換えることもできる。

なお、制御装置は、ICチップとしてフレキシブル配線基板2上に設ける構成も採用可能であるし、当該ICチップを表示装置1を構成する第1基板SUB 1（後述）上に設ける構成も採用可能である。

[0017] 図1において拡大して示すように、セグメント画素SGは、スイッチング素子SW、画素回路PC、画素電極PE、共通電極CE、液晶層LCなどを備えている。スイッチング素子SWは、例えば薄膜トランジスタ（TFT）

によって構成され、走査線Gおよび信号線Sと電氣的に接続されている。走査線Gは、第1方向Xに並んだセグメント画素SGの各々におけるスイッチング素子SWと電氣的に接続されている。信号線Sは、第2方向Yに並んだセグメント画素SGの各々におけるスイッチング素子SWと電氣的に接続されている。画素電極PEは、画素回路PCを介して、スイッチング素子SWと電氣的に接続されている。画素電極PEの各々は、共通電極CEと対向し、画素電極PEと共通電極CEとの間に生じる電界によって液晶層LCを駆動している。走査線Gは上記した垂直ドライバ4と電氣的に接続され、信号線Sは上記した水平ドライバ3と電氣的に接続されている。

[0018] なお、本実施形態では、各副画素SPが複数のセグメント画素SGを有する場合について説明するが、これに限定されず、各副画素SPは一つのセグメント画素SGを有するとしてもよい。この場合、副画素SPが、図1において拡大して示したセグメント画素SGに相当し、スイッチング素子SW、画素回路PCおよび画素電極PEは、副画素SPごとに形成される。

[0019] 図2は、表示装置1の一構成例を示す断面図である。以下では、表示部DA側の構成と、非表示部NDA側の構成とのそれぞれについて説明する。

表示装置1は、第1基板SUB1と、第2基板SUB2と、液晶層LCと、偏光板30とを備えている。第1基板SUB1および第2基板SUB2は、X-Y平面と平行な平板状に形成されている。第1基板SUB1および第2基板SUB2は、平面視において重畳し、シール（図示せず）によって接着されている。液晶層LCは、第1基板SUB1と第2基板SUB2との間に保持され、シールによって封止されている。

[0020] なお、図2では、表示装置1が、バックライトユニットが配置されない反射型の表示装置である場合を例示しているが、これに限定されず、表示装置1は、有機ELを画素として採用した表示装置や、バックライトユニットが配置された透過型の表示装置であってもよい。あるいはまた、表示装置1は、反射型と透過型を組み合わせた表示装置であってもよい。かかる表示装置としては、ITOなどの透明な導電膜と光を反射可能な金属膜とを組み合わせ

せて画素電極を形成する構成や、金属製の画素電極間の隙間からバックライトからの光を透過させることで各画素の輝度を向上させる構成が挙げられる。これら構成の場合、バックライトユニットは、第1基板SUB1の裏面に配置され、バックライトユニットと第1基板SUB1との間に偏光板が設けられる。バックライトユニットとしては、種々の形態のバックライトユニットが利用可能であり、例えば、光源として発光ダイオード（LED）を利用したものや、冷陰極管（CCFL）を利用したもの、などが利用可能である。

[0021] 第2基板SUB2の上には、偏光板30が配置されている。なお、偏光板30の上には、例えばガラス基材やプラスチック基板などで形成されたカバー部材がさらに配置されてもよい。

[0022] 表示部DA側において、第1基板SUB1は、図2に示すように、透明基板10と、スイッチング素子SWと、画素回路PCと、平坦化膜11と、画素電極PEと、配向膜AL1とを備えている。第1基板SUB1は、上記した構成の他に、図1に示した走査線Gや信号線Sなどを備えているが、図2ではこれらの図示を省略している。

[0023] 透明基板10は、主面（下面）10Aと、主面10Aの反対側の主面（上面）10Bと、を備えている。スイッチング素子SWおよび画素回路PCは、主面10B側に配置されている。平坦化膜11は、少なくとも一つ以上の絶縁膜によって構成されており、スイッチング素子SWおよび画素回路PCを覆っている。画素電極PEは、平坦化膜11の上に配置され、平坦化膜11に形成されたコンタクトホールを介して画素回路PCに接続されている。スイッチング素子SW、画素回路PCおよび画素電極PEは、セグメント画素SG毎に配置されている。配向膜AL1は、画素電極PEを覆い、液晶層LCに接している。

[0024] なお、図2においては、スイッチング素子SWおよび画素回路PCを簡略化して図示しているが、実際にはスイッチング素子SWおよび画素回路PCは半導体層や各層の電極を含んでいる。また、図2においては図示を省略し

ているが、スイッチング素子SWと画素回路PCとは電氣的に接続されている。さらに、上記したように、図2において図示を省略した走査線Gや信号線Sは、例えば、透明基板10と平坦化膜11との間に配置されている。

[0025] 表示部DA側において、第2基板SUB2は、図2に示すように、透明基板20と、カラーフィルタCFと、オーバーコート層OCと、共通電極CEと、配向膜AL2とを備えている。

[0026] 透明基板20は、主面（下面）20Aと、主面20Aの反対側の主面（上面）20Bと、を備えている。透明基板20の主面20Aは、透明基板10の主面10Bと対向している。カラーフィルタCFは透明基板20の主面20A側に配置されている。カラーフィルタCFは、赤色カラーフィルタ、緑色カラーフィルタ、青色カラーフィルタ、などを含む。オーバーコート層OCは、カラーフィルタCFを覆っている。共通電極CEは、複数の画素PXに亘って配置され、第3方向Zにおいて複数の画素電極PEと対向している。共通電極CEはオーバーコート層OCの上に配置されている。配向膜AL2は、共通電極CEを覆い、液晶層LCに接している。なお、図2では、表示部DA側の第2基板SUB2の構成として、各セグメント画素SG（又は各カラーフィルタCF）を区画する遮光膜が設けられていない構成を説明したが、各セグメント画素SGを区画するために遮光膜が設けられ、この遮光膜がカラーフィルタCFの一部と重なる構成であってもよい。

液晶層LCは、主面10Aと主面20Aとの間に配置されている。

[0027] 透明基板10および20は、例えばガラス基材やプラスチック基板などの絶縁基板である。平坦化膜11は、例えばシリコン酸化物、シリコン窒化物、シリコン酸窒化物またはアクリル樹脂などの透明な絶縁材料によって形成されている。一例では、平坦化膜11は、無機絶縁膜および有機絶縁膜を含んでいる。画素電極PEは、反射電極として形成され、例えば、インジウム亜鉛酸化物（IZO）、銀（Ag）、インジウム亜鉛酸化物（IZO）の三層積層構造になっている。共通電極CEは、例えばインジウム錫酸化物（ITO）やインジウム亜鉛酸化物（IZO）などの透明導電材料によって形成

された透明電極である。配向膜A L 1 およびA L 2 は、X-Y平面にほぼ平行な配向規制力を有する水平配向膜である。配向規制力は、ラビング処理により付与されてもよいし、光配向処理により付与されてもよい。

[0028] 非表示部N D A側において、第1基板S U B 1は、図2に示すように、透明基板1 0と、水平ドライバ3と、垂直ドライバ4と、平坦化膜1 1と、配向膜A L 1とを備えている。以下では、表示部D A側において既に説明した構成については、その詳しい説明を省略する。

[0029] 透明基板1 0の上には、水平ドライバ3および垂直ドライバ4が配置されている。なお、非表示部N D A側の透明基板1 0の上には、検出電極R xに接続される配線などがさらに配置されていてもよい。

[0030] 非表示部N D A側において、第2基板S U B 2は、図2に示すように、透明基板2 0と、遮光膜B Mと、オーバーコート層O Cと、検出電極R xと、配向膜A L 2とを備えている。以下では、表示部D A側において既に説明した構成については、その詳しい説明を省略する。

[0031] 透明基板2 0の主面2 0 A側には、遮光膜B Mが配置されている。遮光膜B Mは、非表示部N D Aのほぼ全面に亘って配置されている。オーバーコート層O Cは表示領域のカラーフィルタC Fと共に遮光膜B Mを覆っている。検出電極R xはオーバーコート層O Cの上に配置されている。図2に示す構成においては、検出電極R xは、表示部D A側の共通電極C Eと同層に配置されており、例えば共通電極C Eと同じ透明導電材料によって形成されている。配向膜A L 2は表示領域の共通電極C Eと共に検出電極R Xを覆い、液晶層L Cに接している。

検出電極R xは、少なくとも水平ドライバ3と垂直ドライバ4のいずれか一方と対向して配置されている。なお、図2中では、検出電極R xは水平ドライバ3と垂直ドライバ4の両方に対向している。また、水平ドライバ3（および垂直ドライバ4）と検出電極R xとの間には液晶層L Cが配置されている。

[0032] なお、図2では、液晶層L Cに含まれる液晶分子の配向を変化させるため

の電界の印加方向によって2つに分類される液晶モードが、いわゆる縦電界モードである場合の構成を例示しているが、本構成は、液晶モードがいわゆる横電界モードの場合にも適用可能である。上記した縦電界モードは、例えばTN (Twisted Nematic) モードや、VA (Vertical Alignment) モードなどを含む。また、上記した横電界モードは、例えばIPS (In-Plane Switching) モードや、IPSモードの1つであるFFS (Fringe Field Switching) モードなどを含む。横電界モードを採用する場合、表示領域に設けられる共通電極は第1基板に設けられ、薄い絶縁層を介して画素電極と対向する。

[0033] 図3は、セグメント画素SGの回路構成の一例を示す図である。図3に示すように、各セグメント画素SGは、第1回路C1と、画素メモリMAと、第2回路C2とを備えている。なお、上記した画素回路PCは、第1回路C1および画素メモリMAによって構成される。

[0034] 第1回路C1は、スイッチング素子Q1およびQ2を備えている。スイッチング素子Q1およびQ2はn型トランジスタである。スイッチング素子Q1は、第1駆動線DL1に接続された入力端と、選択信号線SSに接続された出力端と、画素メモリMAに接続された制御端と、を有している。スイッチング素子Q2は、第2駆動線DL2に接続された入力端と、選択信号線SSに接続された出力端と、画素メモリMAに接続された制御端と、を有している。第1駆動線DL1には、画像の表示信号である第1駆動信号xFRPが供給される。第2駆動線DL2には、画像の非表示信号である第2駆動信号FRPが供給される。選択信号線SSには、第1駆動信号xFRPおよび第2駆動信号FRPのいずれか一方が供給される。

[0035] 画素メモリMAは、スイッチング素子Q3～Q6を備えている。スイッチング素子Q3およびQ4はn型トランジスタであり、スイッチング素子Q5およびQ6はp型トランジスタである。スイッチング素子Q5およびQ6の入力端には、第1電源配線PL1が接続されている。第1電源配線PL1には、高電位レベルの電源電圧VDD1が供給される。一方で、スイッチング素子Q3およびQ4の入力端には、第2電源配線PL2が接続されている。

第2電源配線P L 2には、低電位レベルの電源電圧V S Sが供給される。電源電圧V S Sの電位は、電源電圧V D Dの電位よりも低い。スイッチング素子Q 3およびQ 5の出力端がスイッチング素子Q 2の制御端に接続された第1インバータを構成し、スイッチング素子Q 4およびQ 6の出力端がスイッチング素子Q 1の制御端に接続された第2インバータを構成する。これらインバータは逆方向に並列接続されている。これら一対のインバータによって所謂S-RAM構造のメモリが形成され、入力される画素信号S i gがラッチされる。当該画素メモリMAにラッチされる画素信号S i gに応じてスイッチング素子Q 1およびQ 2のいずれか一方が選択的にオンとなり、他方がオフとなる。

[0036] 第2回路C 2（スイッチング素子S W）は、水平ドライバ3から信号線Sに供給される2値の画素信号（デジタル信号）S i gを画素メモリMAに記憶させる回路であって、n型トランジスタのスイッチング素子Q 7を備えている。スイッチング素子Q 7は、信号線Sに接続された入力端と、画素メモリMAに接続された出力端と、走査線Gに接続された制御端と、を有している。走査線Gに走査信号G a t eが供給されると、スイッチング素子Q 7はオン状態となり、信号線Sに供給されている画素信号S i gが画素メモリMAに供給される。

[0037] スwitchング素子Q 1～Q 7は、例えばいずれも薄膜トランジスタであって、第1基板S U B 1に形成されている。第1駆動線D L 1、第2駆動線D L 2、第1電源配線P L 1、第2電源配線P L 2および走査線Gも第1基板S U B 1に形成されており、第1方向Xに並ぶ複数のセグメント画素S Gの画素回路P Cに接続されている。信号線Sも第1基板S U B 1に形成されており、第2方向Yに並ぶ複数のセグメント画素S Gの画素回路P Cに接続されている。なお、第1駆動線D L 1、第2駆動線D L 2、第1電源配線P L 1、第2電源配線P L 2の少なくともいずれかは信号線Sに沿って形成されていてもよく、その場合、かかる配線は第2方向に並ぶセグメント画素S Gの画素回路P Cに接続される。

[0038] 上述の如く複数のセグメント画素SGからなる副画素SPを備える表示装置1は、デジタルモードで各セグメント画素SGの表示／非表示を個別に制御し、これによって副画素SPの階調が制御される。デジタルモードは、画素メモリMAが記憶する画素信号Sigに基づきセグメント画素SGのオン／オフ（あるいは明表示／暗表示、又は点灯／非点灯ともいう）を制御する方式である。本実施形態では、表示装置1は、画素メモリMAがHighレベル（高電位レベル、以下では「Hレベル」と表記する）に設定されているときにセグメント画素SGがオン（白表示）され、画素メモリMAがLowレベル（低電位レベル、以下では「Lレベル」と表記する）に設定されているときにセグメント画素SGがオフ（黒表示）される場合を想定する。なお、白表示とは、セグメント画素SGがオンしている状態のことを示し、当該セグメント画素SGがカラーフィルタCFを有している場合は、当該カラーフィルタCFに応じた色が表示されることになる。なお、また、セグメント画素SGがオンの時に白表示となり、オフの時に黒状態となるモードをノーマリブラックモードと称し、セグメント画素SGがオンの時に黒表示となりオフの時に白表示となるモードをノーマリホワイトモードと称する。

[0039] デジタルモードにおいては、信号線Sに供給された2値の画素信号Sigを画素メモリMAに記憶させる記憶期間と、第1駆動信号xFRPおよび第2駆動信号FRPのうち画素メモリMAに記憶された画素信号Sig（HレベルまたはLレベル）に対応する一方を選択的に画素電極PEに供給する表示期間とが繰り返される。なお、表示状態や使用者の態様によっては、表示を長期にわたって変更させる必要がない場合がある。この場合、各セグメント画素SGは、画素メモリMAに記憶されている画素信号Sigに基づいて表示を実行し、その表示状態は長期にわたって維持される。したがって、かかる期間の間は、上述のごとき記録期間（各画素のリフレッシュ）を設ける必要がなく、その分だけ消費電力が節約される。

[0040] 表示期間において、共通電極CEには所定周期の交流電流が供給されている。第1駆動線DL1には、当該交流電流と逆相の電流（xFRP）が供給

される。かかる電流が画素電極 P E に供給されると、画素電極 P E および共通電極 C E 間に電界が発生し、その結果、液晶層 L C に含まれる液晶分子の配向状態は当該電界により変化する。一方で、第 2 駆動線 D L 2 には、上記した所定周期の交流電流と同じ電流 (F R P) が供給されている。かかる電流が画素電極 P E に供給されると、画素電極 P E および共通電極 C E 間には電界が発生せず、その結果、液晶層 L C に含まれる液晶分子の配向状態は変化しないことになる。

なお、共通電極 C E が固定電位の場合、第 1 駆動線 D L 1 には、所定周期の交流電流が供給され、第 2 駆動線 D L 2 には固定電位が供給される。

[0041] 表示期間においては、画素メモリ M A が H レベルに設定されている場合、スイッチング素子 Q 1 はオンされ、スイッチング素子 Q 2 はオフされる。このため、画素電極 P E には選択信号線 S S を介して、第 1 駆動線 D L 1 の第 1 駆動信号 $\times$ F R P が供給され、セグメント画素 S G はオンされる。一方で、画素メモリ M A が L レベルに設定されている場合、スイッチング素子 Q 1 はオフされ、スイッチング素子 Q 2 はオンされる。このため、画素電極 P E には選択信号線 S S を介して、第 2 駆動線 D L 2 の第 2 駆動信号 F R P が供給され、セグメント画素 S G はオフされる。以上のように、セグメント画素 S G のオン／オフは、セグメント画素 S G の駆動電位を、画素メモリ M A に記憶されている画素信号 S i g に対応する電位に設定することで制御される。

[0042] 以下の説明においては、表示部 D A において第 1 方向 X に並ぶ一群のセグメント画素 S G を、水平ラインと称して説明する。また、1 水平ラインへの画素信号 S i g の書き込みに要する期間を、水平期間と称して説明する。

[0043] 次に、図 4 を参照して、水平ドライバ 3 について説明する。図 4 は、水平ドライバ 3 の概略的な構成を示す図である。図 4 に示すように、水平ドライバ 3 は、複数の第 1 シフトレジスタ S R A 1 ~ S R A 4 と、第 1 シフトレジスタ S R A 1 ~ S R A 4 の各々に対応する複数のラインメモリ M B 1 ~ M B 4 とを備えている。第 1 シフトレジスタ S R A と、ラインメモリ M B とは、

2本の接続配線CL1およびCL2（画素信号供給線）によりそれぞれ接続されている。各ラインメモリMBには、赤色に対応する二つの画素列と、緑色に対応する二つの画素列と、青色に対応する二つの画素列とに向けて延びる信号線Sがそれぞれ接続されている。接続配線CL1には、第1シフトレジスタSRAの出力spが供給される。接続配線CL2には、第1シフトレジスタSRAの出力xspが供給される。

[0044] 第1シフトレジスタSRAおよびラインメモリMBは、電源電圧VDD1およびVSSを駆動電源として動作する。第1シフトレジスタSRAは、水平クロックパルスHCKが入力すると、前段の第1シフトレジスタSRAの出力パルスsoを取り込み、当該出力パルスsoをラッチする。

[0045] 例えば、第1シフトレジスタSRA2は、水平クロックパルスHCKが入力すると、前段に位置する第1シフトレジスタSRA1の出力パルスso1を取り込み、これをラッチする。この時、前段の第1シフトレジスタSRA1の出力パルスso1がHレベルであれば、第1シフトレジスタSRA2の出力sp2はHレベルとなり、第1シフトレジスタSRA2の出力xsp2はLレベルとなる。一方で、前段の第1シフトレジスタSRA1の出力パルスso1がLレベルであれば、第1シフトレジスタSRA2の出力sp2はLレベルとなり、第1シフトレジスタSRA2の出力xsp2はHレベルとなる。なお、第1シフトレジスタSRA2の出力sp2は、次段の第1シフトレジスタSRA3に出力パルスso2として出力される。また、第1シフトレジスタSRA2の出力sp2とxsp2とは、サンプリングパルスとして、ラインメモリMB2に供給される。なお、ここでは、第1シフトレジスタSRA2に着目したが、その他の第1シフトレジスタSRAも同様に動作する。

[0046] 第1シフトレジスタSRAとラインメモリMBとの間には、データバスDBL1～DBL6が延在している。データバスDBL1～DBL6は、各ラインメモリMBに接続されており、シリアルに供給される各画素行の画像データDataを順に各ラインメモリMBに供給する。例えば、データバスD

DBL 1、DBL 4 が赤色の画素行の画像データ Data 1、Data 4 をラインメモリ MB に供給する。データバス DBL 2、DBL 5 が緑色の画素行の画像データ Data 2、Data 5 をラインメモリ MB に供給する。データバス DBL 3、DBL 6 が青色の画素行の画像データ Data 3、Data 6 をラインメモリ MB に供給する。なお、各画像データは 2 値のデジタルデータを備えてなる。また、ここでは、第 1 シフトレジスタ SRA とラインメモリ MB との間に、6 本のデータバス DBL 1～DBL 6 が延在している場合を例示したが、これに限定されず、第 1 シフトレジスタ SRA とラインメモリ MB との間には任意の本数のデータバス DBL が延在するとして構わない。

[0047] 第 1 シフトレジスタ SRA に H レベルの出力パルス s_o が入力した時（換言すれば、第 1 シフトレジスタ SRA の出力 s_p が H レベルであり、出力 x_{s_p} が L レベルである時）、例えばデータバス DBL 1～DBL 6 に供給された画像データ Data 1～Data 6 がラインメモリ MB に供給される。このように、シフトレジスタ SRA 1～SRA 4 が順にラインメモリ MB を駆動させ、各ラインメモリ MB には画像データ Data に基づく画素信号 $S_i g$ がラッチされる。これにより、第 1 方向 X に並ぶ各画素列（水平ライン）に出力される画素信号 $S_i g$ がラインメモリ MB にラッチされる。

[0048] ここで、図 5 を参照して、図 4 に示すラインメモリ MB の構成について説明する。図 5 は、ラインメモリ MB の回路構成の一例を示す図である。より具体的には、図 4 に示すラインメモリから 6 本の信号線が表示領域に向けて延在していると共に、データバス DBL 1～DBL 6 のそれぞれから入力信号を受けるものとなっている。したがって、これら各信号線とデータバス DBL との間に図 5 に示すラインメモリが設けられている。該ラインメモリ MB は、第 3 回路 C 3 と、第 4 回路 C 4 と、リセット回路 C r と、第 5 回路 C 5 とを備えている。

[0049] 第 3 回路 C 3 は、スイッチング素子 Q 8～Q 11 を備えている。スイッチング素子 Q 8 および Q 11 は n 型トランジスタであり、スイッチング素子 Q

9およびQ10はp型トランジスタである。スイッチング素子Q8は、データバスDBLに接続された入力端と、第4回路C4に接続された出力端と、第1シフトレジスタSRAの接続配線CL1に接続された制御端と、を有する。スイッチング素子Q9は、データバスDBLに接続された入力端と、第4回路C4に接続された出力端と、第1シフトレジスタSRAの接続配線CL2に接続された制御端と、を有する。スイッチング素子Q10は、スイッチング素子Q8の出力端に接続された入力端と、第5回路C5に接続された出力端と、第1シフトレジスタSRAの接続配線CL1に接続された制御端と、を有する。スイッチング素子Q11は、スイッチング素子Q9の出力端に接続された入力端と、第5回路C5に接続された出力端と、第1シフトレジスタSRAの接続配線CL2に接続された制御端と、を有する。

[0050] 上記したように、データバスDBLには画像データDataが供給され、接続配線CL1には第1シフトレジスタSRAの出力spが供給され、接続配線CL2には第1シフトレジスタSRAの出力xspが供給される。スイッチング素子Q8およびQ9は、第1シフトレジスタSRAの出力spがHレベルであり、かつ、第1シフトレジスタSRAの出力xspがLレベルの時にそれぞれオンされる。これによれば、データバスDBLを介して供給される画像データDataがラインメモリMBに入力される。

[0051] 第4回路C4は、スイッチング素子Q12～Q15を備えている。スイッチング素子Q12およびQ14はn型トランジスタであり、スイッチング素子Q13およびQ15はp型トランジスタである。スイッチング素子Q12は、第2電源配線PL2に接続された入力端と、スイッチング素子Q14およびQ15の制御端に接続された出力端と、第3回路C3のスイッチング素子Q8およびQ9の出力端に接続された制御端と、を有する。スイッチング素子Q13は、第1電源配線PL1に接続された入力端と、スイッチング素子Q14およびQ15の制御端に接続された出力端と、第3回路C3のスイッチング素子Q8およびQ9の出力端に接続された制御端と、を有する。スイッチング素子Q14は、第2電源配線PL2に接続された入力端と、第5

回路C 5 に接続された出力端と、スイッチング素子Q 1 2 およびQ 1 3 の出力端に接続された制御端と、を有する。スイッチング素子Q 1 5 は、第1 電源配線P L 1 に接続された入力端と、第5 回路C 5 に接続された出力端と、スイッチング素子Q 1 2 およびQ 1 3 の出力端に接続された制御端と、を有する。

[0052] 第5 回路C 5 は、スイッチング素子Q 1 8 ～Q 2 1 を備えている。スイッチング素子Q 1 8 およびQ 2 0 はn 型トランジスタであり、スイッチング素子Q 1 9 およびQ 2 1 はp 型トランジスタである。スイッチング素子Q 1 8 は、第2 電源配線P L 2 に接続された入力端と、スイッチング素子Q 2 0 およびQ 2 1 の制御端に接続された出力端と、第3 回路C 3 のスイッチング素子Q 1 0 およびQ 1 1 の出力端に接続された制御端と、を有する。スイッチング素子Q 1 9 は、第1 電源配線P L 1 に接続された入力端と、スイッチング素子Q 2 0 およびQ 2 1 の制御端に接続された出力端と、第3 回路C 3 のスイッチング素子Q 1 0 およびQ 1 1 の出力端に接続された制御端と、を有する。スイッチング素子Q 2 0 は、第2 電源配線P L 2 に接続された入力端と、信号線S に接続された出力端と、スイッチング素子Q 1 8 およびQ 1 9 の出力端に接続された制御端と、を有する。スイッチング素子Q 2 1 は、第1 電源配線P L 1 に接続された入力端と、信号線S に接続された出力端と、スイッチング素子Q 1 8 およびQ 1 9 の出力端に接続された制御端と、を有する。

[0053] 以上のような構成の第4 回路C 4 および第5 回路C 5 を備えるラインメモリM B は、第3 回路C 3 に入力されたH レベルまたはL レベルの画像データD a t a に基づく画素信号S i g をラッチし、当該画素信号S i g を信号線S に出力する。

[0054] リセット回路C r は、スイッチング素子Q 1 6 およびQ 1 7 を備えている。スイッチング素子Q 1 6 はn 型トランジスタであり、スイッチング素子Q 1 7 はp 型トランジスタである。スイッチング素子Q 1 6 は、第2 電源配線P L 2 に接続された入力端と、第5 回路C 5 に接続された出力端と、リセッ

ト配線RLに接続された制御端と、を有する。スイッチング素子Q17は、第1電源配線PL1に接続された入力端と、第5回路C3に接続された出力端と、リセット配線RLに接続された制御端と、を有する。

[0055] 詳細については後述するが、リセット配線RLには、HレベルまたはLレベルのリセット信号Resetが供給される。スイッチング素子Q16は、Hレベルのリセット信号Resetが供給された時にオンされる。スイッチング素子Q16がオンされると、ラインメモリMBはLレベルにリセットされる（換言すると、第3回路C3、第4回路C4および第5回路C5がLレベルに設定される）。

[0056] 次に、図6を参照して、垂直ドライバ4について説明する。図6は、垂直ドライバ4の概略的な構成を示す図である。図6に示すように、垂直ドライバ4は、複数の第2シフトレジスタSRB1およびSRB2と、第2シフトレジスタSRB1およびSRB2の各々と接続する二つのバッファ回路BF1およびBF2と、を備えている。第2シフトレジスタSRBと、バッファ回路BF1およびBF2とは、2本の接続配線CL3およびCL4によりそれぞれ接続されている。接続配線CL3には、第2シフトレジスタSRBの出力spが供給される。接続配線CL4には、第2シフトレジスタSRBの出力xspが供給される。

[0057] 第2シフトレジスタSRBと、バッファ回路BF1およびBF2とは、高電位レベルの電源電圧VDD2と、低電位レベルの電源電圧VSSとを駆動電源として動作する。第2シフトレジスタSRBは、垂直クロックパルスVCKが入力すると、前段の第2シフトレジスタSRBの出力パルスsoを取り込み、当該出力パルスsoをラッチする。

[0058] 例えば、第2シフトレジスタSRB2は、垂直クロックパルスVCKが入力すると、前段に位置する第2シフトレジスタSRB1の出力パルスso1を取り込み、これをラッチする。この時、前段の第2シフトレジスタSRB1の出力パルスso1がHレベルであれば、第2シフトレジスタSRB2の出力sp2はHレベルとなり、Hレベルの出力sp2が接続配線CL3を介

してバッファ回路BF1およびBF2に供給される。またこの場合、第2シフトレジスタSRB2の出力xsp2はLレベルとなり、Lレベルの出力xsp2が接続配線CL4を介してバッファ回路BF1およびBF2に供給される。一方で、前段の第2シフトレジスタSRB1の出力パルスso1がLレベルであれば、第2シフトレジスタSRB2の出力sp2はLレベルとなり、Lレベルの出力sp2が接続配線CL3を介してバッファ回路BF1およびBF2に供給される。またこの場合、第2シフトレジスタSRB2の出力xsp2はHレベルとなり、Hレベルの出力xsp2が接続配線CL4を介してバッファ回路BF1およびBF2に供給される。

[0059] なお、第2シフトレジスタSRB2の出力sp2は、次段の第2シフトレジスタSRBに出力パルスso2として出力される。また、上記したように、第2シフトレジスタSRBの出力sp2とxsp2とは、サンプリングパルスとして、バッファ回路BF1およびBF2に供給される。なお、ここでは、第2シフトレジスタSRB2に着目したが、その他の第2シフトレジスタSRBも同様に動作する。

[0060] バッファ回路BF1には、イネーブル信号ENB1が供給される。バッファ回路BF2には、イネーブル信号ENB2が供給される。バッファ回路BF1は、例えば、第2シフトレジスタSRBの出力spがHレベルであり出力xspがLレベルであり、かつ、イネーブル信号ENB1が供給されたことに応じて、バッファ回路BF1に接続された走査線GにHレベルの走査信号Gateを供給する。バッファ回路BF2は、例えば、第2シフトレジスタSRBの出力spがHレベルであり出力xspがLレベルであり、かつ、イネーブル信号ENB2が供給されたことに応じて、バッファ回路BF2に接続された走査線GにHレベルの走査信号Gateを供給する。Hレベルの走査信号Gateが供給された走査線Gに接続されたセグメント画素SGにおいては、スイッチング素子Q7がオンされる。これによれば、これらセグメント画素SGでは、信号線Sに供給された画素信号Sigを画素メモリMAに書き込むことができる。

[0061] 本実施形態においては、ユーザのタッチを検出するための検出電極 R_x が非表示部 NDA に配置されている。

[0062] 複数の検出電極 R_x を非表示部 NDA に配置する場合、これら検出電極 R_x は、非表示部 NDA に配置される周辺回路の影響を受けやすく、タッチの誤検出が発生してしまう場合がある。具体的には、非表示部 NDA に配置される検出電極 R_x と周辺回路との間には液晶層 LC が存在しており、この液晶層 LC に含まれる液晶分子の配向状態は周辺回路の電位に起因して局所的に変化してしまうことがある。電極同士が対向している関係上、検出電極と水平ドライバとの間には一定の寄生容量が発生することとなるが、誘電体たる液晶分子の配向状態が局所的に変化してしまうと、その部分だけ他の部分とは寄生容量が異なってしまうことになり、その容量変化を検出電極 R_x が検出してしまい、タッチの誤検出が発生してしまう場合がある。

[0063] そこで、本実施形態においては、1フレームを、画像を表示するための表示期間と、タッチを検出するためのタッチ期間とに分けると共に、タッチ期間毎に、水平ドライバ3内の全てのラインメモリ MB を L レベルにリセットすることで、各ラインメモリ MB によって保持される電位を一定にする。具体的には、各ラインメモリ MB によって保持される電位を、電源電圧 VDD や電源電圧 VSS の電位、あるいは、例えば GND などの他の固定電位にすることで一定にし、液晶層 LC に含まれる液晶分子の配向状態が局所的に変化してしまうことを抑制して、検出電極 R_x が局所的な容量変化を検出してしまうことを抑制する。以下では、本実施形態に係る表示装置1の駆動方法について説明する。

[0064] 図7は、表示装置1の駆動方法の一例を示すタイミングチャートである。図7では、1フレームが、第1タッチ期間 $TT1$ と、第1表示期間 $DT1$ と、第2タッチ期間 $TT2$ と、第2表示期間 $DT2$ とによって構成され、これら期間が $TT1$ 、 $DT1$ 、 $TT2$ 、 $DT2$ の順で遷移する場合を想定している。なお、ここでは、1フレームが、第1タッチ期間 $TT1$ と、第1表示期間 $DT1$ と、第2タッチ期間 $TT2$ と、第2表示期間 $DT2$ とによって構成

されている場合を想定しているが、これに限定されず、1フレームは、任意の数のタッチ期間 T_T と、任意の数の表示期間 D_T とによって構成されて構わない。

[0065] 説明の便宜上、まず、第1表示期間 D_{T1} における表示装置1（水平ドライバ3および垂直ドライバ4）の動作について説明する。なお、第2表示期間 D_{T2} における表示装置1の動作は、第1表示期間 D_{T1} と同様であるため、ここではその詳しい説明を省略する。

[0066] 第1表示期間 D_{T1} が開始されると、水平ドライバ3は、図7に示すように、制御装置から供給される水平スタートパルス HST および水平クロックパルス HCK の入力に応じて、ラインメモリMBにラッチされている画像データ $Data$ に基づく画素信号 Sig を信号線Sに供給しつつ、次の水平ラインの画像データ $Data$ に基づく画素信号 Sig をラインメモリMBにラッチする通常動作（Normal operation）を実行する。

[0067] この様子の一部を具体的に示すのが図8のタイミングチャートである。図8は、図7にて「Normal Operation」として示される表示期間のうち、1水平期間における水平ドライバ3及び垂直ドライバ4の駆動をより詳細に示したものである。

図8に示すように、1水平期間においては、水平ドライバ3内の最初の第1シフトレジスタ $SRA1$ に水平スタートパルス HST および水平クロックパルス HCK が供給されると、第1シフトレジスタ $SRA1$ の出力 $sp1$ はHレベルとなり、出力 $xsp1$ はLレベルとなる。これによれば、第1シフトレジスタ $SRA1$ に対応するラインメモリMB1に画像データ $DataA$ がラッチされる。なお、第1シフトレジスタ $SRA1$ のHレベルの出力 $sp1$ は出力パルス $so1$ として次段の第1シフトレジスタ $SRA2$ に出力される。次段の第1シフトレジスタ $SRA2$ に前段の第1シフトレジスタ $SRA1$ からのHレベルの出力パルス $so1$ が供給されると、第1シフトレジスタ $SRA2$ の出力 $sp2$ はHレベルとなり、出力 $xsp2$ はLレベルとなる。これによれば、第1シフトレジスタ $SRA2$ に対応するラインメモリMB2

に画像データ *Data B* がラッチされる。以降、最後のシフトレジスタ *SRA* まで同様の動作が繰り返し実行され、その後、ブランキング期間が設けられる。この時、当該 1 水平ラインに対応する走査線 *G* に H レベルの走査信号 *Gate* が供給されることで、ラッチされた画像データ *Data* に基づく画素信号 *Sig* がセグメント画素 *SG* の画素メモリ *MA* に書き込まれる。その後、次の 1 水平期間において次の水平ラインを対象にした同様な動作が実行される。

[0068] 垂直ドライバ 4 は、図 7 および図 8 に示すように、制御装置から供給される垂直スタートパルス *VST*、垂直クロックパルス *VCK*、イネーブル信号 *ENB1* および *ENB2* の入力に応じて、走査線 *G1* ~ *Gn* に H レベルの走査信号 *Gate1* ~ *Gate n* を順に供給する動作を実行する。

[0069] 以上説明した第 1 表示期間 *DT1* によれば、表示装置 1 は、信号線 *S* に供給された画素信号 *Sig* をセグメント画素 *SG* 内の画素メモリ *MA* に書き込み、セグメント画素 *SG* のオン／オフを制御することで、表示部 *DA* に所望の画像を表示することが可能である。

[0070] 次に、第 1 タッチ期間 *TT1* における表示装置 1 の動作について説明する。なお、第 2 タッチ期間 *TT2* における表示装置 1 の動作は、第 1 タッチ期間 *TT1* と同様であるため、ここではその詳しい説明を省略する。

[0071] 第 1 タッチ期間 *TT1* が開始されると、水平ドライバ 3 の動作を制御する制御装置は、図 7 に示すように、水平ドライバ 3 に上記した通常動作を実行させるための水平スタートパルス *HST* および水平クロックパルス *HCK* の供給を停止し、かつ、ラインメモリ *MB* に供給される画像データ *Data* を L レベルに固定する動作を実行する。また、制御装置は、図 7 に示すように、水平ドライバ 3 のラインメモリ *MB* に対して H レベルのリセット信号 *Reset* を供給する動作を実行する。これによれば、水平ドライバ 3 内の全てのラインメモリ *MB* は L レベルにリセットされて同電位となる。また、ラインメモリ *MB* から信号線 *S* に供給される画素信号 *Sig* は L レベルに固定される。

[0072] ここで、図9を参照して、第1タッチ期間TT1時のラインメモリMB内の各スイッチング素子の状態について説明する。図9は、ラインメモリMB内の各スイッチング素子の状態を説明するための図である。

上記したように、第1タッチ期間TT1が開始されると、ラインメモリMBには、Hレベルのリセット信号Resetがリセット配線RLを介して供給されるので、リセット回路Cr内のスイッチング素子Q16はオンされ、スイッチング素子Q17はオフされる。これによれば、スイッチング素子Q16にはLレベルの電源電圧VSSが供給され、スイッチング素子Q16の出力端はLレベルとなる。続いて、スイッチング素子Q16から電源電圧VSSが出力されると、第5回路C5内のスイッチング素子Q19はオンされる。これによれば、スイッチング素子Q19にはHレベルの電源電圧VDD1が供給され、スイッチング素子Q19の出力端はHレベルとなる。その後、スイッチング素子Q19から電源電圧VDD1が出力されると、スイッチング素子Q20はオンされる。これによれば、スイッチング素子Q20にはLレベルの電源電圧VSSが供給され、スイッチング素子Q20の出力端はLレベルとなる。以上のようにスイッチング素子が動作することにより、第1タッチ期間TT1時には、第5回路C5は電源電圧VSSの電位をラッチした状態になり、信号線SにはLレベル、すなわち電源電圧VSSの電位を有する画素信号Sigが供給されることになる。

[0073] また、図9に示すように、第1タッチ期間TT1においては、第1シフトレジスタSRAの出力spはLレベルであり、かつ、第1シフトレジスタSRAの出力xspはHレベルであるため、スイッチング素子Q10およびQ11はオンされる。これによれば、スイッチング素子Q10およびQ11には、スイッチング素子Q16の出力端よりLレベルの電源電圧VSSが供給される。スイッチング素子Q10およびQ11から電源電圧VSSが出力されると、第4回路C4内のスイッチング素子Q13はオンされる。これによれば、スイッチング素子Q13にはLレベルの電源電圧VSSが供給され、スイッチング素子Q13の出力端はHレベルとなる。スイッチング素子Q1

3から電源電圧 V_{DD1} が出力されると、スイッチング素子 Q_{14} はオンされる。以上のようにスイッチング素子が動作することにより、第1タッチ期間 T_{T1} 時には、第3回路 C_3 および第4回路 C_4 は電源電圧 V_{SS} の電位をラッチした状態になる。

[0074] 再度図7の説明に戻る。第1タッチ期間 T_{T1} が開始されると、垂直ドライバ4の動作を制御する制御装置は、垂直ドライバ4に対する垂直スタートパルス V_{ST} 、垂直クロックパルス V_{CK} 、イネーブル信号 ENB_1 および ENB_2 の供給を停止する。これによれば、垂直ドライバ4は、走査線 $G_1 \sim G_n$ に供給する走査信号 $Gate_1 \sim Gate_n$ をLレベルに固定することができる。走査信号 $Gate_1 \sim Gate_n$ がLレベルに固定されると、画素メモリMA内のスイッチング素子 Q_7 がオフされるので、画素メモリMAに記憶されている画素信号 Sig が、信号線Sに供給されるLレベルの画素信号 Sig に書き換えられてしまうことを抑止することができる。

[0075] 図7に示すように、第1タッチ期間 T_{T1} においては、Hレベルのリセット信号 $Reset$ が供給されてから所定時間経過後に（換言すると、全てのラインメモリMBがLレベルにリセットされてから所定時間経過後に）、検出電極 R_x を駆動するための駆動パルスが出力される。このように、全てのラインメモリMBをLレベルにリセットしてから所定時間経過後に（例えば15ms経過後に）駆動パルスが出力されることにより、リセット後の液晶応答に起因した容量変化（あるいは、水平ドライバ3の動作を停止させた後の液晶応答に起因した容量変化）も考慮することが可能であり、タッチの誤検出をより減らすことができる。

[0076] 以上のような駆動方法で表示装置1を駆動することにより、水平ドライバ3は、タッチ期間 T_T 毎に全てのラインメモリMBをLレベルにリセットすることが可能である。また、タッチ期間 T_T 時、シフトレジスタ SRA はLレベルであるため（換言すると、出力 sp がLレベルであり、出力 xsp がHレベルであるため）、ラインメモリMBおよびシフトレジスタ SRA は共にLレベルの同電位となる。さらに、タッチ期間 T_T 時、データバス DBL

には画像データDataは入力されない。これによれば、シフトレジスタSRA、ラインメモリMB、シフトレジスタSRAおよびラインメモリMB間に位置するデータバスDBLをLレベルの同電位にすることが可能である。あるいはまた、タッチ期間時の上記リセット駆動により、水平ドライバ3の全てのラインメモリMBが同じ電位をラッチすることとなり、隣り合うラインメモリMB同士で同じ部分（例えばスイッチング素子Q13）が異なる電位状態に設定されることはない。この結果、タッチ期間TT時に、あるラインメモリMB上に位置する液晶分子の配向状態だけが他と異なる挙動を示すようなことは可及的抑制され、ひいては、タッチ検出精度の低下を抑制することが可能である。

[0077] なお、本実施形態では、ラインメモリMBがリセット回路Crを有しており、当該リセット回路Crに対してHレベルのリセット信号Resetを供給することにより、ラインメモリMBがLレベルにリセットされる場合を説明したが、これに限定されず、ラインメモリMBがリセット回路Crを有していなくても、ラインメモリMBをLレベルにリセットすることは可能である。以下、この方法について説明する。

[0078] 図10は、図7とは異なる表示装置1の駆動方法を示すタイミングチャートである。図10では、図7の場合と同様に、1フレームが、第1タッチ期間TT1と、第1表示期間DT1と、第2タッチ期間TT2と、第2表示期間DT2とによって構成され、これら期間が、TT1、DT1、TT2、DT2の順で遷移する場合を想定している。

[0079] なお、第1表示期間DT1および第2表示期間DT2（つまり表示期間DT）における表示装置1の動作は、図7の場合と同様であるため、ここではその詳しい説明を省略し、以下では、第1タッチ期間TT1における表示装置1の動作について説明する。なお、第2タッチ期間TT2における表示装置1の動作は、第1タッチ期間TT1と同様であるため、ここではその詳しい説明を省略する。

[0080] 第1タッチ期間TT1が開始されると、水平ドライバ3の動作を制御する

制御装置は、ラインメモリMBに供給する画像データDataをLレベルに固定した上で、上記した通常動作を実行させるために、1水平期間分の水平スタートパルスHSTおよび水平クロックパルスHCKを水平ドライバ3に供給する。これによれば、ラインメモリMBに供給される画像データDataがLレベルに固定されていることから、1水平期間が終了した時点で、水平ドライバ3内の全てのラインメモリMBはLレベルにリセットされて同電位となる。また、ラインメモリMBから信号線Sに供給される画素信号SigはLレベルに固定される。

[0081] ここで、図11を参照して、第1タッチ期間TT1時のラインメモリMB内の各スイッチング素子の状態について説明する。図11は、ラインメモリMB内の各スイッチング素子の状態を説明するための図である。

第1タッチ期間TT1が開始されると、上記した1水平期間においてLレベルの画像データDataが書き込まれる。このため、当該1水平期間においては、各第1シフトレジスタSRAの出力spはHレベルとなり、出力xspはLレベルとなる。これによれば、第3回路C3内のスイッチング素子Q8およびQ9はオンされ、Lレベルの画像データDataが第4回路C4に出力される。続いて、第4回路C4内のスイッチング素子Q13がオンされる。これによれば、スイッチング素子Q13にはHレベルの電源電圧VDD1が供給され、スイッチング素子Q13の出力端はHレベルとなる。その後、スイッチング素子Q13から電源電圧VDD1が出力されると、スイッチング素子Q14はオンされる。これによれば、スイッチング素子Q14にはLレベルの電源電圧VSSが供給され、スイッチング素子Q14の出力端はLレベルとなる。スイッチング素子Q14から電源電圧VSSが出力されると、スイッチング素子Q19はオンされる。これによれば、スイッチング素子Q19にはHレベルの電源電圧VDD1が供給され、スイッチング素子Q19の出力端はHレベルとなる。しかる後、スイッチング素子Q19から電源電圧VDD1が出力されると、スイッチング素子Q20はオンされる。これによれば、スイッチング素子Q20にはLレベルの電源電圧VSSが供

給され、スイッチング素子Q20の出力端はLレベルとなる。以上のようにスイッチング素子が動作することにより、第1タッチ期間TT1時には、第5回路C5は電源電圧VSSの電位をラッチした状態になり、信号線SにはLレベルの画素信号Sigが供給されることになる。

[0082] また、上記した1水平期間が終了した後は、各第1シフトレジスタSRAの出力spはLレベルとなり、出力xspはHレベルとなる。これによれば、第3回路C3内のスイッチング素子Q10およびQ11がオンされる。上記した1水平期間時にオンされた第4回路C4内のスイッチング素子Q13およびQ14はオンされたままであるため、スイッチング素子Q10、Q11、Q13、Q14を介して、第3回路C3および第4回路C4にはLレベルの電源電圧VSSが供給される。これによれば、第1タッチ期間TT1時には、第3回路および第4回路C4は電源電圧VSSの電位をラッチした状態になる。

[0083] なお、第1タッチ期間TT1時における、垂直ドライバ4の動作は、図7の場合と同様であるため、ここではその詳しい説明を省略する。また、図10に示すように、ラインメモリMBがLレベルにリセットされてから所定時間経過後に、検出電極Rxを駆動するための駆動パルスが出力される点についても、図7の場合と同様であるため、ここではその詳しい説明を省略する。

[0084] 以上のような駆動方法で表示装置1を駆動する場合であっても、水平ドライバ3は、タッチ期間TT毎に全てのラインメモリMBをLレベルにリセットして同電位にすることが可能である。また、水平ドライバ3の全てのラインメモリMBが同じ電位をラッチすることとなり、隣り合うラインメモリMB同士で同じ部分が異なる電位状態に設定されることはない。このため、タッチ期間TT時に、あるラインメモリMB上に位置する液晶分子の配向状態だけが他と異なる挙動を示すようなことは可及的抑制され、ひいては、タッチ検出精度の低下を抑制することが可能である。

[0085] 以上説明した本実施形態では、タッチ期間TT毎にラインメモリMBをL

レベルにリセットすることで、各ラインメモリMBによって保持される電位を一定にするとしたが、これに限定されず、タッチ期間TT毎にラインメモリMBをHレベルにリセットすることで、各ラインメモリMBによって保持される電位を一定にするとしてもよい。この場合であっても、各ラインメモリMBによって保持される電位が一定である点は変わらないため、各ラインメモリMBをLレベルにリセットする場合と同様な効果を得ることが可能である。

[0086] 以上説明した本実施形態では、図2に示したように、検出電極Rxは透明基板20の主面20A側に配置されている（換言すると、共通電極CEと同層に配置されている）としたが、図12に示すように、検出電極Rxは透明基板20の主面20B側に配置されていても構わない。図12に示す構成は、検出電極Rxの位置が変更されたこと以外に変更点がないため、上記した各種駆動方法により表示装置1を駆動させることで、あるラインメモリMB上に位置する液晶分子の配向状態だけが他と異なる挙動を示すようなことは可及的抑制され、ひいては、タッチ検出精度の低下を抑制することが可能である。

[0087] 以上説明した本実施形態では、図2に示したように、検出電極Rxは非表示部NDAのみに配置されているとしたが、図13に示すように、非表示部NDAに配置される検出電極Rxとは別に、表示部DAに一つの検出電極Rxがさらに配置されていても構わない。表示部DAの一つの検出電極Rxは、例えば、透明基板20の主面20B側に配置される。表示部DAに配置される検出電極Rxは一つであることから、当該検出電極Rxは表示部DAのどの位置がタッチされたかを判別することはできないものの、表示部DAがタッチされたか否かを判別することは可能であるため、例えば、表示部DAがタッチされたことに伴い表示装置1に特定の動作を実行させる機能、などを実装することが可能である。なお、非表示部NDAに配置される複数の検出電極Rxのタッチ検出精度の低下は上記した各種駆動方法により抑制することが可能である。つまり、図13に示す構成によれば、非表示部NDAに

配置された複数の検出電極 R_x のタッチ検出精度の低下を抑制しつつも、表示部 DA に配置された一つの検出電極 R_x を利用した機能の実装を実現させることが可能である。

[0088] 以上説明した本実施形態では、自己容量方式を利用したタッチ検出機能付きの表示装置 1 について説明したが、これに限定されず、例えば図 14 に示すように、表示部 DA に配置された一つの電極を駆動電極 T_x とし、非表示部 NDA に配置された複数の電極を検出電極 R_x とすることで、相互容量方式のタッチ検出機能付きの表示装置 1 を実現させることも可能である。この場合においても、上記した各種駆動方法により表示装置 1 を駆動させることで、あるラインメモリ MB 上に位置する液晶分子の配向状態だけが他と異なる挙動を示すようなことは可及的抑制され、ひいては、タッチ検出精度の低下を抑制することが可能である。

[0089] 以上説明したように、表示装置 1 は、画素信号 Sig を記憶可能な画素メモリ MA を備える複数の画素 PX (副画素 SP) が配置された表示部 DA と、表示部 DA を囲む非表示部 NDA と、非表示部 NDA に配置され、複数の画素メモリ MA に画素信号 Sig を供給する水平ドライバ 3 と、水平ドライバ 3 と対向して配置される複数の検出電極 R_x と、備えている。表示部 DA は、各画素 PX の駆動電位が、各画素メモリ MA に記憶された画素信号 Sig に対応する電位に設定されることで画像を表示する。水平ドライバ 3 は、各画素メモリ MA に供給する画素信号 Sig (画像データ $Data$) を記憶するための複数のラインメモリ MB を備え、各ラインメモリ MB に記憶される画素信号 Sig に対応する電位は、複数の検出電極 R_x によるタッチ検出時には全て同電位に設定される。

[0090] 上記した構成の表示装置 1 によれば、タッチ検出時には、水平ドライバ 3 内の全てのラインメモリ MB は同電位に設定され、シフトレジスタ SRA 、ラインメモリ MB 、シフトレジスタ SRA およびラインメモリ MB 間に位置するデータバス DBL を同電位にすることが可能である。あるいはまた、タッチ検出時には、水平ドライバ 3 の全てのラインメモリ MB が同じ電位をラ

タッチすることとなり、隣り合うラインメモリMB同士で同じ部分が異なる電位状態に設定されることはない。このため、タッチ検出時に、あるラインメモリMB上に位置する液晶分子の配向状態だけが他と異なる挙動を示すようなことは可及的抑制され、ひいては、タッチ検出精度の低下を抑制することが可能である。

[0091] 以上説明した一実施形態によれば、画像を表示する際の表示品位とタッチによる優れた操作性との両立を実現し得る表示装置および電子機器（例えばウェアラブルデバイスなど）を提供することが可能である。

[0092] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

[0093] 1…表示装置、3…水平ドライバ、4…垂直ドライバ、R_x…検出電極、P_X…画素、S_P…副画素、S_G…セグメント画素、M_A…画素メモリ、M_B…ラインメモリ、C_r…リセット回路。

請求の範囲

- [請求項1] デジタル信号を記憶可能な第1メモリを備える複数の画素が配置された表示部と、
 前記表示部を囲む非表示部と、
 前記非表示部に配置され、前記複数の第1メモリにデジタル信号を供給する第1ドライバと、
 前記第1ドライバと対向して配置される複数のタッチ検出電極と、
 を具備し、
 前記表示部は、前記各画素の駆動電位が、前記各第1メモリに記憶されたデジタル信号に対応する電位に設定されることで画像を表示し、
 、
 前記第1ドライバは、前記各第1メモリに供給するデジタル信号を記憶するための複数の第2メモリを備え、
 前記各第2メモリに記憶されるデジタル信号に対応する電位は、前記複数のタッチ検出電極によるタッチ検出時には全て同電位に設定される、表示装置。
- [請求項2] 前記表示部は、表示期間に画像を表示し、
 前記各タッチ検出電極は、前記表示期間とは異なるタッチ期間にタッチ検出を行い、
 前記表示期間と前記タッチ期間とは交互に繰り返される、
 請求項1に記載の表示装置。
- [請求項3] 前記第1ドライバと前記複数のタッチ検出電極との間には液晶層が配置されている、
 請求項2に記載の表示装置。
- [請求項4] 前記第1ドライバは、
 前記複数の第2メモリと、前記各第2メモリに接続された複数のシフトレジスタと、を備え、
 前記各第2メモリと前記各シフトレジスタとの間には、前記各第2

メモリにデジタル信号を供給するための少なくとも一つのデータバスが配置されている、

請求項2または請求項3に記載の表示装置。

[請求項5] 前記各第2メモリは、デジタル信号を記憶するための記憶回路と、前記記憶回路に記憶されたデジタル信号に対応する電位をリセットするためのリセット回路と、をそれぞれ備え、

前記各記憶回路に記憶されるデジタル信号に対応する電位は、前記タッチ期間に前記各リセット回路を駆動することでリセットされ、全て同電位に設定される、

請求項4に記載の表示装置。

[請求項6] 前記データバスに供給されるデジタル信号に対応する電位は、前記タッチ期間において所定の電位に設定され、

前記第1ドライバは、前記タッチ期間の最初の1水平期間において、前記各第2メモリに前記所定の電位に対応するデジタル信号を書き込み、前記各第2メモリに記憶されるデジタル信号に対応する電位を全て同電位に設定する、

請求項4に記載の表示装置。

[請求項7] 前記各タッチ検出電極は、前記タッチ期間において、前記各第2メモリに記憶されるデジタル信号に対応する電位が全て同電位に設定されてから所定時間経過後に、タッチ検出を行う、

請求項2～請求項6のいずれか1項に記載の表示装置。

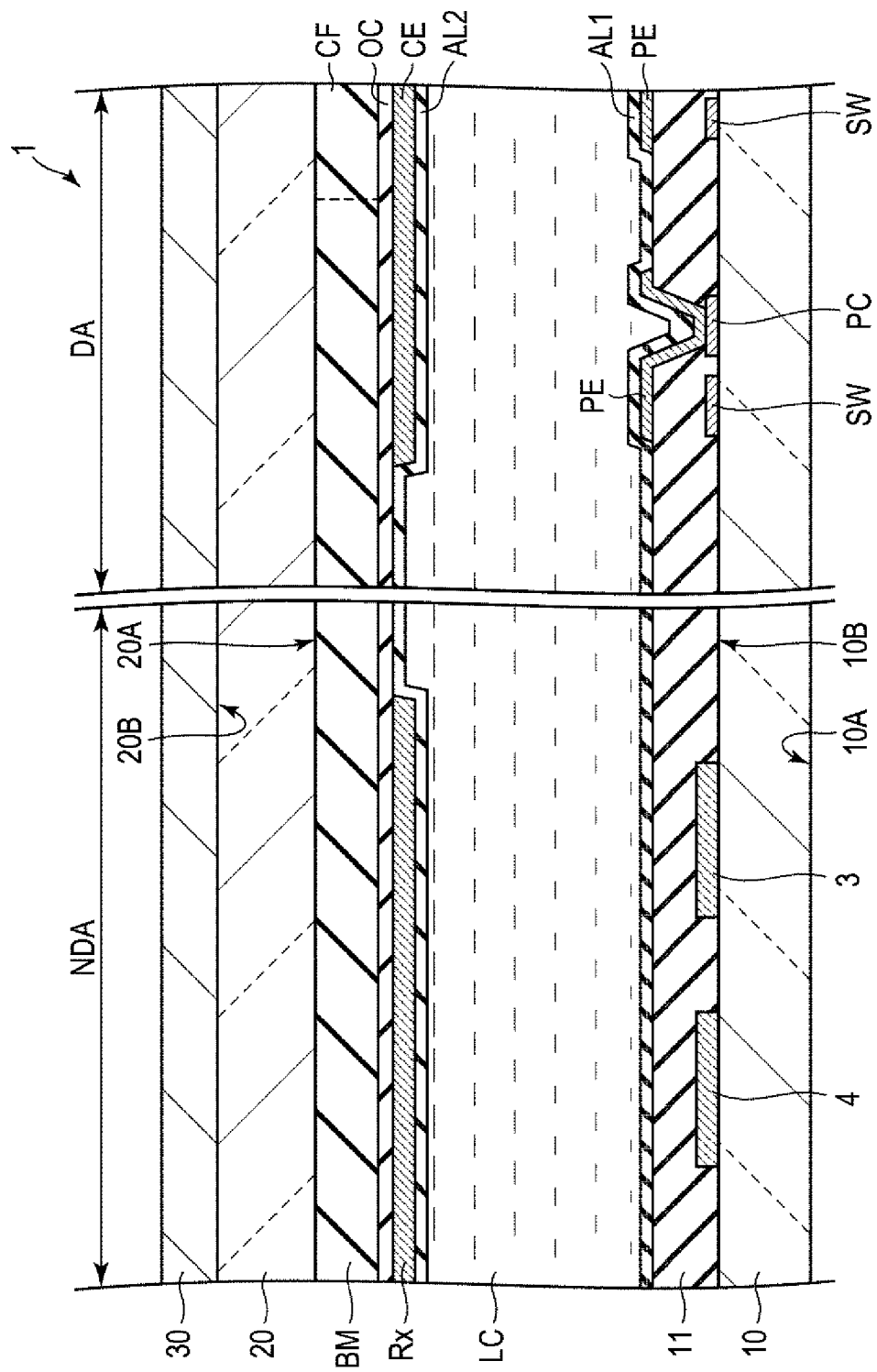
[請求項8] デジタル信号を記憶可能な複数の第1メモリと、
前記複数の第1メモリにデジタル信号を供給する複数の第1ドライバと、

前記第1ドライバと対向して配置される複数のタッチ検出電極と、
を具備し、

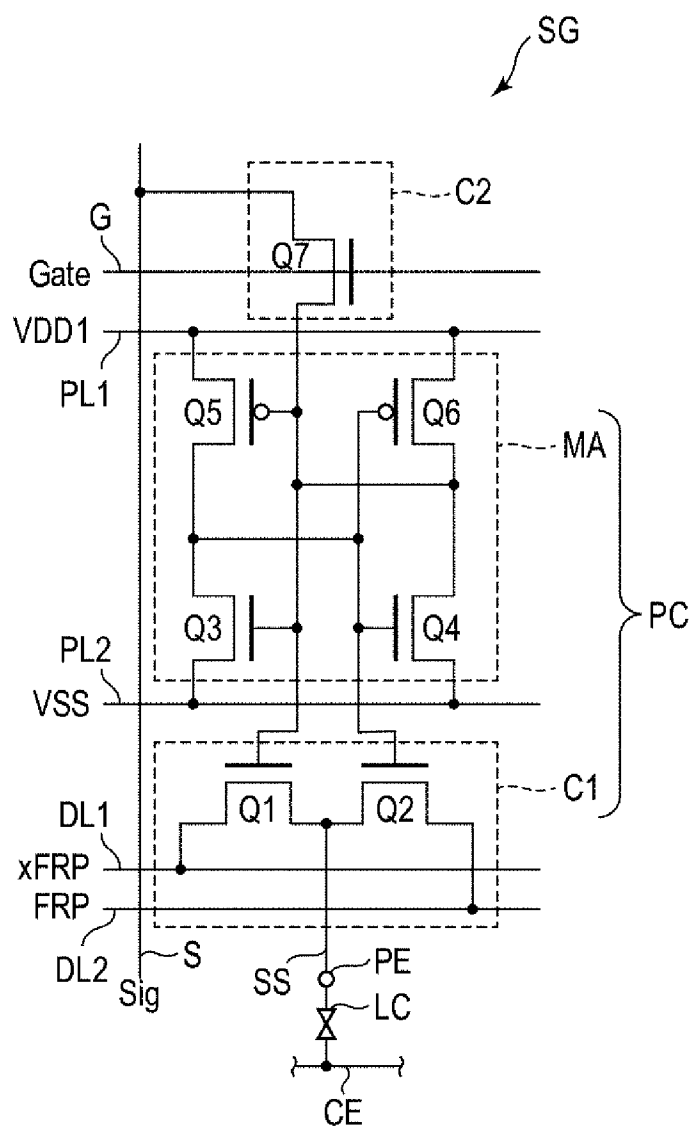
前記第1ドライバは、前記各第1メモリに供給するデジタル信号を記憶すると共に前記第1メモリに出力する第2メモリを備え、

前記各第 2 メモリに記憶されるデジタル信号に対応する電位を、前記複数のタッチ検出電極によるタッチ検出時には全て同電位に設定する、電子機器。

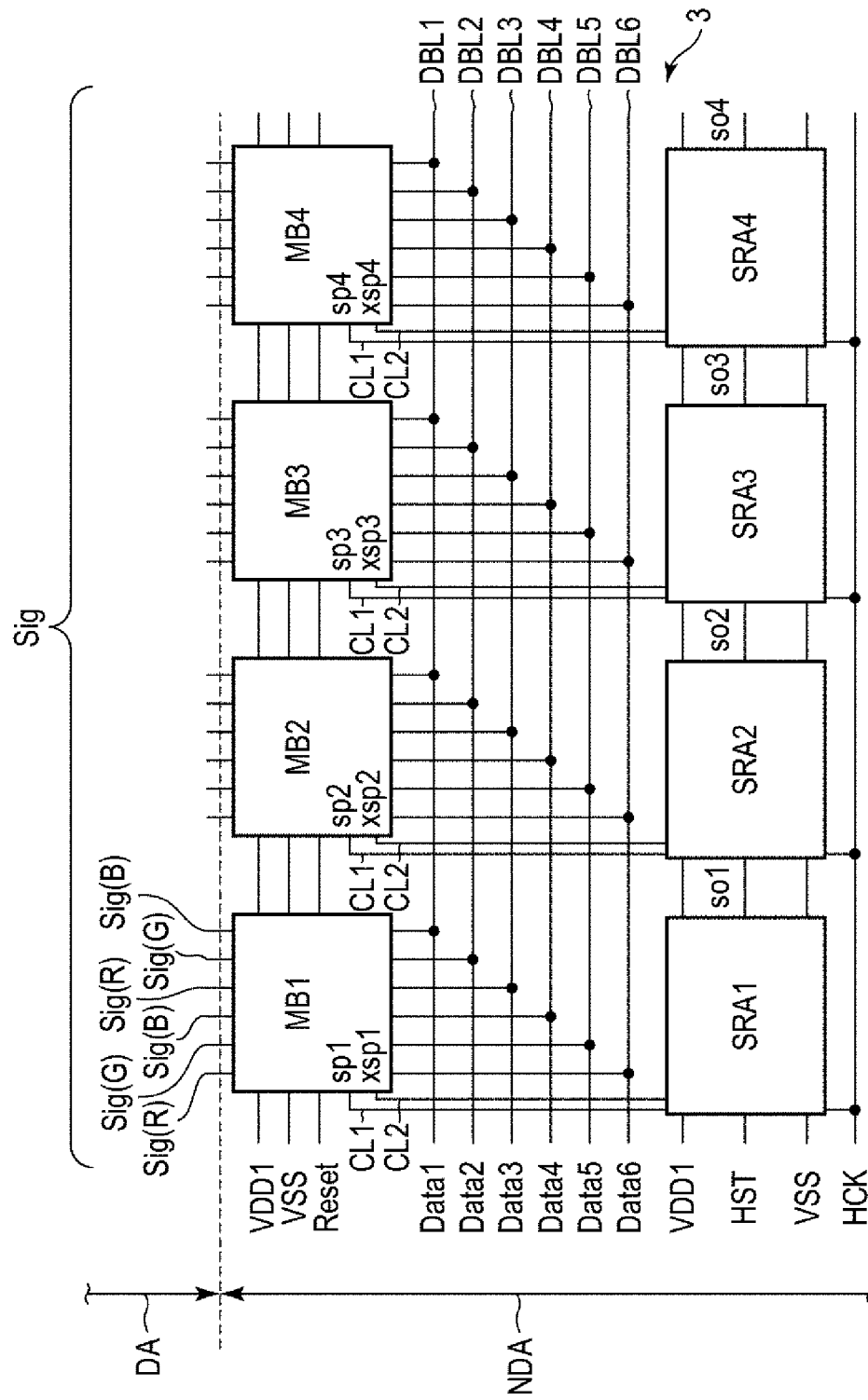
[図2]

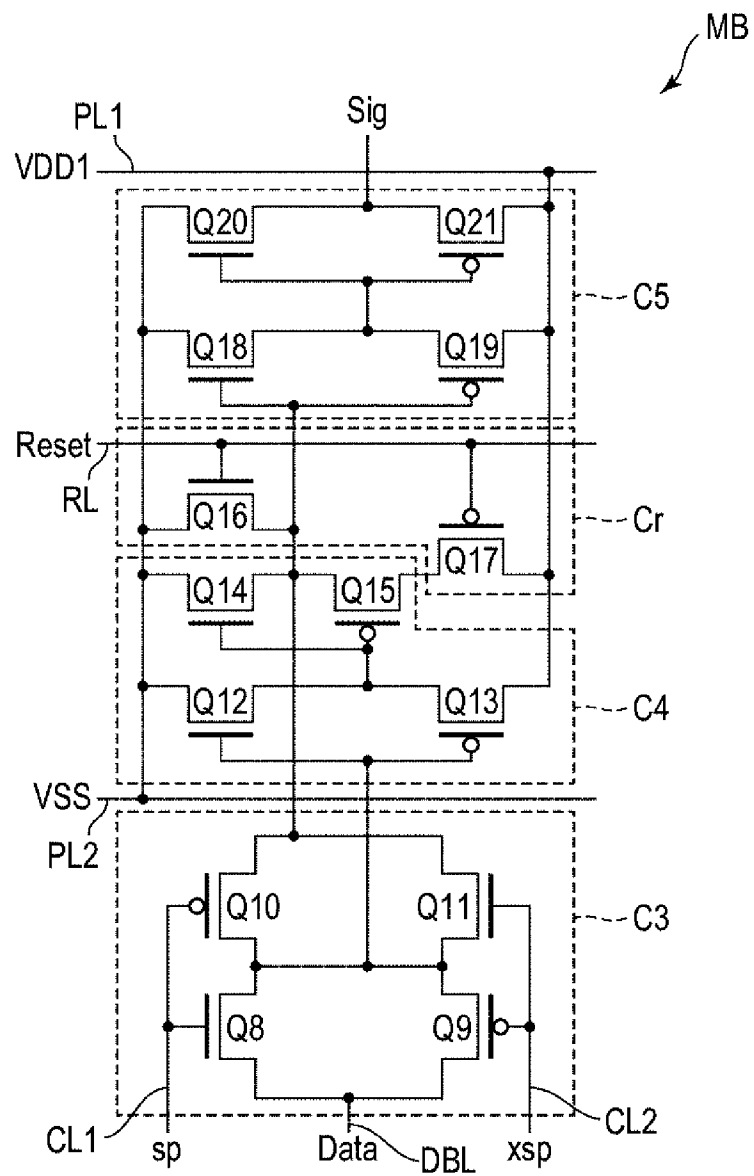


[図3]

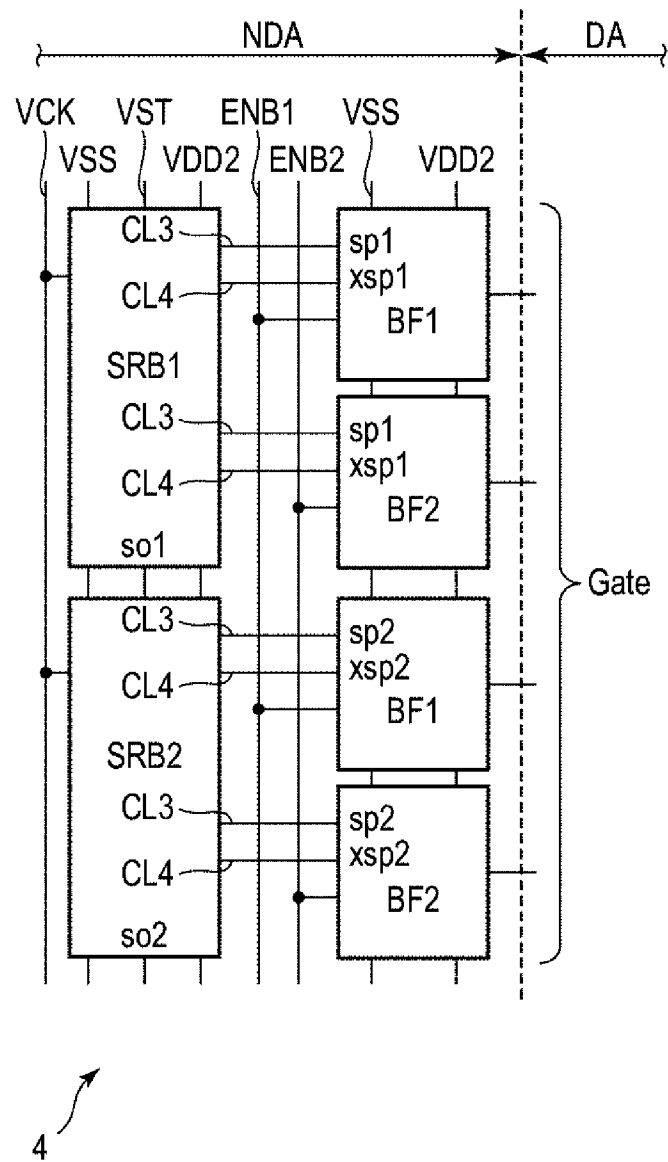


[図4]

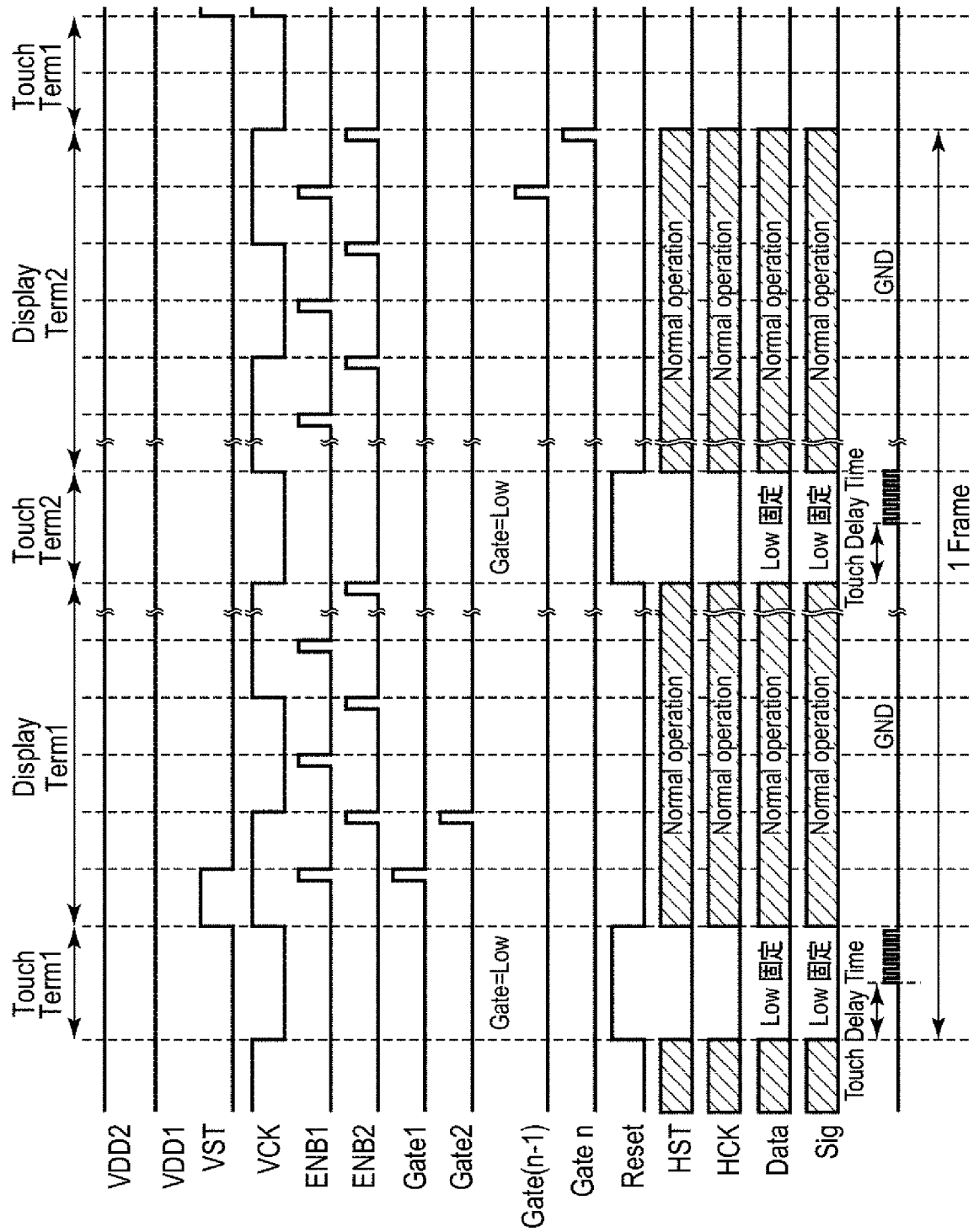




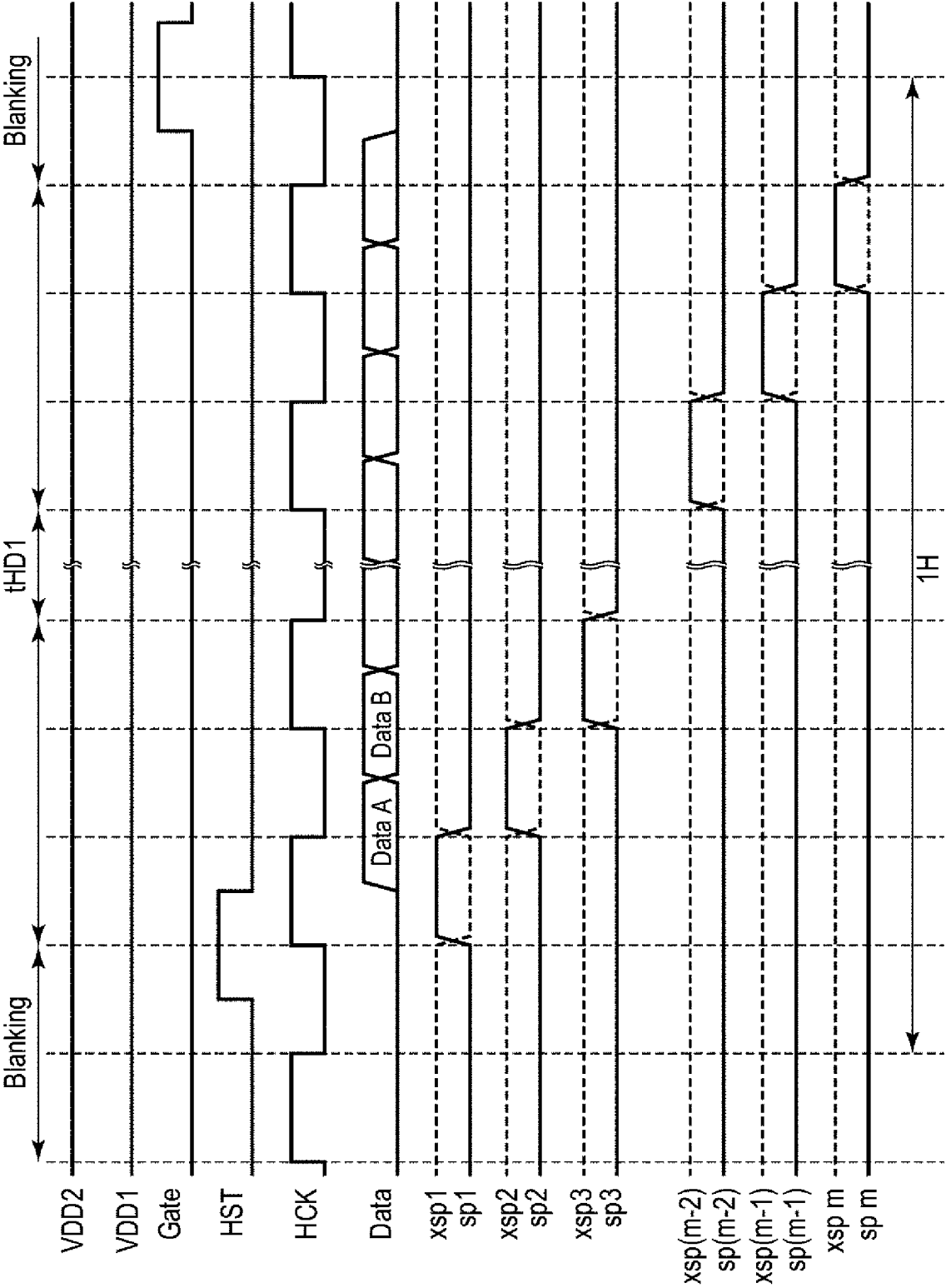
[図6]



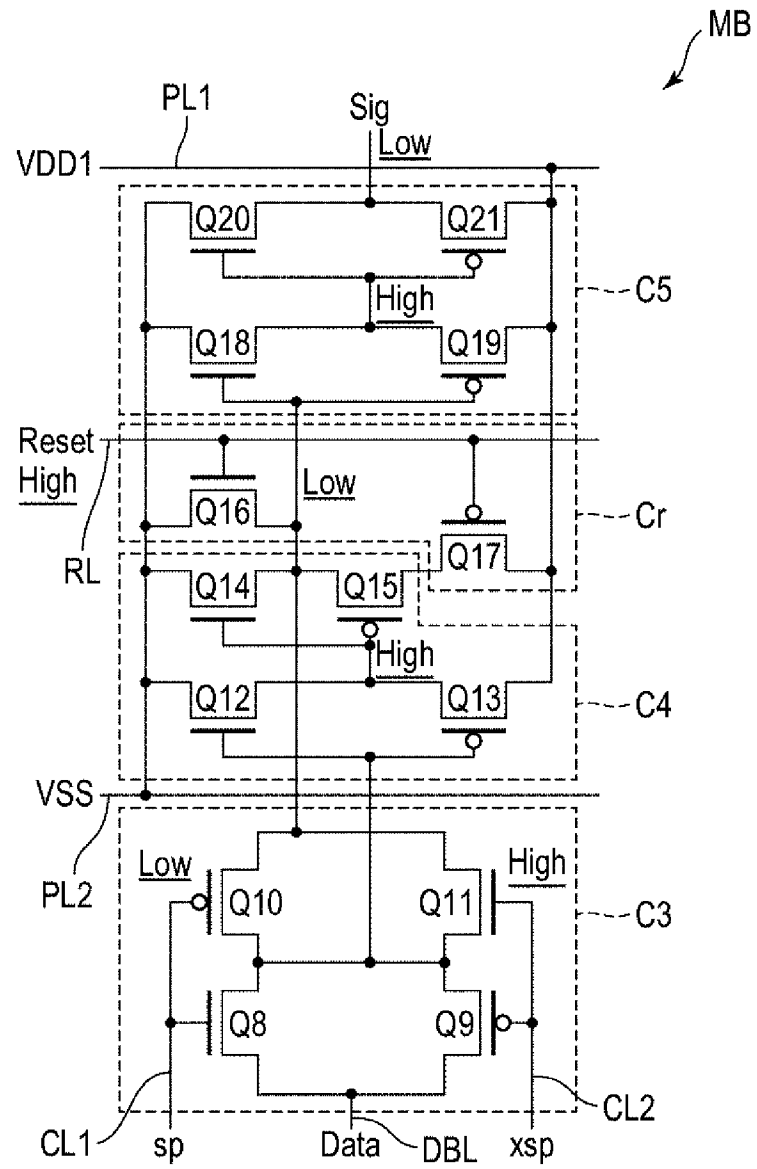
[図7]



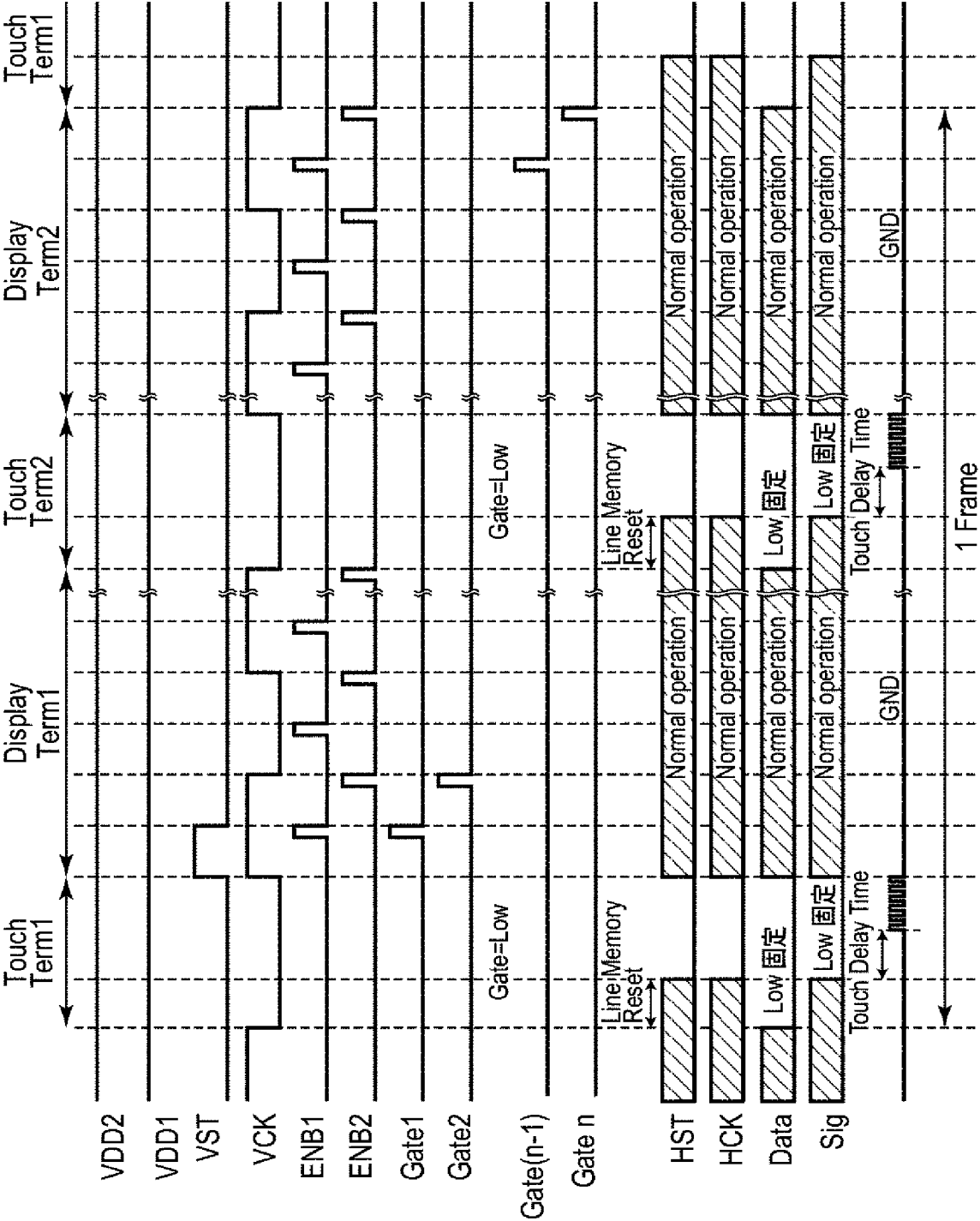
[図8]



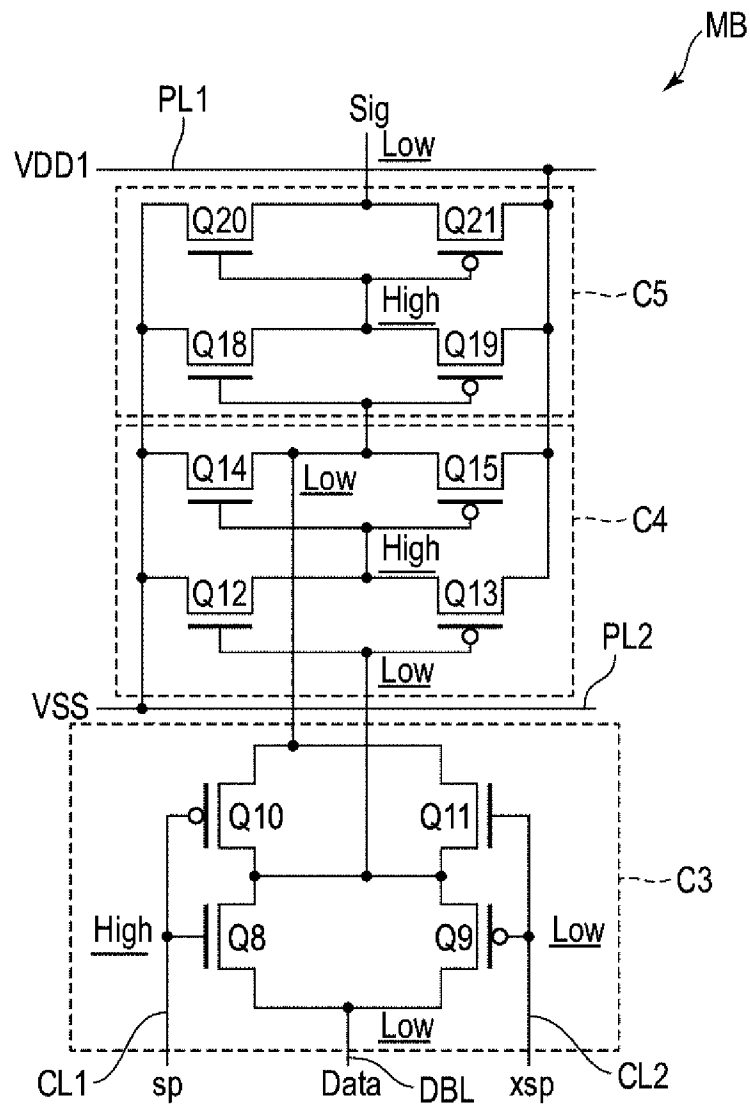
[図9]



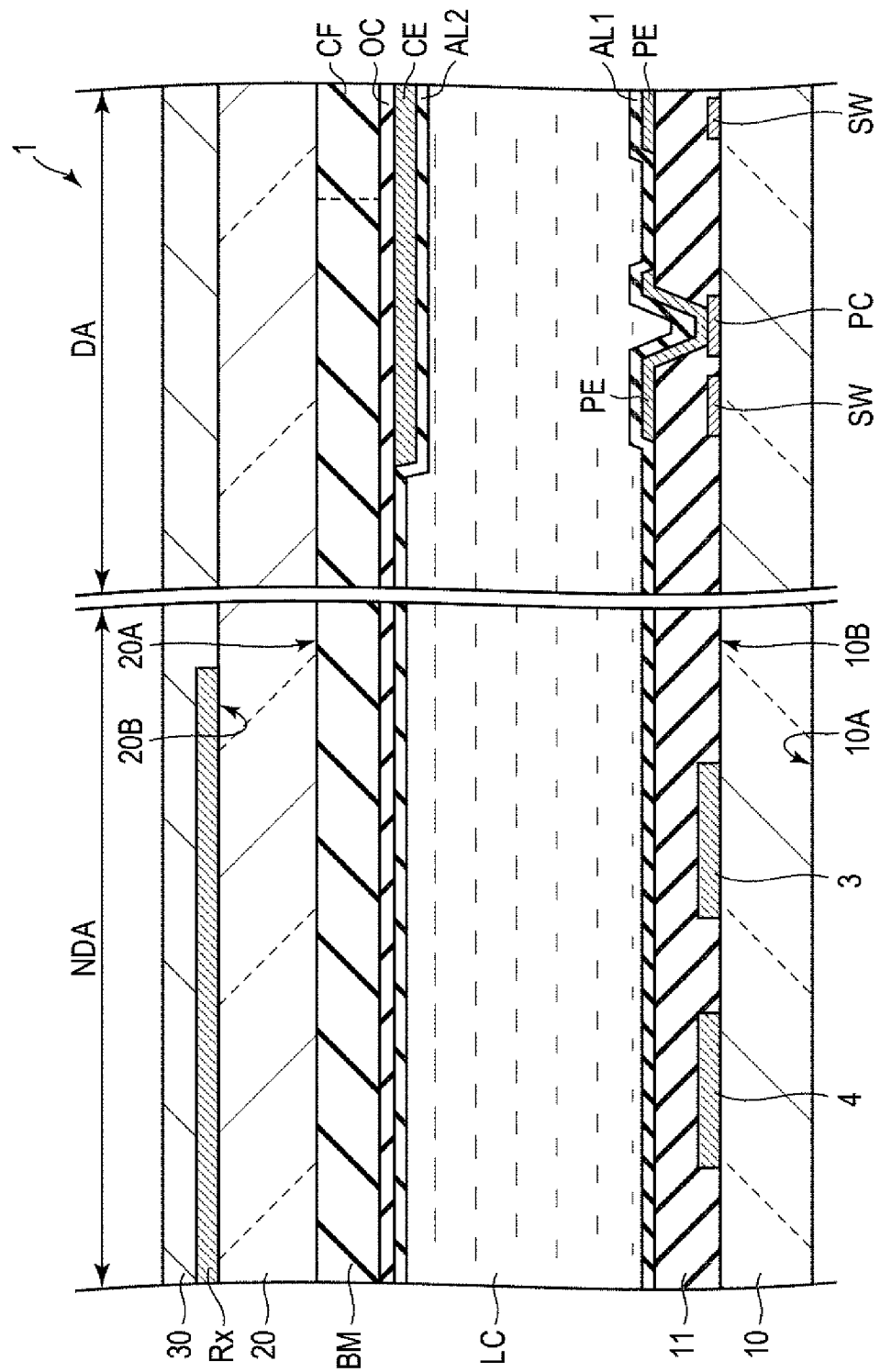
[図10]



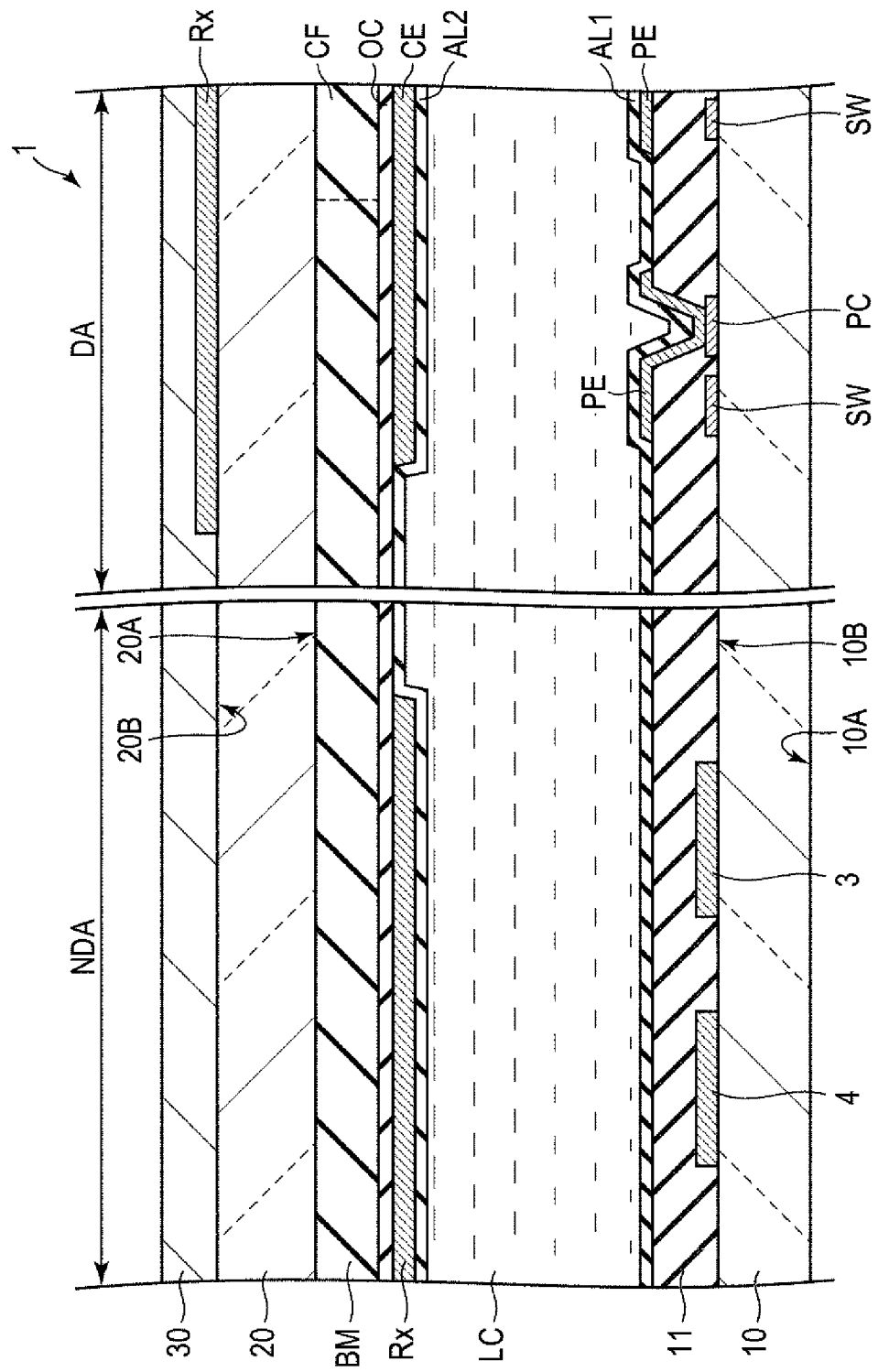
[図11]



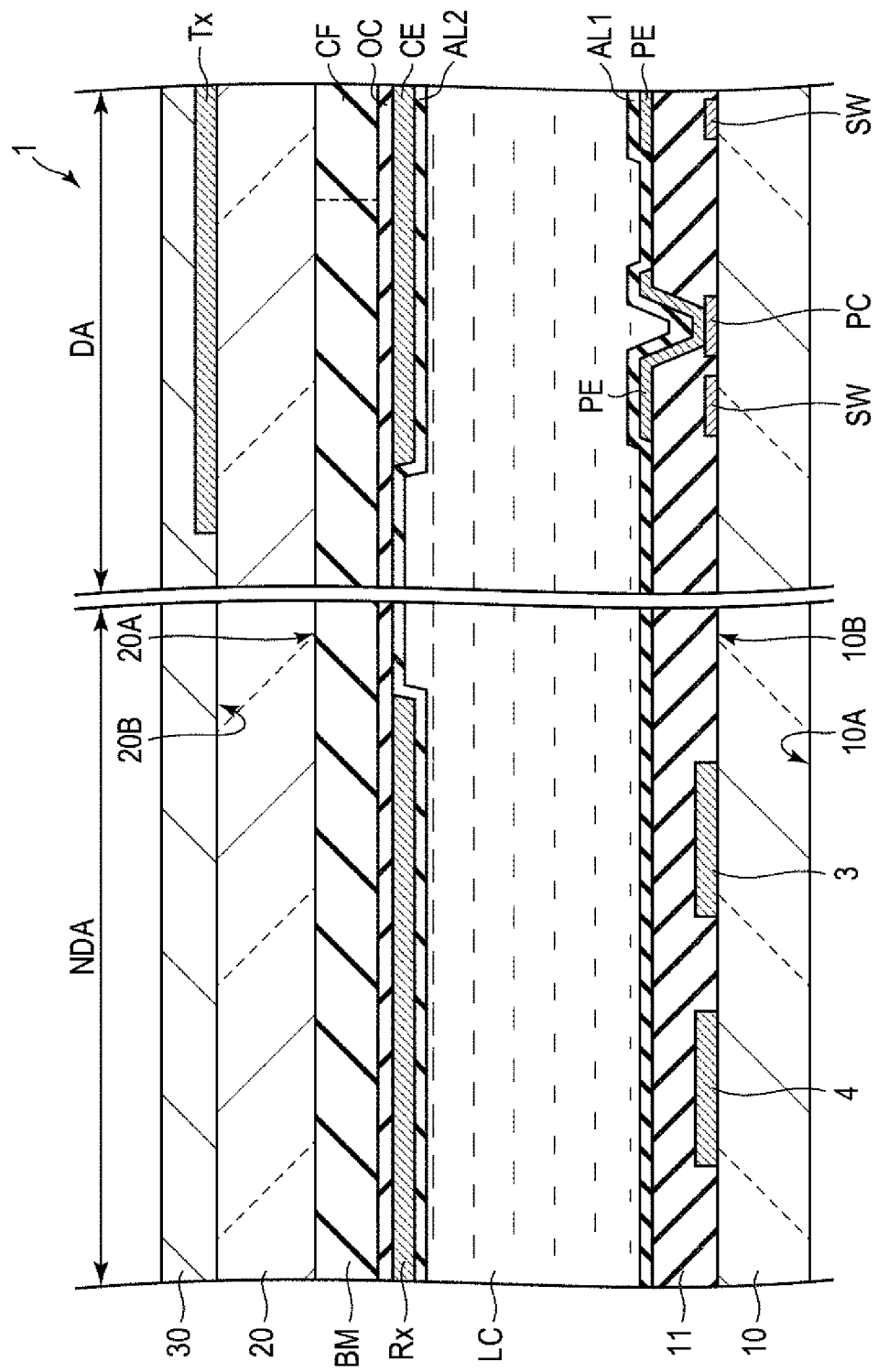
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/016453

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/20(2006.01)i, G09G3/36(2006.01)i, G02F1/133(2006.01)i, G06F3/041(2006.01)i, G06F3/044(2006.01)i
FI: G06F3/041 422, G09G3/20 624B, G09G3/20 621M, G09G3/20 680G, G09G3/20 691D, G09G3/20 641C, G09G3/20 631B,
G09G3/20 621A, G09G3/20 623H, G09G3/20 623R, G09G3/20 6416, G09G3/20 6705, G09G3/20 611C, G09G3/20 611D,
G09G3/20 611J, G09G3/20 622D, G09G3/20 623U, G02F1/133 530, G06F3/044 120, G09G3/36, G06F3/041 410

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/20, G09G3/36, G02F1/133, G06F3/041, G06F3/044

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2020-79932 A (JAPAN DISPLAY INC.) 28 May 2020, paragraphs [0010]-[0020], [0031]-[0047], fig. 1-6	1-4, 7-8 5-6
Y A	JP 2018-124659 A (JAPAN DISPLAY INC.) 09 August 2018, paragraphs [0029], [0035]-[0038], [0045], fig. 2, 6	1-4, 7-8 5-6
A	JP 2009-122636 A (EPSON IMAGING DEVICES CORPORATION) 04 June 2009, entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24.06.2021

Date of mailing of the international search report
13.07.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/016453

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2020-79932 A	28.05.2020	(Family: none)	
JP 2018-124659 A	09.08.2018	US 2018/0217712 A1 paragraphs [0038], [0051]-[0054], fig. 2. 6	
JP 2009-1 22636 A	04.06.2009	US 2009/0102758 A1 entire text, all drawings CN 101419349 A KR 10-2009-0041336 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G06F 3/041(2006.01)i; G06F 3/044(2006.01)i FI: G06F3/041 422; G09G3/20 624B; G09G3/20 621M; G09G3/20 680G; G09G3/20 691D; G09G3/20 641C; G09G3/20 631B; G09G3/20 621A; G09G3/20 623H; G09G3/20 623R; G09G3/20 641G; G09G3/20 670E; G09G3/20 611C; G09G3/20 611D; G09G3/20 611J; G09G3/20 622D; G09G3/20 623U; G02F1/133 530; G06F3/044 120; G09G3/36; G06F3/041 410																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/36; G02F1/133; G06F3/041; G06F3/044 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2021年																			
日本国実用新案登録公報	1996-2021年																			
日本国登録実用新案公報	1994-2021年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2020-79932 A（株式会社ジャパンディスプレイ）28.05.2020（2020-05-28） 段落0010-0020, 0031-0047, 図1-6</td> <td>1-4, 7-8</td> </tr> <tr> <td>A</td> <td></td> <td>5-6</td> </tr> <tr> <td>Y</td> <td>JP 2018-124659 A（株式会社ジャパンディスプレイ）09.08.2018（2018-08-09） 段落0029, 0035-0038, 0045, 図2, 6</td> <td>1-4, 7-8</td> </tr> <tr> <td>A</td> <td></td> <td>5-6</td> </tr> <tr> <td>A</td> <td>JP 2009-122636 A（エプソンイメージングデバイス株式会社）04.06.2009（2009-06-04） 全文・全図</td> <td>1-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2020-79932 A（株式会社ジャパンディスプレイ）28.05.2020（2020-05-28） 段落0010-0020, 0031-0047, 図1-6	1-4, 7-8	A		5-6	Y	JP 2018-124659 A（株式会社ジャパンディスプレイ）09.08.2018（2018-08-09） 段落0029, 0035-0038, 0045, 図2, 6	1-4, 7-8	A		5-6	A	JP 2009-122636 A（エプソンイメージングデバイス株式会社）04.06.2009（2009-06-04） 全文・全図	1-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	JP 2020-79932 A（株式会社ジャパンディスプレイ）28.05.2020（2020-05-28） 段落0010-0020, 0031-0047, 図1-6	1-4, 7-8																		
A		5-6																		
Y	JP 2018-124659 A（株式会社ジャパンディスプレイ）09.08.2018（2018-08-09） 段落0029, 0035-0038, 0045, 図2, 6	1-4, 7-8																		
A		5-6																		
A	JP 2009-122636 A（エプソンイメージングデバイス株式会社）04.06.2009（2009-06-04） 全文・全図	1-8																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 24.06.2021		国際調査報告の発送日 13.07.2021																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 星野 裕 5E 6301 電話番号 03-3581-1101 内線 3521																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/016453

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-79932	A	28.05.2020	(ファミリーなし)	
JP	2018-124659	A	09.08.2018	US 2018/0217712 A1	
				段落0038, 0051-0054, 図	
				2, 6	
JP	2009-122636	A	04.06.2009	US 2009/0102758 A1	
				全文・全図	
				CN 101419349 A	
				KR 10-2009-0041336 A	