

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-92191
(P2017-92191A)

(43) 公開日 平成29年5月25日(2017.5.25)

(51) Int.Cl.

HO 1 L 29/78 (2006.01)
HO 1 L 29/12 (2006.01)

F

H01L	29/78	652K
H01L	29/78	653A
H01L	29/78	652T
H01L	29/78	652H
H01L	29/78	652J

テーマコード (参考)

審査請求 未請求 請求項の数 9 O.L. (全 14 頁)

(21) 出願番号
(22) 出願日

特願2015-218815 (P2015-218815)
平成27年11月6日 (2015. 11. 6)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地
110001128

特許業務法人ゆうあい特許事務所

(72) 発明者 登尾 正人
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 海老原 康裕

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 金村 高司

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

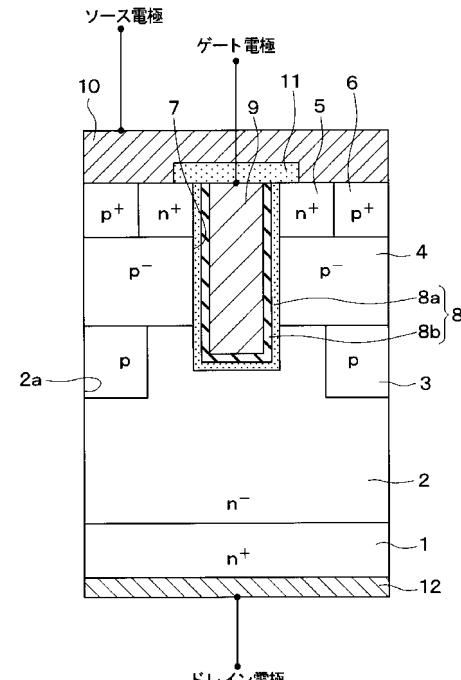
(54) 【発明の名称】炭化珪素半導体装置

(57) 【要約】

【課題】高耐圧かつ信頼性の高いトレンチゲート構造の半導体素子を有するSiC半導体装置を提供する。

【解決手段】トレンチ 7 内に形成されるゲート絶縁膜 8 の少なくとも一部にシリコン酸化膜よりも誘電率の高い材料を用い、ゲート絶縁膜 8 の単位面積当たりの容量を C_{ox} 、絶縁破壊電圧を $V_{b,ox}$ としたときに、 $C_{ox} \times V_{b,ox} > 7.6 \times 10^{-6} \text{ C/cm}^2$ となる関係を満たす材料によって構成する。このような条件を満たす材料によってゲート絶縁膜 8 を構成することにより、高耐圧かつ信頼性の高いトレンチゲート構造の縦型 MOSFET を有する SiC 半導体装置とすることが可能となる。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

トレンチゲート構造の半導体素子を有する炭化珪素半導体装置であって、炭化珪素からなる第1または第2導電型の基板(1)と、前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)と、前記ドリフト層の上に形成された第2導電型の炭化珪素からなるベース領域(4)と、前記ベース領域の上に形成され、前記ドリフト層よりも高濃度の第1導電型の炭化珪素からなるソース領域(5)と、前記ソース領域および前記ベース領域よりも深く、かつ、前記ドリフト層まで達し、前記ソース領域および前記ベース領域が両側に配置されるように形成されたトレンチ(7)と、

前記トレンチの表面に形成されたゲート絶縁膜(8)と、前記トレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極(9)と、前記ソース領域および前記ベース領域に電気的に接続されたソース電極(10)と、前記基板の裏面側に形成されたドレイン電極(12)と、を有するトレンチゲート構造の前記半導体素子を備え、

前記ゲート絶縁膜は、少なくとも前記トレンチの底部に位置している部分が高誘電率膜によって構成されており、該ゲート絶縁膜は、単位面積当たりの容量をC_{ox}とし、絶縁破壊電圧をV_{b,ox}としてC_{ox} × V_{b,ox}が7.6 × 10⁻⁶ C / cm²以上とされている炭化珪素半導体装置。

【請求項 2】

前記ゲート絶縁膜はアモルファス構造を有している請求項1に記載の炭化珪素半導体装置。

【請求項 3】

トレンチゲート構造の半導体素子を有する炭化珪素半導体装置であって、炭化珪素からなる第1または第2導電型の基板(1)と、前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)と、

前記ドリフト層の上に形成された第2導電型の炭化珪素からなるベース領域(4)と、前記ベース領域の上に形成され、前記ドリフト層よりも高濃度の第1導電型の炭化珪素からなるソース領域(5)と、

前記ソース領域および前記ベース領域よりも深く、かつ、前記ドリフト層まで達し、前記ソース領域および前記ベース領域が両側に配置されるように形成されたトレンチ(7)と、

前記トレンチの表面に形成されたゲート絶縁膜(8)と、前記トレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極(9)と、前記ソース領域および前記ベース領域に電気的に接続されたソース電極(11)と、前記基板の裏面側に形成されたドレイン電極(12)と、を有するトレンチゲート構造の前記半導体素子を備え、

前記ゲート絶縁膜は、少なくとも前記トレンチの底部に位置している部分が高誘電率膜によって構成されており、該高誘電率膜は、ハフニウム、アルミニウム、ランタン、セリウム、ジルコニウム、イットリウム、タンタル、ストロンチウムの少なくとも1種を含む絶縁材料によって構成されている炭化珪素半導体装置。

【請求項 4】

前記高誘電率膜は、ハフニウム、アルミニウム、ランタン、セリウム、ジルコニウム、イットリウム、タンタル、ストロンチウムの少なくとも2種以上を含む絶縁材料によって構成されている請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

【請求項 5】

前記高誘電率膜は、ハフニウムとアルミニウムを含み、ハフニウムの元素含有率が5~

10

20

30

40

50

31%、アルミニウムの元素含有率が3~34%である請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

【請求項6】

前記高誘電率膜は、ハフニウムとランタンを含み、ハフニウムの元素含有率が10~22%、ランタンの元素含有率が14~27%である請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

【請求項7】

前記高誘電率膜は、ハフニウムとアルミニウムおよびランタンを含み、ハフニウムの元素含有率が1~22%、アルミニウムの元素含有率が4~25%、ランタンの元素含有率が2~31%である請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。

10

【請求項8】

前記高誘電率膜は、窒素を含み、窒素の元素含有率が1~30%である請求項3ないし7のいずれか1つに記載の炭化珪素半導体装置。

【請求項9】

前記高誘電率膜は、水素を含み、水素の元素含有率が1~10%である請求項3ないし8のいずれか1つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート構造の半導体素子を有する炭化珪素（以下、SiCという）半導体装置に関するものである。

20

【背景技術】

【0002】

従来より、大電流が流せるようにチャネル密度を高くした構造としてトレンチゲート構造の半導体素子を有するSiC半導体装置がある。このようなトレンチゲート構造の半導体素子を有するSiC半導体装置では、SiCの破壊電界強度が高いことから、トレンチ底部に高電界が加わって絶縁破壊が生じる可能性がある。このため、例えばSiCを用いたトレンチゲート構造のMOSFETでは、ゲート絶縁膜に加わる電界（以下、ゲート電界という）を緩和するために、対向するトレンチゲート間のベース層の下部にp型の電界緩和層を形成し、トレンチ底部への電界の入り込みを緩和することで、絶縁破壊を防止している。

30

【0003】

また、ゲート絶縁膜を誘電率の高いAl₂O₃、AlONで構成することで、ゲート電界を弱め、ゲート信頼性を高めることも行われている。特許文献1では、ゲート絶縁膜をシリコン酸化膜（SiO₂）よりも高誘電率膜で構成しつつ、ゲート絶縁膜のうちトレンチ側壁部に位置している側壁絶縁膜をトレンチ底部に位置している底部絶縁膜よりも高誘電率にするという条件を満たすようにしている。このように、ゲート絶縁膜を誘電率の高い膜で構成することでMOSFETの電流駆動能力も高めることが可能になる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第5638558号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、単にゲート絶縁膜の誘電率を高くしてもゲート絶縁膜が絶縁破壊される破壊電界が低いため、結果的に高耐圧が得られず、SiC半導体装置を構成する素子の信頼性確保が困難という問題がある。

【0006】

また、特許文献1に記載されたMOSFETでは、上記の条件を満たすようにしている

50

が、この条件では、MOSFETのオフ時に高電界が印加されたときに、トレンチ底部においてゲート絶縁膜に印加される電界を十分に緩和できない。このため、高耐圧を得ることができず、SiC半導体装置を構成する半導体素子の信頼性確保が困難である。

【0007】

本発明は上記点に鑑みて、高耐圧かつ信頼性の高いトレンチゲート構造の半導体素子を有するSiC半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、請求項1に記載のトレンチゲート構造の半導体素子を有するSiC半導体装置では、炭化珪素からなる第1または第2導電型の基板(1)と、基板の上に形成され、基板よりも低不純物濃度とされた第1導電型の炭化珪素からなるドリフト層(2)と、ドリフト層の上に形成された第2導電型の炭化珪素からなるベース領域(4)と、ベース領域の上に形成され、ドリフト層よりも高濃度の第1導電型の炭化珪素からなるソース領域(5)と、ソース領域およびベース領域よりも深く、かつ、ドリフト層まで達し、ソース領域およびベース領域が両側に配置されるように形成されたトレンチ(7)と、トレンチの表面に形成されたゲート絶縁膜(8)と、トレンチ内において、ゲート絶縁膜の上に形成されたゲート電極(9)と、ソース領域およびベース領域に電気的に接続されたソース電極(10)と、基板の裏面側に形成されたドレイン電極(12)と、を有するトレンチゲート構造の半導体素子を備えている。このような構成において、ゲート絶縁膜は、少なくともトレンチの底部に位置している部分が高誘電率膜によって構成されており、該ゲート絶縁膜は単位面積辺りの容量をC_{ox}、絶縁破壊電圧をV_{b,ox}としてC_{ox} × V_{b,ox}が7.6 × 10⁻⁶ C / cm²以上とされている。

10

20

20

【0009】

このように、ゲート絶縁膜の少なくとも一部にシリコン酸化膜よりも誘電率の高い材料を用い、C_{ox} × V_{b,ox}が7.6 × 10⁻⁶ C / cm²以上となる関係を満たす材料によって構成している。このような条件を満たす材料の高誘電率膜によってゲート絶縁膜を構成することにより、高耐圧かつ信頼性の高いトレンチゲート構造の縦型MOSFETを有するSiC半導体装置とすることが可能となる。

30

【0010】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

【0011】

【図1】第1実施形態にかかるトレンチゲート構造の縦型MOSFETを有するSiC半導体装置の断面構成を示す図である。

40

【図2】ゲート絶縁膜の構成材料としてハフニウム、アルミニウムおよびランタンを用いつつ各元素含有率(atomic%)を変えてC × V_{b,ox} [× 10⁻⁶ C / cm²] を求めた結果を示す図である。

【図3】第2実施形態にかかるトレンチゲート構造の縦型MOSFETを有するSiC半導体装置の断面構成を示す図である。

【図4】第3実施形態にかかるトレンチゲート構造の縦型MOSFETを有するSiC半導体装置の断面構成を示す図である。

【図5】第4実施形態にかかるトレンチゲート構造の縦型MOSFETを有するSiC半導体装置の断面構成を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第1実施形態)

50

第1実施形態について説明する。本実施形態では、トレンチゲート構造の半導体素子を有するSiC半導体装置として、図1に示す反転型のトレンチゲート構造の縦型MOSFETを有するSiC半導体装置を例に挙げて説明する。なお、図1では、縦型MOSFETの1セル分しか記載していないが、図1に示す縦型MOSFETと同様の構造のものが複数セル隣り合うように配置されている。

【0014】

図1に示すように、SiC半導体装置は、リンもしくは窒素などのn型不純物が高濃度、例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度でドープされたSiC単結晶からなるn⁺型半導体基板1を用いて形成されている。n⁺型半導体基板1の上には、n⁺型半導体基板1よりも低不純物濃度とされ、n型不純物が例えば $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の不純物濃度でドープされた厚さが5~15μm程度のSiCからなるn型ドリフト層2が形成されている。10

【0015】

n型ドリフト層2には部分的に凹された凹部2aが形成されている。凹部2aは、一方向、すなわち図1の紙面垂直方向を長手方向とした直線形状で構成されており、後述するトレンチゲート構造を構成するトレンチ7よりも深い位置まで、かつ、トレンチ7と同方向を長手方向として形成されている。

【0016】

凹部2a内には、凹部2aの長手方向と同方向を長手方向として、ボロンもしくはアルミニウムなどのp型不純物がドープされた電界緩和層3が形成されている。電界緩和層3は、トレンチ7の底部への電界の入り込みを抑制することでゲート電界を緩和するものであり、例えば $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度とされ、トレンチ7の底部よりも深い位置まで形成されている。20

【0017】

また、n型ドリフト層2および電界緩和層3の表面上に、p型ベース領域4が形成されている。p型ベース領域4は、縦型MOSFETのチャネルを構成する層であり、後述するトレンチゲート構造を構成するトレンチ7の両側において、トレンチ7の側面に接するように形成されている。

【0018】

p型ベース領域4の表層部のうち電界緩和層3と対応する位置よりもトレンチゲート構造側には、トレンチゲート構造に接するように、n型ドリフト層2よりもn型不純物が高濃度にドープされたn⁺型ソース領域5が形成されている。本実施形態の場合、例えばn⁺型ソース領域5を不純物濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 程度、厚さが0.3μm程度で形成している。また、p型ベース領域4の表層部のうち電界緩和層3と対応する位置、つまりn⁺型ソース領域5を挟んでトレンチゲート構造の反対側には、p型不純物が高濃度にドープされたp⁺型コンタクト領域6が形成されている。本実施形態の場合、例えばp⁺型コンタクト領域6を不純物濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 程度、厚さが0.3μm程度で形成している。30

【0019】

さらに、図1の断面において、隣り合って配置された電界緩和層3の中央位置に、p型ベース領域4およびn⁺型ソース領域5を貫通してn型ドリフト層2に達し、かつ、電界緩和層3の底部よりも浅くされたトレンチ7が形成されている。このトレンチ7の側面と接するようにp型ベース領域4およびn⁺型ソース領域5が配置されている。トレンチ7の内壁面は高誘電率膜などによって構成されたゲート絶縁膜8で覆われている。そして、ゲート絶縁膜8の表面に形成されたドープトPolycrystalline Silicon (Polycrystalline Si)にて構成されたゲート電極9により、トレンチ7内が埋め尽くされている。このように、トレンチ7内にゲート絶縁膜8およびゲート電極9を備えた構造により、トレンチゲート構造が構成されている。40

【0020】

本実施形態では、ゲート絶縁膜8を多層構造によって構成しており、ここではゲート絶縁膜8を第1層8aと第2層8bの2層構造としている。具体的には、ゲート絶縁膜8の50

うちの第1層8aと第2層8bの両方共にトレンチ7の底部および側壁部に形成されるようにしており、第2層8bが第1層8aの表面に形成される構造としている。そして、第1層8aについてはシリコン酸化膜によって構成し、第2層8bを第1実施形態で説明した高誘電率膜によって構成している。このように、ゲート絶縁膜8を多層構造としつつ、トレンチ7の底部、つまりゲート電極9のうちの少なくとも底部が覆われるように高誘電率膜で構成される第2層8bが備えられるようにしている。

【0021】

なお、ゲート絶縁膜8のうちの第2層8bの詳細構成については後述する。また、図1では示されていないが、トレンチゲート構造は、例えば紙面垂直方向を長手方向とした短冊状とされており、複数本のトレンチゲート構造が紙面左右方向に等間隔にストライプ状に並べられることで複数セルが備えられた構造とされている。

10

【0022】

また、n⁺型ソース領域5およびp⁺型コンタクト領域6の表面には、ソース電極10が形成されている。ソース電極10は、複数の金属（例えばニッケル（Ni）やアルミニウム（Al）等）にて構成されている。具体的には、n⁺型ソース領域5に接続される部分はn型SiCとオーミック接触可能な金属で構成され、p⁺型コンタクト領域6を介してp型ベース領域4に接続される部分はp型SiCとオーミック接触可能な金属で構成されている。なお、ソース電極10は、層間絶縁膜11を介して、ゲート電極9に電気的に接続される図示しないゲート配線と電気的に分離されている。そして、層間絶縁膜11に形成されたコンタクトホールを通じて、ソース電極10はn⁺型ソース領域5およびp⁺型コンタクト領域6と電気的に接触させられている。

20

【0023】

さらに、n⁺型半導体基板1の裏面側にはn⁺型半導体基板1と電気的に接続されたドレイン電極12が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造の縦型MOSFETが構成されている。

【0024】

このように構成される反転型のトレンチゲート構造の縦型MOSFETにおいて、上記したようにゲート絶縁膜8のうち高誘電率膜で構成される第2層8bが第1層8a上におけるトレンチ7の底部から側壁部に至るすべての領域に形成されるようにしている。さらに、本実施形態の場合、アモルファス構造を有するアモルファス膜によって第2層8bを構成している。そして、第2層8bをシリコン酸化膜（SiO₂）よりも誘電率の高い材料で構成しており、該ゲート絶縁膜8は単位面積当たりの容量をC_{ox}、絶縁破壊電圧をV_{b,ox}として、C_{ox} × V_{b,ox}が7.6 × 10⁻⁶ C / cm²以上となる関係を満たす材料によって構成している。このような条件を満たす材料でゲート絶縁膜8を構成することにより、高耐圧かつ信頼性の高いトレンチゲート構造の縦型MOSFETを有するSiC半導体装置としている。以下、この効果が得られる理由について説明する。

30

【0025】

MOS構造の素子のゲート絶縁膜が破壊するとき、ゲート絶縁膜には絶縁破壊電圧V_{b,ox}以上の電界が印加される。ゲート絶縁膜が一般的に用いられるシリコン酸化膜のみによって構成される場合、絶縁破壊電界は約11MV/cmとなる。このため、例えば、素子のオフ時にドレイン電極に1200Vが印加されると想定した場合、素子のゲート絶縁膜が破壊するとき、破壊箇所のシリコン酸化膜には11MV/cm以上の電界が印加されることになる。

40

【0026】

この時、ゲート絶縁膜の容量をC_{ox}、絶縁破壊電圧をV_{b,ox}とすると、C_{ox} × V_{b,ox} [C/cm²]は絶縁膜が破壊するときに耐えうる電荷量を表しており、この値が大きいほど絶縁膜が壊れにくいと言える。例えばシリコン酸化膜の場合、ゲート絶縁膜の厚さが50nmとすると、絶縁破壊電圧は50nm × 11MV/cmで60Vとなる。このとき、C_{ox} × V_{b,ox}は3.8 × 10⁻⁶ C / cm²程度の値となる。

【0027】

50

容量が大きいほど電流駆動能力が高く、絶縁破壊電圧が大きいほど絶縁膜が壊れにくいため、 $C_{ox} \times V_{b,ox}$ が大きいほどゲート絶縁膜としてより望ましい特性を有していると言えるが、単位面積当たりの容量、絶縁破壊電圧は材料物性で決まるため、シリコン酸化膜を用いてこの値を大きくすることは困難である。

【0028】

一方、ゲート絶縁膜8の一部、もしくは全部に高誘電率膜を使用し、容量はシリコン酸化膜の場合と同じで $C \times V_{b,ox}$ を2倍の値にした場合、ゲート絶縁膜8が破壊するまでに印加できる電圧を2倍にすることができ、同じドレイン電圧が印加された時の余裕度を大幅に上げることができる。

【0029】

なお、本実施形態では、ゲート絶縁膜8のうちの第2層8bをトレンチ7の底部から側壁部に至るすべての領域で同じ組成の高誘電率膜としているが、特に電界の集中するトレンチ7の底部における角部と接する部分を高誘電率膜にすれば良い。このようにすれば、高耐圧の素子にできるため、より絶縁破壊に対するゲート絶縁膜8の信頼性を高めることができるとなるし、仮に電界緩和層3を無くしたとしても、オフ時の絶縁膜破壊を抑制でき、信頼性の高い素子を実現することができる。

【0030】

このような第2層8bを構成する高誘電率膜としては、例えばハフニウム(Hf)、アルミニウム(Al)、ランタン(La)、セリウム(Ce)、ジルコニウム(Zr)、イットリウム(Y)、タンタル(Ta)、ストロンチウム(Sr)等のうちの1種もしくは2種以上を含む絶縁材料が挙げられる。例えば、ハフニウムを含む絶縁材料である酸化ハフニウム(HfO_2)、アルミニウムを含む絶縁材料である酸化アルミニウム(Al_2O_3)、ランタンを含む絶縁材料である酸化ランタン(La_2O_3)などの高誘電率膜を第2層8bとして適用できる。また、ハフニウムとアルミニウムもしくはランタンのいずれか複数を含む $HfAlO$ 、 $HfLaO$ 、 $AlLaO$ 、 $HfAlLaO$ などの高誘電率膜を第2層8bとして適用できる。さらに、ハフニウム、アルミニウムおよびランタンに加えて上記した各金属材料のいずれか複数が含まれる高誘電率膜についても第2層8bとして適用できる。

【0031】

例えば、第2層8bの構成材料としてハフニウム、アルミニウムおよびランタンを用いて実験を行い、各構成材料の元素含有率(atomic%)を変えて $C_{ox} \times V_{b,ox}$ [C / cm²]を求めた。図2は、その実験結果を示している。なお、この実験については、シリコン酸化膜上に成膜した酸化ハフニウム、酸化アルミニウムおよび酸化ランタンを構成材料として、各構成材料の含有率を変えて行っている。図2が示す三角形の各頂点は、それぞれ各構成材料の含有率を100%とした場合を表しており、各頂点から1升ずれる毎に10%ずつ構成材料の含有率が増減することを示している。具体的には、三角形の上頂点を酸化ランタン100%、左下頂点を酸化ハフニウム100%、右下頂点を酸化アルミニウム100%としており、例えば左下頂点から右側に1升ずれると、酸化ハフニウム90%と酸化アルミニウム10%の含有率になることを示している。なお、ここでいう構成材料の含有率は、以下のように表される。

【0032】

第2層8bを例えば酸化アルミニウムと酸化ハフニウムとを混在させた合成膜によって構成する場合、酸化アルミニウムにおいて含有率がx、酸化ハフニウムの含有率がyであると、酸化アルミニウムと酸化ハフニウムとの合成膜は、次の化学式で表される。ただし、x、yについては、不純物を無視して、 $x + y = 1$ が成り立つものとする。

【0033】

(化1)

$(Al_2O_3) \times (HfO_2) y$

図2に示されるように、酸化ハフニウムや酸化アルミニウムについても他の構成材料と共に含ませることで $C_{ox} \times V_{b,ox} > 7.6 \times 10^{-6} C / cm^2$ を満たすことができる。特に

10

20

30

40

50

、酸化アルミニウムと酸化ハフニウムとを含ませた合成膜については $Cox \times Vb, ox$ の値が大きくなつた。

【0034】

具体的には、図2中の領域(1)に示すように、酸化アルミニウムの含有率が0.05~0.75、酸化ハフニウムの含有率が0.25~0.95の場合に、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。この場合、化学式は $(Al_2O_3)_{0.05 \sim 0.75} (HfO_2)_{0.25 \sim 0.95}$ で表される。特に、酸化アルミニウムの含有率が0.3、酸化ハフニウムの含有率が0.7の場合においては $Cox \times Vb, ox$ が $9.7 \times 10^{-6} C / cm^2$ という高い数値が得られた。

【0035】

図2中の領域(2)に示すように、酸化ハフニウムの含有率が0.45~0.75、酸化ランタンの含有率が0.25~0.55の場合においては、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。

【0036】

図2中の領域(3)に示すように、酸化アルミニウムの含有率が0.1、酸化ハフニウムの含有率が0.25~0.75、酸化ランタンの含有率が0.15~0.65の場合においては、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。この場合、化学式は $(Al_2O_3)_{0.1} (HfO_2)_{0.25 \sim 0.75} (La_2O_3)_{0.15 \sim 0.65}$ で表される。

【0037】

図2中の領域(4)に示すように、酸化アルミニウムの含有率が0.2、酸化ハフニウムの含有率が0.05~0.75、酸化ランタンの含有率が0.05~0.75の場合においても、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。この場合、化学式は $(Al_2O_3)_{0.2} (HfO_2)_{0.05 \sim 0.75} (La_2O_3)_{0.05 \sim 0.75}$ で表される。

【0038】

図2中の領域(5)に示すように、酸化アルミニウムの含有率が0.3、酸化ハフニウムの含有率が0.35~0.55、酸化ランタンの含有率が0.15~0.35の場合においても、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。この場合、化学式は $(Al_2O_3)_{0.3} (HfO_2)_{0.35 \sim 0.55} (La_2O_3)_{0.15 \sim 0.35}$ で表される。

【0039】

図2中の領域(6)に示すように、酸化アルミニウムの含有率が0.4、酸化ハフニウムの含有率が0.35~0.55、酸化ランタンの含有率が0.05~0.25の場合においても、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。この場合、化学式は $(Al_2O_3)_{0.4} (HfO_2)_{0.35 \sim 0.55} (La_2O_3)_{0.05 \sim 0.25}$ で表される。

【0040】

図2中の領域(7)に示すように、酸化アルミニウムの含有率が0.5、酸化ハフニウムの含有率が0.35~0.45、酸化ランタンの含有率が0.05~0.15の場合においても、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たしていた。この場合、化学式は $(Al_2O_3)_{0.5} (HfO_2)_{0.35 \sim 0.45} (La_2O_3)_{0.05 \sim 0.15}$ で表される。

【0041】

このように、図2中の各領域(1)~(7)で示した構成材料の含有率において、 $Cox \times Vb, ox > 7.6 \times 10^{-6} C / cm^2$ を満たすことができる。したがって、酸化ハフニウム、酸化アルミニウムおよび酸化ランタンを構成材料のいずれか2つ以上を構成材料として第2層8bを構成した場合には、少なくとも領域(1)~(7)に示した含有率となる場合において、縦型MOSFETの高耐圧化を実現できる。

【0042】

また、上記では、酸化ハフニウム、酸化アルミニウムおよび酸化ランタンを構成材料として第2層8bを構成した場合における酸化ハフニウム、酸化アルミニウムおよび酸化ランタンの含有率を示した。これをハフニウム、アルミニウムおよびランタンの元素含有率で示すと、以下のようになる。なお、ここでいう元素含有率は、以下のようにして求められる。

10

20

30

40

50

【0043】

例えば、第2層8bを酸化ハフニウムと酸化アルミニウムとの合成膜によって構成した場合には、上記したように、酸化ハフニウムにおいて含有率がx、酸化アルミニウムの含有率がyであると、酸化ハフニウムと酸化アルミニウムとの合成膜は、上記した化学式1で表される。

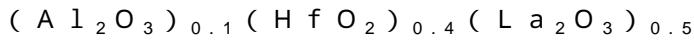
【0044】

このような化学式で表される合成膜において、ハフニウムの元素含有率は $1 \times x$ 、アルミニウムの元素含有率は $2 \times y$ 、酸素の元素含有率は $2 \times x + 3 \times y$ となる。例えば、図2中の(3)で示した酸化アルミニウムの含有率が0.1、酸化ハフニウムの含有率が0.4、酸化ランタンの含有率が0.5の場合には、化学式が次式となる。

10

【0045】

(化2)



この場合には、アルミニウムは 2×0.1 、ハフニウムの元素含有率は 1×0.4 、ランタンの元素含有率は 2×0.5 、酸素の元素含有率は $3 \times 0.1 + 2 \times 0.4 + 3 \times 0.5$ となる。これを計算すると、アルミニウムの元素含有率は4.8%、ハフニウムの元素含有率は9.5%、ランタンの元素含有率は23.8%、酸素の元素含有率は61.9%となる。このような元素含有率の計算手法に基づいて、上記した各元素含有率を導出している。なお、ここでは理解を容易にするために酸素についても元素含有率を計算したが、下記の各領域(1)～(7)についての元素含有率では酸素の元素含有率を省略している。

20

【0046】

領域(1)の場合、つまり第2層8bをハフニウムとアルミニウムを含む高誘電率膜によって構成する場合、元素含有率がハフニウムについては5～31%、アルミニウムについては3～34%となる。

【0047】

領域(2)の場合、つまり第2層8bをハフニウムとランタンを含む高誘電率膜によって構成する場合、元素含有率がハフニウムについては10～22%、ランタンについては14～27%となる。

30

【0048】

領域(3)～(7)の場合、つまり第2層8bをハフニウム、アルミニウムおよびランタンを含む高誘電率膜によって構成する場合、元素含有率がハフニウムについては1～22%、アルミニウムについては4～25%、ランタンについては2～31%となる。

【0049】

このように、図2中の各領域(1)～(7)における各元素含有率については上記の通りとなり、このような元素含有率となる場合において、 $C_{ox} \times V_{b,ox} > 7.6 \times 10^{-6} C / cm^2$ を満たすことができて、縦型MOSFETの高耐圧化を図ることが可能となる。

【0050】

なお、酸化ランタンが水分を吸収し易く、安定した素子特性が得られないため、ランタンの含有量についてはできるだけ少ない方が良い。

40

【0051】

さらに、上記の材料に加えて、第2層8bの構成材料として窒素(N)や水素(H)を含ませることもできる。第2層8bの構成材料に窒素を加える場合、窒素の元素含有率を1～30%とする。このように窒素を加えることで、第2層8bの結晶化温度を高くでき、プロセス中に適用可能な温度を高くできるため、よりプロセス自由度を高めることが可能となる。また、第2層8b中に形成される酸素空孔などの欠陥に窒素元素が入り込んで欠陥修復を行うことが可能になる。第2層8bの構成材料に水素を加える場合、水素の元素含有率を1～10%とする。このように水素を加えることで、トレンチ界面での欠陥が水素によって修復され、ストレスを与えたときに発生する欠陥に起因する縦型MOSFETの閾値電圧の変動を抑制できるため、縦型MOSFETの電気特定の安定性を高めるこ

50

とが可能となる。窒素と水素はいずれか一方のみを第2層8bに含有させても良いし、両方とも含有させても良い。

【0052】

以上説明したように、本実施形態にかかる縦型MOSFETを有するSiC半導体装置では、ゲート絶縁膜8のうちの第2層8bをトレンチ7の底部から側壁部に至るすべての領域を高誘電率膜によって構成している。そして、シリコン酸化膜(SiO₂)よりも誘電率の高い材料であって、ゲート絶縁膜8を $C_{ox} \times V_{b,ox} > 7.6 \times 10^{-6} \text{ C/cm}^2$ 以上となる関係を満たす材料によって構成している。このような条件を満たす材料によってゲート絶縁膜8を構成することにより、高耐圧かつ信頼性の高いトレンチゲート構造の縦型MOSFETを有するSiC半導体装置とすることが可能となる。

10

【0053】

なお、本実施形態にかかる縦型MOSFETを有するSiC半導体装置の製造方法は、基本的には従来の製造方法と同様であり、ゲート絶縁膜8を形成する際の構成材料を従来に対して変更したり、形成方法を変更するだけでよい。例えば、ゲート絶縁膜8については、第1層8aおよび第2層8b共に、CVD(chemical vapor deposition)法、ALD(atomic layer deposition)法などによって形成することができる。第1層8aについては、熱酸化法や堆積法によって形成しても良い。また、上記したように、第2層8b中に窒素や水素を含有する場合には、第2層8bの形成時の雰囲気を窒素雰囲気もしくは水素雰囲気としたり、窒素や水素を含まない状態の第2層8bの形成後に窒素雰囲気や水素雰囲気中で加熱処理を行えば良い。

20

【0054】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対してゲート絶縁膜8の構造を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0055】

図3に示すように、本実施形態では、ゲート絶縁膜8を単層構造によって構成しており、ゲート絶縁膜8がトレンチ7の底部および側壁部に形成されるようにしている。そして、ゲート絶縁膜8の全体を第1実施形態で説明した第2層8bを構成する高誘電率膜によって構成している。本実施形態のゲート絶縁膜8として用いられる高誘電率膜の材料については第1実施形態で説明した第2層8bの構成材料と同様である。

30

【0056】

このように、ゲート絶縁膜8を単層構造とする場合においても、トレンチ7の底部、つまりゲート電極9のうちの少なくとも底部が覆われるように高誘電率膜で構成される第2層8bが備えられているため、第1実施形態と同様の効果を得ることができる。

【0057】

なお、このような構造の縦型MOSFETを有するSiC半導体装置の製造方法も、基本的には従来と同様であり、ゲート絶縁膜8の形成工程が異なるだけである。具体的には、ゲート絶縁膜8を第1実施形態で説明した高誘電率膜で構成される第2層8bの形成方法を用いて製造すれば良い。本実施形態のような構造とする場合、トレンチ7の底部および側壁部の表面全域にゲート絶縁膜8を1種類の膜で構成すれば良いため、容易にゲート絶縁膜8を形成できる。

40

【0058】

(第3実施形態)

第3実施形態について説明する。本実施形態は、第1実施形態に対してゲート絶縁膜8の構造を変更したものであり、その他については第1実施形態と同様であるため、第2実施形態と異なる部分についてのみ説明する。

【0059】

図4に示すように、本実施形態では、第1層8aをトレンチ7の側壁部のみに形成しており、底部には形成していない。そして、第2層8aがトレンチ7の底部においてn型ド

50

リフト層 2 に接している。

【0060】

このような構造とする場合においても、トレンチ 7 の底部、つまりゲート電極 9 のうちの少なくとも底部が覆われるように高誘電率膜で構成される第 2 層 8b が備えられているため、第 1 実施形態と同様の効果を得ることができる。また、トレンチ 7 の側壁部のみに第 1 層 8a を形成することでゲート容量を小さくすることが可能となり、縦型 MOSFET のスイッチング損失を低減することが可能となる。

【0061】

なお、このような構造の縦型 MOSFET を有する SiC 半導体装置の製造方法は、基本的には第 1 実施形態と同様である。ただし、ゲート絶縁膜 8 の形成工程として、第 1 層 8a を形成した後に、異方性エッチングなどによって第 1 層 8a のうちトレンチ 7 の底部の部分を除去してから第 2 層 8b を形成するという工程を行うことになる。

10

【0062】

(第 4 実施形態)

第 4 実施形態について説明する。本実施形態も、第 1 実施形態に対してゲート絶縁膜 8 の構造を変更したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

【0063】

図 5 に示すように、本実施形態では、第 1 層 8a をトレンチ 7 の底部のみに形成しており、側壁部に形成していない。そして、第 2 層 8a がトレンチ 7 の側壁部において n 型ドリフト層 2 や p 型ベース領域 4 に接している。

20

【0064】

このような構造とする場合においても、トレンチ 7 の底部、つまりゲート電極 9 のうちの少なくとも底部が覆われるように高誘電率膜で構成される第 2 層 8b が備えられているため、第 1 実施形態と同様の効果を得ることができる。また、トレンチ 7 の底部のみに第 1 層 8a を形成することでゲート容量を小さくすることが可能となり、縦型 MOSFET のスイッチング損失を低減することが可能となる。

【0065】

なお、このような構造の縦型 MOSFET を有する SiC 半導体装置の製造方法は、基本的には第 1 実施形態と同様である。ただし、ゲート絶縁膜 8 の形成工程として、第 1 層 8a を形成した後に、エッチバックによって第 1 層 8a をトレンチ 7 の底部の部分にのみ残るようにしてから第 2 層 8b を形成するという工程を行うことになる。

30

【0066】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0067】

例えば、上記実施形態では、ゲート絶縁膜 8 の構造について幾つかの例を挙げて説明した。しかしながら、これらも一例を示したにすぎず、ゲート絶縁膜 8 のうちのトレンチ 7 の底部に位置している部分、換言すればゲート電極 9 のうち少なくともトレンチ 7 の底部に位置している部分と対応する部分が高誘電率膜で構成されていれば良い。

40

【0068】

また、ゲート絶縁膜 8 を構成する高誘電率膜を構成するハフニウム、アルミニウム、ランタン、セリウム、ジルコニウム、イットリウム、タンタル、ストロンチウム等の少なくとも 1 種を含む絶縁材料として酸化膜を例に挙げたが、酸窒化膜であっても良い。

【0069】

また、ゲート絶縁膜 8 については、アモルファス構造となるアモルファス膜によって構成することができるが、結晶構造を有する結晶膜によって構成することもできる。アモルファス構造の場合、結晶粒界が無いことから、リーク電流を抑制することが可能となる。結晶膜の場合、例えばジルコニウムやイットニウムなどをドープすると結晶性が変わって

50

比誘電率をより高くできるという効果が得られる。

【 0 0 7 0 】

また、上記各実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプのMOSFETに対しても本発明を適用することができる。さらに、上記説明では、トレンチゲート構造のMOSFETを例に挙げて説明したが、同様のトレンチゲート構造のIGBTに対しても本発明を適用することができる。IGBTは、上記各実施形態に対してn⁺型基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

【 符号の説明 】

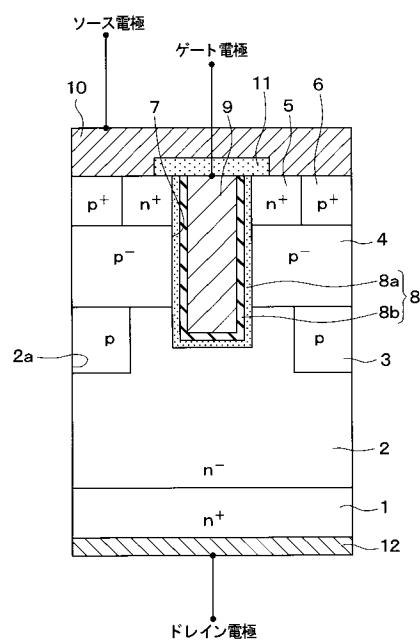
【 0 0 7 1 】

- 1 n⁺型半導体基板
 2 n型ドリフト層
 4 p型ベース領域
 5 n⁺型ソース領域
 7 トレンチ
 8 ゲート絶縁膜
 8 a 第1層
 8 b 第2層
 9 ゲート電極
 10 ソース電極
 12 ドレイン電極

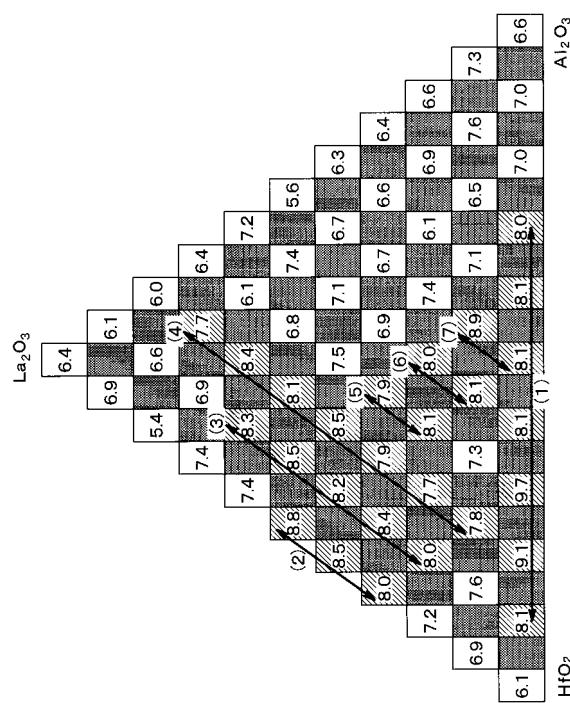
10

20

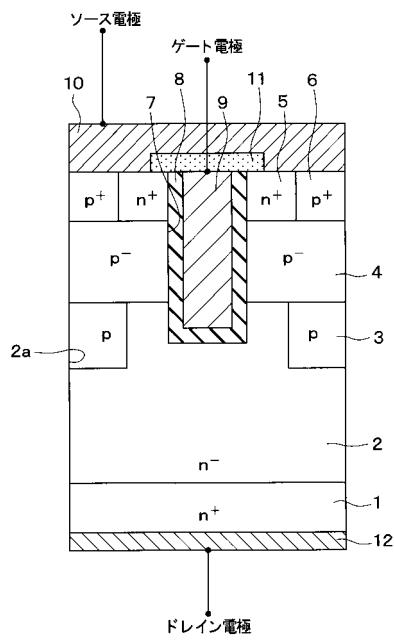
〔 1 〕



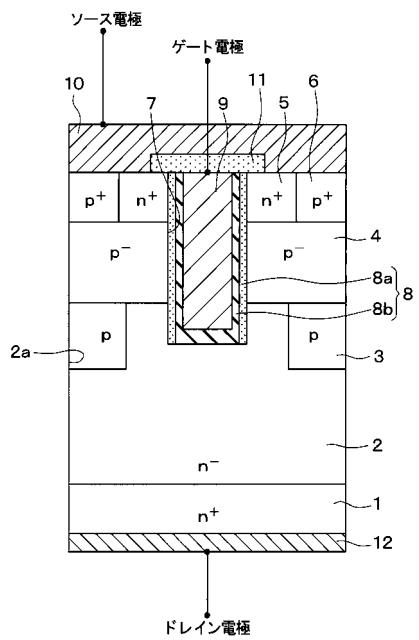
【図2】



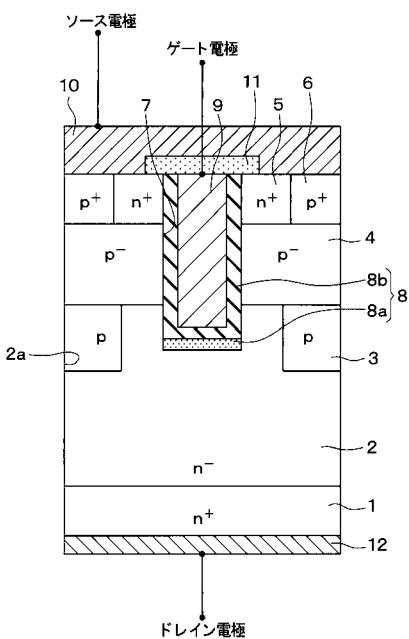
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 三村 智博
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内