

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 4 月 6 日 (06.04.2017)



(10) 国际公布号
WO 2017/054250 A1

- (51) 国际专利分类号:
G02F 1/1343 (2006.01)
- (21) 国际申请号: PCT/CN2015/091440
- (22) 国际申请日: 2015 年 10 月 8 日 (08.10.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510629393.7 2015 年 9 月 28 日 (28.09.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 葛世民 (GE, Shimin); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: TFT ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种 TFT 阵列基板及其制作方法

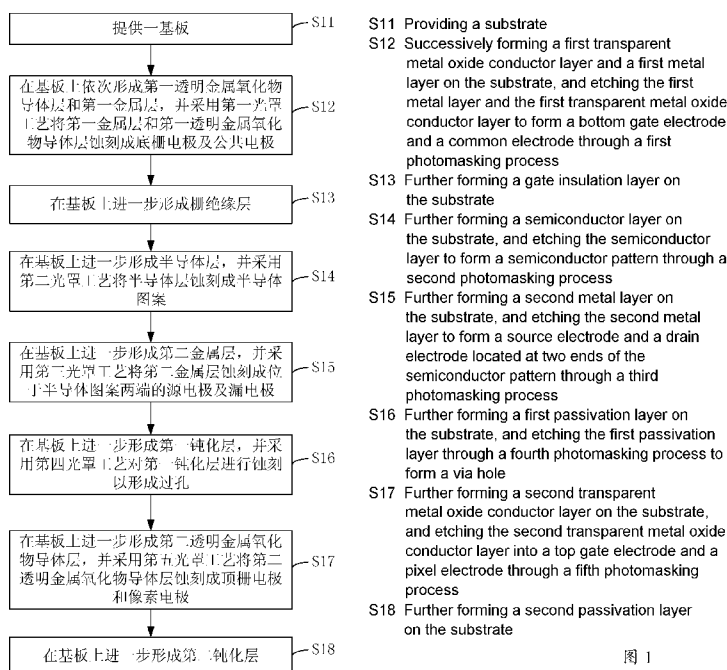


图 1

(57) Abstract: A TFT array substrate and a manufacturing method therefor. In the TFT array substrate, a bottom gate electrode (12) and a common electrode (11) are formed on the substrate (100) through the same photomasking process, wherein the bottom gate electrode (12) is a laminated structure of a metal layer (120) and a metal oxide conductor layer (110), and the common electrode (11) is a single-layer structure of the metal oxide conductor layer (110), so that the number of times of photomasking can be reduced, the production efficiency can be improved, and the production cost can be reduced.

(57) 摘要: 一种 TFT 阵列基板及其制作方法, TFT 阵列基板通过同一道光罩工艺在基板 (100) 上形成底栅电极 (12) 及公共电极 (11), 其中底栅电极 (12) 为金属层 (120) 与金属氧化物导体层 (110) 的叠层结构, 公共电极 (11) 为金属氧化物导体层 (110) 的单层结构, 从而能够减少光罩次数, 提高生产效率和降低生产成本。

WO 2017/054250 A1

说明书

发明名称：一种TFT阵列基板及其制作方法

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，特别是涉及一种TFT阵列基板及其制作方法。

[3] **【背景技术】**

[4] 有源矩阵驱动的LCD显示技术利用了液晶的双极性偏振特点，通过施加电场控制液晶分子的排列方向，实现对背光源光路行进方向的开关作用。根据对液晶分子施加电场方向的不同，可以将LCD显示模式分为TN，VA及IPS系列模式。VA系列模式指对液晶分子施加纵向电场，而IPS系列模式指对液晶分子施加横向电场。而在IPS系列模式中，对于施加横向电场的不同，又可分为IPS模式和FFS模式等。其中FFS显示模式的每一个像素单元含有上下两层电极，即像素电极和公共电极，且下层的公共电极采用开口区整面平铺的方式。FFS显示模式具有高透过率，广视角以及较低的色偏等优点，是一种广泛应用的LCD显示技术。

[5] 在有源阵列显示装置中，常采用的是Single-gate TFT（单栅极薄膜晶体管），但是Dual gate TFT（双栅极晶体管）与Single-gate TFT（单栅极薄膜晶体管）相比，不仅具有较高的迁移率，较大的开态电流，更小的亚阈值摆幅，阈值电压（ V_{th} ）稳定性和均匀性好等优点，还具有更好的栅极偏压稳定性。然而，传统的FFS显示模式的Dual-Gate TFT阵列基板制造方法需要更多的光罩次数，增加了工艺的复杂性以及生产成本。

[6] **【发明内容】**

[7] 有鉴于此，本发明提供一种TFT阵列基板及其制作方法，能够减少光罩次数，提高生产效率和降低生产成本。

[8] 为解决上述问题，本发明提供一种TFT阵列基板的制作方法，包括：

[9] 提供一基板；

[10] 在基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将第一金属层和第一透明金属氧化物导体层蚀刻成底栅电极及公共电极，

其中底栅电极为第一金属层和第一透明金属氧化物导体层的叠层结构，公共电极为第一透明金属氧化物导体层的单层结构，其中，第一光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种；

[11] 在基板上进一步形成栅绝缘层；

[12] 在基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将半导体层和第二金属层蚀刻成半导体图案以及位于半导体图案两端的源电极和漏电极，其中半导体图案位于底栅电极上方；

[13] 在基板上进一步形成第一钝化层，并采用第三光罩工艺对第一钝化层进行蚀刻以形成过孔；

[14] 在基板上进一步形成第二透明金属氧化物导体层，并采用第四光罩工艺将第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极，其中，顶栅电极位于半导体图案的上方，像素电极与公共电极至少部分重叠设置且通过过孔与源电极及漏电极中的一者电连接。

[15] 其中，在基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将半导体层和第二金属层蚀刻成半导体图案以及位于半导体图案两端的源电极和漏电极的步骤包括：

[16] 在基板上进一步形成本征半导体层、掺杂半导体层以及第二金属层，并通过采用第二光罩工艺将本征半导体层蚀刻成本征半导体图案，将掺杂半导体层蚀刻成位于本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案，并将第二金属层蚀刻成分别位于第一掺杂半导体图案和第二掺杂半导体图案上方的漏电极和源电极。

[17] 其中，第二光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。

[18] 本发明还提供一种TFT阵列基板的制作方法，包括：提供一基板，在基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将第一金属层和第一透明金属氧化物导体层蚀刻成底栅电极及公共电极，其中底栅电极为第一金属层和第一透明金属氧化物导体层的叠层结构，公共电极为第一透明金属氧化物导体层的单层结构。

[19] 其中，第一光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。

- [20] 其中，制作方法还包括：在基板上进一步形成栅绝缘层；在基板上进一步形成半导体层，并采用第二光罩工艺将半导体层蚀刻成半导体图案，其中半导体图案位于底栅电极上方；在基板上进一步形成第二金属层，并采用第三光罩工艺将第二金属层蚀刻成位于半导体图案两端的源电极及漏电极；在基板上进一步形成第一钝化层，并采用第四光罩工艺对第一钝化层进行蚀刻以形成过孔；在基板上进一步形成第二透明金属氧化物导体层，并采用第五光罩工艺将第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极，其中，顶栅电极位于半导体图案的上方，像素电极与公共电极至少部分重叠设置且通过过孔与源电极及漏电极中的一者电连接。
- [21] 其中，在基板上进一步形成半导体层，并采用第二光罩工艺将半导体层蚀刻成半导体图案的步骤与在基板上进一步形成第二金属层，并采用第三光罩工艺将第二金属层蚀刻成位于半导体图案两端的源电极及漏电极的步骤之间，制作方法还包括：在基板上进一步形成刻蚀阻挡层，并采用第六光罩工艺对刻蚀阻挡层进行蚀刻以形成位于半导体图案两端的刻蚀阻挡层过孔。
- [22] 其中，制作方法还包括：在基板上进一步形成栅绝缘层；在基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将半导体层和第二金属层蚀刻成半导体图案以及位于半导体图案两端的源电极和漏电极，其中半导体图案位于底栅电极上方；在基板上进一步形成第一钝化层，并采用第三光罩工艺对第一钝化层进行蚀刻以形成过孔；在基板上进一步形成第二透明金属氧化物导体层，并采用第四光罩工艺将第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极，其中，顶栅电极位于半导体图案的上方，像素电极与公共电极至少部分重叠设置且通过过孔与源电极及漏电极中的一者电连接。
- [23] 其中，在基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将半导体层和第二金属层蚀刻成半导体图案以及位于半导体图案两端的源电极和漏电极的步骤包括：在基板上进一步形成本征半导体层、掺杂半导体层以及第二金属层，并通过采用第二光罩工艺将本征半导体层蚀刻成本征半导体图案，将掺杂半导体层蚀刻成位于本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案，并将第二金属层蚀刻成分别位于第一掺杂半导体图案和第二

掺杂半导体图案上方的漏电极和源电极。

[24] 其中，第二光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。

[25] 为解决上述问题，本发明还提供一种阵列基板，包括：基板；形成在基板上的底栅电极和公共电极，其中底栅电极和公共电极由同道光罩工艺形成，且底栅电极为第一金属层和第一透明金属氧化物导体层的叠层结构，公共电极为第一透明金属氧化物导体层的单层结构。

[26] 其中，基板进一步包括位于底栅电极上方的半导体图案以及位于半导体图案两端的源电极和漏电极，其中半导体图案与源电极和漏电极由另一道光罩工艺形成。

[27] 其中，半导体图案包括：本征半导体图案以及位于本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案，漏电极和源电极分别位于第一掺杂半导体图案和第二掺杂半导体图案上方。

[28] 通过上述方案，本发明的有益效果是：区别于现有技术，本发明的TFT阵列基板的底栅电极为金属层与金属氧化物导体层的叠层结构，公共电极为金属氧化物导体层的单层结构，并且底栅电极及公共电极是通过同道光罩工艺在基板上形成，因此，本发明的TFT阵列基板的制造可减少光罩的次数，提高生产效率和降低生产成本。

[29] **【附图说明】**

[30] 图1是本发明TFT阵列基板的制作方法的第一实施方式的流程示意图；

[31] 图2A至图2F是图1中TFT阵列基板的第一实施方式中制作底栅电极和公共电极的工艺流程图；

[32] 图3是图1中TFT阵列基板的第一实施方式中第一光罩的透光原理示意图；

[33] 图4是图1中TFT阵列基板的第二光罩工艺形成半导体图案的工艺示意图；

[34] 图5是图1中TFT阵列基板的第三光罩工艺形成源电极及漏电极的工艺示意图；

[35] 图6是图1中TFT阵列基板的第四光罩工艺形成过孔的工艺示意图；

[36] 图7是由图1中TFT阵列基板的制作方法的第一实施方式制得的TFT阵列基板的结构示意图；

[37] 图8是本发明TFT阵列基板的制作方法的第二实施方式的流程示意图；

[38] 图9是由图8中TFT阵列基板的制作方法的第二实施方式制得的TFT阵列基板的结构示意图；

[39] 图10是本发明TFT阵列基板的制作方法的第三实施方式的流程示意图；

[40] 图11A至图11D是图10中TFT阵列基板的制作方法的第三实施方式中制作半导体图案、源电极和漏电极的工艺示意图；

[41] 图12是由图10中TFT阵列基板的制作方法的第三实施方式制得的TFT阵列基板的结构示意图。

[42] **【具体实施方式】**

[43] 为了使本发明所要解决的技术问题、技术方案及有益效果更加清楚、明白，以下结合附图和实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

[44] 请参看图1，图1是本发明TFT阵列基板的制作方法的第一实施方式的流程示意图，如图1所示，本实施方式的TFT阵列基板的制作方法包括：

[45] S11：提供一基板。

[46] S12：在基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将第一金属层和第一透明金属氧化物导体层蚀刻成底栅电极及公共电极。

[47] 其中，基板作为衬底基板，其可以为玻璃基板、塑料基板或其他合适材质的基板。在本实施方式中，基板优选为具有透光的特性的玻璃基板。

[48] 请一并参看图2A至图2F，图2A至图2F是图1中TFT阵列基板的第一实施方式中制作底栅电极和公共电极的工艺流程图。如图2A所示，采用物理气相沉积法（简称PVD）在基板100上先后形成第一透明金属氧化物导体层110及第一金属层120，第一金属层120覆盖在第一透明金属氧化物导体层110上方。其中，第一金属氧化物导体层110的材料包括但不限于为ITO（英文为：Indium tin oxide，中文为：氧化铟锡），ITO是一种具有良好的导电性和透明性的金属氧化物。第一金属层120的材料包括但不限于为铬、铝、钛或其他金属材料。

[49] 如图2B所示，采用第一光罩10对具有第一金属层120和第一透明金属氧化物导体层110的基板100进行曝光。其中，预先在第一金属层120上方覆盖一层光阻层

(图未示)，第一光罩10为半色调掩膜(Halt-tone Mask；简称HTM)、灰色调掩膜(Gray-tone Mask；简称GTM)或单狭缝掩膜(Single slit Mask；简称SSM)中的任一种。第一光罩10包括透光部101、半透光部102及不透光部103。采用第一光罩10对具有第一金属层120和第一透明金属氧化物导体层110的基板100进行曝光后，光阻层对应第一光罩10的透光部101的区域完全曝光，对应第一光罩10的半透光部102的区域半曝光，对应第一光罩10的不透光部103的区域不曝光。因此，在采用第一光罩10对光阻层进行曝光、半曝光、不曝光及显影的制程后相应获得第一光阻部1030和第二光阻部1020，其中第一光阻部1030的厚度大于第二光阻部1020的厚度，第一光阻部1030对应于第一光罩10的不透光部103，第二光阻部1020对应于第一光罩10的半透光部102。

[50] 如图2C所示，进一步对第一金属层120和第一金属氧化物导体层110没有被第一光阻部1030和第二光阻部1020覆盖的区域进行第一次湿刻，将没有被第一光阻部1030和第二光阻部1020覆盖区域的第一金属层120和第一金属氧化物导体层110去掉。

[51] 如图2D所示，使用氧气对第一光阻部1030和第二光阻部1020进行灰化，以使得厚度较薄的第二光阻部1020被去掉，被第二光阻部1020覆盖的第一金属层120裸露出来。第一光阻部1030保留部分光阻。

[52] 如图2E所示，进一步对裸露出来的第一金属层120进行湿刻，从而在仅保留下第一透明金属氧化物导体层110作为公共电极11，公共电极11为第一透明金属氧化物导体层110形成的单层结构。

[53] 如图2F所示，将第一光阻部1030余下的光阻剥离去除，从而使得由余下的第一金属层120和第一透明金属氧化物导体层110的叠层结构形成底栅电极12。因此，仅通过同一道光罩工艺可以同时形成底栅电极12和公共电极11。

[54] 请参看图3，图3是图1中TFT阵列基板的第一实施方式中第一光罩的透光原理示意图。为了方便说明，图3中将第一光罩10、光强曲线70及基板100上形成底栅电极12和公共电极11的结构放在一起进行说明。如图3所示，第一光罩10包括透光部101、半透光部102及不透光部103，其中，不透光部103对应底栅电极12的区域，半透光部102对应于公共电极11的区域，透光部101对应于除了底栅电

极12和公共电极11的其他区域。光强曲线70的第一向上凸起部703对应于第一光罩10的不透光部103，表示此时光照强度最弱。光强曲线70的第二向上凸起部702对应于第一光罩10的半透光部102，其中，第一向上凸起部703对应的光照强度小于第二向上凸起部702对应的光照强度，并且，第一向上凸起部703对应的光照强度和第二向上凸起部702对应的光照强度均小于其他区域的光照强度。因此，在使用第一光罩10进行曝光显影后，使得对应于底栅电极12上的第一光阻部1030的厚度大于对应于公共电极11上的第二光阻部1020的厚度，从而通过进一步的湿刻法、光阻氧气灰化法等获得底栅电极12和公共电极11，因此，通过同一道光罩工艺可以同时形成底栅电极12和公共电极11。

[55] 在本实施方式中，利用第一光罩10对第一透明金属氧化物导体层110和第一金属层120进行曝光、半曝光及未曝光，以形成底栅电极12和公共电极11，是由第一光罩10的结构决定的。

[56] S13：在基板上进一步形成栅绝缘层。

[57] S14：在基板上进一步形成半导体层，并采用第二光罩工艺将半导体层蚀刻成半导体图案。

[58] 如图4所示，在基板100上形成一层栅绝缘层130，栅绝缘层130覆盖底栅电极12和公共电极11并延伸到基板100上，该栅绝缘层130可以采用化学气相沉积法形成，栅绝缘层130的材质包括但不限于为氮化硅、氧化硅或氮氧化硅。

[59] 并在栅绝缘层130上方进一步形成半导体层（图未示），半导体层可以通过沉积法形成。半导体层的材料优选为IGZO（Indium Gallium Zinc Oxide），IGZO是一种含有铟、镓和锌的非晶金属氧化物，是用于新一代薄膜晶体管技术中的沟道层材料，IGZO的载流子迁移率是非晶硅的20~30倍，可以大大提高TFT对像素电极的充放电速率，提高像素的响应速度，实现更快的刷新率，同时更快的响应也大大提高了像素的行扫描速率，使得超高分辨率在TFT-LCD中成为可能，另外，由于晶体管数量减少和提高了每个像素的透光率，IGZO显示器具有更高的能效水平，而且效率更高，并且IGZO可以利用现有的非晶硅生产线生产，只需稍加改动，因此在成本方面IGZO比低温多晶硅更具有竞争力。

[60] 进一步在半导体层上面再覆盖一层光阻层（图未示），采用第二光罩（图未示

) 对光阻层进行曝光, 第二光罩包括透光部和不透光部, 从而使得经过第二光罩工艺进行曝光显影蚀刻等制程后, 对应于第二光罩的透光部的半导体层被蚀刻去掉, 留下对应于第二光罩的不透部的半导体层形成一半导体图案14, 即半导体图案14由对应于第二光罩的不透光部的半导体层形成, 因为未被曝光蚀刻而保留。半导体图案14位于底栅电极12上方。这里由半导体层制作半导体图案14的方法采用的是现有技术的方法, 在此不作过多的赘述。

[61] S15: 在基板上进一步形成第二金属层, 并采用第三光罩工艺将第二金属层蚀刻成位于半导体图案两端的源电极及漏电极。

[62] 如图5所示, 在基板100上进一步形成第二金属层(图未示), 采用第三光罩(图未示)对第二金属层进行曝光, 并进行显影蚀刻的制程后, 形成位于半导体图案14两端的源电极16及漏电极15, 其中, 采用第三光罩制作源电极16及漏电极15的工艺采用的是现有技术的工艺, 在此不再过多的赘述。

[63] S16: 在基板上进一步形成第一钝化层, 并采用第四光罩工艺对第一钝化层进行蚀刻以形成过孔。

[64] 如图6所示, 进一步在基板100上形成第一钝化层160, 第一钝化层160覆盖源电极16及漏电极15、半导体图案14并延伸到栅绝缘层130上。采用第四光罩(图未示)对第一钝化层160进行曝光、显影及蚀刻等制程后, 以使对应于源电极16或漏电极15上方的第一钝化层160的区域形成过孔17。其中, 形成过孔17的方法采用的是现有技术的方法, 在此不再过多的赘述。

[65] S17: 在基板上进一步形成第二透明金属氧化物导体层, 并采用第五光罩工艺将第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极。

[66] S18: 在基板上进一步形成第二钝化层。

[67] 请参看图7, 图7是由图1中TFT阵列基板的制作方法的第一实施方式制得的TFT阵列基板的结构示意图, 结合图7说明步骤S17至S18的实施方式。在基板100的第一钝化层160上进一步形成第二透明金属氧化物导体层(图未示), 该第二透明金属氧化物导体层的材料采用的是与公共电极11同样的材料, 即第二透明金属氧化物导体层的材料也为ITO氧化物。采用第五光罩(图未示)对第二透明金属氧化物导体层进行曝光, 并进行显影蚀刻后, 形成顶栅电极19和多个像素电

极18。其中，顶栅电极19位于半导体图案14的上方，并与底栅电极12对应设置。像素电极18与公共电极11至少部分重叠设置，且其中一个像素电极18通过过孔17与源电极16及漏电极15中的一者电连接。图7中所示的是一个像素电极18通过过孔17与源电极16连接，其余的像素电极18间隔排列在公共电极11的上方。并在基板100上进一步形成第二钝化层180，第二钝化层180覆盖像素电极18、顶栅电极19并延伸到第一钝化层160上。

[68] 其中，由第二透明金属氧化物导体层制作像素电极18和顶栅电极19并进一步覆盖第二钝化层180采用的是现有的技术方法，在此不再过多的赘述。

[69] 因此，由上述实施方式制得的TFT阵列基板1包括：基板100、形成在基板100上的底栅电极12和公共电极11、栅绝缘层130、半导体图案14、漏电极15及源电极16、第一钝化层160、像素电极18、顶栅电极19及第二钝化层180。其中，底栅电极12和公共电极11由同道光罩工艺形成，并且底栅电极12为第一金属层120和第一透明金属氧化物导体层110的叠层结构，公共电极11为第一透明金属氧化物导体层110的单层结构。栅绝缘层130覆盖底栅电极12和公共电极11并延伸到基板100上，半导体图案14位于底栅电极12上方，漏电极15及源电极16分别位于半导体图案14的两端。第一钝化层160覆盖漏电极15及源电极16、半导体图案14并延伸到栅绝缘层130上，并且，第一钝化层160对应于源电极16或漏电极15的区域还形成有过孔17，图7中所示的过孔17位于源电极16上方，该过孔17用于将源电极16与像素电极18电连接，并且像素电极18与公共电极11至少部分重叠，顶栅电极19与底栅电极12相对设置。第二钝化层180覆盖顶栅电极19和像素电极18并延伸到第一钝化层160上。该TFT阵列基板1为BCE（英文为：Back Channel Etch，中文为：背沟道刻蚀结构）结构的阵列基板。

[70] 综上，本实施方式的TFT阵列基板可以在基板上依次形成金属层和透明金属氧化物导体层，然后通过同道光罩工艺在基板上一次形成底栅电极和公共电极，使金属层和透明金属氧化物导体层的叠层结构形成底栅电极，透明金属氧化物导体层的单层结构形成公共电极，由此可以减少制作TFT阵列基板的光罩次数，提高生产效率和降低生产成本。

[71] 请参看图8，图8是本发明TFT阵列基板的制作方法的第二实施方式的流程示意

图。如图8所示，本实施方式的TFT阵列基板的制作方法包括：

[72] S21：提供一基板。

[73] S22：在基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将第一金属层和第一透明金属氧化物导体层蚀刻成底栅电极及公共电极。

[74] S23：在基板上进一步形成栅绝缘层。

[75] S24：在基板上进一步形成半导体层，并采用第二光罩工艺将半导体层蚀刻成半导体图案。

[76] S25：在基板上进一步形成刻蚀阻挡层，并采用第六光罩工艺对刻蚀阻挡层进行蚀刻以形成位于半导体图案两端的刻蚀阻挡层过孔。

[77] S26：在基板上进一步形成第二金属层，并采用第三光罩工艺将第二金属层蚀刻成位于半导体图案两端的源电极及漏电极。

[78] S27：在基板上进一步形成第一钝化层，并采用第四光罩工艺对第一钝化层进行蚀刻以形成过孔。

[79] S28：在基板上进一步形成第二透明金属氧化物导体层，并采用第五光罩工艺将第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极。

[80] S29：在基板上进一步形成第二钝化层。

[81] 其中，请结合图1至图6及图9一并参考，本实施方式与上述实施方式的区别在于，如图4所示的在采用第二光罩将半导体层蚀刻出半导体图案14后，本实施方式还在基板100上进一步形成刻蚀阻挡层210，如图9所示，图9是由图8的TFT阵列基板的制作方法的第二实施方式制得的TFL阵列基板的结构示意图。其中，刻蚀阻挡层210覆盖半导体图案14并延伸到栅绝缘层130上。采用第六光罩（图未示）对刻蚀阻挡层210进行曝光显影并进行蚀刻工艺，将刻蚀阻挡层210位于半导体图案14两端的区域进行曝光蚀刻形成刻蚀阻挡层过孔20，刻蚀阻挡层过孔20用于使源电极16和漏电极15与半导体图案14电连接。其中，刻蚀阻挡层210的作用是使得在形成源电极16和漏电极15的工艺制程中保护半导体图案14不被腐蚀。步骤S26至步骤S29至上述实施方式的步骤S15至步骤S18类似，在此不再赘述。

[82] 本实施方式的TFL阵列基板2为ESL（英文为：Etch stopper layer；中文为：刻蚀阻挡层）结构的阵列基板，本实施方式的图9所示的阵列基板2的结构图与图7所示的BCE结构的阵列基板1的区别在于，TFL阵列基板2还包括位于半导体14上方的刻蚀阻挡层210，刻蚀阻挡层210对应于半导体图案14两端的区域形成有刻蚀阻挡层过孔20，使得位于半导体图案14两端的源电极16和漏电极15通过刻蚀阻挡层过孔20与半导体图案14电连接。

[83] 综上，本实施方式的阵列基板制程工艺与上述实施方式的工艺类似，其可以减少光罩的次数，提高生产效率和降低生产成本，并且通过设置刻蚀阻挡层还可以避免在蚀刻形成漏电极和源电极时误腐蚀半导体图案。

[84] 请参看图10，图10是本发明TFT阵列基板的制作方法的第三实施方式的流程示意图。如图10所示，本实施方式的TFT阵列基板的制作方法包括：

[85] S31：提供一基板。

[86] S32：在基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将第一金属层和第一透明金属氧化物导体层蚀刻成底栅电极及公共电极。

[87] S33：在基板上进一步形成栅绝缘层。

[88] 其中，步骤S31至步骤S33与第一实施方式的步骤S11至S13类似，在此不再赘述。

[89] S34：在基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将半导体层和第二金属层蚀刻成半导体图案以及位于半导体图案两端的源电极和漏电极。

[90] 请一并参考图1至图5、图11A至图11D，其中图11A至图11D是图10中TFT阵列基板的制作方法的第三实施方式中制作半导体图案、源电极和漏电极的工艺示意图。与第一实施方式类似，半导体层140用于蚀刻形成半导体图案14，第二金属层150用于蚀刻形成位于半导体图案14两端的源电极16和漏电极15，并且半导体图案14位于底栅电极12上方。

[91] 本实施方式与第一实施方式的区别之处在于，如图11A所示，半导体层140包括本征半导体层190以及掺杂半导体层200。采用化学气相沉积法（简称CVD）在

基板10上先后沉积本征半导体层190以及掺杂半导体层200。其中本征半导体层190为a-Si（非晶硅）层，掺杂半导体层200为n+a-Si层，n+a-Si层为高浓度掺杂的N型非晶硅导电层。

[92] 如图11B所示，进一步采用PVD法在基板100上沉积第二金属层150。第二金属层150与第一实施方式的材料相同，可以为铝、铬、钼、钛等金属材料。

[93] 进一步在第二金属层150上形成光阻层（图未示），采用第二光罩对光阻层进行曝光并显影，第二光罩与第一光罩的结构类似，同样是采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。采用第二光罩对光阻层进行曝光显影后，得到一光阻图案21，如图11C所示。进一步将第二金属层150没有被光阻图案21覆盖的区域进行湿刻去除，然后采用干刻法去掉没有被光阻图案21覆盖的本征半导体层190以及掺杂半导体层200对应的区域。进一步使用氧气对光阻图案21进行灰化处理，将光阻图案21中沟道处较薄位置的光阻去掉，光阻图案21较厚位置保留一定厚度的光阻，这里指后期制作形成的源电极16和漏电极15上方对应的位置保留一定厚度的光阻。进一步使用湿刻法将没有被光阻覆盖的第二金属层150去掉，并使用干刻法将没有被光阻覆盖的掺杂半导体层200去掉以及去掉少部分本征半导体层190，并去除余下的光阻，从而得到图11D所示的结构，其中，本征半导体层190被蚀刻成本征半导体图案22，掺杂半导体层200被蚀刻成分别位于本征半导体图案22两端的第一掺杂半导体图案23和第二掺杂半导体图案24，第二金属层150被蚀刻成分别位于第一掺杂半导体图案23上方的漏电极15和位于第二掺杂半导体图案24上方的源电极16。因此，本实施方式仅通过同一道光罩工艺可以同时形成半导体图案14和源电极16及漏电极15。半导体图案14由本征半导体图案22和分别位于本征半导体图案22两端的第一掺杂半导体图案23和第二掺杂半导体图案24组成。

[94] S35：在基板上进一步形成第一钝化层，并采用第三光罩工艺对第一钝化层进行蚀刻以形成过孔。

[95] S36：在基板上进一步形成第二透明金属氧化物导体层，并采用第四光罩工艺将第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极。

[96] S37：在基板上进一步形成第二钝化层。

- [97] 请一起参看图6、图7及图12，图12是由图10中TFT阵列基板的制作方法的第三实施方式制得的TFT阵列基板的结构示意图。其中，步骤S35至步骤S37与上述实施方式的步骤S16至步骤S18类似，在这不再赘述。
- [98] 本实施方式的TFT阵列基板3的结构与第一实施方式的TFT阵列基板1的结构的区别在于，本实施方式为由本征半导体图案22，并且本征半导体图案22两端还设置有第一掺杂半导体图案23和第二掺杂半导体图案24以替代第一实施方式图7中所示的半导体图案14，并且图12所示的实施方式中的漏电极15位于第一掺杂半导体图案23上方，源电极16位于第二掺杂半导体图案24上方。因此，本实施方式的TFT阵列基板可以通过同一道光罩工艺在基板上形成底栅电极和公共电极，并通过同一道光罩工艺形成半导体图案及位于半导体图案两端的源电极和漏电极，其中，半导体图案由本征半导体图案和位于本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案组成，漏电极和源电极分别位于第一掺杂半导体图案和第二掺杂半导体图案上方，使得本实施方式的TFT阵列基板仅需要四道光罩工艺，减少光罩次数，提高生产效率，降低生产成本。
- [99] 综上所述，区别于现有技术，本发明的TFT阵列基板可以通过一道光罩工艺在基板上形成由金属层和透明金属氧化物导体层叠层形成的底栅电极和由透明金属氧化物导体层形成的公共电极，从而使得阵列基板的制程可以减少光罩次数，提高生产效率，降低生产成本。
- [100] 以上参照附图说明了本发明的优选实施例，并非因此局限本发明的权利范围。本领域技术人员不脱离本发明的范围和实质内所作的任何修改、等同替换和改进，均应在本发明的权利范围之内。

权利要求书

[权利要求 1]

一种TFT阵列基板的制作方法，其中，所述制作方法包括：

提供一基板；

在所述基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将所述第一金属层和所述第一透明金属氧化物导体层蚀刻成底栅电极及公共电极，其中所述底栅电极为所述第一金属层和第一透明金属氧化物导体层的叠层结构，所述公共电极为所述第一透明金属氧化物导体层的单层结构，其中，所述第一光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种；

在所述基板上进一步形成栅绝缘层；

在所述基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将所述半导体层和第二金属层蚀刻成半导体图案以及位于所述半导体图案两端的源电极和漏电极，其中所述半导体图案位于所述底栅电极上方；

在所述基板上进一步形成第一钝化层，并采用第三光罩工艺对所述第一钝化层进行蚀刻以形成过孔；

在所述基板上进一步形成第二透明金属氧化物导体层，并采用第四光罩工艺将所述第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极，其中，所述顶栅电极位于所述半导体图案的上方，所述像素电极与所述公共电极至少部分重叠设置且通过所述过孔与所述源电极及漏电极中的一者电连接。

[权利要求 2]

根据权利要求1所述的制作方法，其中，在所述基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将所述半导体层和第二金属层蚀刻成半导体图案以及位于所述半导体图案两端的源电极和漏电极的步骤包括：

在所述基板上进一步形成本征半导体层、掺杂半导体层以及第二金属层，并通过采用所述第二光罩工艺将所述本征半导体层蚀刻

成本征半导体图案，将所述掺杂半导体层蚀刻成位于所述本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案，并将所述第二金属层蚀刻成分别位于所述第一掺杂半导体图案和第二掺杂半导体图案上方的所述漏电极和源电极。

[权利要求 3] 根据权利要求2所述的制作方法，其中，所述第二光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。

[权利要求 4] 一种TFT阵列基板的制作方法，其中，所述制作方法包括：
提供一基板；
在所述基板上依次形成第一透明金属氧化物导体层和第一金属层，并采用第一光罩工艺将所述第一金属层和所述第一透明金属氧化物导体层蚀刻成底栅电极及公共电极，其中所述底栅电极为所述第一金属层和第一透明金属氧化物导体层的叠层结构，所述公共电极为所述第一透明金属氧化物导体层的单层结构。

[权利要求 5] 根据权利要求4所述的制作方法，其中，所述第一光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。

[权利要求 6] 根据权利要求4所述的制作方法，其中，所述制作方法还包括：
在所述基板上进一步形成栅绝缘层；
在所述基板上进一步形成半导体层，并采用第二光罩工艺将所述半导体层蚀刻成半导体图案，其中所述半导体图案位于所述底栅电极上方；
在所述基板上进一步形成第二金属层，并采用第三光罩工艺将所述第二金属层蚀刻成位于所述半导体图案两端的源电极及漏电极；
在所述基板上进一步形成第一钝化层，并采用第四光罩工艺对所述第一钝化层进行蚀刻以形成过孔；
在所述基板上进一步形成第二透明金属氧化物导体层，并采用第五光罩工艺将所述第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极，其中，所述顶栅电极位于所述半导体图案的上方，所

述像素电极与所述公共电极至少部分重叠设置且通过所述过孔与所述源电极及漏电极中的一者电连接。

[权利要求 7]

根据权利要求6所述的制作方法，其中，在所述基板上进一步形成半导体层，并采用第二光罩工艺将所述半导体层蚀刻成半导体图案的步骤与在所述基板上进一步形成第二金属层，并采用第三光罩工艺将所述第二金属层蚀刻成位于所述半导体图案两端的源电极及漏电极的步骤之间，所述制作方法还包括：

在所述基板上进一步形成刻蚀阻挡层，并采用第六光罩工艺对所述刻蚀阻挡层进行蚀刻以形成位于所述半导体图案两端的刻蚀阻挡层过孔。

[权利要求 8]

根据权利要求4所述的制作方法，其中，所述制作方法还包括：

在所述基板上进一步形成栅绝缘层；

在所述基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将所述半导体层和第二金属层蚀刻成半导体图案以及位于所述半导体图案两端的源电极和漏电极，其中所述半导体图案位于所述底栅电极上方；

在所述基板上进一步形成第一钝化层，并采用第三光罩工艺对所述第一钝化层进行蚀刻以形成过孔；

在所述基板上进一步形成第二透明金属氧化物导体层，并采用第四光罩工艺将所述第二透明金属氧化物导体层蚀刻成顶栅电极和像素电极，其中，所述顶栅电极位于所述半导体图案的上方，所述像素电极与所述公共电极至少部分重叠设置且通过所述过孔与所述源电极及漏电极中的一者电连接。

[权利要求 9]

根据权利要求8所述的制作方法，其中，在所述基板上进一步形成半导体层以及第二金属层，并采用第二光罩工艺将所述半导体层和第二金属层蚀刻成半导体图案以及位于所述半导体图案两端的源电极和漏电极的步骤包括：

在所述基板上进一步形成本征半导体层、掺杂半导体层以及第二

金属层，并通过采用所述第二光罩工艺将所述本征半导体层蚀刻成本征半导体图案，将所述掺杂半导体层蚀刻成位于所述本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案，并将所述第二金属层蚀刻成分别位于所述第一掺杂半导体图案和第二掺杂半导体图案上方的所述漏电极和源电极。

[权利要求 10] 根据权利要求9所述的制作方法，其中，所述第二光罩采用半色调掩膜、灰色调掩膜或单狭缝掩膜中的任一种。

[权利要求 11] 一种TFT阵列基板，其中，所述阵列基板包括：
基板；
形成在所述基板上的底栅电极和公共电极，其中所述底栅电极和公共电极由同道光罩工艺形成，且所述底栅电极为第一金属层和第一透明金属氧化物导体层的叠层结构，所述公共电极为所述第一透明金属氧化物导体层的单层结构。

[权利要求 12] 根据权利要求11所述的阵列基板，其中，所述基板进一步包括位于所述底栅电极上方的半导体图案以及位于所述半导体图案两端的源电极和漏电极，其中所述半导体图案与所述源电极和漏电极由另一同道光罩工艺形成。

[权利要求 13] 根据权利要求12所述的阵列基板，其中，所述半导体图案包括：
本征半导体图案以及位于所述本征半导体图案两端的第一掺杂半导体图案和第二掺杂半导体图案，所述漏电极和源电极分别位于所述第一掺杂半导体图案和第二掺杂半导体图案上方。

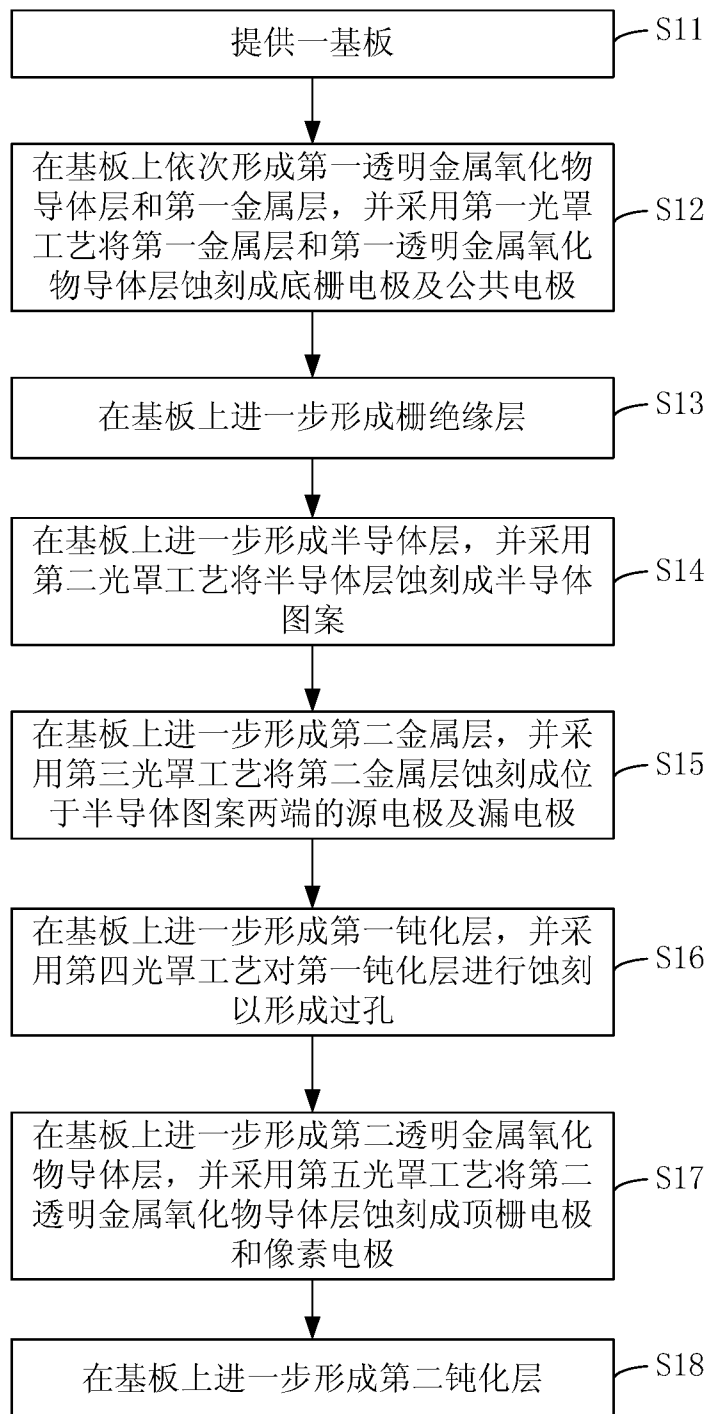


图 1

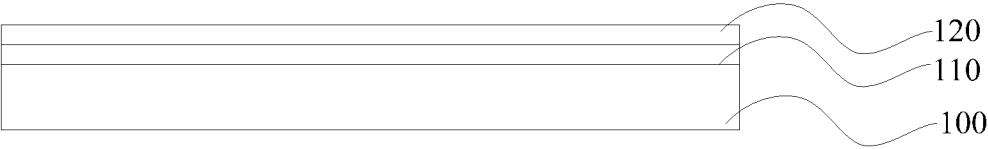


图 2A

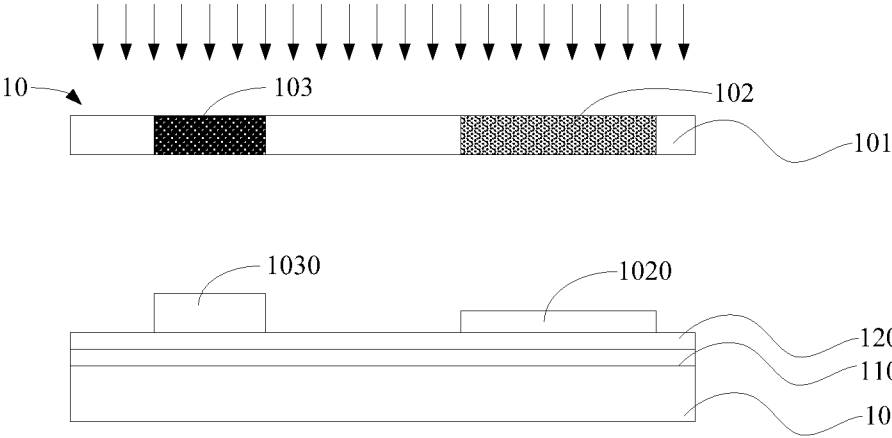


图 2B

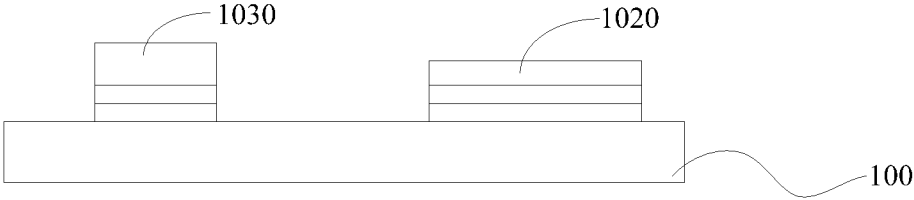


图 2C

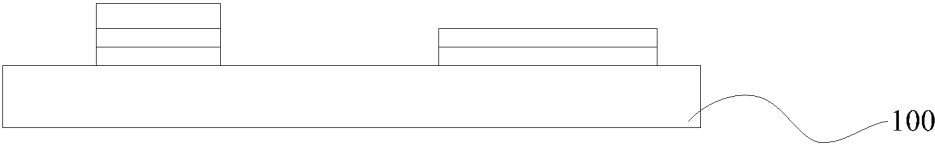


图 2D

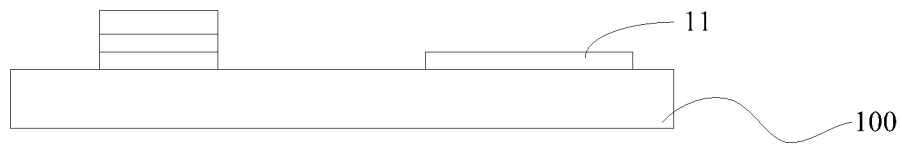


图 2E

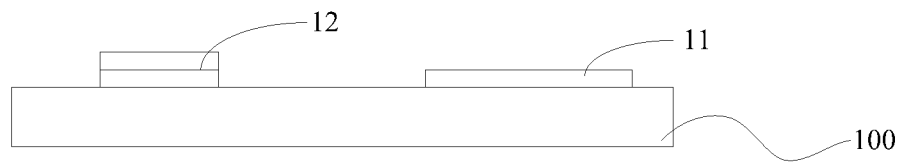


图 2F

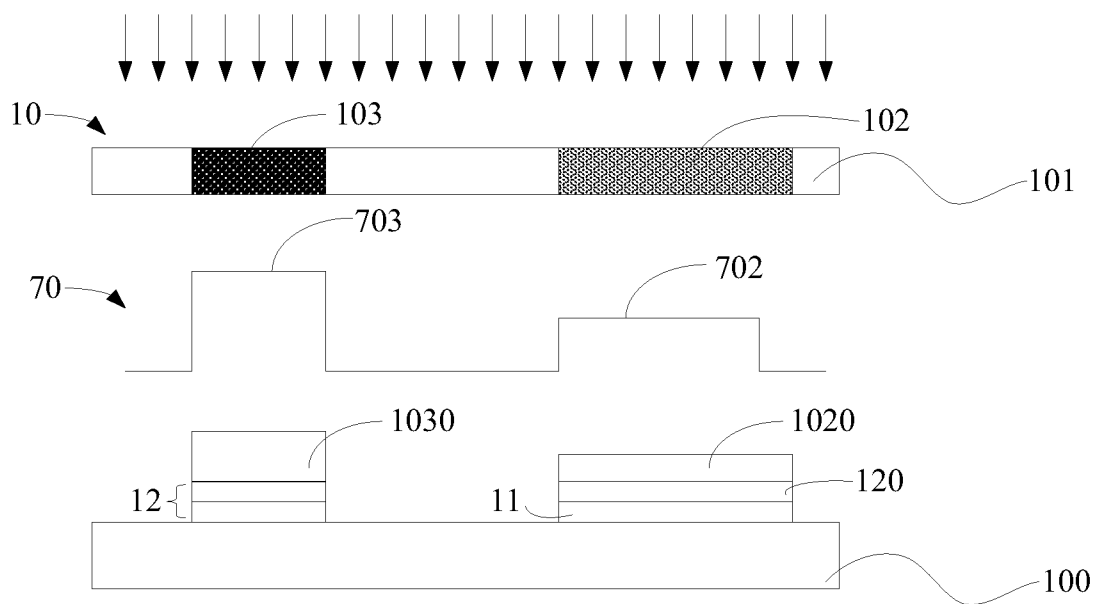


图 3

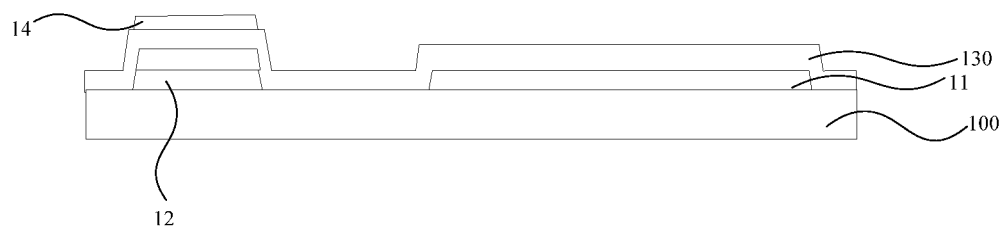


图 4

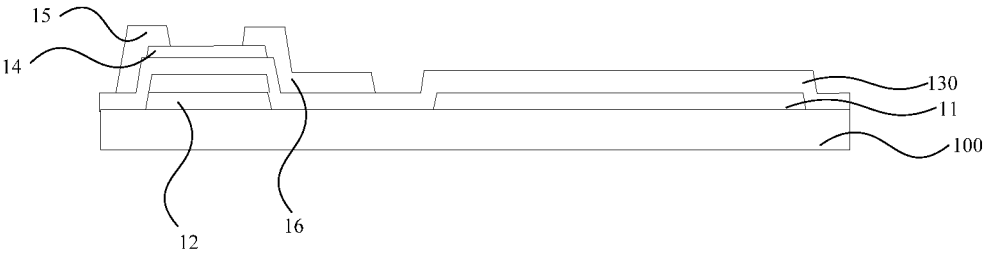


图 5

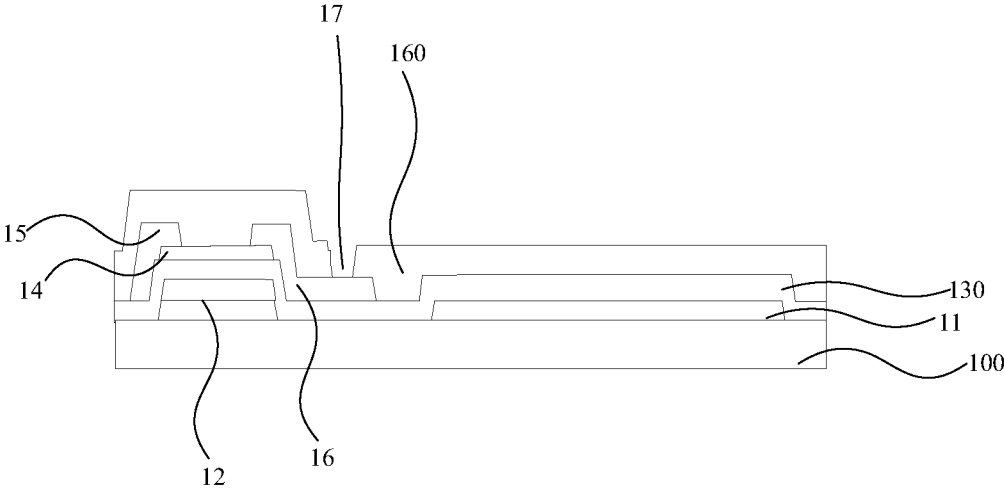


图 6

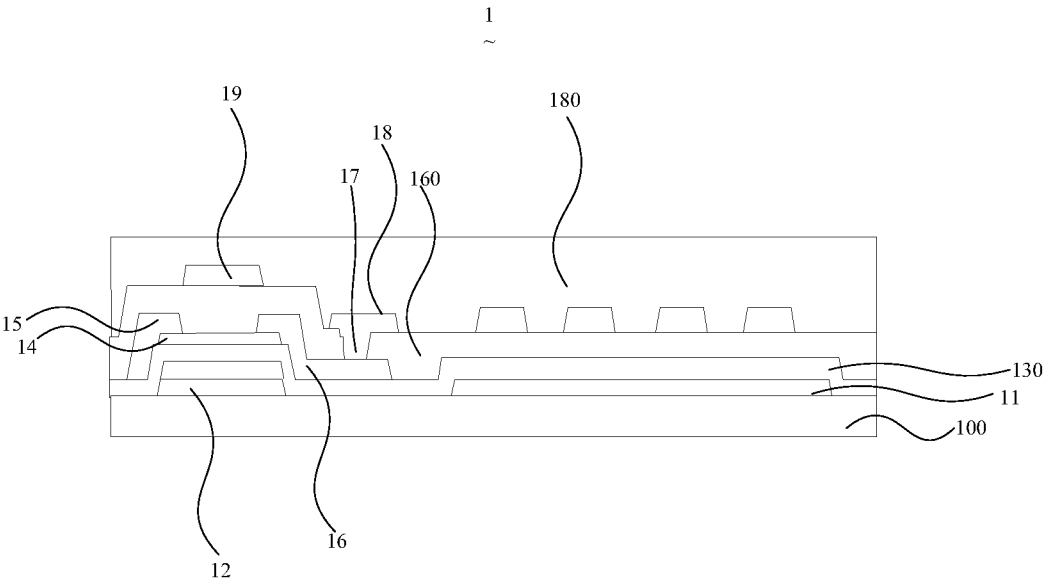


图 7

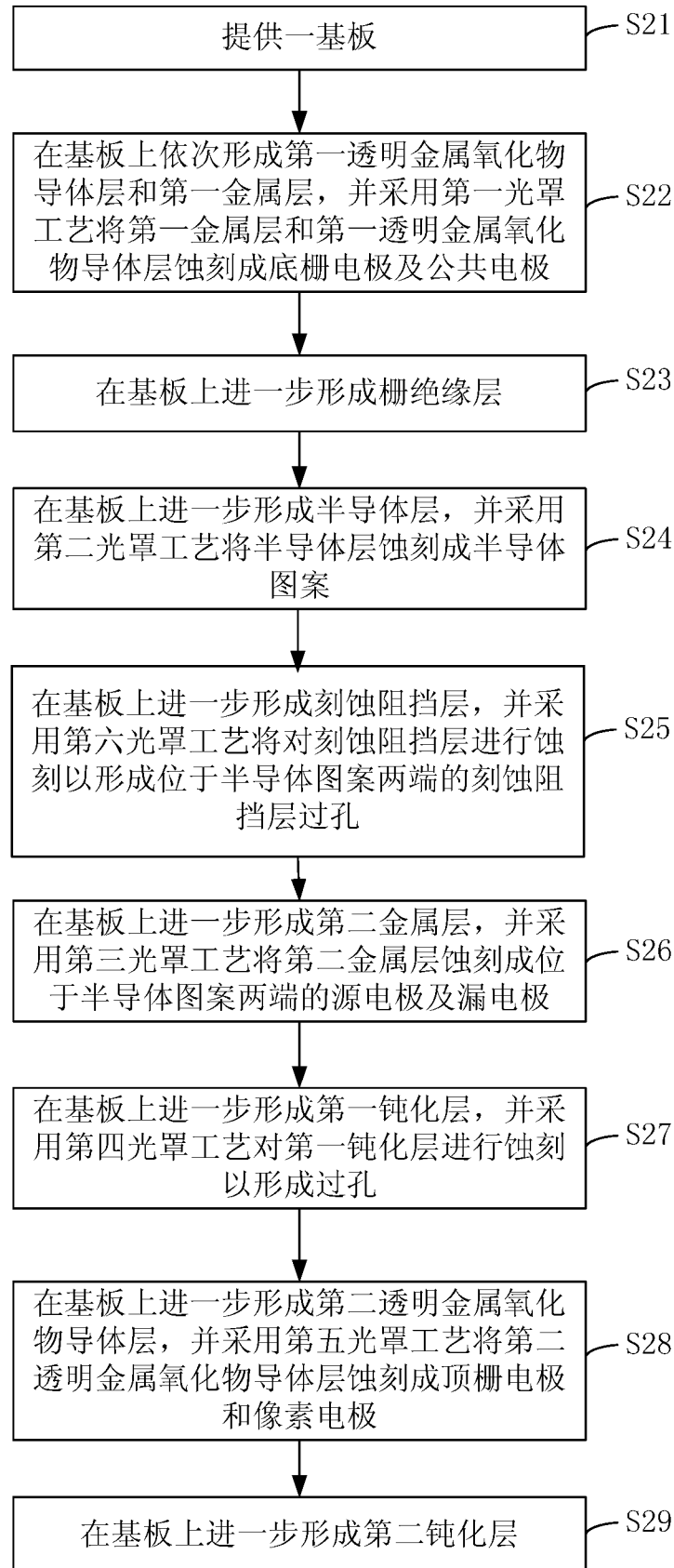


图 8

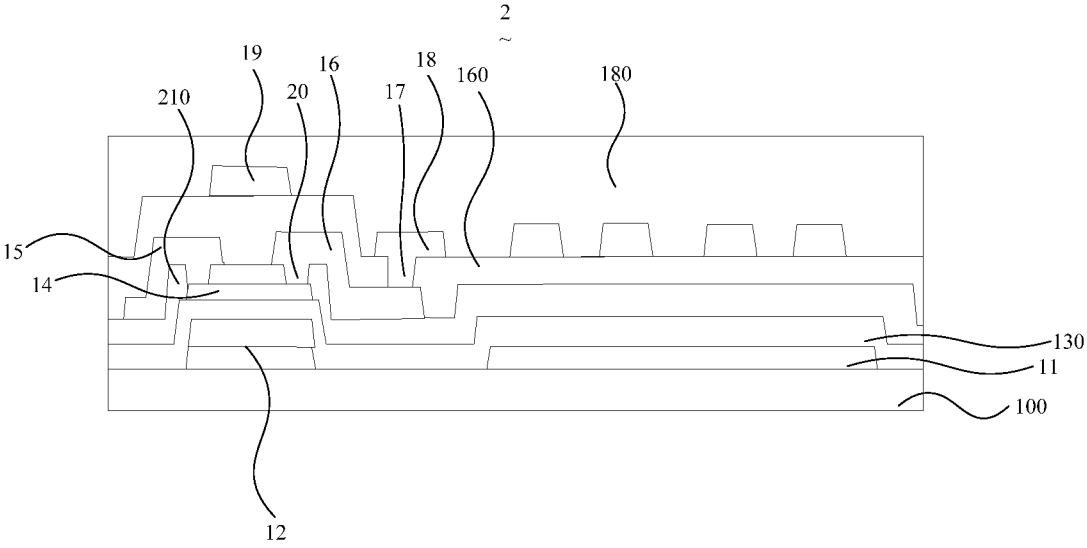


图 9

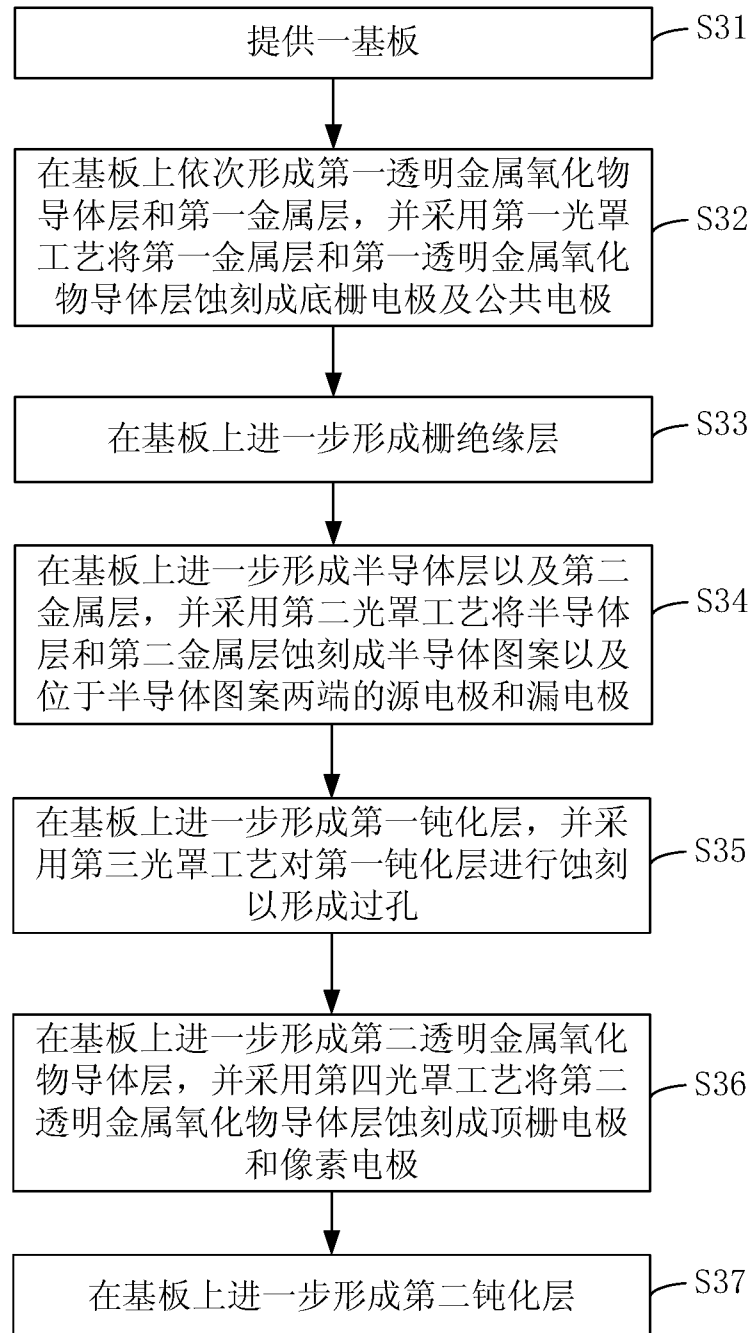


图 10

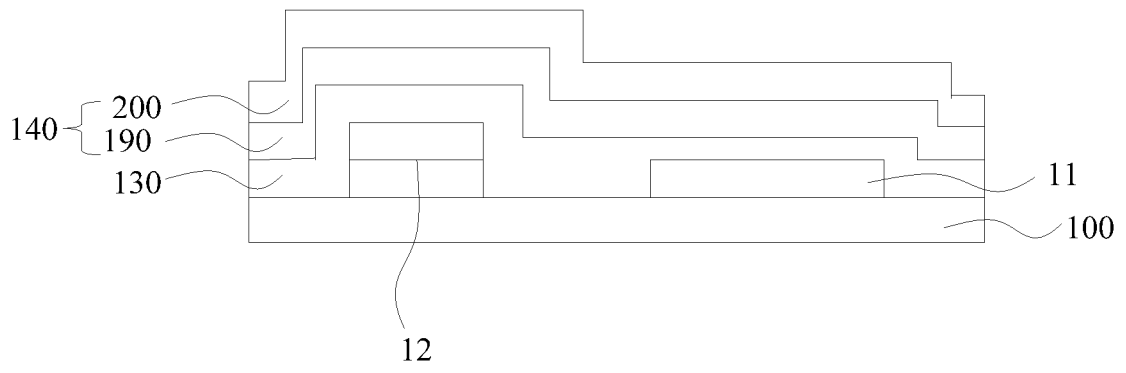


图 11A

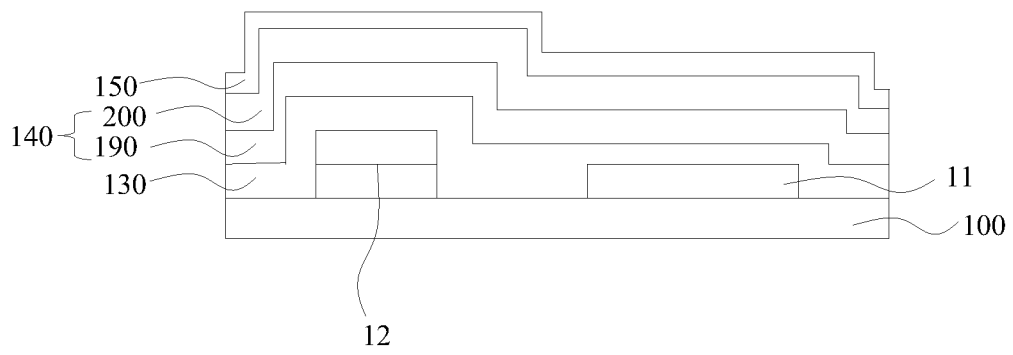


图 11B

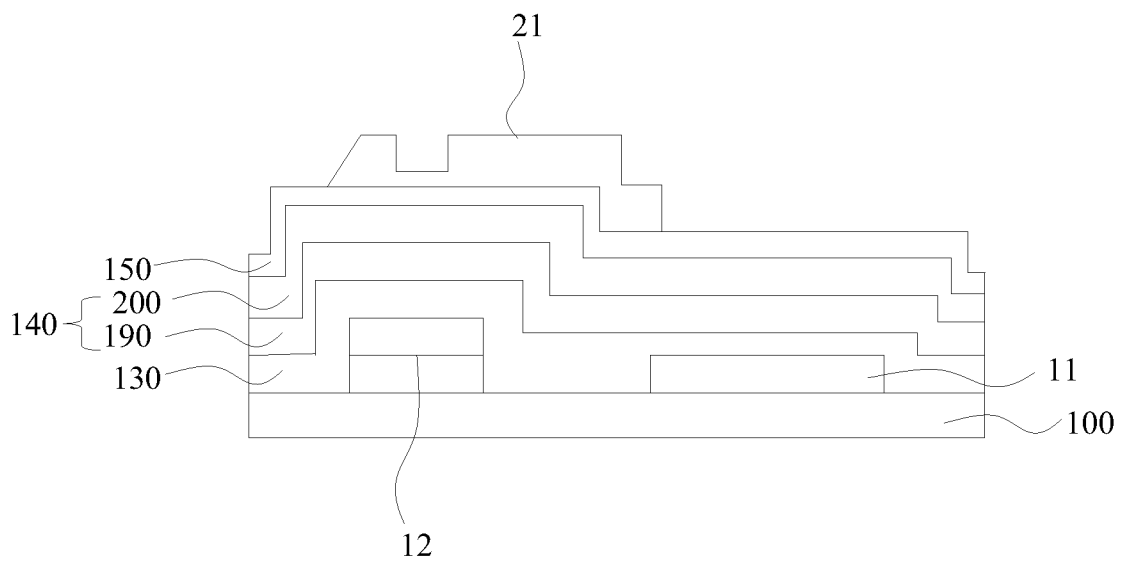


图 11C

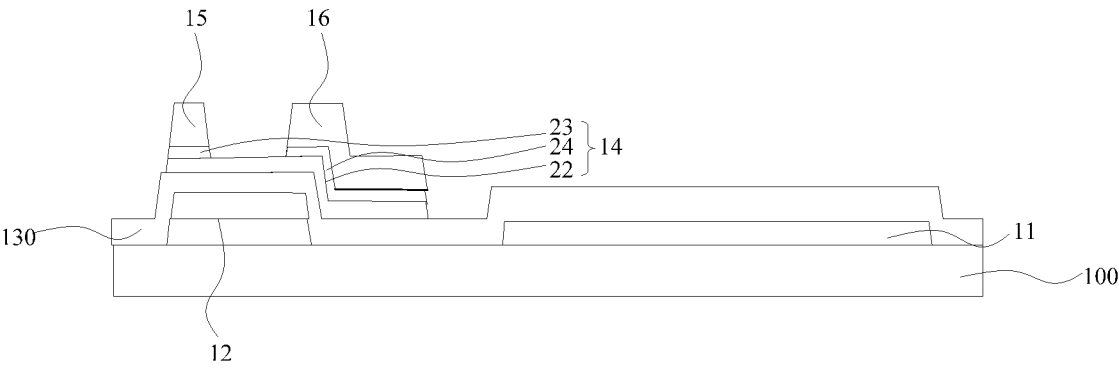


图 11D

3
~

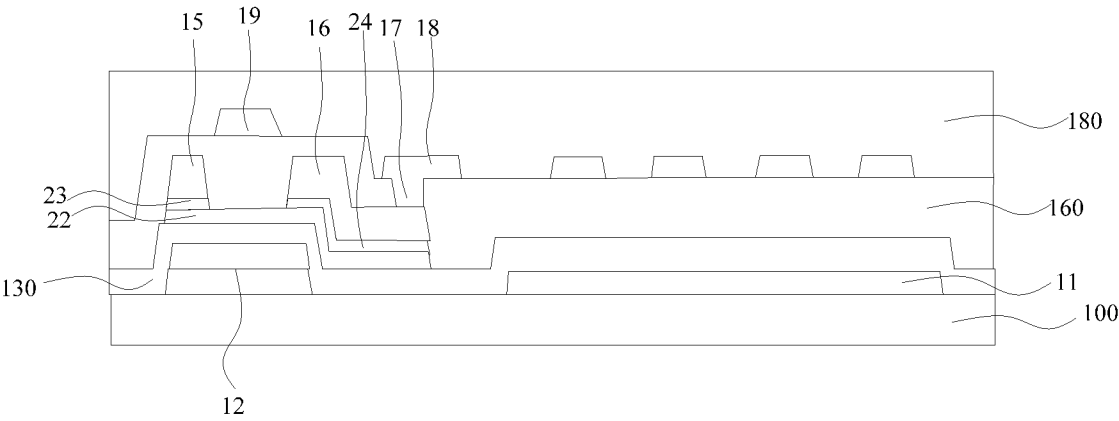


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/091440

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1343 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: fringing field, mask, GRAY, GREY, HALF, gate+, fringe+, field

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101527282 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 09 September 2009 (09.09.2009), description, page 3, paragraph 10 to page 8, paragraph 5, and figures 1 and 3A-6C	4-5, 11-13
Y	CN 101527282 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 09 September 2009 (09.09.2009), description, page 3, paragraph 10 to page 8, paragraph 5, and figures 1 and 3A-6C	1-3, 6-10
Y	US 2014339542 A1 (SEMICONDUCTOR ENERGY LAB), 20 November 2014 (20.11.2014), figures 11 and 15A-15B, and description, corresponding parts	1-3, 6-10
Y	CN 104867870 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 August 2015 (26.08.2015), description, paragraphs [0006]-[0008], and figure 1	6-7
X	CN 102540604 A (LG DISPLAY CO., LTD.), 04 July 2012 (04.07.2012), description, paragraphs [0047]-[0100], and figures 4-7V	4-5, 11-13
X	CN 102543864 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 July 2012 (04.07.2012), description, paragraphs [0032]-[0054], and figures 1-2D	4-5, 11-13
X	CN 102769040 A (BOE TECHNOLOGY GROUP CO., LTD.), 07 November 2012 (07.11.2012), description, paragraphs [0063]-[0127], and figures 1a-7d	4-5, 11-13

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 June 2016 (24.06.2016)	Date of mailing of the international search report 05 July 2016 (05.07.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHOU, Yu Telephone No.: (86-10) 62085894

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/091440

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006146255 A1 (AHN, B.C.), 06 July 2006 (06.07.2006), description, paragraphs [0057]-[0099], and figures 2-12	4-5, 11-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/091440

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101527282 A	09 September 2009	JP 5137798 B2	06 February 2013
		US 8268654 B2	18 September 2012
		US 2009142867 A1	04 June 2009
		US 2012329186 A1	27 December 2012
		JP 2009157366 A	16 July 2009
		JP 2013042174 A	28 February 2013
		CN 101527282 B	08 January 2014
		JP 2014096600 A	22 May 2014
		KR 101446249 B1	01 October 2014
		US 8895333 B2	25 November 2014
		KR 20090057909 A	08 June 2009
US 2014339542 A1	20 November 2014	TW 201501318 A	01 January 2015
		US 9312392 B2	12 April 2016
		JP 2014241406 A	25 December 2014
		KR 20140135651 A	26 November 2014
CN 104867870 A	26 August 2015	None	
CN 102540604 A	04 July 2012	US 9171871 B2	27 October 2015
		US 2012162162 A1	28 June 2012
		KR 20120075204 A	06 July 2012
		CN 102540604 B	11 February 2015
CN 102543864 A	04 July 2012	CN 102543864 B	26 February 2014
		WO 2013116994 A1	15 August 2013
		US 2013200385 A1	08 August 2013
CN 102769040 A	07 November 2012	US 2014077213 A1	20 March 2014
		KR 20140024267 A	28 February 2014
		CN 102769040 B	04 March 2015
		WO 2014015453 A1	30 January 2014
		JP 2015525000 A	27 August 2015
		US 9209308 B2	08 December 2015
		EP 2879187 A4	13 April 2016
		EP 2879187 A1	03 June 2015

A. 主题的分类 G02F 1/1343 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G02F; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, VEN: 掩模, 掩膜, 灰, 半, 栅, 边缘场, mask, GRAY, GREY, HALF, gate+, fringe+, field		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101527282 A (株式会社半导体能源研究所) 2009年 9月 9日 (2009 - 09 - 09) 说明书第3页第10段-第8页第5段, 图1, 3A-6C	4-5, 11-13
Y	CN 101527282 A (株式会社半导体能源研究所) 2009年 9月 9日 (2009 - 09 - 09) 说明书第3页第10段-第8页第5段, 图1, 3A-6C	1-3, 6-10
Y	US 2014339542 A1 (SEMICONDUCTOR ENERGY LAB) 2014年 11月 20日 (2014 - 11 - 20) 图11, 图15A-15B以及说明书相应部分	1-3, 6-10
Y	CN 104867870 A (深圳市华星光电技术有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第[0006]-[0008]段, 图1	6-7
X	CN 102540604 A (乐金显示有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第[0047]-[0100]段, 图4-7V	4-5, 11-13
X	CN 102543864 A (深圳市华星光电技术有限公司) 2012年 7月 4日 (2012 - 07 - 04) 说明书第[0032]-[0054]段, 图1-2D	4-5, 11-13
X	CN 102769040 A (京东方科技集团股份有限公司) 2012年 11月 7日 (2012 - 11 - 07) 说明书第[0063]-[0127]段, 图1a-7d	4-5, 11-13
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 6月 24日		国际检索报告邮寄日期 2016年 7月 5日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 周宇 电话号码 (86-10)62085894

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US 2006146255 A1 (AHN BYUNG CHUL) 2006年 7月 6日 (2006 - 07 - 06) 说明书第[0057]-[0099]段，图2-12	4-5，11-13

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/091440

检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	101527282	A	2009年 9月 9日	JP	5137798	B2 2013年 2月 6日
				US	8268654	B2 2012年 9月 18日
				US	2009142867	A1 2009年 6月 4日
				US	2012329186	A1 2012年 12月 27日
				JP	2009157366	A 2009年 7月 16日
				JP	2013042174	A 2013年 2月 28日
				CN	101527282	B 2014年 1月 8日
				JP	2014096600	A 2014年 5月 22日
				KR	101446249	B1 2014年 10月 1日
				US	8895333	B2 2014年 11月 25日
US	2014339542	A1	2014年 11月 20日	KR	20090057909	A 2009年 6月 8日
				TW	201501318	A 2015年 1月 1日
				US	9312392	B2 2016年 4月 12日
				JP	2014241406	A 2014年 12月 25日
CN	104867870	A	2015年 8月 26日	KR	20140135651	A 2014年 11月 26日
				无		
				US	9171871	B2 2015年 10月 27日
				US	2012162162	A1 2012年 6月 28日
CN	102540604	A	2012年 7月 4日	KR	20120075204	A 2012年 7月 6日
				CN	102540604	B 2015年 2月 11日
				CN	102543864	B 2014年 2月 26日
				WO	2013116994	A1 2013年 8月 15日
CN	102543864	A	2012年 7月 4日	US	2013200385	A1 2013年 8月 8日
				US	2014077213	A1 2014年 3月 20日
				KR	20140024267	A 2014年 2月 28日
				CN	102769040	B 2015年 3月 4日
CN	102769040	A	2012年 11月 7日	WO	2014015453	A1 2014年 1月 30日
				JP	2015525000	A 2015年 8月 27日
				US	9209308	B2 2015年 12月 8日
				EP	2879187	A4 2016年 4月 13日
				EP	2879187	A1 2015年 6月 3日

表 PCT/ISA/210 (同族专利附件) (2009年7月)