

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年7月1日(2010.7.1)

【公開番号】特開2008-306580(P2008-306580A)

【公開日】平成20年12月18日(2008.12.18)

【年通号数】公開・登録公報2008-050

【出願番号】特願2007-153165(P2007-153165)

【国際特許分類】

H 03 F	3/45	(2006.01)
G 09 G	3/36	(2006.01)
H 03 M	1/66	(2006.01)
G 09 G	3/20	(2006.01)
H 03 F	3/68	(2006.01)
G 02 F	1/133	(2006.01)

【F I】

H 03 F	3/45	A
G 09 G	3/36	
H 03 M	1/66	E
G 09 G	3/20	6 2 3 F
G 09 G	3/20	6 1 2 F
G 09 G	3/20	6 2 1 B
G 09 G	3/20	6 2 1 K
H 03 F	3/68	Z
G 02 F	1/133	5 0 5

【手続補正書】

【提出日】平成22年5月12日(2010.5.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1及び第2の差動段と、

前記第1及び第2の差動段の出力信号を受け、増幅回路の出力端子を充電又は放電駆動する増幅段と、  
を備え、

前記第1の差動段の入力対の第1の入力は、第1の信号を受け、

前記第2の差動段の入力対の第1の入力は、第2の信号を受け、

前記第1の差動段の入力対の第2入力には、前記第1の信号又は前記出力端子からの帰還信号が切替入力され、  
前記第2の差動段の入力対の第2入力には、前記第2の信号又は前記出力端子からの帰還信号が切替入力される、ことを特徴とする増幅回路。

【請求項2】

前記第1の差動段は、第1の差動対を備え、

前記第2の差動段は、第2の差動対を備え、

前記第1及び第2の差動対の出力対に共通接続された負荷回路を備え、

前記第1及び第2の差動対の共通接続された出力対の少なくとも1つの出力が、前記増

幅段の入力に接続されている、ことを特徴とする請求項 1 記載の增幅回路。

【請求項 3】

前記第 1 の差動段は、

第 1 の差動対と、

前記第 1 の差動対の出力対に接続された第 1 の負荷回路と、  
を備え、

前記第 2 の差動段は、

第 2 の差動対と、

前記第 2 の差動対の出力対に接続された第 2 の負荷回路と、  
を備え、

前記増幅段の入力には、前記第 1 差動対の出力対の少なくとも 1 つの出力、又は前記 2 の差動対の出力対の少なくとも 1 つの出力が切替入力される、ことを特徴とする請求項 1 記載の增幅回路。

【請求項 4】

前記第 1 の差動段の入力対の前記第 1 及び第 2 の入力に、前記第 1 の信号と前記出力端子からの帰還信号とがそれぞれ入力されるとき、前記第 2 の差動段の前記第 1 及び第 2 の入力には前記第 2 の信号が共通に入力される、ことを特徴とする請求項 1 乃至 3 のいずれか一に記載の増幅回路。

【請求項 5】

前記第 2 の差動段の入力対の前記第 1 及び第 2 の入力に、前記第 2 の信号と前記出力端子からの帰還信号とがそれぞれ入力されるとき、前記第 1 の差動段の前記第 1 及び第 2 の入力には前記第 1 の信号が共通に入力される、ことを特徴とする請求項 4 に記載の増幅回路。

【請求項 6】

前記第 1 の差動段の入力対の第 2 入力に前記出力端子からの帰還信号が入力されるとき、前記第 2 の差動段の入力対の第 2 入力には前記第 2 の信号が入力され、

前記第 2 の差動段の入力対の第 2 入力に前記出力端子からの帰還信号が入力されるとき、前記第 1 の差動段の入力対の第 2 入力には前記第 1 の信号が入力される、ことを特徴とする請求項 1 記載の増幅回路。

【請求項 7】

前記第 1 の差動段の入力対の第 2 入力と前記出力端子に挿入されたスイッチと、

前記第 1 の差動段の入力対の第 1 の入力と第 2 入力間に挿入されたスイッチと、

前記第 2 の差動段の入力対の第 2 入力と前記出力端子に挿入されたスイッチと、

前記第 2 の差動段の入力対の第 1 の入力と第 2 入力間に挿入されたスイッチと、

を備えている、ことを特徴とする請求項 1 乃至 3 のいずれか一に記載の増幅回路。

【請求項 8】

前記第 1 差動対の出力対の少なくとも 1 つの出力と前記増幅段の入力間に挿入されたスイッチと、

前記第 2 差動対の出力対の少なくとも 1 つの出力と前記増幅段の入力間に挿入されたスイッチと、

を備えている、ことを特徴とする請求項 3 記載の増幅回路。

【請求項 9】

請求項 1 乃至 8 のいずれか一に記載の増幅回路と、

入力される第 1 及び第 2 のデジタル信号にそれぞれ対応した所定の電圧信号をサンプル・ホールドしてなる信号を、それぞれ、前記第 1 又は第 2 の信号として出力する第 1 及び第 2 のデジタルアナログ変換器と、

を備えている、ことを特徴とするデジタルアナログ変換回路。

【請求項 10】

請求項 1 乃至 8 のいずれか一に記載の増幅回路と、

タイムシリアルに入力される第 1 及び第 2 のデジタル信号に応じて、前記第 1 又は第 2

の信号をそれぞれ変換出力する第1及び第2のシリアルD A C(デジタルアナログ変換器)と、

を備えている、ことを特徴とするデジタルアナログ変換回路。

【請求項11】

第1のデータ期間において、

前記第1のシリアルD A Cは、前記第1のデータ期間に入力された前記第1のデジタル信号を前記第1の信号に変換し、

前記第2のシリアルD A Cは、前記第1のデータ期間の1つ前のデータ期間に入力されたデジタル信号を変換した信号を保持し、

前記增幅回路は、前記第2のシリアルD A Cに保持される前記信号を前記出力端子より增幅出力し、

前記第1のデータ期間の後に続く第2のデータ期間において、

前記第2のシリアルD A Cは、前記第2のデータ期間に入力された前記第2のデジタル信号を前記第2の信号に変換し、

前記第1のシリアルD A Cは、前記第1のデータ期間に変換した前記第1の信号を保持し、

前記增幅回路は、前記第1の信号を出力端子より增幅出力する、ことを特徴とする請求項10記載のデジタルアナログ変換回路。

【請求項12】

前記第1及び第2のシリアルD A Cの少なくとも1方が

入力されたデジタル信号の各ビットの値に応じて、出力端を、第1の電位端子又は第2の電位端子との接続に切り替える切替スイッチと、

前記切替スイッチの前記出力端と前記第1電位端子間に接続された第1の容量と、

前記切替スイッチの前記出力端に一端が接続された第1のスイッチと、

前記第1のスイッチの他端と前記第1電位端子間に接続された第2の容量と、

前記第2の容量の端子間に接続される第2のスイッチと、

を備えている、ことを特徴とする請求項11記載のデジタルアナログ変換回路。

【請求項13】

前記第1のシリアルD A Cは、

入力されたデジタル信号の各ビットの値に応じて、出力端を、第1の電位端子又は第2の電位端子との接続に切り替える切替スイッチと、

前記切替スイッチの前記出力端と前記第1電位端子間に接続された第1の容量と、

前記切替スイッチの前記出力端に一端が接続された第1のスイッチと、

前記第1のスイッチの他端と前記第1電位端子間に接続された第2の容量と、

前記第2の容量の端子間に接続される第2のスイッチと、

を備え、

前記第2のシリアルD A Cは、

前記切替スイッチの前記出力端に一端が接続された第3のスイッチと、

前記第1のスイッチの他端と前記第1電位端子間に接続された第3の容量と、

前記第2の容量の端子間に接続される第4のスイッチと、

を備えている、ことを特徴とする請求項11記載のデジタルアナログ変換回路。

【請求項14】

請求項9乃至13のいずれか一に記載のデジタルアナログ変換回路を含むデータドライバ。

【請求項15】

シリアルパラレル変換及びラッチ回路と、

参照電圧発生回路と、

デジタルアナログ変換回路と、

出力切替回路と、

前記各回路に必要な制御信号を生成する制御信号発生回路と、

を備え、

前記シリアルパラレル変換及びラッチ回路は、入力デジタルデータ信号と前記制御信号発生回路からの制御信号とを入力し、シリアル化されているデータ信号を出力数に対応してパラレル変換し、ビット単位でラッチし、該ラッチしたデータ信号をビット単位に、前記デジタルアナログ変換回路へ出力し、

前記デジタルアナログ変換回路は、第1及び第2極性にそれぞれ対応するデジタルアナログ変換回路を備え、

前記第1極性側のデジタルアナログ変換回路は、

前記参照電圧発生回路で生成された第1、第2の参照電圧をそれぞれ入力し、前記シリアルパラレル変換及びラッチ回路よりビット単位で順次出力されるデータ信号に応じて第1極性側の電圧信号を変換出力し、

前記第2極性側のデジタルアナログ変換回路は、

前記参照電圧発生回路で生成された第3、第4の参照電圧を入力し、前記シリアルパラレル変換及びラッチ回路よりビット単位で順次出力されるデータ信号に応じて第2極性側の電圧信号を変換出力し、

前記出力切替回路は、前記制御信号発生回路からの制御信号に基づき、前記デジタルアナログ変換回路より出力される前記第1極性側の電圧信号と前記第2極性側の電圧信号を、所定のタイミングにて第1、第2のドライバ出力端子に切替出力し、

前記第1極性側のデジタルアナログ変換回路と前記第2極性側のデジタルアナログ変換回路は、それぞれ、請求項9乃至13のいずれか一に記載のデジタルアナログ変換回路を含み、

前記第1極性側のデジタルアナログ変換回路の前記第1と第2の電位端子には前記第1と第2の参照電圧が供給され、

前記第2極性側のデジタルアナログ変換回路の前記第1、第2の電位端子には前記第3と第4の参照電圧が供給される、データドライバ。

#### 【請求項16】

請求項14又は15記載のデータドライバを備えた表示装置。

#### 【請求項17】

一方がデジタルアナログ変換を行うとき、他方は変換したアナログ電圧を保持する動作を、交互に切替えて行う、第1及び第2のD A C（デジタルアナログ変換器）と、

一方の差動回路が、その反転入力端にデジタルアナログ変換装置の出力端子が帰還接続されたボルテージフォロワ構成のとき、他方の差動回路の反転入力端と非反転入力端には同相信号が入力されるように切替制御される、第1及び第2の差動回路を含む増幅回路と、

を備え、

一方の差動回路がボルテージフォロワ構成のとき、前記一方の差動回路の非反転入力端には一方のD A Cより変換済みのアナログ電圧が入力され、反転入力端と非反転入力端に同相信号が入力される他方の差動回路に対応する他方のD A Cではデジタルアナログ変換が行われる、ことを特徴とするデジタルアナログ変換装置。

#### 【請求項18】

前記一方の差動回路がボルテージフォロワ構成のとき、デジタルアナログ変換が行われる前記他方のD A Cの出力信号が、前記同相信号として、前記他方の差動回路の反転入力端と非反転入力端に共通に入力される、ことを特徴とする請求項17記載のデジタルアナログ変換装置。

#### 【請求項19】

一方が入力信号のサンプリング動作を行うとき、他方はサンプリングされた信号をホールドする動作を、交互に切替えて行う、第1及び第2のサンプル・ホールド回路と、

一方の差動回路が、その反転入力端に増幅器の出力端子が帰還接続されたボルテージフォロワ構成のとき、他方の差動回路の反転入力端と非反転入力端には同相信号が入力されるように切替制御される、第1及び第2の差動回路と、

を備え、

一方の差動回路がボルテージフォロワ構成のとき、前記一方の差動回路の非反転入力端には一方のサンプル・ホールド回路でホールドされた信号が入力され、反転入力端と非反転入力端に同相信号が入力される他方の差動回路に対応する他方のサンプル・ホールド回路ではサンプリング動作が行われる、ことを特徴とする増幅装置。

【請求項 20】

前記一方の差動回路がボルテージフォロワ構成のとき、サンプリング動作が行われる前記他方のサンプル・ホールド回路の出力信号が、前記同相信号として、前記他方の差動回路の反転入力端と非反転入力端に共通に入力される、ことを特徴とする請求項 19 記載の増幅装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

本発明の 1 つのアスペクト(側面)に係る増幅回路は、第 1 及び第 2 の差動段と、

前記第 1 及び第 2 の差動段の出力信号を受け、増幅回路の出力端子を充電又は放電駆動する増幅段と、を備え、

前記第 1 の差動段の入力対の第 1 の入力は、第 1 の信号を受け、

前記第 2 の差動段の入力対の第 1 の入力は、第 2 の信号を受け、

前記第 1 の差動段の入力対の第 2 入力には、前記第 1 の信号又は前記出力端子からの帰還信号が切替入力され、

前記第 2 の差動段の入力対の第 2 入力には、前記第 2 の信号又は前記出力端子からの帰還信号が切替入力される、ことを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

本発明に係る増幅回路において、前記第 1 の差動段の入力対の前記第 1 及び第 2 の入力に、前記第 1 の信号と前記出力端子からの帰還信号とがそれぞれ入力されるとき、前記第 2 の差動段の前記第 1 及び第 2 の入力には前記第 2 の信号が共通に入力される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

本発明に係る増幅回路において、前記第 2 の差動段の入力対の前記第 1 及び第 2 の入力に、前記第 2 の信号と前記出力端子からの帰還信号とがそれぞれ入力されるとき、前記第 1 の差動段の前記第 1 及び第 2 の入力には前記第 1 の信号が共通に入力される。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

本発明に係る増幅回路において、前記第 1 の差動段の入力対の第 2 入力に前記出力端子

からの帰還信号が入力されるとき、前記第2の差動段の入力対の第2入力には前記第2の信号が入力され、前記第2の差動段の入力対の第2入力に前記出力端子からの帰還信号が入力されるとき、前記第1の差動段の入力対の第2入力には前記第1の信号が入力される構成としてもよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

本発明に係る増幅回路において、前記第1の差動段の入力対の第2入力と前記出力端子に挿入されたスイッチと、前記第1の差動段の入力対の第1の入力と第2入力間に挿入されたスイッチと、前記第2の差動段の入力対の第2入力と前記出力端子に挿入されたスイッチと、前記第2の差動段の入力対の第1の入力と第2入力間に挿入されたスイッチと、を備えている。