



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **228 387 A1**

4(51) G 11 C 11/40

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP G 11 C / 265 535 1	(22)	23.07.84	(44)	09.10.85
------	-----------------------	------	----------	------	----------

(71)	Akademie der Wissenschaften der DDR, 1086 Berlin, Otto-Nuschke-Straße 22/23, DD
(72)	Richter, Rainer, Dipl.-Ing.; Erzgräber, Heide, Dr.-Ing.; Weber, Christian, DD

(54) Dynamische Halbleiterspeicherzelle und damit ausgestatteter Halbleiterspeicher

(57) Die Erfindung betrifft eine VLSI-fähige dynamische Halbleiterspeicherzelle nach dem Ladungsschichtungsprinzip, die der Speicherung von digitalen Informationen dient, die in Form von beweglichen Ladungen in der Zelle kapazitiv gespeichert werden und bei deren Betreiben die Beauflagung der Source mit einer positiven Spannung gegenüber dem Substrat, durch Entflechtung der Doppelfunktion des Steuerbereiches der Zelle, nämlich der Isolation der Defektelektronen von der Steuerung des Zugriffs zur gespeicherten Ladung, vollständig entfallen kann. Dies wird durch Einführung eines weiteren Steuergatebereiches erreicht, wobei dieser Bereich aus einem Gate der 2. Gateebene besteht, das zur Vereinfachung der Ansteuerung und der Strukturierung mit dem Speichergate verbunden sein kann. Fig. 1

1

Titel der Erfindung

Dynamische Halbleiterspeicherzelle und damit ausgestatteter Halbleiterspeicher.

Anwendungsgebiet der Erfindung

5 Die Erfindung betrifft eine VLSI-fähige Halbleiterspeicherzelle nach dem Ladungsschichtungsprinzip, die der Speicherung von digitalen Informationen dient, die in Form von beweglichen Ladungen in der Zelle kapazitiv gespeichert werden.

10 Charakteristik der bekannten technischen Lösungen

Die Entwicklung VLSI-fähiger dynamischer RAM-Halbleiterspeicherzellen stützt sich zunehmend auf Ladungsschichtungszellen.

15 Die in Form von Defektelektronen in einer p^+ -Speicherschicht an der Oxid-Halbleiter-Grenzfläche der Zelle gespeicherte digitale Information wird bei der Ladungsschichtungszelle nicht direkt ausgelesen wie bei herkömmlichen 1-T Zellen, sondern dient der Steuerung des Stromes, der durch die Zelle fließen kann.

20 Dies bedingt eine Vergrößerung des Ausgangssignales an der Bitleitung der Halbleiterzelle.

Ladungsschichtungszellen mit einem seriellen Steuer-
gate verfügen neben dem Speicherbereich, bestehend aus
einer p^+ -Speicherschicht und einem darunter angeordneten
n-dotierten elektronenleitenden Kanal, dem "Buried-Chan-
5 nel", über einen an den Speicherbereich angrenzenden
Steuerbereich, bestehend aus einer p-dotierten Schicht
an der Oxid-Halbleiter-Grenzfläche. Speicherbereich und
Steuerbereich sind seitlich begrenzt durch die n^+ -do-
tierten Gebiete, Source und Drain und durch den Über-
10 gangsbereich zwischen Gate- und Feldoxid. Sowohl
Speicherbereich als auch Steuerbereich verfügen über je
eine Gateelektrode, über die die jeweiligen Zellbereiche,
Speicherbereich und Steuerbereich, zur Erfüllung der
Funktion der Zelle, elektrisch ansteuerbar sind.
15 Zur Realisierung der Funktion der Zelle (lesen, schreiben
und speichern) ist an der dem Steuerbereich zugehören-
den Gateelektrode, dem mit einer Wortleitung verbundenen
Steuergate, eine 3-Niveau Taktung erforderlich, wobei
die dem Hightakt zugeordnete Spannung das Lesen, die
20 Mittenspannung das Speichern und die dem Lowtakt zuge-
ordnete Spannung das Schreiben der durch die Wort-
leitung angesteuerten Zellen über den Spannungsdurch-
griff der Steuergateelektrode auf den Steuerbereich der
Zelle bewirkt. Eine große gespeicherte Defektelektronen-
25 menge entspricht dem Zustand "1", eine kleine dem Zu-
stand "0".

Die schaltungstechnische Realisierung der 3-Niveau-
Taktung ist problematisch und führt in der peripheren
Schaltung als Bestandteil des Speichers zu einem zusätz-
30 lichen Platzbedarf.

Der Steuerbereich der Ladungsschichtungszelle erfüllt
beim Betreiben der Zelle eine Doppelfunktion. Über den

Steuerbereich wird dazu die Aufrechterhaltung bzw. der
Abbau der Potentialbarriere für den Speicherbereich ge-
steuert, um ein Speichern bzw. Abfließen oder Einfließen
der Defektelektronen aus oder in die Speicherschicht
5 zu sichern. Weiterhin muß er bei der Funktion des
Speicherns den Stromfluß zwischen Source und Drain der
Zelle, der auf Grund der an Source und Drain notwendig
anliegenden unterschiedlichen positiven Spannungen auf-
treten kann, unterdrücken. Die Steuergatespannung ist
10 dabei so zu wählen, daß sie unter der Schwellspannung
des Steuergatebereiches der Zelle liegt, die durch den
Steuergateimplanten, das Substratmaterial, die Zell-
Geometrie und die Source-Bulk-Spannung bestimmt ist.
Die Höhe der Steuergatespannung ist andererseits auch so
15 hoch zu wählen, daß eine wirkungsvolle Potentialbarriere
für die in der Speicherschicht gespeicherten Defektelek-
tronen aufgebaut ist.

Diese sich in ihrem Wesen widersprechenden Forderungen
an das Potential des Steuerbereiches beim Speichern,
20 machen neben der 3-Niveau-Taktung auch eine Anhebung der
am Source anliegenden Spannung gegenüber dem Bezugs-
potential des Schaltkreises (Masse) notwendig.
Damit wird die Schwellspannung des Steuerbereiches der
Zelle durch die Substratsteuerung in positive Richtung
25 verschoben und ein unerwünschter Drain-Source-Strom
beim Speichern unterdrückt.

Diese Anhebung des Sourcepotentials, dem Bezugspotential
der Speicherzelle, verringert die für die Funktion der
Zelle wirksame Gate-Source- und Drain-Source-Spannung,
30 was neben der Substratsteuerung strombegrenzend wirkt
und beim Lesen nachteilig für die Zugriffszeit ist.
Bei Zellen, deren Lese- und Schreibleitung einheit-
lich durch die n^+ -Gebiete der Zellen gebildet wird, ist

beim Schreiben der Bitleitungsspannungshub eingeschränkt, da das Bitleitungslowtaktniveau nicht unter dem nach obigen Gesichtspunkten festgelegten Source-Potential der Zellen liegen darf, um einen in Richtung Bitleitung fließenden Strom durch die an der Bitleitung angeschlossenen Zellen der Speichermatrix zu unterbinden.

Ziel der Erfindung

Ziel der Erfindung ist es, eine dynamische Halbleiterspeicherzelle und einen damit ausgestatteten Halbleiterspeicher zu schaffen, wobei die Beauftragung des Source mit einer positiven Spannung gegenüber dem Substrat, der Source-Bulk-Spannung, entfallen kann.

Darlegung des Wesens der Erfindung

Der Erfindung liegt dabei die Aufgabe zugrunde, eine dynamische Halbleiterspeicherzelle und einen damit ausgestatteten Halbleiterspeicher zu schaffen, wobei die zwei Funktionen des Steuerbereiches der Ladungsschichtungszelle, nämlich die Isolation der Defektelektronen und die Steuerung des Zugriffs zur Information, entkoppelt sind.

Diese Aufgabe wird bei der dynamischen Halbleiterspeicherzelle und dem damit ausgestatteten Halbleiterspeicher, wobei die Halbleiterspeicherzelle nach dem Ladungsschichtungsprinzip aufgebaut ist und an der Oxid-Halbleiter-Grenzfläche über einen Steuerbereich mit einem seriellen Steuergate und einen an den Steuerbereich angrenzenden, mit einem Speichergate versehenen Speicherbereich, bestehend aus einer hochdotierten Oberflächenschicht vom Leitungstyp des

Substratmaterials, der sogenannten Speicherschicht, in der die logische Information "1" oder "0" durch die Anzahl der Ladungsträger, die vom Leitungstyp des Substratmaterials sind, bestimmt ist und einer darunter befindlichen leitenden Schicht vom entgegengesetzten Leitungstyp des Substratmaterials, dem sogenannten Buried-Channel besteht und bei der der Steuerbereich und der Speicherbereich durch die hochdotierten Gebiete vom entgegengesetzten Leitungstyp des Substratmaterials Source und Drain und durch seitlich parallel zum Buried-Channel geführte Potentialbarrieren für die Ladungsträger der hochdotierten Oberflächenschicht begrenzt sind und das Drain- oder Sourcegebiet der Zelle an die Bitleitung angeschlossen ist, erfindungsgemäß dadurch gelöst, daß der Steuerbereich der Zelle neben dem seriellen Steuergate mit der ersten Gateebene realisiert, ein serielles Zusatzgate mit der zweiten Gateebene realisiert, aufweist, die gegeneinander isoliert sind und unabhängig voneinander ansteuerbar sind und das serielle Zusatzgate elektrisch leitend mit dem Speichergate verbunden ist und daß der mit dem seriellen Steuergate gesteuerte Teil des Steuerbereiches als Schreibsteuerbereich zur Isolation bzw. zum Schreiben der Speicherregion ausgebildet und neben dem Speicherbereich angeordnet ist und der mit dem seriellen Zusatzgate gesteuerte Teil des Steuerbereiches als Zugriffsbereich zur Auswahl der Zelle und zur Stromunterdrückung für den Speicherzustand ausgebildet und zwischen dem Schreibsteuerbereich und einem der angrenzenden hochdotierten Gebiete vom entgegengesetzten Leitungstyp des Substratmaterials angeordnet ist und daß jede der beiden Gateebenen der Ladungsschichtungszelle beim Betreiben der Zelle mit nur zwei Spannungsniveaus beauftragt werden.

Eine Ausgestaltungsform der Zelle besteht dabei darin, das serielle Zusatzgate und das Speichergate gegeneinander elektrisch isoliert auszuführen und Zusatzgate und Speichergate unabhängig voneinander zu takten. Eine vorteilhafte Ausgestaltung der Zelle ist dadurch gegeben, daß der Zugriffsbereich und der Schreibsteuerbereich der Zelle unterschiedliche Dotierungsprofile aufweisen.

Ausführungsbeispiel

Nachfolgend wird die Erfindung anhand einer Ausführungsbeispielsbeschreibung mit Hilfe der Zeichnungen näher erläutert.

Die Figuren zeigen:

- Figur 1 einen Längsschnitt zur Erläuterung der dynamischen Halbleiterspeicherzelle nach dem Ladungsschichtungsprinzip sowie das Schaltsymbol
- Figur 2 ein Schaltbild der Speichermatrix
- Figur 3 ein Taktschema eines Schreiblesezyklus der erfindungsgemäßen Halbleiterzelle
- Figur 4 einen Layoutausschnitt zur Herstellung der Speicherzellenmatrix mit einer n-Kanal-Silizium-Gate-Technologie.

Die Schnittdarstellung (Fig. 1) zeigt die erfindungsgemäße dynamische Halbleiterspeicherzelle nach dem Ladungsschichtungsprinzip. Die Zelle weist im grenzflächennahen Bereich des Halbleitersubstrats 10 zwei dotierte Schichten 7 und 9 auf, von denen die Schicht 7

p-dotiert und die Schicht 9 p⁺-dotiert ist. Der Schicht 9 ist eine n-dotierte Schicht 8 in Richtung des Substratmaterials 10 unmittelbar nachgeordnet. Über einen Teil der p-dotierten Schicht 7, eine mittlere Dotandenkonzentration von etwa $1 \div 3 \cdot 10^{16} \text{ cm}^{-3}$ aufweisend, der p⁺-dotierten Speicherschicht 9 angrenzend, ist über einem Gateisolator 3 die Gateelektrode 2 angeordnet. Die Gateelektrode 2 mit dem darunter befindlichen Teil der p-dotierten Schicht 7 stellt den Schreibsteuerbereich dieser Halbleiterspeicherzelle dar. Über den an die n⁺-dotierte Schicht - Source 6, angrenzenden Teil der p-dotierten Schicht 7 ist über dem die Gateelektrode 2 überziehenden Isolator 12 sowie über dem Gateisolator 3 die Gateelektrode 1 angeordnet, die unter anderem über dem Speicherbereich der dynamischen Halbleiterzelle, bestehend aus der p⁺-dotierten Schicht 9 und der darunter befindlichen Schicht 8, angeordnet ist. Der an das Source 6 angrenzende Teil der p-dotierten Schicht 7 zusammen mit der diesen Teil der Schicht 7 überdeckenden Gateelektrode 1 bilden den Zugriffssteuerbereich der dynamischen Halbleiterspeicherzelle. Der Speicherbereich ist einerseits begrenzt durch den Schreibsteuerbereich, bestehend aus einem Teil der p-dotierten Schicht 7 und andererseits begrenzt durch die n⁺-dotierte Schicht 5, das Drain. Der Zugriffsbereich der Zelle ist einerseits begrenzt durch das Source 6 und durch den Schreibsteuerbereich der p-dotierten Schicht 7.

Die Speicherzellen einer Zeile der Speicherzellenmatrix haben eine gemeinsame Gateelektrode 2 als Hilfswortleitung HWL und eine gemeinsame Gateelektrode 1 als Wortleitung WL.

Die Gateelektrode 1 steuert sowohl den Zugriffsbereich als auch den Speicherbereich der Zellen. Das Draingebiet 5 ist mit der vertikal zur Wortleitung WL und Hilfswortleitung HWL geführten Bitleitung BL kontaktiert. Die Verschaltung mehrerer Halbleiterspeicherzellen zur Speichermatrix geht aus Fig. 2 hervor.

Der Betrieb einer Speicherzelle der Speichermatrix erfolgt nach dem Taktschema gemäß Fig. 3. Die Speicherzelle speichert bei einem an der Wortleitung WL anliegenden Lowtakt und einem an der Hilfswortleitung HWL anliegenden Hightakt. Dabei wird die Gateelektrode 2, die die Hilfswortleitung HWL darstellt mit einer positiven Spannung beaufschlagt und der darunter befindliche Schreibsteuerbereich der p-dotierten Schicht 7 baut eine Potentialbarriere zu der p⁺-dotierten Speicherschicht 9 auf, die einen Defektelektronenaustausch zwischen der Speicherschicht und dem Substrat über diese Barriere im wesentlichen unterbindet. Diese Defektelektronenisolation durch den Schreibsteuerbereich erfolgt bei an der Gateelektrode 2 anliegendem Highpotential, so daß die Potentialbarriere wesentlich höher ist als bei üblichen Seriellgatezellen mit einer 3-Niveautaktung, womit eine Vergrößerung der speicherbaren Defektelektronenmenge verbunden ist. Das dem Zugriffsbereich benachbarte n⁺-dotierte Gebiet, das Source 6, liegt dabei auf Substratpotential, wodurch ein schnellerer Zugriff beim Lesen dadurch erzielt wird, daß die wirksamen Gate-Source- und Drain-Source-Spannungen nicht durch das erhöhte Bezugspotential am Source 6 beeinträchtigt werden und die Source-Bulk-Spannung für die Speicherzelle entfällt.

Der Lesevorgang wird durch ein Hightakten der Wortleitung WL eingeleitet, wodurch sich die auf High vorge-
 ladene Bitleitung BL im Falle der in der p^+ -Speicher-
 schicht 9 gespeicherten Information "1" gegen das
 5 Source 6 der Speicherzelle entlädt, wonach der Ent-
 ladungszustand der Bitleitungskapazität als gelesene
 Information ausgewertet wird.

Wie in dem zur Speichermatrix Fig. 2 entworfenen Lay-
 out Fig. 4 ersichtlich ist, können die Sourcegebiete
 10 6 der Speicherzellen von jeweils zwei Zellen als ge-
 meinsame n^+ -Versorgungsleitung geführt werden, die
 zur Gewährleistung eines hinreichend konstanten Po-
 tentials durch parallel zur Bitleitung verlaufende
 Metalleitbahnen gestützt wird. Das beim Lesen der Zelle
 15 für einen ausreichenden Stromfluß durch die Zelle
 interessante Verhältnis von Weite zu Länge der gesamten
 Speicherzelle wird durch den zusätzlichen Seriellgate-
 bereich nicht wesentlich beeinträchtigt, da, wie in
 Fig. 4 ausgeführt, die Feldoxidstege aus dieser Region
 20 zurückgezogen sind, wodurch sich der Kanal im Zugriffs-
 bereich verbreitert.

Das Schreiben der Zelle erfolgt durch Hightakten der
 Wortleitung WL und Lowtakten der Hilfswortleitung HWL.
 Bei einer mittleren Dotandenkonzentration der p^+ -Ober-
 25 flächenschicht 9, von etwa $3 \cdot 10^{16} - 2 \cdot 10^{17} \text{ cm}^{-3}$ und
 dem in Richtung Substratmaterial 10 unter der Schicht 9
 angeordneten n-dotierten Buried-Channel 8 mit einer
 mittleren Dotandenkonzentration im Bereich von etwa
 1 $\cdot 10^{16} - 8 \cdot 10^{16} \text{ cm}^{-3}$ entscheidet der Spannungspegel
 30 "High" oder "Low" an der Bitleitung über die zu
 schreibende Information derart, daß die ausschreibende
 Wirkung der Speichergatespannung entweder wirksam

oder abgeschirmt wird. Eine auf Low getaktete Bitleitung BL bewirkt ein Einfließen von Elektronen in den Oberflächenbereich der p^+ -dotierten Schicht 9 und ein Einfließen von Defektelektronen aus dem Substrat 10 über den Schreibsteuerbereich in die p^+ -dotierte Schicht 9. Eine auf High getaktete Bitleitung BL hat eine große gateseitige Raumladungszonenausdehnung zur Folge, so daß die Defektelektronen über den Schreibsteuerbereich in das Substrat ausgeschrieben werden können.

5

10 Dabei ist der Bitleitungsspannungshub "High" - "Low" ausschlaggebend für die Ladungsmenge an Defektelektronen. Dadurch bedingt, daß die nicht aktivierten, an der Bitleitung angeschlossenen speichernden Zellen durch den Zugriffsbereich, an dessen Gateelektrode 1, der Wortleitung WL, ein Lowtakt anliegt, gesperrt werden, ist keine Vorspannung an der Bitleitung erforderlich, um den Stromfluß durch diese Zelle zu unterbinden. Der Bitleitungslowtakt zum Einschreiben von Defektelektronen in die Speicherschicht 9 kann deshalb auf Substratpegel

15

20 liegen.

Der Flächenbedarf der den Zugriffsbereich überlappenden Gateelektrode 1 bzw. der den Schreibsteuerbereich überlappenden Gateelektrode 2 liegt jeweils unter dem Flächenbedarf des Seriellgates einer konventionellen Seriellgatezelle, da für die Unterdrückung des Punch-through zwischen den kritischen Zonen n^+ -Source 6 und Buried Channel 8 die Summe beider Seriellgatelängen relevant ist und durch die nicht benötigte Vorspannung des n^+ -Source 6 die Punchthrough-Gefahr verringert wird.

25

30 Eine andere Möglichkeit zum Betreiben dieser Zelle wird durch ein Vertauschen der Klemmenspannungen an den n^+ -Gebieten erreicht. Damit erfüllt das dem Zugriffs-

bereich benachbarte n^+ -Gebiet die Funktion des Drain
und das dem Speicherbereich benachbarte Gebiet die
Funktion des Source in der Zelle.

5 Beim Rückschreiben über die Bitleitung wird dann eine
Umkehrung des gelesenen Spannungspegels erforderlich.

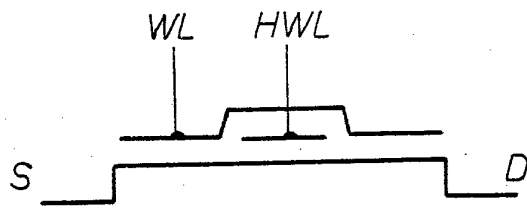
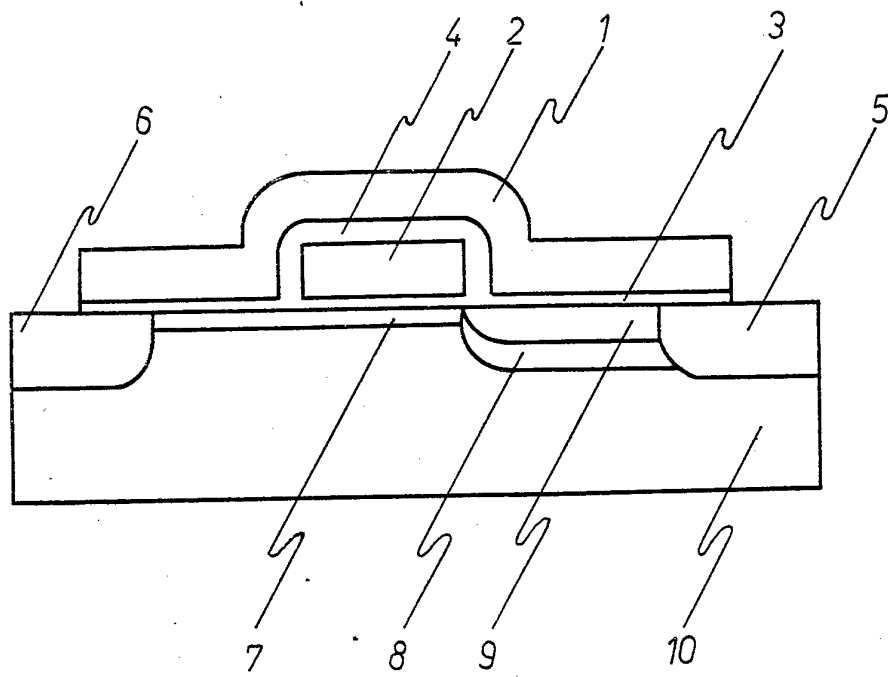
Erfindungsanspruch

1. Dynamische Halbleiterspeicherzelle und damit ausgestatteter Halbleiterspeicher, wobei die Halbleiterspeicherzelle nach dem Ladungsschichtungsprinzip
- 5 aufgebaut ist und an der Gateisolator-Halbleiter-Grenzfläche über einen Steuerbereich mit einem seriellen Steuergate und einen an den Steuerbereich angrenzenden, mit einem Speichergate versehenen Speicherbereich, bestehend aus einer hochdotierten
- 10 Oberflächenschicht vom Leitungstyp des Substratmaterials, der sogenannten Speicherschicht, in der die logische Information "1" oder "0" durch die Anzahl der Ladungsträger, die vom Leitungstyp des Substratmaterials sind, bestimmt ist und einer darunter befindlichen leitenden Schicht vom entgegengesetzten Leitungstyp des Substratmaterials, dem sogenannten Buried-Channel besteht und bei der der Steuerbereich und der Speicherbereich durch die hochdotierten Gebiete vom entgegengesetzten Leitungstyp
- 15 des Substratmaterials Source und Drain und durch seitliche parallel zum Buried-Channel geführte Potentialbarrieren für die Ladungsträger der hochdotierten Oberflächenschicht begrenzt sind und das den Speicherbereich der Zelle begrenzende n^+ -Gebiet
- 20 an eine Bitleitung angeschlossen ist, dadurch gekennzeichnet, daß der Steuerbereich der Zelle neben dem seriellen Steuergate ein von diesem isoliertes seriell Zusatzgate aufweist, das unabhängig vom Steuergate ansteuerbar ist und elektrisch
- 25 leitend mit dem Speichergate verbunden ist und daß der mit dem seriellen Steuergate gesteuerte Teil des Steuerbereiches als Schreibsteuerbereich zur
- 30

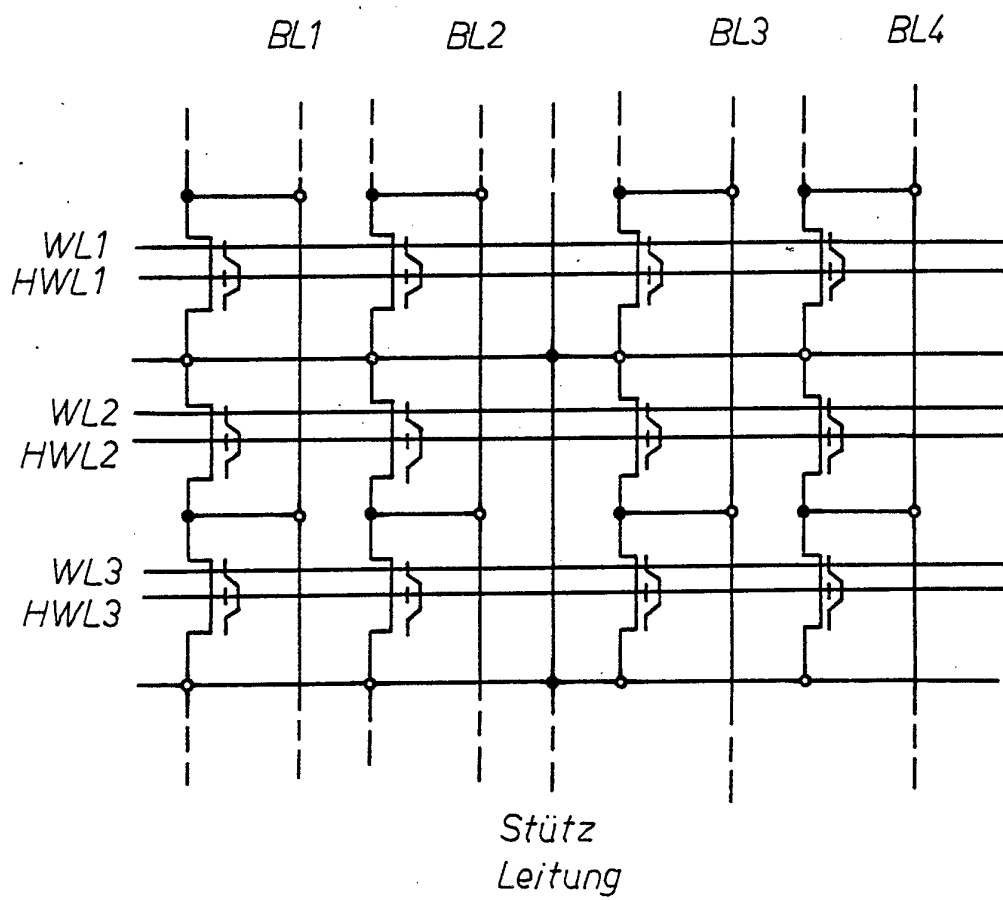
Isolation bzw. zum Schreiben der Defektelektronen der Speicherregion ausgebildet und neben dem Speicherbereich angeordnet ist und der mit dem seriellen Zusatzgate gesteuerte Teil des Steuerbereiches als
5 Zugriffsbereich zur Anwahl der Zelle und zur Drainstromunterdrückung im Speicherzustand der Zelle ausgebildet und zwischen dem Schreibsteuerbereich und einem angrenzenden hochdotierten Gebiet vom entgegengesetzten Leitungstyp des Substratmaterials angeordnet
10 ist und daß jedes der beiden Gates der Ladungsschichtungszelle beim Betreiben der Zelle mit nur zwei Spannungsniveaus beauftragt werden.

2. Dynamische Halbleiterspeicherzelle und damit ausgestatteter Halbleiterspeicher nach Punkt 1, dadurch
15 gekennzeichnet, daß serielles Zusatzgate und Speicher-
gate gegeneinander elektrisch isoliert sind.
3. Dynamische Halbleiterspeicherzelle und damit ausgestatteter Halbleiterspeicher nach Punkt 1, dadurch
20 gekennzeichnet, daß der Zugriffsbereich und der Schreibsteuerbereich der Zelle unterschiedliche Dotierungsprofile aufweisen.

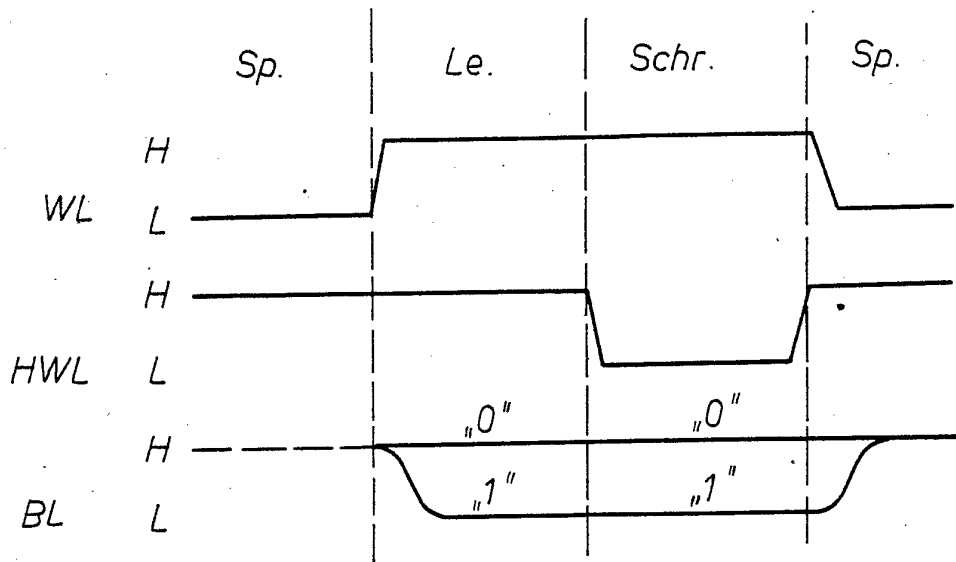
Hierzu 5 Seiten Zeichnungen



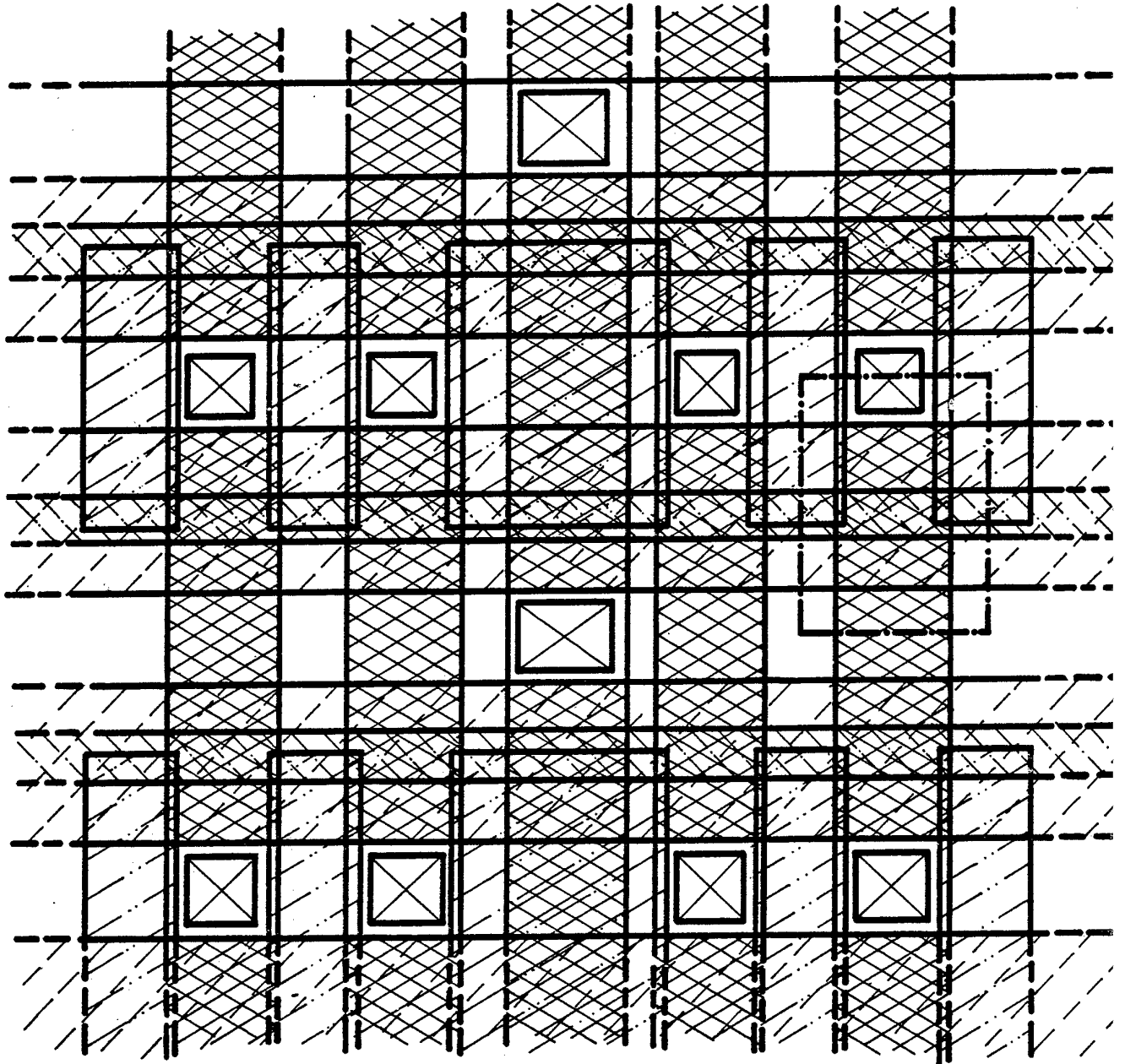
Figur 1









Figur 2



Figur 3



Figur 4

-  Feldoxid
-  1. Gateebene
-  2. Gateebene
-  Leitbahnebene
-  h^+ -Kontakt (Bitleitungskontakt)
-  Fläche einer Zelle