

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7232156号

(P7232156)

(45)発行日 令和5年3月2日(2023.3.2)

(24)登録日 令和5年2月21日(2023.2.21)

(51)国際特許分類

F I

H 0 3 K 3/0231(2006.01)

H 0 3 K 3/0231

H 0 3 K 3/354(2006.01)

H 0 3 K 3/354

B

H 0 3 K 3/03 (2006.01)

H 0 3 K 3/03

請求項の数 7 (全24頁)

(21)出願番号 特願2019-161337(P2019-161337)
(22)出願日 令和1年9月4日(2019.9.4)
(65)公開番号 特開2021-40266(P2021-40266A)
(43)公開日 令和3年3月11日(2021.3.11)
審査請求日 令和3年8月20日(2021.8.20)

(73)特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(73)特許権者 317011920
東芝デバイス&ストレージ株式会社
東京都港区芝浦一丁目1番1号
(74)代理人 100091982
弁理士 永井 浩之
(74)代理人 100091487
弁理士 中村 行孝
(74)代理人 100105153
弁理士 朝倉 悟
(74)代理人 100107582
弁理士 関根 毅
(74)代理人 100118843

最終頁に続く

(54)【発明の名称】 発振装置

(57)【特許請求の範囲】

【請求項1】

第1温度特性を有する第1電圧と、第1温度特性とは異なる第2温度特性を有する電圧と、の差を増幅し、第1温度特性及び第2温度特性のいずれとも異なる第3温度特性を有する第3電圧を生成する、第1増幅器であって、

第1抵抗群と、

前記第1電圧が入力される非反転端子と、前記第2温度特性を有する電圧が前記第1抵抗群を介して入力される反転端子と、非反転端子と反転端子とから入力される電圧を増幅して出力する、増幅器と、

前記増幅器の出力端子と前記増幅器の反転端子との間に接続され、前記増幅器の反転端子に対して前記第1抵抗群と対称な抵抗を有する、第2抵抗群と、

を備え、前記第1抵抗群及び前記第2抵抗群を前記増幅器の反転端子から同じ比率で分割したそれぞれの節点から、第2電圧及び前記第3電圧を出力する、第1増幅器と、

前記第2電圧及び前記第3電圧の和と、帰還電圧と、の差を増幅し、発振電圧の発振周波数を補正する第4電圧を生成する、第2増幅器と、

を有する、補正回路と、

前記第4電圧に基づいて、周波数を制御した前記発振電圧を出力する、発振回路と、を備える、発振装置。

【請求項2】

前記第1抵抗群の分割点は、前記第2温度特性を有する電圧が入力される側に接続され

10

20

る抵抗群が前記増幅器の反転端子に接続される抵抗群より大きくなるように設定され、

前記第2抵抗群の分割点は、前記増幅器の出力端子に接続される抵抗群が前記増幅器の反転端子に接続される抵抗群より大きくなるように設定された、

請求項1に記載の発振装置。

【請求項3】

前記第2増幅器は、前記第4電圧が、前記第1電圧に対して正又は負のオフセットを有するように電圧を増幅する、

請求項1又は請求項2に記載の発振装置。

【請求項4】

前記第2増幅器は、前記第4電圧が、前記第1電圧に対して正のオフセットを有するように電圧を増幅し、

前記第2電圧と前記第3電圧の和と、帰還電圧と、の差を増幅し、前記発振電圧を補正する第5電圧を生成する、第3増幅器であって、前記第5電圧が、前記第1電圧に対して負のオフセットを有するように電圧を増幅する、第3増幅器と、

前記第2増幅器の出力、及び、前記第3増幅器の出力を選択し、前記発振回路に前記第4電圧及び前記第5電圧のうちいずれかを出力する、スイッチと、

をさらに備える、請求項1又は請求項2に記載の発振装置。

【請求項5】

参照電圧と、前記第1電圧と、前記第2温度特性を有する電圧とを出力する、基準電圧回路と、

前記参照電圧を参照電流に変換する、電圧電流変換回路と、

前記発振回路から出力された前記発振電圧に基づいて、タイミング信号を出力する、タイミング回路と、

前記参照電流、前記第4電圧、及び、タイミング信号に基づいて、前記発振回路に入力する電圧を出力する、周波数制御回路と、

をさらに備え、

前記発振回路は、前記周波数制御回路が出力した電圧に基づいた発振周波数を有する前記発振電圧を出力する、

請求項1から請求項4のいずれかに記載の発振装置。

【請求項6】

前記第4電圧を増幅する、ゲインアンプ、

をさらに備え、

前記周波数制御回路は、前記参照電流、増幅された前記第4電圧、及び、タイミング信号に基づいて、前記発振回路に入力する電圧を出力する、

請求項5に記載の発振装置。

【請求項7】

前記基準電圧回路は、前記参照電圧、前記第1電圧、及び、前記第2温度特性を有する電圧のうち少なくとも1つが可変であるように制御する、

請求項5又は請求項6に記載の発振装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、発振装置に関する。

【背景技術】

【0002】

発振回路は、例えば、電子回路の動作の基準となるクロック信号を生成する回路であり、電子回路において重要な役割を果たす。このため、発振回路の出力は、例えば、出力する信号の周波数が温度によらず0.5%以下の誤差である、といった高い精度が求められる。しかしながら、BGR (Band-Gap Reference) 回路の温度特性、及び、電圧と電流とを変換する回路に備えられる抵抗の温度特性により、例えば、温度変化の2乗に比例する電圧

10

20

30

40

50

の誤差が生じ、この電圧の誤差に基づいて周波数にも誤差が生じ、精度を保つことが困難となる。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2008-017007号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一実施形態は、温度依存性の小さい発振回路を提供する。

10

【課題を解決するための手段】

【0005】

一実施形態によれば、発振装置は、第1増幅器と第2増幅器とを有する補正回路と、発振回路と、を備える。第1増幅器は、第1温度特性を有する第1電圧と、第1温度特性とは異なる第2温度特性を有する第2電圧と、の差を増幅し、第1温度特性及び第2温度特性のいずれとも異なる第3温度特性を有する第3電圧を生成する。第2増幅器は、前記第2電圧及び前記第3電圧の和と、帰還電圧と、の差を増幅し、発振電圧の発振周波数を補正する第4電圧を生成する。発振回路は、前記第4電圧に基づいて、周波数を制御した前記発振電圧を出力する。

【図面の簡単な説明】

20

【0006】

【図1】一実施形態に係る発振装置の概略を示すブロック図。

【図2】一実施形態に係る基準電圧回路の一例を示す回路図。

【図3】一実施形態に係る発振回路の一例を示す回路図。

【図4】一実施形態に係る補正回路の一例を示す回路図。

【図5】一実施形態に係る第2増幅器の一例を示す回路図。

【図6】一実施形態に係る電圧の温度特性を示す図。

【図7】一実施形態に係る電圧の温度特性を示す図。

【図8】一実施形態に係る電圧の温度特性を示す図。

【図9】一実施形態に係る第2増幅器の一例を示す回路図。

30

【図10】一実施形態に係る電圧の温度特性を示す図。

【図11】一実施形態に係る補正回路の一例を示す回路図。

【図12】一実施形態に係る発振装置の概略を示すブロック図。

【図13】一実施形態に係る基準電圧回路の一例を示す回路図。

【図14】一実施形態に係る電圧電流変換回路の一例を示す回路図。

【図15】一実施形態に係る周波数制御回路の一例を示す回路図。

【図16】一実施形態に係る発振回路とタイミング回路の接続を示す図。

【図17】一実施形態に係る周波数制御回路の電圧の変化を示す図。

【図18】一実施形態に係る基準電圧回路の一例を示す回路図。

【図19】一実施形態に係る基準電圧回路の出力の一例を示す図。

40

【図20】一実施形態に係る基準電圧回路の出力の一例を示す図。

【図21】一実施形態に係る基準電圧回路の出力の一例を示す図。

【図22】一実施形態に係る発振装置の概略を示すブロック図。

【図23】一実施形態に係るゲインアンプの一例を示す回路図。

【図24】一実施形態に係るゲインアンプの一例を示す回路図。

【図25】一実施形態に係る補正回路の一例を示す回路図。

【図26】一実施形態に係る補正回路の一例を示す回路図。

【図27】一実施形態に係る補正回路の一例を示す回路図。

【図28】一実施形態に係る基準電圧回路の一例を示す回路図。

【発明を実施するための形態】

50

【0007】

以下、図面を参照して実施形態について説明する。なお、以下の説明及び図面において、特に説明が必要な場合を除き、説明をわかりやすくするために電源電圧及び接地電圧との接続を省略していることがあるが、必要に応じて適宜接続されているものとする。また、単に、接地する、との記載は、電源電圧 V_{ss} と接続される場合を含む。

【0008】

例えば、図2において、差動増幅回路は、図には示されていないが電源電圧と接地電圧に接続されている。このように、バッファ、増幅器、比較器、論理演算回路等には電源との接続を省略している。また、説明において、同一の単語、例えば、同一の電圧、同一の電流、同一の抵抗値、同一の温度特性といった場合、厳密な一致を意味するのではなく、寄生抵抗、寄生容量等、及び、回路素子の個体差等による微量な差異を含む範囲で同一であるとする。また、増幅の記載は、より一般的にゲインを掛けることを意味し、1未満のゲインを掛ける、すなわち、減衰させることをも含む広義の意味を有していてもよい。

10

【0009】

(第1実施形態)

図1は、本実施形態に係る発振装置の概略を模式的に示すブロック図である。発振装置1は、基準電圧回路10と、補正回路20と、発振回路30と、を備える。発振装置1は、温度によらず安定した周波数特性を有するクロック信号を出力する装置(回路)である。

【0010】

基準電圧回路10は、基準電圧を生成する。生成する基準電圧は、例えば、BGR(Band Gap Reference)であり、基準電圧である第1電圧 V_{T1} 、第2電圧 V_{T2} を出力する。第1電圧 V_{T1} は、第1温度特性を有し、第2電圧 V_{T2} は、第2温度特性を有する。第1温度特性と第2温度特性とは、異なるものである。

20

【0011】

補正回路20は、基準電圧である第1電圧 V_{T1} と、第2電圧 V_{T2} とが入力されると、電圧特性が第1温度特性に対して温度の2乗の特性を有するオフセットが重畳された第4電圧 V_{C1} を出力する回路である。第4電圧 V_{C1} は、基準電圧回路10が出力した電圧の温度変化の2乗に関する効果を打ち消す温度依存性を有する。

【0012】

発振回路30は、補正回路20が出力した第4電圧 V_{C1} に基づいて周波数を制御したクロック信号を出力する回路である。発振回路30は、入力電圧に温度特性による誤差が発生すると、この誤差に基づいて出力する周波数に乱れを生じさせる。

30

【0013】

図2は、本実施形態に係る基準電圧回路10の一例を示す回路図である。基準電圧回路10は、抵抗 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ 、 $R5$ と、トランジスタ $PNP1$ 、 $PNP2$ と、出力トランジスタ $MP7$ と、差動増幅器と、を備える。第1電圧 V_{T1} は、一般的なBGRと同様の出力電圧を、抵抗 $R4$ 、 $R5$ により電圧降下した電圧である。一方、第2電圧 V_{T2} は、一般的なBGRにおいて負帰還させる電圧を出力させたものである。上記の回路素子の回路係数は、出力する電圧等に基づいて適切に決定される。

【0014】

また、基準電圧回路10において、各抵抗値は、例えば、第1電圧 V_{T1} についてなるべく温度傾斜が発生しないように設定される。特に、抵抗 $R1$ と抵抗 $R2$ の抵抗値は、必要となる温度帯、例えば、 $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ ($233\text{K}\sim 398\text{K}$)の間において、出力される電圧値が理論的に安定する値に設定される。

40

【0015】

抵抗 $R1$ は、一方の端子がトランジスタ $PNP1$ を介して接地され、他方の端子が抵抗 $R2$ 及び差動増幅器の非反転端子と接続される。抵抗 $R2$ は、一方の端子が抵抗 $R1$ と接続され、他方の端子が出力トランジスタ $MP7$ の出力端子と接続される。抵抗 $R3$ は、一方の端子が差動増幅器の反転端子及び基準電圧回路10の他方の出力端子と接続され、かつ、トランジスタ $PNP2$ を介して接地され、他方の端子が出力トランジスタ $MP7$ の出力端子と接続され

50

る。抵抗R4は、一方の端子が抵抗R5を介して出力トランジスタMP7の出力端子と接続され、他方の端子が接地する。また、この抵抗R4と抵抗R5の接続するノードが基準電圧回路10の一方の出力端子と接続される。

【0016】

例えば、抵抗R2、R3は、同じ特性（同じ温度特性、抵抗値）の抵抗を用いる。抵抗R1、R2の抵抗値の比は、例えば、出力する第1電圧VT1が温度に対して安定した（温度傾斜の小さい）出力となるように設定される。また、例えば、抵抗R4、R5は、第1電圧VT1と第2電圧VT2とが同等の電圧となるように設定される。より好ましくは、同等の電圧である上、さらに、温度を低温から高温（例えば、 -40°C ～ 125°C ）に変化させたときに、いずれかの温度において電圧値の高低が逆転するように設定される。第1電圧VT1と第2電圧VT2との差は、例えば、 -40°C ～ 125°C の範囲において、 $\pm 1\text{V}$ 程度であってもよい。より具体的な一例としては、第1電圧VT1は、温度によらず約 0.7V 、第2電圧VT2は、 -40°C では約 0.8V 、 125°C では約 0.6V 程度の電圧であってもよい。

【0017】

トランジスタPNP1、PNP2は、例えば、バイポーラ型のPNPトランジスタであり、ベースとコレクタが接続される、すなわちダイオード接続されるトランジスタである。半導体プロセス上の問題が少なく、又は、十分な性能が確保できるのであれば、ダイオードで代用してもよい。トランジスタPNP1（第1電源トランジスタ）は、エミッタが抵抗R1と接続され、コレクタ及びベースが接地される。トランジスタPNP2（第2電源トランジスタ）は、エミッタが抵抗R3と接続され、コレクタ及びベースが接地される。

【0018】

なお、図においてトランジスタPNP1、PNP2は、それぞれ1つのトランジスタが示されているが、これには限られない。例えば、複数のダイオード接続したトランジスタを並列に接続してトランジスタPNP1、PNP2を形成してもよい。この場合、例えば、トランジスタPNP1を形成するトランジスタ群におけるトランジスタの数よりもトランジスタPNP2を形成するトランジスタ群におけるトランジスタの数を少なくしてもよい。さらに、これらのトランジスタPNP1、PNP2のトランジスタ全体としてのエミッタの面積を同一のものとしてもよい。この構成は、特に、後述する図18においても同様に実装されてもよい。

【0019】

差動増幅器は、非反転端子に抵抗R2を介した出力電圧が入力され、反転端子に抵抗R3を介した出力電圧が入力される。この電位差を出力端子から増幅して出力する。

【0020】

出力トランジスタMP7は、例えば、p型のMOSFETである。出力トランジスタMP7は、例えば、ゲートに差動増幅器の出力が印加され、ソースが電源電圧と接続され、ドレインが抵抗R2、R3を介して差動増幅器と接続される。

【0021】

これらの回路素子の動作及び機能については、一般的なBGRと同様である。一方で、本実施形態に係る基準電圧回路10は、出力端子が2つあり、それぞれ第1電圧VT1と第2電圧VT2とを出力する。

【0022】

第1電圧VT1は、一般的なBGRと同様に温度傾斜の少ない電圧である。一方、第2電圧VT2は、第1電圧VT1とは温度特性の異なる同一の電圧、すなわち、ある温度では同一の電圧であるが、その温度からずれると異なる電圧となる。このように、基準電圧回路10は、第1温度特性を有する第1電圧VT1と、第1温度特性とは異なる第2温度特性を有する第2電圧VT2と、を出力する。

【0023】

さて、第1電圧VT1は、抵抗R1、R2等が理論的に正しい値に設定されたとしても、電源電圧、電流源等に起因する温度傾斜を有する。トランジスタPNP1、PNP2のコレクタ電流 I_c は、ベース－エミッタ間電圧 V_{BE} 、熱電圧 V_t 、絶対零度における V_{BE} 電圧 V_{B0} 、飽和電流 I_s 、絶対温度 T 、定数 A を用いて、以下のように表される。 k は、ボルツマン定数（ 1.3

10

20

30

40

50

8×10^{-23})、 q は、単位電荷 (1.60×10^{-19}) である。

【数 1】

$$I_c = I_s \exp\left(\frac{V_{BE}}{V_t}\right),$$

$$\text{where } V_t = \frac{kT}{q}, \quad I_s = AT^\gamma \exp\left(-\frac{V_{B0}}{V_t}\right)$$

【0024】

温度特性を有する電流源IE1でトランジスタを駆動した場合のVBEの温度特性は、 $I_E = BT^m$ (B: 定数) とおくと、以下のように表すことができる。

10

【数 2】

$$V_{BE} = V_t \ln\left(\frac{I_{E1}}{I_s}\right) = V_{B0} + V_t \left[\ln \frac{B}{A} - (\gamma - m) \ln T \right]$$

【0025】

ここで、 V_t は、 T に比例し、シリコンの場合、 $\gamma = 3.2$ 、 $m = 1$ 程度であるので、 $(\gamma - m) \ln T$ は、 $T = 233 \sim 398 \text{ K}$ の区間においてほぼ T に比例するため、【数 2】の V_{BE} は、 $-T^2$ に近似した曲率を持つ特性となる。すなわち、第1電圧 V_{T1} は、 T^2 に近似した曲率を有する。

20

【0026】

本実施形態に係る基準電圧回路10によれば、この第1電圧 V_{T1} の第1温度特性に対しさらに T^2 に基づいた温度特性を有するのが第2電圧 V_{T2} となる。

【0027】

図3は、本実施形態に係る発振回路30の一例を示す回路図である。発振回路30は、 n 型のMOSFETと、カレントミラーと、直列かつリング状に接続された奇数個の否定回路を有するリングオシレータと、を備える。入力された信号が n 型のMOSFETに印加され、カレントミラーを介してドレイン電流を流す。カレントミラーの出力電流に基づいた電圧が、電源としてそれぞれの否定回路に印加される。出力側の否定回路は、バッファとして用いられるものであり、その直前までで理想的なクロック信号が取得できるのであれば、備えられなくてもよい。

30

【0028】

複数個の直列に接続された否定回路は、それぞれが、電源として与えられる電圧に基づいた遅延を有して入力と出力を反転する。このため、入力電圧の高さにより、周波数が制御され、発振回路30から所望の周波数を有するクロック信号が出力される。ここで、第4電圧 V_{C1} が高くなると、第4電圧 V_{C1} がゲートに印加される n 型MOSFETのドレイン電流が増加する。このドレイン電流は n 型MOSFETと並列に接続された抵抗素子の電流に加算され、ドレイン電流の増加により、カレントミラーの出力電流も増加する。この場合、リングオシレータを構成する否定回路の電源電圧も増大し、各否定回路の伝播遅延が小さくなることにより、出力するクロック信号CKの周波数が上昇する。逆に、第4電圧 V_{C1} が低くなると、第4電圧 V_{C1} がゲートに印加される n 型MOSFETのドレイン電流が減少し、カレントミラーの出力電流も減少する。これにより、リングオシレータを構成する否定回路の電源電圧が低下し、各否定回路の伝播遅延が大きくなることにより、出力するクロック信号CKの周波数が低下する。

40

【0029】

図4は、本実施形態に係る補正回路20の一例を示す回路図である。補正回路20は、第1増幅器NAMP1と、第2増幅器AMP1と、を備える。補正回路20は、基準電圧回路10から出力された第1電圧 V_{T1} と第2電圧 V_{T2} とが入力され、第4電圧 V_{C1} を出力する。

50

【0030】

第1増幅器NAMP1は、増幅器と、第1抵抗Ra1、第2抵抗Ra2と、を備える。第1増幅器NAMP1は、増幅器に対して第1抵抗Ra1、第2抵抗Ra2により負帰還をする、反転増幅器である。第1増幅器NAMP1のゲインは、Ra1、Ra2により決定される。第1増幅器NAMP1は、第1電圧VT1が非反転端子に印加され、第2電圧VT2が反転端子VT2に印加され、第1温度特性及び第2温度特性のいずれとも異なる第3温度特性を有する第3電圧VT3を出力する。

【0031】

第2増幅器AMP1は、第2電圧VT2と、第3電圧VT3と、がそれぞれ非反転端子に接続され、出力する第4電圧VC1が反転端子に接続、すなわち、負帰還する、増幅器である。

10

【0032】

図5は、第2増幅器AMP1の一例を示す回路図である。第2増幅器AMP1は、非反転入力を受け付けるトランジスタMN1、MN2と、反転入力を受け付けるトランジスタMN3と、カレントミラーを構成するトランジスタMP1、MP2と、出力トランジスタMP3と、を備える。

【0033】

トランジスタMN1、MN2は、n型のMOSFETであり、ゲートにそれぞれ第2電圧VT2と、第3電圧VT3と、が印加される。トランジスタMN1、MN2は、ドレインと、ソースが共有接続される。トランジスタMN3は、n型のMOSFETであり、ゲートに帰還電圧である第4電圧VC1が印加される。トランジスタMN3は、トランジスタMN1、MN2とソースが共有接続される。これらのトランジスタMN1、MN2、MN3は、共有接続されたソースが電流源IC1に接続される。

20

【0034】

トランジスタMP1は、p型のMOSFETであり、ソースが電源電圧VD1と接続され、ゲートがトランジスタMP2のゲートと接続され、ドレインが、トランジスタMN1、MN2のドレインと接続される。トランジスタMP2は、p型のMOSFETであり、ソースが電源電圧VD1と接続され、ゲートがドレイン及びトランジスタMP1のゲートと接続され、ドレインがトランジスタMN3のドレインと接続される。

【0035】

トランジスタMP1のゲートと、トランジスタMP2のゲート及びドレインが接続されることにより、これらのトランジスタMP1、MP2は、トランジスタMP2のドレイン電流をトランジスタMP1のドレイン電流として出力するカレントミラーを構成する。

30

【0036】

出力トランジスタMP3は、p型のトランジスタであり、ソースが電源電圧VD1と接続され、ゲートがトランジスタMN1、MN2のドレインと接続され、ドレインが出力端子及びトランジスタMN3のゲートと接続される。ドレインは、さらに電流源IC2とも接続される。トランジスタMN3のゲートと出力トランジスタMP3のドレインとが接続されることにより、出力する第4電圧VC1がトランジスタMN3のゲートに印加される。

【0037】

このように、第2増幅器AMP1は、第2電圧VT2と第3電圧VT3が非反転端子に印加され、第4電圧VC1を出力する、負帰還の増幅器として動作する。

40

【0038】

ここで、トランジスタMN1、MN2のドレイン電流IN1、IN2は、チャネル幅W、チャネル長Lを用いて以下のように表すことができる。 μ はキャリアの移動度、 C_{ox} は単位面積あたりのゲート容量である。

【数3】

$$M = \frac{1}{2} \mu C_{ox} \frac{W}{L}$$

50

【数 4】

$$IN1 = M(V_{gs} + a - V_{th})^2,$$

$$IN2 = M(V_{gs} - a - V_{th})^2$$

【0039】

aは、V_{gs}からのオフセットであり、例えば、a=n(T-25) (n：定数) とする。

【0040】

また、トランジスタMN3のV_{gs}からのオフセットをbとすると、ドレイン電流IN3は、以下のように表すことができる。

【数 5】

$$IN3 = M(V_{gs} + b - V_{th})^2$$

【0041】

図5のような負帰還の増幅器であれば、出力電圧V_{OUT}は、IN3=(IN1+IN2)/2で安定する。【数4】、【数5】より、この条件は、以下のように表される。

【数 6】

$$(V_{gs} + b - V_{th})^2 = [(V_{gs} - V_{th})^2 + a^2]$$

【0042】

これをbについて解くと、解は、以下のように求められる。ただし、トランジスタIN3のゲートソース間電圧がしきい値電圧よりも高くなる条件を用いている。

【数 7】

$$b = -(V_{gs} - V_{th}) + (V_{gs} - V_{th}) \sqrt{1 + \frac{a^2}{V_{gs} - V_{th}}}$$

【0043】

a≪1として近似すると、以下のようにbが求まる。

【数 8】

$$b = \frac{a^2}{2(V_{gs} - V_{th})} = \frac{n^2(T - 25)^2}{2(V_{gs} - V_{th})}$$

【0044】

【数8】から、a≪1の場合、bがT²の関数で表される。図6は、第1電圧VT1の温度特性を基準として、第2電圧VT2、第3電圧VT3、第4電圧VC1の温度特性を示すグラフである。実線が第4電圧VC1、点線が第1電圧VT1、一点鎖線が第2電圧VT2、二点鎖線が第3電圧VT3を示す。

【0045】

この図6に示すように、例えば、第1電圧VT1を基準として、第2電圧VT2が負の勾配

10

20

30

40

50

を持つとすると、第1増幅器NAMP1により第3電圧VT3は、第2電圧VT2と近接した正の勾配を持つ電圧となる。さらに、第2増幅器AMP1にこれらの電圧を入力することにより、第4電圧VC1は、第1電圧VT1に対して温度の2乗に比例する温度特性を有する第4温度特性を有する電圧となる。

【0046】

以上のように、本実施形態によれば、第1増幅器NAMP1、第2増幅器AMP1により、出力される第4電圧VC1は、第1電圧VT1に対して2次の温度特性を有する。このため、第1電圧VT1に温度の2乗に比例する温度特性が発生する場合であっても、第1電圧VT1の2次の温度特性を打ち消すような第4電圧VC1を出力することができる。このように、第1電圧VT1の2次の温度特性を打ち消すような第4電圧VC1を出力することが可能となり、発振回路30に印加する電圧の2次の温度特性を抑制することができる。この結果、発振装置1は、基準電圧回路10において発生する2次の温度特性によらず、安定した周波数を有するクロック信号を出力することが可能となる。また、抵抗の温度特性を適切なものにすることにより、上記のような温度特性を有する出力電圧とすることが可能となる。

【0047】

図7は、図6に示す場合よりも、第1増幅器NAMP1のゲインを高めたものである。一方で、図8は、図6に示す場合よりも、第1増幅器NAMP1のゲインを低めたものである。このように、第1増幅器NAMP1のゲインにより2次の温度特性を調整することにより、様々な場合における基準電圧回路10についても適用することが可能となる。

【0048】

図9は、第2増幅器AMP1の別例を示す回路図である。第2増幅器AMP1は、非反転入力を受け付けるトランジスタMP4、MP5と、反転入力を受け付けるトランジスタMP6と、カレントミラーを構成するトランジスタMN4、MN5と、出力トランジスタMN6と、を備える。

【0049】

トランジスタMP4、MP5は、p型のMOSFETであり、ゲートにそれぞれ第2電圧VT2と、第3電圧VT3と、が印加される。トランジスタMP4、MP5は、ドレインと、ソースが共有接続される。トランジスタMP6は、p型のMOSFETであり、ゲートに帰還電圧である第4電圧VC1が印加される。トランジスタMP6は、トランジスタMP4、MP5とソースが共有接続される。これらのトランジスタMP4、MP5、MP6は、共有接続されたソースが電流源IC3を介して電源電圧VD1と接続される。

【0050】

トランジスタMN4は、n型のMOSFETであり、ソースが接地され、ゲートがトランジスタMN5のゲートと接続され、ドレインが、トランジスタMP4、MP5のドレインと接続される。トランジスタMN5は、n型のMOSFETであり、ソースが接地され、ゲートがドレイン及びトランジスタMN4のゲートと接続され、ドレインがトランジスタMP6のドレインと接続される。

【0051】

トランジスタMN4のゲートと、トランジスタMN5のゲート及びドレインが接続されることにより、これらのトランジスタMN4、MN5は、トランジスタMN5のドレイン電流をトランジスタMN4のドレイン電流として出力するカレントミラーを構成する。

【0052】

出力トランジスタMN6は、n型のトランジスタであり、ソースが接地され、ゲートがトランジスタMP4、MP5のドレインと接続され、ドレインが出力端子及びトランジスタMP6のゲートと接続される。ドレインは、さらに電流源IC4を介して電源電圧VD1とも接続される。トランジスタMP6のゲートと出力トランジスタMN6のドレインとが接続されることにより、出力する第4電圧VC1がトランジスタMP6のゲートに印加される。

【0053】

このように、第2増幅器AMP1は、第2電圧VT2と第3電圧VT3が非反転端子に印加され、第4電圧VC1を出力する、負帰還の増幅器として動作する。

【0054】

図10は、図9の第2増幅器AMP1を用いた場合における各電圧と温度との関係を示すグラフである。図6のグラフにおける第4電圧VC1が下に凸の形状をしているのに対し、図10においては、上に凸の形状をしている。このように、第1電圧VT1に対して正負逆の2次特性を有することができる。このため、第1電圧VT1が下に凸の2次の温度特性を有する場合には、図9に示すような第2増幅器AMP1を用いることにより、その2次の温度特性を打ち消すことが可能となる。もちろん、この場合においても、第1増幅器NAMP1のゲインを調整することにより、第4電圧VC1の形状を図6に対する図7、図8の用に変形することも可能である。

【0055】

(第2実施形態)

前述の実施形態においては、第2増幅器AMP1として、下に凸の2次特性を有する信号を出力する回路、又は、上に凸の2次特性を有する信号を出力する回路、のいずれかを備えているものであった。本実施形態では、いずれの場合にも対応できる増幅器を備えるものである。

【0056】

図11は、本実施形態に係る補正回路20の一例を示す回路図である。補正回路20は、第1増幅器NAMP1と、第2増幅器AMPNと、第3増幅器AMPPと、スイッチSwと、を備える。

【0057】

第2増幅器AMPNは、図5に示す第2増幅器と同等のものであり、第3増幅器AMPPは、図9に示す第2増幅器と同等のものである。すなわち、第2増幅器AMPNは、第2電圧VT2と、第3電圧VT3が非反転端子に印加されると、下に凸な2次の温度特性を有する第4電圧VCNを出力し、さらに第4電圧VCNを反転端子に帰還させる増幅器である。第3増幅器AMPPは、第2電圧VT2と、第3電圧VT3が非反転端子に印加されると、上に凸な2次の飛渡特性を有する第5電圧VCPを出力し、さらに第5電圧VCPを反転端子に帰還させる増幅器である。

【0058】

スイッチSwは、第2増幅器AMPNの出力と、第3増幅器AMPPの出力と、に接続され、いずれかの増幅器からの出力する電圧を出力する。すなわち、スイッチSwは、第4電圧VCN、又は、第5電圧VCPのいずれかを選択して、発振回路30へと出力する。

【0059】

以上のように、本実施形態によれば、補正回路20は、下に凸な2次特性を有する電圧か、上に凸な2次特性を有する電圧か、に限られず、いずれの場合においても、逆の2次特性を有する出力をする増幅器を選択することにより、発振回路30の周波数特性を制御することが可能となる。例えば、基準電圧回路10と発振回路30とを接続して発振させた場合に、2次の温度特性を計測し、その計測結果に基づいてスイッチSwが補正回路20において出力する増幅器を選択することにより、様々な場合において安定した周波数特性を有するクロック信号が出力されるように制御することができる。

【0060】

(第3実施形態)

図12は、第3実施形態に係る発振装置1の概略を示すブロック図である。発振装置1は、前述の実施形態と同様の構成である基準電圧回路10と、補正回路20と、発振回路30に加え、さらに、電圧電流変換回路40と、周波数制御回路50と、タイミング回路60と、を備える。また、基準電圧回路10は、第1電圧VT1、第2電圧VT2の他、参照電圧VR1も出力する。

【0061】

図13は、本実施形態に係る基準電圧回路の一例を示す図である。基準電圧回路10は、基本的には図2に示す基準電圧回路と同様であるが、第1電圧VT1、第2電圧VT2の他に、参照電圧VR1を出力する。参照電圧VR1は、出力トランジスタMP7のドレインの電位

10

20

30

40

50

を出力し、抵抗R5、R4を介して接地する。第1電圧VT1は、抵抗R4、R5の間のノードから出力される。第2電圧VT2は、前述の実施形態と同様に、第1電圧VT1と異なる温度特性を有するように出力される。

【0062】

図14は、本実施形態に係る電圧電流変換回路の一例を示す図である。電圧電流変換回路40は、増幅器と、抵抗RVIと、出力トランジスタと、モニタトランジスタと、を備える。

【0063】

出力トランジスタとモニタトランジスタは、それぞれp型のMOSFETである。これらのトランジスタは、ソースが電源電圧VD1と接続され、ゲートが共有接続される。共有接続されるゲートは、増幅器の出力と接続される。出力トランジスタは、増幅器の出力に基づいた電圧を出力する。モニタトランジスタは、ドレインが抵抗RVIを介して接地され、ドレインの電圧が増幅器の非反転端子と接続する。

【0064】

増幅器は、反転端子に参照電圧VR1が接続され、非反転端子にモニタトランジスタのドレインが接続される。モニタトランジスタのドレイン電流は、出力トランジスタのドレイン電流に比例した電流である。この電流が抵抗RVIを介して接地されることにより、ドレイン電流及び抵抗RVIに基づいた電圧が増幅器の非反転端子に入力される。すなわち、この増幅器の出力は、出力される電流IR1と抵抗RVIの積に比例した状態で安定する。

【0065】

言い換えると、電圧電流変換回路40から出力される電流IR1は、 $VR1/RVI$ に比例した、すなわち、参照電圧に比例した電流（参照電流）となる。この電圧電流変換回路40から出力される電流IR1は、周波数制御回路50へと入力される。

【0066】

図15は、本実施形態に係る周波数制御回路の一例を示す回路図である。周波数制御回路50は、補正回路20が出力する第4電圧VO1と、電圧電流変換回路40の出力する電流IR1と、発振回路30からタイミング回路60を介してフィードバックされた周波数信号と、が入力され、発振回路30へと印加する電圧VC1を出力する。

【0067】

周波数制御回路50は、スイッチSw1、Sw2、Sw3と、キャパシタC1、C2と、増幅器と、を備える。

【0068】

スイッチSw1、Sw2、Sw3は、タイミング回路60から出力される信号S1、S2、S3に対応して、オン、オフを切り替える。入力電流IR1は、スイッチSw2、Sw1を介して接地される。スイッチSw2、Sw1の間のノードは、増幅器の非反転端子と接続され、かつ、キャパシタC1を介して接地する。

【0069】

スイッチSw1がオンになると、キャパシタC1に蓄えられた電圧が放電される。一方で、スイッチSw1がオフになり、スイッチSw2がオンになると、キャパシタC1に充電され、増幅器の非反転端子に電圧が印加される。

【0070】

増幅器は、さらに、反転端子が、補正回路20の出力する電圧VO1と接続される。増幅器は、信号S1、S2により放電された後に充電された電圧と、電圧VO1との差を増幅して出力する。

【0071】

スイッチSw3は、増幅器の出力と接続され、発振回路30への出力電圧VC1を出力する。スイッチSw3は、周波数制御回路50の出力側において、出力端子と並列にキャパシタC2を介して接地する。

【0072】

図16は、本実施形態に係る発振回路30と、タイミング回路60との接続を示す図で

10

20

30

40

50

ある。発振回路 30 は、前述の各実施形態と同様のものである。発振回路 30 から出力されたクロック信号は、発振装置 1 から出力されるとともに、タイミング回路 60 に入力される。

【0073】

タイミング回路 60 は、入力されたクロック信号に基づいて、信号 S1、S2、S3 を出力する。

【0074】

図 17 は、タイミング回路 60 の出力する信号、及び、周波数制御回路 50 における電圧の変化を示す図である。一番上が、発振回路 30 が出力するクロック信号、二番目が、信号 S1 の電圧、三番目が信号 S2 の電圧、四番目が信号 S3 の電圧、五番目がスイッチ Sw1、Sw2 間の電圧 VINT、一番下が出力電圧 VC1 を示す。また、左から順番に、周波数が適性である場合、周波数が早い場合、及び、周波数が遅い場合の電圧の変化を示す。

10

【0075】

この図 17 に示すように、タイミング回路 60 は、クロック周波数に対して、1 周期分の信号を 4 周期ごとに信号 S1 として出力する。また、タイミング回路 60 は、信号 S1 に 1 周期分遅れるように、同様の信号を、信号 S2 として出力する。さらに、タイミング回路 60 は、信号 S2 に 1 周期分遅れるように、1.5 周期分の信号を信号 S3 として出力する。

【0076】

周波数制御回路 50 のスイッチ Sw1、Sw2、Sw3 は、これらの信号 S1、S2、S3 に基づいてオン／オフを繰り返す。

20

【0077】

まず、信号 S1 に基づいてスイッチ Sw1 がオンとなることにより、キャパシタ C1 が放電される。

【0078】

1 周期過ぎたタイミングで、信号 S1、S2 に基づいて、スイッチ Sw1 がオフ、スイッチ Sw2 がオンとなり、キャパシタ C1 が充電される。この充電により、電圧 VINT が上昇する。適正な周波数のクロック信号がフィードバックされる場合には、例えば、参照電圧 VR2 までキャパシタ C1 により電圧が上昇する。

【0079】

さらに 1 周期過ぎたタイミングで、信号 S2、S3 に基づいて、スイッチ Sw2 がオフ、スイッチ Sw3 がオンとなり、増幅器の出力に基づいた電圧が VC1 として出力される。キャパシタ C2 により積分回路が形成されるため、この増幅器の出力の 1 周期、すなわち、クロック信号の 1.5 周期分の電圧が積分された電圧 VC1 として出力される。

30

【0080】

電圧 VC1 が高くなり、発振回路 30 が出力するクロック信号の周波数が高くなると、スイッチ Sw1、Sw2、Sw3 のオン、オフのタイミングもそれにしたがって速くなる。

【0081】

スイッチ Sw2 のオン期間が短くなることにより、電圧 VINT は、適正な周波数である場合よりも低い値までしかならない。このため、増幅器及びスイッチ Sw3 を介して積分される電圧 VINT も図に示すように参照電圧 VR2 よりも低い値となる。そして、出力される電圧が高い場合には、徐々に出力電圧 VC1 が低くなるように制御される。この結果、発振回路 30 に印加される電圧が低くなり、周波数を低く、すなわち、適正な周波数に近づくように制御される。

40

【0082】

逆に、電圧 VC1 が低くなり、発振回路 30 が出力するクロック信号の周波数が低くなると、スイッチ Sw1、Sw2、Sw3 のオン、オフのタイミングもそれにしたがって遅くなる。そして、スイッチ Sw2 のオン期間も長くなる。このため、上記とは逆に、電圧 VINT が適性時の参照電圧 VR2 よりも高く引き上げられ、出力電圧 VC1 をより高くなるように制御される。この結果、発振回路 30 に印加される電圧が高くなり、周波数を高く、すなわち、適正な周波数に近づくように制御される。

50

【0083】

以上のように、本実施形態によれば、2次の温度特性に対する出力クロック信号の周波数の安定化を図るとともに、さらに、電圧の変動に伴うクロック信号の周波数の増減に対しても、安定な周波数の信号を出力するようにフィードバックして制御することが可能となる。なお、上記の信号S1、S2、S3の周期等は、図17に示した例には限られず、周期等が図17に示すものとは異なっても、適切に周波数をフィードバックして電圧を制御できる信号であればよい。

【0084】

(第4実施形態)

図18は、第4実施形態に係る発振装置1における基準電圧回路10の一例を示す回路図である。基準電圧回路10は、図13に示す基準電圧回路の抵抗を分割し、さらに2つのスイッチを加えたものである。この基準電圧回路10は、例えば、図12に示す基準電圧回路を置き換えるものである。

10

【0085】

参照電圧VR1は、出力トランジスタMP7のドレインに対して、抵抗R6を介して出力可能となる、又は、さらに抵抗R2の一部を介して出力可能となるスイッチにより制御される。すなわち、参照電圧VR1は、出力トランジスタMP7のドレイン電圧から抵抗R6の一部で電圧降下された電圧、抵抗R6により電圧降下された電圧、及び、抵抗R6と抵抗R2の一部で電圧降下された電圧、のうちいずれかを選択して出力する。同様に、第1電圧VT1も、抵抗R4の一部により電圧降下された電圧と切り替えられるようにスイッチにより制御される。

20

【0086】

これらは、例えば、抵抗R2、R4、R6のそれぞれを複数の抵抗からなる抵抗群として複数の抵抗をもちいて構成することにより実装されてもよい。それぞれの抵抗群において、所定の箇所、又は、任意の箇所において出力が可能となる配線を備えておき、当該配線を選択するスイッチをそれぞれの抵抗群に対して備えてもよい。また、抵抗R2、R4、R6の全ての抵抗を抵抗群にする必要はなく、これらのうち少なくとも1つを抵抗群として構成してもよい。

【0087】

また、上述したように、トランジスタPNP1は、n個並列に接続されて構成されるトランジスタであってもよいし、同様に、トランジスタPNP2は、m個並列に接続されて構成されるトランジスタであってもよい。

30

【0088】

参照電圧VR1のスイッチを切り替えることにより、参照電圧VR1に抵抗R6、又は、抵抗R2による1次の温度特性を有する電圧として出力することができる。

【0089】

図19は、本実施形態の参照電圧VR1の変化を示す図である。例えば、図18における電圧VR1に係るスイッチを切り替えることにより、出力するBGR電圧を、1.2Vのフラットな電圧に対して1次の傾斜を有するように制御することができる。例えば、シリコンのバンドギャップに基づく出力をする場合に、1.2V程度のフラットな温度特性を有する電圧に対して、抵抗R6及び抵抗R2により、任意の傾斜を持つ温度特性へと制御することができる。

40

【0090】

さらに、第1電圧VT1の抵抗取り出し位置を上側のノードと接続されるようにすると、図20に示すように、凸型の頂点を、温度の低い方へと移動させることができる。逆に、第1電圧VT1の抵抗取り出し位置を下側のノードと接続されるようにすると、図21に示すように、凸型の頂点を、温度の高い方へと移動させることができる。

【0091】

以上のように、本実施形態によれば、基準電圧回路の出力する参照電圧VR1の1次の温度特性を制御し、また、第1電圧VT1の2次の温度特性を制御することが可能となる。こ

50

のため、BGRの出力電圧の2次温度依存性、及び、電圧電流変換回路40の抵抗素子の持つ2次温度特性によって生じる発振周波数の2次温度変動の補正をより自由に柔軟に行うことが可能となり、より精度の高い発振周波数を取得することが可能となる。

【0092】

また、参照電圧VR1と第1電圧VT1は、抵抗R6、R5、R4の直列抵抗の分圧となるため、BGRで発生する出力電圧変動が同じ比率で発生する。この場合、電流IR1は、参照電圧VR1に比例し、第4電圧VO1は、第1電圧VT1を基準とするオフセットが発生する。このため、周波数制御回路50においてこのばらつきが相殺され、より変動の少ない発振周波数が得られる。例えば、電源電圧変動により電圧VR1が1%上昇した場合、電流IR1も1%増加し、電圧VINTも1%増加する。電圧VT1は、電圧VR1と同じ比率で影響を受けるため、電圧VT1も1%上昇し、電圧VO1も1%上昇する。この結果、周波数制御回路50において、この上昇分が相殺され、変動の少ない発振周波数を取得できる。

10

【0093】

この場合、電圧VR1の1次温度特性の調整による変動分は電圧VO1には含まれない。また、電圧VO1の2次温度特性の調整による変動分は電圧VR1には含まれない。このため、電圧VR1において1次係数が、電圧VO1において2次係数の補正が、それぞれ出力に対して適切に反映されることとなる。

【0094】

(第5実施形態)

図22は、第5実施形態に係る発振装置1の概略を示すブロック図である。発振装置1は、第3実施形態、又は、第4実施形態に係る発振装置1に、さらに、補正回路20の出力のゲインを調整する、ゲインアンプ70を備える。

20

【0095】

ゲインアンプ70は、補正回路20の出力する第4電圧VO1を増幅した電圧VO2を出力する。この電圧VO2は、周波数制御回路50に入力される。

【0096】

図23は、本実施形態に係るゲインアンプの一例を示す回路図である。ゲインアンプ70は、増幅器と、抵抗Rf、Rsとを備える。

【0097】

増幅器の非反転端子は、電圧VO1と接続される。増幅器の出力は、抵抗Rf、Rsを介して接地され、かつ、抵抗Rfを介して非反転端子に接続される。ゲインアンプ70は、増幅器の出力する信号を出力する。

30

【0098】

抵抗Rf、Rsを適切に決定することにより、ゲインアンプ70は、入力された電圧VO1を増幅して出力する。

【0099】

図24は、ゲインアンプの別の例を示す回路図である。ゲインアンプ70は、上記の抵抗Rf、Rsを切り替えられるように、複数の抵抗から構成される抵抗Rfと、抵抗Rsとを備え、さらに、抵抗Rfのいずれの節点から増幅器の非反転入力へとフィードバックするかを切り替えるスイッチを備えてもよい。例えば、図24のように上側の節点と接続される場合、抵抗Rfとして、上1つの抵抗が選択され、抵抗Rsとして下側の抵抗の合成抵抗が選択される。下側の接点と接続される場合には、逆の状態となる。なお、図24においては、選択される節点は2つであるが、これには限られず、3以上の複数の節点を有し、より細かい設定が可能となる可変抵抗として構成されてもよい。

40

【0100】

図18に示す基準電圧回路10におけるスイッチの切り替えと、図24のゲインアンプ70におけるスイッチの切り替えとを組み合わせると発振装置1を構成してもよい。例えば、図18において第1電圧VT1を低くした場合には、ゲインアンプ70におけるゲインが高くなるようにスイッチを切り替え、第1電圧VT1を高くした場合には、ゲインアンプ70におけるゲインが低くなるようにスイッチを切り替えてもよい。

50

【0101】

このように切り替えることにより、第4電圧V01を増幅した電圧V02の電圧が、ゲインによらず所定値になるように制御することが可能となる。

【0102】

以上のように、本実施形態によれば、補正回路20の出力する第4電圧V01を増幅して周波数制御回路50へと入力することが可能となる。この場合、前述の第4実施形態と同様に、2次の温度特性の補正が適切に反映される。さらに、周波数制御回路50における電圧VINTの大きさを電圧V01の電圧に依存せずに設定可能となるため、前述の実施形態と比較してダイナミックレンジを広くすることが可能となり、結果として、発振周波数の精度の向上、及び、設計容易性が向上する。

10

【0103】

(第6実施形態)

図25は、本実施形態に係る補正回路20の一例を示す回路図である。補正回路20は、第1増幅器NAMP1と、第2増幅器AMP1と、を備える。

【0104】

第1増幅器AMP1は、増幅器と、第1抵抗群Ra10、Ra11、第2抵抗群Ra20、Ra21と、を備える。第1増幅器NAMP1は、増幅器に対して第1抵抗群Ra10、Ra11、第2抵抗群Ra20、Ra21により負帰還する、反転増幅器である。第1増幅器NAMP1のゲインは、Ra10とRa11の抵抗値の比、及び、Ra20とRa21の抵抗値の比により決定される。

【0105】

例えば、抵抗値を、 $Ra10 = Ra20 \gg Ra11 = Ra21$ とし、ゲインを小さくする。第1増幅器NAMP1は、第1電圧VT1が非反転端子に印加され、第2電圧VT2が反転端子VT2に印加され、第1温度特性及び第2温度特性のいずれとも異なる第3温度特性を有する第3電圧VT3を出力する。このようにゲインを小さくすることにより、第2電圧VT2と、第3電圧VT3は、同等の電圧値を有する。一方で、第2温度特性と第3温度特性とは、第1温度特性に対して対象な特性となる。

20

【0106】

第1増幅器NAMP1は、第2電圧VT2に対して抵抗Ra10を介した電圧を新たな第2電圧VT2として第2増幅器AMP1へと出力する。また、第1増幅器NAMP1は、負帰還する電圧に対して、抵抗Ra20を介した電圧を第3電圧VT3として第2増幅器AMP1へと出力する。

30

【0107】

このように第2電圧VT2、第3電圧VT3を生成することにより、第4電圧VC1を生成するタイミングにおいて、第2電圧VT2、第3電圧VT3の温度の2乗に比例する電圧特性を打ち消すのに加え、温度に比例する電圧特性の影響をも低減することが可能となる。

【0108】

図26は、この補正回路20の実装の一例を示す回路図である。例えば、第1抵抗群、第2抵抗群は、それぞれ3つの節点を備える抵抗群を備え、この3つの節点を切り替える2つのスイッチを備える。これらの2つのスイッチは連動して動作し、双方のスイッチにおいて共通するS1、S2、S3のいずれかが選択されて出力する電圧が決定される。第1抵抗群と第2抵抗群に備えられる抵抗は、第1抵抗群及び第2抵抗群の間の節点を中心として、その抵抗値が対称になるように備えられる。このように対称になるように抵抗を接地することにより、Ra10とRa11の比、及び、Ra20とRa21との比が等しくなる。

40

【0109】

例えば、図26に示すように双方のスイッチがS1と接続される場合、第1抵抗群のうち、抵抗Ra10として左の3つの抵抗が、抵抗Ra11として右の1つの抵抗が選択される。同様に、第2抵抗群のうち、抵抗Ra20として右の3つの抵抗が、抵抗Ra21として左の1つの抵抗が選択される。スイッチをS2、S3へと切り替えることにより、左右の抵抗の比を同等にするように抵抗値を切り替えることが可能となる。

【0110】

50

なお、図 26 においては、3つの節点を選択するものであるが、これには限られず、2つの節点を選択するものであってもよいし、4つ以上の節点を選択するものであってもよい。また、図 26 の配置は、飽くまで一例として示したものであり、図 25 に示す可変抵抗の実装例は、これに限られるものではない。適切に、同等の温度特性が得られ、かつ、各抵抗の比が設定できる回路として可変抵抗が実装できればよい。

【0111】

図 27 は、補正回路 20 のさらなる別の例を示す回路図である。図 26 が図 4 に対応するものであるとすると、図 27 は、図 11 に対応する例を示すものである。このように、図 26 に示す第 1 増幅器 NAMP1 を、図 11 に示す第 1 増幅器 NAMP1 と置き換えてもよい。

10

【0112】

(第 7 実施形態)

図 28 は、本実施形態に係る基準電圧回路 10 を示す回路図である。この図 28 に示すように、基準電圧回路 10 は、第 1 電圧 VT1 と異なる温度特性を有するように、抵抗 R1、R2 の間の節点、すなわち、差動増幅器の非反転端子に印加される電圧を第 2 電圧 VT2 として出力してもよい。

【0113】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

【0114】

- 1：発振装置、
- 10：基準電圧回路、
- 20：補正回路、
- 30：発振回路、
- 40：電圧電流変換回路、
- 50：周波数制御回路、
- 60：タイミング回路

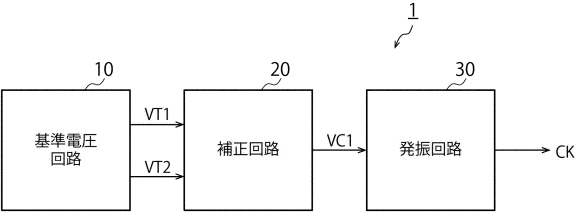
30

40

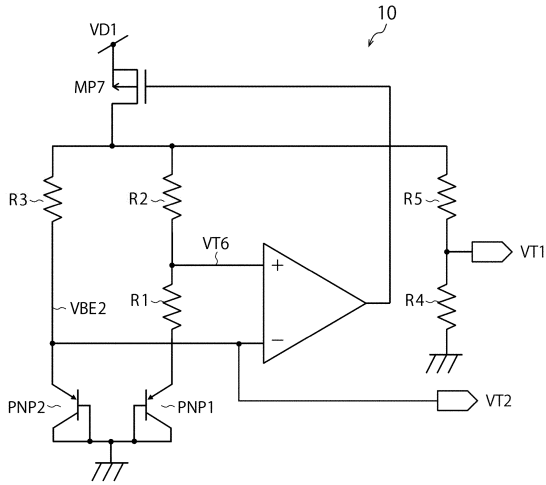
50

【図面】

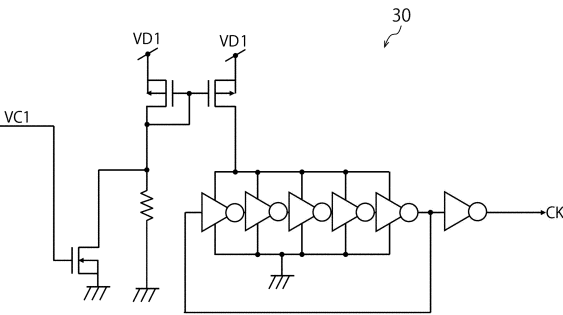
【図 1】



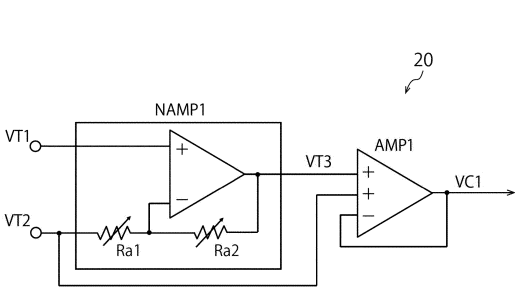
【図 2】



【図 3】



【図 4】



10

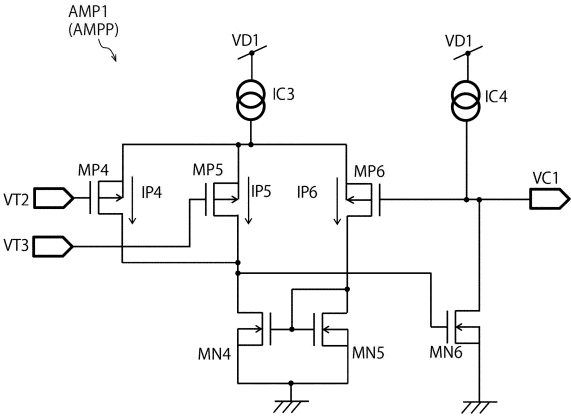
20

30

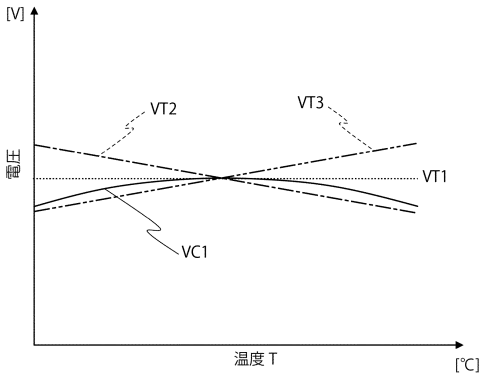
40

50

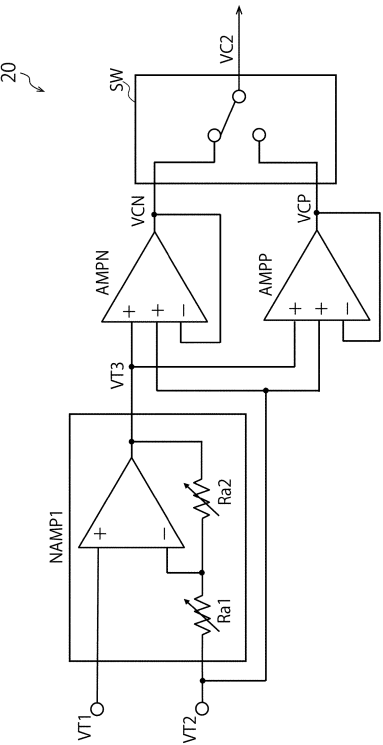
【図 9】



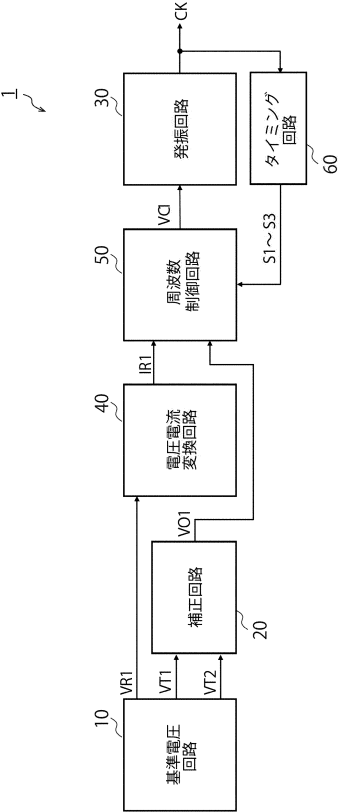
【図 10】



【図 11】



【図 12】



10

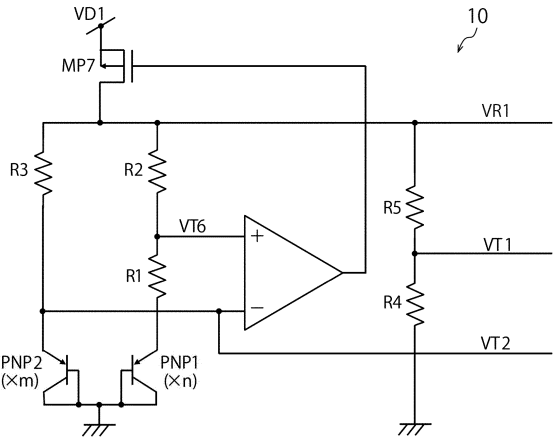
20

30

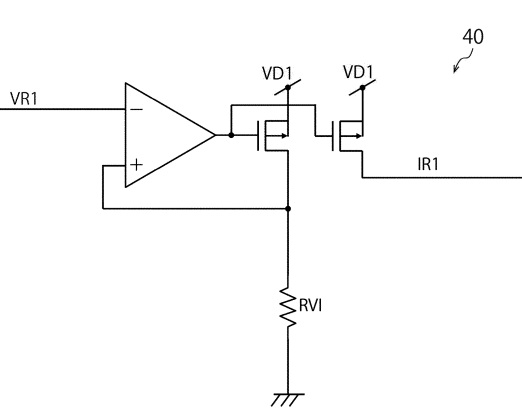
40

50

【図 1 3】

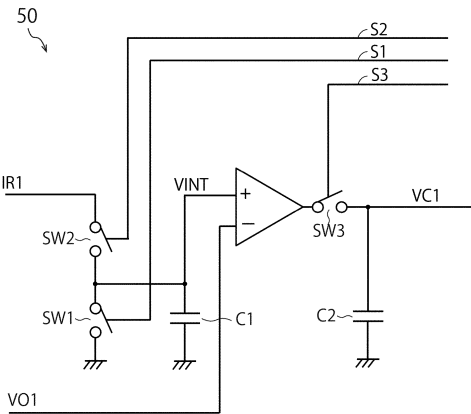


【図 1 4】

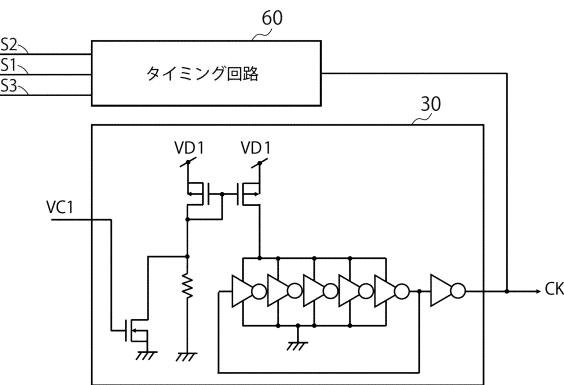


10

【図 1 5】



【図 1 6】



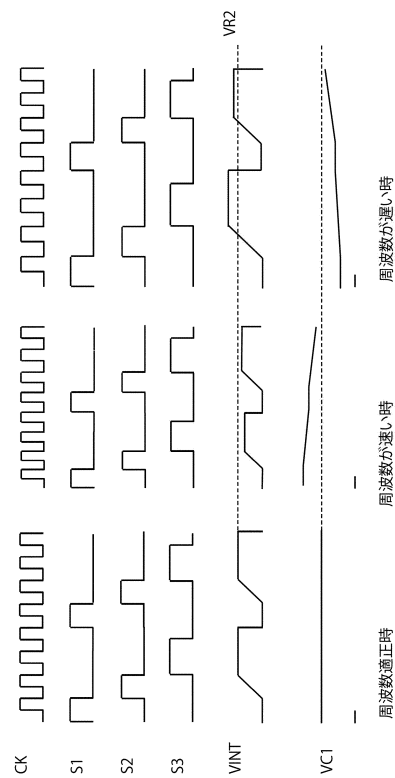
20

30

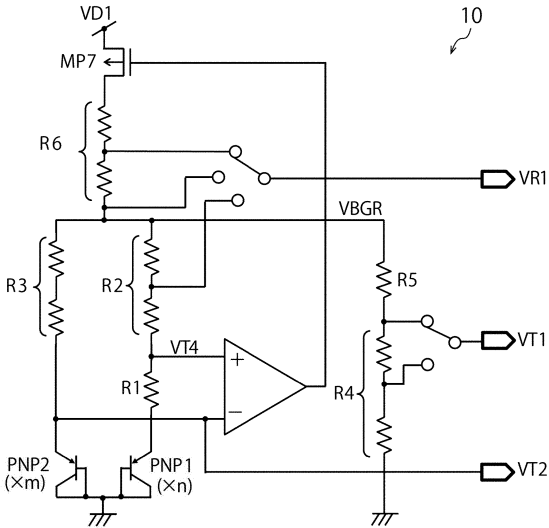
40

50

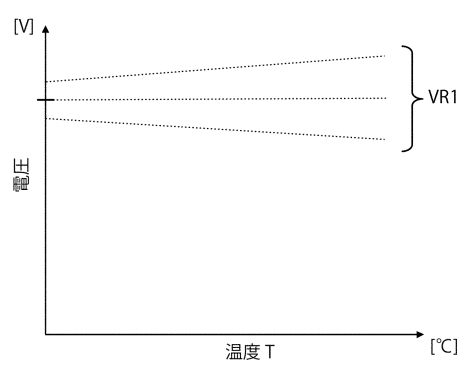
【図 17】



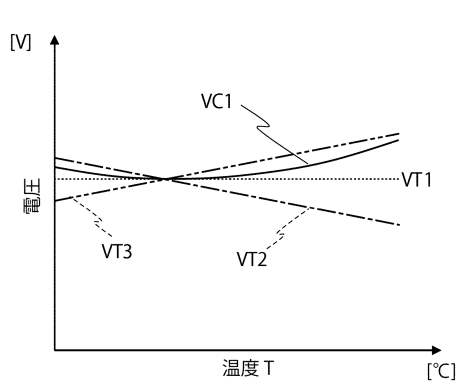
【図 18】



【図 19】



【図 20】



10

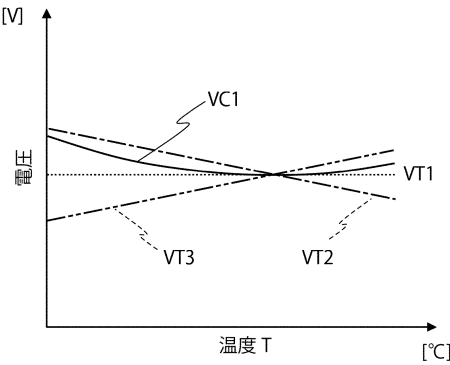
20

30

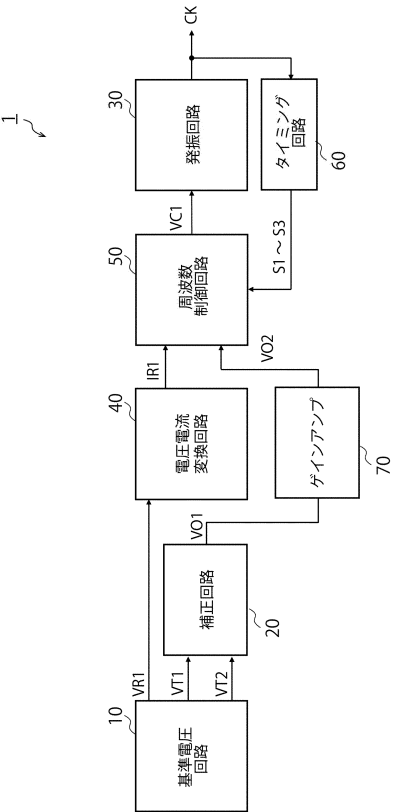
40

50

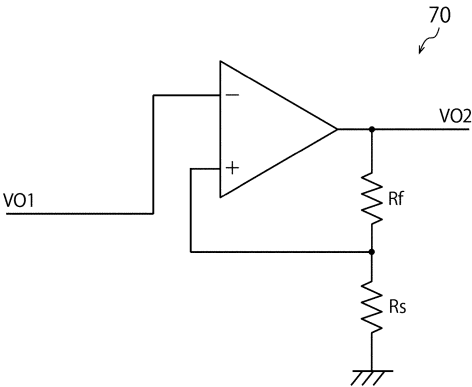
【図 2 1】



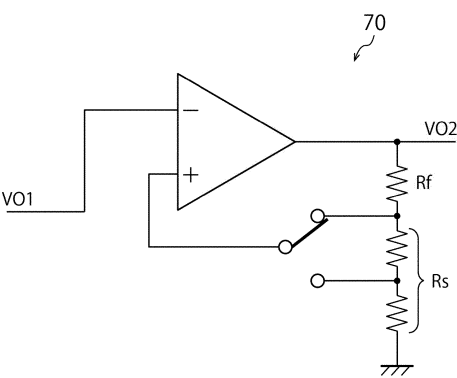
【図 2 2】



【図 2 3】



【図 2 4】



10

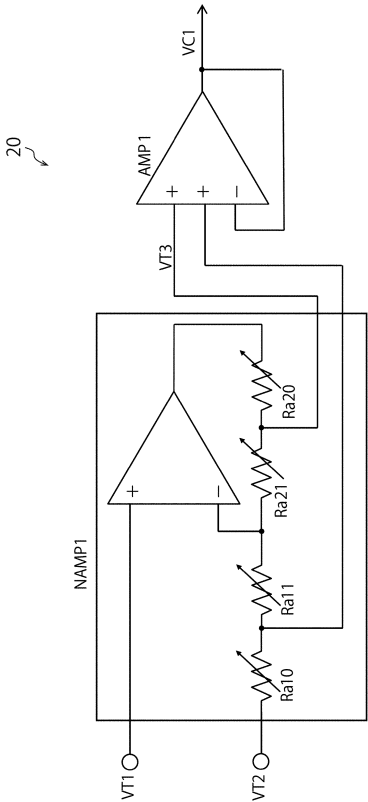
20

30

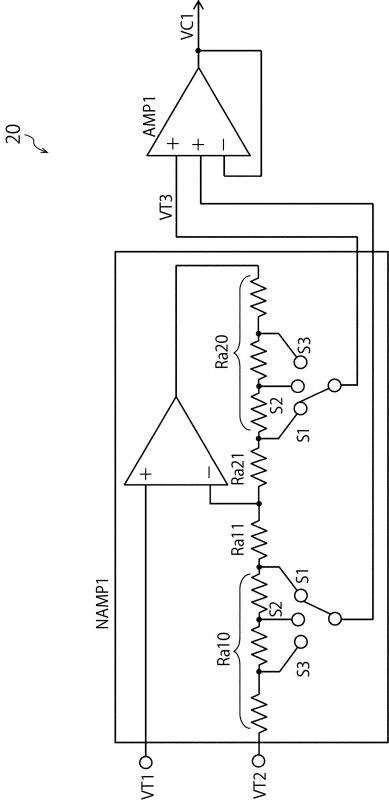
40

50

【図 2 5】



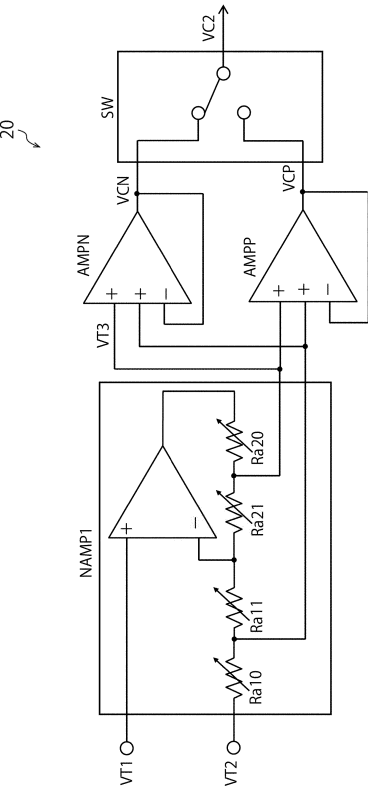
【図 2 6】



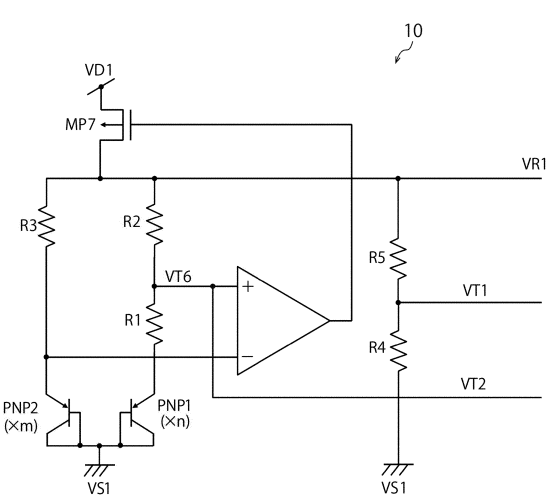
10

20

【図 2 7】



【図 2 8】



30

40

50

フロントページの続き

弁理士 赤岡 明
(74)代理人 100202429
弁理士 石原 信人
(72)発明者 諏訪部 裕之
東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内
審査官 及川 尚人
(56)参考文献 特開2012-138870 (JP, A)
特開2001-143183 (JP, A)
特開2008-109635 (JP, A)
特開平11-068463 (JP, A)
特開2012-154829 (JP, A)
独国特許出願公開第10155082 (DE, A1)
(58)調査した分野 (Int.Cl., DB名)
H03K 3/0231
H03K 3/354
H03K 3/03