



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0090563
(43) 공개일자 2009년08월26일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

H01L 21/336 (2006.01)

(21) 출원번호 10-2008-0015848

(22) 출원일자 2008년02월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

조금석

경기 화성시 병점동 임광그대가아파트 903동 103호

이장은

경기 수원시 영통구 망포동 현대아이파크아파트 201동 701호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

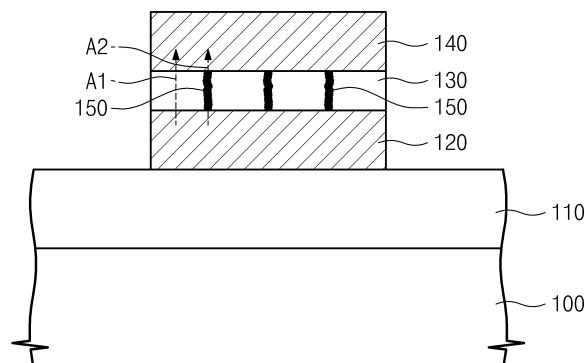
전체 청구항 수 : 총 19 항

(54) 저항 기억 요소를 포함하는 반도체 소자

(57) 요약

저항 기억 요소를 포함하는 반도체 소자를 제공한다. 이 소자는 기판 및 기판 상에 배치된 저항 기억 요소를 포함한다. 저항 기억 요소의 내부에 적어도 하나의 백금 브릿지가 생성 및 소멸되는 것에 의하여, 저항 기억 요소가 복수 레벨의 저항 상태들을 갖는다.

대표도 - 도1



(72) 발명자

백인규

서울 광진구 자양3동 우성3차아파트 301동 1301호

심현준

경기 화성시 진안동 516-2번지 진안빌리지 301호

이향숙

서울 관악구 봉천동 서울대학교 BK국제관 B동 906호

임은경

서울 관악구 봉천4동 1567-7 다산오피스텔 412호

특허청구의 범위

청구항 1

기관; 및

상기 기관 상에 배치되되, 내부에 적어도 하나의 백금 브릿지(Platinum bridge)가 생성 및 소멸되는 것에 의하여, 복수 레벨의 저항 상태들을 갖는 저항 기억 요소를 포함하는 반도체 소자.

청구항 2

청구항 1에 있어서,

상기 기관 상에 배치되고, 상기 저항 기억 요소의 제1 면에 접속된 제1 전극; 및

상기 기관 상에 배치되고, 상기 저항 기억 요소의 제2 면과 접속된 제2 전극을 더 포함하는 반도체 소자.

청구항 3

청구항 2에 있어서,

생성된 상기 백금 브릿지의 제1 단 및 제2 단은 상기 제1 전극 및 제2 전극과 각각 접촉되는 반도체 소자.

청구항 4

청구항 2에 있어서,

상기 제1 전극은 백금을 포함하는 반도체 소자.

청구항 5

청구항 4에 있어서,

상기 제1 전극으로부터 백금 입자들이 상기 저항 기억 요소 내로 주입되고, 상기 백금 브릿지는 상기 주입된 백금 입자들에 의해 생성되는 반도체 소자.

청구항 6

청구항 5에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 초기 전압 및 제2 초기 전압을 인가하는 것에 의하여 상기 백금 입자들이 상기 제1 전극으로부터 상기 저항 기억 요소 내로 주입되는 반도체 소자.

청구항 7

청구항 6에 있어서,

상기 제1 초기 전압은 상기 제2 초기 전압에 비하여 높은 반도체 소자.

청구항 8

청구항 6에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 셋 전압 및 제2 셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 생성되고,

상기 제1 및 제2 셋 전압들간 전위차는 상기 제1 및 제2 초기 전압들간 전위차에 비하여 작은 반도체 소자.

청구항 9

청구항 8에 있어서,

상기 제1 및 제2 초기 전압들에 의해 발생하는 초기 전계의 방향은 상기 제1 및 제2 셋 전압들에 의해 발생하는 셋 전계의 방향에 반대방향인 반도체 소자.

청구항 10

청구항 6에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 리셋 전압 및 제2 리셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 소멸되고,

상기 제1 및 제2 리셋 전압들간 전위차는 상기 제1 및 제2 초기 전압들간 전위차에 비하여 작은 반도체 소자.

청구항 11

청구항 10에 있어서,

상기 제1 및 제2 초기 전압들에 의해 발생하는 초기 전계의 방향은 상기 제1 및 제2 리셋 전압들에 의해 발생하는 리셋 전계의 방향과 동일한 방향인 반도체 소자.

청구항 12

청구항 2에 있어서,

상기 저항 기억 요소는 백금 원자들로 도핑된 절연물질을 포함하는 반도체 소자.

청구항 13

청구항 12에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 셋 전압 및 제2 셋 전압을 인가하는 것에 의하여, 상기 저항 기억 요소내 도핑된 백금 원자들을 포함하는 상기 백금 브릿지가 생성되고,

상기 제1 전극 및 제2 전극에 각각 제1 리셋 전압 및 제2 리셋 전압을 인가하는 것에 의하여, 상기 백금 브릿지가 소멸되는 반도체 소자.

청구항 14

청구항 12에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 초기 전압 및 제2 초기 전압을 인가되되, 상기 제1 및 제2 초기 전압들간 전위차는 상기 제1 및 제2 셋 전압들간 전위차와 같거나 큰 반도체 소자.

청구항 15

청구항 12에 있어서,

상기 제1 전극은 백금을 포함하는 반도체 소자.

청구항 16

청구항 15에 있어서,

생성된 상기 백금 브릿지는 상기 저항 기억 요소내 도핑된 백금 원자들 및 상기 제1 전극내 백금을 포함하는 반도체 소자.

청구항 17

청구항 2항에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 셋 전압 및 제2 셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 생성되고,

상기 제1 전극 및 제2 전극에 각각 제1 리셋 전압 및 제2 리셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 소멸되고,

상기 제1 및 제2 셋 전압들에 의해 발생하는 셋 전계의 방향은 상기 제1 및 제2 리셋 전압들에 의해 발생하는 리셋 전계의 방향에 반대방향인 반도체 소자.

청구항 18

청구항 2항에 있어서,

상기 제1 전극 및 제2 전극에 각각 제1 셋 전압 및 제2 셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 생성되고,

상기 제1 및 제2 셋 전압들간 전위차는 0.5V 내지 1.5V인 반도체 소자.

청구항 19

청구항 1항에 있어서,

상기 저항 기억 요소는 절연물질을 포함하되, 상기 저항 기억 요소는 절연물질의 밀도가 서로 다른 제1 부분 및 제2 부분을 포함하는 반도체 소자.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자에 관한 것으로, 특히, 저항 기억 요소를 포함하는 반도체 소자에 관한 것이다.

배경기술

<2> 반도체 소자들은 데이터를 저장하는 기억 소자 및 데이터를 연산처리하는 논리 소자등으로 구분될 수 있다. 반도체 기억 소자는 휘발성 기억 소자 및 비휘발성 기억 소자로 구분될 수 있다. 휘발성 기억 소자는 전원공급이 중단되면 저장된 데이터를 잃어버린다. 예컨대, 디램 소자 및 에스램 소자등은 대표적인 휘발성 기억 소자들이다. 비휘발성 기억 소자는 전원 공급이 중단될지라도 저장된 데이터를 그대로 유지한다. 예컨대, 플래쉬 기억 소자등은 대표적인 비휘발성 기억 소자라 할 수 있다.

<3> 반도체 산업이 고도로 발전함에 따라, 반도체 소자에 대한 다양한 특성들이 요구되고 있다. 예컨대, 반도체 소자의 다기능화, 고속화, 고집적화, 외부환경에 대한 안정성, 낮은 단가 및/또는 저소비전력화등에 대한 요구가 점점 증가되고 있다. 하지만, 이러한 요구 특성들은 서로 트레이드오프(trade off) 관계를 가져, 다양한 특성의 반도체 소자를 구현하는 것이 어려울 수 있다. 따라서, 다양한 요구 특성들을 충족시킬 수 있는 새로운 반도체 소자에 대한 연구들이 활발히 수행되고 있다.

발명의 내용

해결 하고자하는 과제

<4> 본 발명이 이루고자 하는 기술적 과제는 우수한 신뢰성을 갖는 저항 기억 요소를 포함하는 반도체 소자를 제공하는데 있다.

<5> 본 발명이 이루고자 하는 다른 기술적 과제는 열적 안정성이 우수한 저항 기억 요소를 포함하는 반도체 소자를 제공하는데 있다.

<6> 본 발명이 이루고자 하는 또 다른 기술적 과제는 센싱 마진을 향상시킬 수 있는 저항 기억 요소를 포함하는 반도체 소자를 제공하는데 있다.

<7> 본 발명이 이루고자 하는 또 다른 기술적 과제는 우수한 내구성(endurance)을 갖는 저항 기억 요소를 포함하는 반도체 소자를 제공하는데 있다.

과제 해결수단

<8> 상술한 기술적 과제들을 해결하기 위한 반도체 소자를 제공한다. 이 소자는 기판; 및 상기 기판 상에 배치되되, 내부에 적어도 하나의 백금 브릿지(Platinum bridge)가 생성 및 소멸되는 것에 의하여, 복수 레벨의 저항 상태를 갖는 저항 기억 요소를 포함한다.

- <9> 구체적으로, 상기 반도체 소자는 상기 기판 상에 배치되고, 상기 저항 기억 요소의 제1 면에 접속된 제1 전극; 및 상기 기판 상에 배치되고, 상기 저항 기억 요소의 제2 면과 접속된 제2 전극을 더 포함할 수 있다. 생성된 상기 백금 브릿지의 제1 단 및 제2 단은 상기 제1 전극 및 제2 전극과 각각 접촉될 수 있다.
- <10> 일 실시예에 따르면, 상기 제1 전극은 백금을 포함할 수 있다. 이 경우에, 상기 제1 전극으로부터 백금 입자들이 상기 저항 기억 요소 내로 주입될 수 있다. 상기 백금 브릿지는 상기 주입된 백금 입자들에 의해 생성될 수 있다. 상기 제1 전극 및 제2 전극에 각각 제1 초기 전압 및 제2 초기 전압을 인가하는 것에 의하여 상기 백금 입자들이 상기 제1 전극으로부터 상기 저항 기억 요소 내로 주입될 수 있다. 상기 제1 초기 전압은 상기 제2 초기 전압에 비하여 높을 수 있다. 상기 제1 전극 및 제2 전극에 각각 제1 셋 전압 및 제2 셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 생성될 수 있다. 상기 제1 및 제2 셋 전압들간 전위차는 상기 제1 및 제2 초기 전압들간 전위차에 비하여 작을 수 있다. 상기 제1 및 제2 초기 전압들에 의해 발생하는 초기 전계의 방향은 상기 제1 및 제2 셋 전압들에 의해 발생하는 셋 전계의 방향에 반대방향일 수 있다. 상기 제1 전극 및 제2 전극에 각각 제1 리셋 전압 및 제2 리셋 전압을 인가하는 것에 의하여 상기 백금 브릿지가 소멸될 수 있다. 이때, 상기 제1 및 제2 리셋 전압들간 전위차는 상기 제1 및 제2 초기 전압들간 전위차에 비하여 작을 수 있다. 상기 제1 및 제2 초기 전압들에 의해 발생하는 초기 전계의 방향은 상기 제1 및 제2 리셋 전압들에 의해 발생하는 리셋 전계의 방향과 동일할 수 있다.
- <11> 일 실시예에 따르면, 상기 저항 기억 요소는 백금 원자들로 도핑된 절연물질을 포함할 수 있다. 이때, 상기 제1 전극 및 제2 전극에 각각 제1 셋 전압 및 제2 셋 전압을 인가하는 것에 의하여, 상기 저항 기억 요소내 도핑된 백금 원자들을 포함하는 상기 백금 브릿지가 생성될 수 있다. 상기 제1 전극 및 제2 전극에 각각 제1 리셋 전압 및 제2 리셋 전압을 인가하는 것에 의하여, 상기 백금 브릿지가 소멸될 수 있다. 상기 저항 기억 요소가 백금 원자들로 도핑된 절연물질을 포함하는 경우에도, 상기 제1 전극 및 제2 전극에 각각 제1 초기 전압 및 제2 초기 전압을 인가될 수 있다. 이때, 상기 제1 및 제2 초기 전압들간 전위차는 상기 제1 및 제2 셋 전압들간 전위차와 같거나 클 수 있다.
- <12> 일 실시예에 따르면, 상기 저항 기억 요소는 백금 원자들로 도핑된 절연물질을 포함하고, 상기 제1 전극은 백금을 포함할 수 있다. 이 경우에, 생성된 상기 백금 브릿지는 상기 저항 기억 요소내 도핑된 백금 원자들 및 상기 제1 전극내 백금을 포함할 수 있다.
- <13> 일 실시예에 따르면, 상기 제1 및 제2 셋 전압들에 의해 발생하는 셋 전계의 방향은 상기 제1 및 제2 리셋 전압들에 의해 발생하는 리셋 전계의 방향에 반대방향일 수 있다. 상기 제1 및 제2 셋 전압들간 전위차는 0.5V 내지 1.5V일 수 있다.
- <14> 일 실시예에 따르면, 상기 저항 기억 요소는 절연물질을 포함하되, 상기 저항 기억 요소는 절연물질의 밀도가 서로 다른 제1 부분 및 제2 부분을 포함할 수 있다.

효 과

- <15> 본 발명에 따르면, 저항 기억 요소는 백금 브릿지의 생성 및 소멸에 의하여 복수 레벨의 저항 상태를 갖는다. 백금 브릿지는 열적 안정성이 우수하다. 이에 따라, 상기 저항 기억 요소를 포함하는 반도체 소자는 우수한 신뢰성을 갖는다. 또한, 백금 브릿지의 생성 및/또는 소멸을 위해 저항 기억 요소의 제1 면 및 제2 면간 인가되는 전위차는 충분히 크다. 이로써, 상기 저항 기억 요소의 저항을 센싱(sensing)하는 마진이 증가된다. 이에 더하여, 백금 브릿지로 인하여, 상기 저항 기억 요소의 내구성이 향상된다. 더 나아가서, 백금은 안정적인 물질로서 관리가 용이하다. 이로써, 반도체 소자의 제조단가를 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <16> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층(또는 막)이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- <17> 도 1은 본 발명의 실시예에 따른 반도체 소자에 포함된 저항 기억 요소의 일 상태를 나타내는 단면도이고, 도 2

는 본 발명의 실시예에 따른 반도체 소자에 포함된 저항 기억 요소의 다른 상태를 나타내는 단면도이다.

- <18> 도 1 및 도 2를 참조하면, 기판(100) 상에 저항 기억 요소(130)가 배치된다. 제1 전극(120)이 상기 저항 기억 요소(130)의 제1 면과 접촉되고, 제2 전극(140)이 상기 저항 기억 요소(130)의 제2 면과 접촉된다. 상기 제1 전극(120), 저항 기억 요소(130) 및 제2 전극(140)은 상기 기판(100) 상에 차례로 적층될 수 있다. 이와는 달리, 상기 제2 전극(140), 저항 기억 요소(130) 및 제1 전극(120)이 차례로 적층될 수도 있다. 도 1 및 도 2에는, 상기 제1 전극(120), 저항 기억 요소(130) 및 제2 전극(140)은 평판 형태로 도시되어 있다. 하지만 본 발명은 여기에 한정되지 않는다. 즉, 상기 제1 전극(120), 저항 기억 요소(130) 및 제2 전극(140)은 다른 다양한 형태(예컨대, 스택구조 또는 실린더 구조등)를 가질 수도 있다.
- <19> 상기 제1 전극(120), 저항 기억 요소(130) 및 제2 전극(140)은 상기 기판(100) 상에 형성된 절연막(110) 상에 배치될 수 있다. 상기 제1 및 제2 전극(120) 중에 하나는 스위칭 소자에 전기적으로 접촉되고, 다른 하나는 배선(ex, 비트라인등)에 전기적으로 접촉될 수 있다. 이 경우에, 상기 저항 기억 요소(130)는 논리 데이터를 저장하는 데이터 저장 요소로 사용될 수 있다. 즉, 상기 저항 기억 요소(130)를 포함하는 반도체 소자는 반도체 기억 소자일 수 있으며, 특히, 비휘발성 기억 소자일 수 있다. 상기 스위칭 소자는 모스 트랜지스터 또는 단방향 소자등(ex, PN 다이오드, 쇼트키 다이오드 또는 PIN 다이오드등)일 수 있다. 상기 스위칭 소자는 상기 절연막(110) 아래에 배치될 수 있다. 상기 배선은 상기 제1 전극(120), 저항 기억 요소(130) 및 제2 전극(140)을 덮는 상부 절연막(미도시함) 상에 배치될 수 있다.
- <20> 이와는 달리, 상기 제1 전극(120) 및 제2 전극(140)은 각각 제1 배선 및 제2 배선과 접촉될 수도 있다. 이 경우에, 상기 저항 기억 요소(130)는 가변 저항체로 사용될 수 있다. 즉, 상기 저항 기억 요소(130)는 가변 저항체를 요구하는 모든 반도체 소자에 적용될 수 있다.
- <21> 상기 저항 기억 요소(130)의 내부에 적어도 하나의 백금 브릿지(150, platinum bridge)가 생성 및 소멸되는 것에 의하여, 상기 저항 기억 요소(130)는 복수 레벨(level)의 저항 상태들을 갖는다. 상기 백금 브릿지(150)의 생성에 의하여 상기 저항 기억 요소(130)는 낮은 저항을 가지고, 상기 백금 브릿지(150)의 소멸에 의하여 상기 저항 기억 요소(130)는 높은 저항을 갖는다. 생성된 상기 백금 브릿지(150)의 제1 단은 상기 제1 전극(120)에 접촉되고, 상기 백금 브릿지(150)의 제2 단은 상기 제2 전극(140)에 접촉된다. 따라서, 상기 백금 브릿지(150)가 생성된 상태에서 상기 제1 및 제2 전극들(120,140) 간에 흐르는 전류량이 상기 백금 브릿지(150)가 소멸된 상태에서 상기 제1 및 제2 전극들(120,140) 간에 흐르는 전류량에 비하여 크다. 결과적으로, 상기 저항 기억 요소(130)는 상기 백금 브릿지(150)의 생성 및 소멸에 따라 복수 레벨의 저항 상태를 갖는다. 도 1은 상기 백금 브릿지(150)가 생성된 상태의 반도체 소자를 나타내고, 도 2는 상기 백금 브릿지(150)가 소멸된 상태의 반도체 소자를 나타낸다.
- <22> 상기 저항 기억 요소(130)는 30Å 내지 500Å의 두께를 갖는 것이 바람직하다. 상기 저항 기억 요소(130)는 절연물질을 포함하는 것이 바람직하다. 상기 저항 기억 요소(130)는 산화물을 포함할 수 있다. 예컨대, 상기 저항 기억 요소(130)는 니오븀 산화물(niobium oxide), 티타늄 산화물(titanium oxide), 니켈 산화물(nikel oxide), 지르코늄 산화물(zirconium oxide), 바나듐 산화물(vanadium oxide), PCMO((Pr,Ca)MnO₃), 스트론튬-티타늄 산화물(strontium-titanium oxide), 바륨-스트론튬-티타늄 산화물(barium-strontium-titanium oxide), 스트론튬-지르코늄 산화물(strontium-zirconium oxide), 바륨-지르코늄 산화물(barium-zirconium oxide), 바륨-스트론튬-지르코늄 산화물(barium-strontium-zirconium oxide)등에서 선택된 적어도 하나를 포함할 수 있다. 본 발명은 여기에 한정되지 않는다. 즉, 상기 저항 기억 요소(130)은 다른 절연물질을 포함할 수 있다.
- <23> 본 발명의 일 실시예에 따르면, 상기 제1 전극(120)은 백금을 포함하고, 상기 백금 브릿지(140)는 상기 제1 전극(120)으로부터 상기 저항 기억 요소(130)내로 주입된 백금 입자들에 의하여 생성될 수 있다. 상기 백금 입자들이 상기 제1 전극(120)으로부터 상기 저항 기억 요소(130) 내로 주입되는 방법에 대하여 도 3의 차트를 참조하여 구체적으로 설명한다.
- <24> 도 3은 본 발명의 실시예에 따른 반도체 소자의 동작방법을 설명하기 위한 차트(chart)이다.
- <25> 도 1 내지 도 3을 참조하면, 상기 제1 전극(120)에 제1 초기 전압을 인가하고 상기 제2 전극(140)에 제2 초기 전압을 인가하여 초기 동작(200)을 수행한다. 이에 따라, 백금 입자들이 상기 제1 전극(120)으로부터 상기 저항 기억 요소(130)내로 주입된다. 구체적으로, 상기 제1 초기 전압은 상기 제2 초기 전압에 비하여 큰 것이 바람직하다. 이에 따라, 상기 초기 동작(200)시에, 상기 제1 및 제2 초기 전압들로 인하여 상기 제1 전극(120)으로부터 상기 제2 전극(140)으로 향하는 초기 전계가 형성된다. 상기 초기 전계에 의하여 상기 백금 입자가 상기 제1

전극(120)으로부터 상기 저항 기억 요소(130)내로 주입된다. 상기 초기 동작(200) 후에, 상기 저항 기억 요소(130)는 초기 저항을 갖는다. 상기 초기 전계에 의하여 상기 저항 기억 요소(130)의 일부분의 밀도가 낮아질 수 있다. 구체적으로, 상기 초기 전계에 의하여 상기 저항 기억 요소(130)는 절연물질의 밀도가 낮은 제1 부분 및 절연물질의 밀도가 상기 제1 부분 보다 높은 제2 부분으로 나누어질 수 있다. 즉, 상기 저항 기억 요소(130)의 상기 제1 부분은 상기 저항 기억 요소(130)의 상기 제2 부분에 비하여 포러스(porous)할 수 있다.

<26> 상기 백금 브릿지(150)를 생성하는 셋 동작(210, set operation)에 대해 설명한다. 상기 제1 전극(120)에 제1 셋 전압(first set voltage)을 인가하고 상기 제2 전극(140)에 제2 셋 전압(second set voltage)을 인가하여 상기 셋 동작(210)을 수행한다. 상기 셋 동작(210)에 의하여 상기 저항 기억 요소(130)내 상기 주입된 백금 원자들로 구성된 적어도 하나의 백금 브릿지(150)가 생성된다. 상기 셋 동작(210)에 의하여 상기 저항 기억 요소(130)는 셋 저항을 갖는다. 상기 셋 저항은 상기 초기 저항에 비하여 작을 수 있다.

<27> 상기 제1 및 제2 셋 전압들간 전위차는 상기 백금 원자들의 주입을 위한 상기 제1 및 제2 초기 전압들간 전위차에 비하여 작은 것이 바람직하다. 상기 제1 및 제2 셋 전압들간 전위차는 0.5V 내지 1.5V 인 것이 바람직하다. 상기 백금 원자들의 주입을 위한 상기 제1 및 제2 초기 전압들간 전위차는 2V 내지 6V인 것이 바람직하다. 상기 제1 및 제2 셋 전압들에 의해 발생하는 셋 전계의 방향은 상기 백금 원자들의 주입을 위한 상기 초기 전계의 방향에 대하여 반대방향일 수 있다. 즉, 상기 제2 셋 전압이 상기 제1 셋 전압 보다 높을 수 있다.

<28> 상기 백금 브릿지(150)를 소멸시키는 리셋 동작(220, reset operation)에 대해 설명한다. 상기 제1 전극(120)에 제1 리셋 전압(first reset voltage)을 인가하고 상기 제2 전극(140)에 제2 리셋 전압(second reset voltage)을 인가하여 상기 리셋 동작(220)을 수행한다. 상기 리셋 동작(220)에 의하여 상기 백금 브릿지(150)가 소멸된다. 이때, 상기 백금 브릿지(150)를 구성하는 백금 입자들은 상기 저항 기억 요소(130)내에 잔존하는 것이 바람직하다. 즉, 상기 리셋 동작(220)에 의하여 상기 백금 브릿지(150)가 끊어질 수 있다. 상기 제1 및 제2 리셋 전압들간 전위차는 상기 백금 입자들의 주입을 위한 상기 제1 및 제2 초기 전압들간 전위차에 비하여 작은 것이 바람직하다. 상기 제1 및 제2 리셋 전압들간 전위차는 0.5V 내지 1.5V인 것이 바람직하다. 상기 제1 및 제2 리셋 전압들간 전위차는 상기 제1 및 제2 셋 전압들간 전위차와 동일하거나 다를 수 있다. 상기 제1 및 제2 리셋 전압들에 의한 발생하는 리셋 전계는 상기 셋 전계와 반대방향인 것이 바람직하다. 이로써, 상기 저항 기억 요소(130)에 상기 셋 저항(210) 및 리셋 동작(220)을 선택적으로 수행할 수 있다. 상기 리셋 동작(220)에 의하여 상기 저항 기억 요소(130)는 리셋 저항을 갖는다. 상기 리셋 저항은 상기 셋 저항에 비하여 크다. 상기 리셋 저항은 상기 초기 저항에 비하여 클 수 있다. 상기 제1 및 제2 리셋 전압들에 의해 발생하는 리셋 전계는 상기 초기 전계와 동일한 방향일 수 있다.

<29> 상기 저항 기억 요소(130)의 저항 상태를 관측하는 센싱 동작(230)을 설명한다. 상기 제1 전극(120) 및 제2 전극(140)에 각각 제1 센싱 전압 및 제2 센싱 전압을 인가하여 상기 저항 기억 요소(130)의 저항을 관측한다. 상기 제1 및 제2 센싱 전압들간 전위차는 상기 제1 및 제2 셋 전압들간 전위차 및 상기 제1 및 제2 리셋 전압들간 전위차에 비하여 작다. 따라서, 상기 센싱 동작(230)시에, 상기 저항 기억 요소(130)의 저항 상태를 변환시키지 않은 채로 상기 저항 기억 요소(130)의 저항을 관측할 수 있다. 상기 센싱 동작(230)시 흐르는 전류의 방향은 상기 셋 전계의 방향과 동일하거나, 상기 리셋 전계의 방향과 동일할 수 있다.

<30> 상기 제1 전극(120)이 백금을 포함하는 경우에, 상기 제2 전극(140)은 열적 안정성이 우수한 도전물질로 형성될 수 있다. 예컨대, 상기 제2 전극(140)은 도전성 금속질화물(ex, TiN, TaN, WN 또는 TiAlN등) 및 백금등에서 선택된 적어도 하나를 포함할 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 제2 전극(120)은 상술한 물질 이외에 열적 안정성이 우수한 도전물질을 포함할 수도 있다.

<31> 본 발명의 다른 실시예에 따르면, 상기 저항 기억 요소(130)가 백금 원자들이 도핑된 절연물질을 포함하고, 상기 백금 브릿지(150)는 상기 저항 기억 요소(130)에 도핑된 백금 원자들을 포함할 수 있다. 예컨대, 상기 저항 기억 요소(130)가 백금 원자들이 도핑된 절연물질을 포함할 수 있다. 예컨대, 상기 저항 기억 요소(130)는 백금 도핑된 니오븀 산화물(Pt doped niobium oxide), 백금 도핑된 티타늄 산화물(Pt doped titanium oxide), 백금 도핑된 니켈 산화물(Pt doped nickel oxide), 백금 도핑된 지르코늄 산화물(Pt doped zirconium oxide), 백금 도핑된 바나듐 산화물(Pt doped vanadium oxide), 백금 도핑된 PCMO(Pt doped (Pr,Ca)MnO₃), 백금 도핑된 스트론튬-티타늄 산화물(Pt doped strontium-titanium oxide), 백금 도핑된 바륨-스트론튬-티타늄 산화물(Pt doped barium-strontium-titanium oxide), 백금 도핑된 스트론튬-지르코늄 산화물(Pt doped strontium-zirconium oxide), 백금 도핑된 바륨-지르코늄 산화물(Pt doped barium-zirconium oxide), 백금 도핑된 바륨-스트론튬-지르코늄 산화물(Pt doped barium-strontium-zirconium oxide)등에서 선택된 적어도 하나를 포함할 수 있다. 상

기 저항 기억 요소(130)가 백금이 도핑된 절연물질을 포함하는 경우에, 상기 제1 및 제2 전극들(120,140)은 백금 이외의 열적 안정성이 우수한 도전물질(ex, 도전성 금속질화물)을 포함할 수 있다.

- <32> 상기 저항 기억 요소(130)가 백금이 도핑된 절연물질을 포함하고 상기 제1 및 제2 전극들(120,140)이 백금 이외의 도전물질로 형성되는 경우에, 상기 초기 동작(200)의 제1 및 제2 초기 전압들간 전위차는 상기 제1 및 제2 셋 전압들간 전위차와 같거나 클 수 있다. 이 경우에, 상기 초기 전계의 방향 및 셋 전계의 방향은 서로 무관할 수 있다. 즉, 상기 초기 전계는 상기 셋 전계의 방향과 동일하거나 반대방향일 수 있다. 상기 초기 동작(200)은 생략될 수도 있다. 상기 리셋 동작(210), 셋 동작(220) 및 센싱 동작(230)은 상술한 것과 동일할 수 있다.
- <33> 본 발명의 또 다른 실시예에 따르면, 상기 저항 기억 요소(130)가 백금 원자들이 도핑된 절연물질을 포함하고 상기 제1 전극(120)이 백금을 포함할 수 있다. 이 경우에, 상기 백금 브릿지(150)는 상기 저항 기억 요소(130) 내 백금 원자들 및 상기 제1 전극(120)으로부터 주입된 백금 입자들을 포함할 수 있다. 이 경우에, 상기 초기 전계의 방향과 셋 전계의 방향은 서로 반대방향인 것이 바람직하다. 이 경우에, 상기 제1 및 제2 초기 전압들간 전위차는 상기 제1 및 제2 셋 전압들간 전위차와 같거나 클 수 있다. 이 경우에, 상기 리셋 동작(210), 셋 동작(220) 및 센싱 동작(230)은 상술한 것과 동일할 수 있다.
- <34> 상술한 반도체 소자에 따르면, 적어도 하나의 백금 브릿지(150)의 생성 및 소멸에 의하여, 상기 저항 기억 요소(130)는 복수 레벨의 저항 상태를 갖는다. 상기 백금 브릿지(150)는 열적 안정성이 매우 우수하다. 이에 따라, 외부 환경에 의하여 상기 저항 기억 요소(130)의 특성이 열화되는 것을 최소화시키거나 방지할 수 있다. 또한, 상기 저항 기억 요소(130)의 내구성이 향상된다. 즉, 상기 저항 기억 요소(130)에 상기 셋 동작(210) 및 리셋 동작(220)의 싸이클 횟수를 증가시킬지라도, 상기 저항 기억 요소(130)는 복수 레벨의 저항 상태들을 그대로 유지할 수 있다. 이에 더하여, 상기 백금 브릿지(150)의 우수한 열적 안정성으로 인하여, 상기 제1 및 제2 셋 전압들간 전위차(즉, 셋 문턱전압의 크기) 및 제1 및 제2 리셋 전압들간 전위차(즉, 리셋 문턱전압의 크기)를 충분히 확보할 수 있다. 이에 따라, 상기 저항 기억 요소(130)의 저항을 센싱하는 마진이 증가된다. 결과적으로, 상기 저항 기억 요소(130)를 갖는 반도체 소자는 우수한 신뢰성을 갖는다. 더 나아가서, 백금은 물리적 및/또는 화학적으로 안정적인 물질이다. 이로써, 백금은 오염원으로 작용되지 않을 수 있다. 그 결과, 백금을 다루는 반도체 공정의 관리가 매우 용이하여 반도체 소자의 생산성을 향상시킬 수 있다.
- <35> 열적으로 불안정한 도전물질(예컨대, 은 또는 구리등)은 반도체 소자의 신뢰성을 저하시킬 수 있다. 즉, 열적으로 불안정한 도전물질은 외부환경에 민감하고, 확산계수가 높으며, 또한 오염원으로 작용될 수 있다. 이에 따라, 열적으로 불안정한 도전물질을 사용하는 반도체 소자의 신뢰성이 저하될 수 있다. 이에 더하여, 열적으로 불안정한 도전물질로 브릿지를 형성하는 경우에, 브릿지의 생성 및 소멸을 위한 셋 문턱전압의 크기 및/또는 리셋 문턱전압의 크기가 매우 작아진다. 이에 따라, 열적으로 불안정한 도전물질로 형성된 브릿지를 갖는 저항체의 센싱 마진이 대폭 감소된다. 하지만, 본 발명에 따른 저항 기억 요소(130)는 열적 안정성이 우수한 상기 백금 브릿지(150)를 사용함으로써 우수한 신뢰성의 반도체 소자를 구현할 수 있다.
- <36> 본 발명에 따른 반도체 소자의 특성들을 확인하기 위한 여러 실험들을 수행하였다. 이하, 실험데이터들을 참조하여 본 발명에 따른 반도체 소자의 특성들을 좀더 구체적으로 확인한다.
- <37> 먼저, 본 발명에 따른 저항 기억 요소(130)의 특성을 확인하기 위한 제1 실험을 위하여 시료 1을 준비하였다. 상기 시료 1을 위하여, 기판 상에 제1 전극(120)에 해당하는 백금층을 1000 Å의 두께로 형성하였다. 상기 백금층 상에 저항 기억 요소(130)에 해당하는 PCMO층을 200 Å의 두께로 형성하였으며, PCMO층 상에 제2 전극(140)에 해당하는 티타늄 질화층을 1000 Å의 두께로 형성하였다.
- <38> 상기 시료 1에 도 3의 초기 동작(200)을 수행하였다. 구체적으로, 상기 백금층에 제1 초기 전압으로 0V를 인가하였고 상기 티타늄 질화층에 제2 초기 전압으로 -4V를 인가하였다. 상기 초기 동작(200)을 수행하기 전에 상기 PCMO층의 저항은 약 10^{10} Ω 으로 측정되었다. 상기 초기 동작(200)을 수행한 후에 상기 PCMO층의 저항은 약 10^5 Ω으로 낮아졌다.
- <39> 상기 초기 동작(200)이 수행된 상기 시료 1에 도 3의 셋 동작(210)을 수행하였다. 구체적으로, 상기 백금층에 제1 셋 전압으로 0V를 인가하였고 상기 티타늄 질화층에 제2 셋 전압으로 1V를 인가하였다. 상기 셋 동작(210) 후에 상기 PCMO층의 저항은 약 10^4 Ω으로 더욱 낮아졌다. 상기 셋 동작(210) 후의 상기 PCMO층의 저항은 0.2V의 센싱 전압으로 측정하였다. 즉, 백금층에 제1 센싱 전압으로 0V를 인가하고 상기 티타늄질화층에 제2 센싱 전압으로 0.2V를 인가하였다.

- <40> 상기 시료 1에 도 3의 리셋 동작(220)을 수행하였다. 구체적으로, 상기 백금층에 제1 리셋 전압으로 0V를 인가하였으며, 상기 티타늄질화층에 제2 리셋 전압으로 -1V를 인가하였다. 상기 리셋 동작(220) 후에 상기 PCMO층의 저항은 약 5×10^5 Ω 으로 측정되었다. 즉, 상기 리셋 동작(220)이 수행된 PCMO층의 저항은 상기 셋 동작(210)이 수행된 PCMO층의 저항 보다 약 50 배 증가되었다.
- <41> 상기 셋 동작(210)을 수행한 후에 상기 시료 1을 에너지 분산 분광계(EDS, Energy Dispersive Spectrometer)로 상기 PCMO층의 물질 성분을 측정하였다. 상기 에너지 분산 분광계에 의해 측정된 데이터를 도 4에 도시하였다.
- <42> 도 4는 본 발명에 따른 반도체 소자의 특성을 설명하기 위하여 에너지 분산 분광계로 측정된 데이터를 나타내는 그래프이다.
- <43> 도 4를 참조하면, 상기 시료 1을 HRTEM(High Resolution Transmission Electron Microscopy)로 확인한 결과, PCMO층 내에 백금 브릿지가 존재하는 것을 확인하였다. 도 4에서 참조부호 "a"는 상기 시료 1의 백금 브릿지가 미형성된(non formed) 부분(예컨대, 도 1의 화살표 A1)을 에너지 분산 분광계로 측정된 데이터이다. 도 4에서 참조부호 "b"는 상기 시료 1의 백금 브릿지가 형성된 부분(예컨대, 도 1의 화살표 A2)을 에너지 분산 분광계로 측정된 데이터이다. 도면들에서, x축은 위치를 나타내고, y축은 각 물질들에 해당하는 에너지 분산 분광계의 카운트(count)를 나타낸다.
- <44> 도시된 바와 같이, 상기 PCMO층의 백금 브릿지가 미형성된 부분(a)에서, 백금은 약 60 카운트(count) 이하로 나타났다. 이와는 다르게, 상기 PCMO층의 백금 브릿지가 형성된 부분(b)에서 백금은 100 카운트 이상으로 나타났다. 이로 볼때, 상기 PCMO층 내에 백금 브릿지가 형성되었음을 알 수 있다.
- <45> 본 발명에 따른 반도체 소자의 열적 안정성을 설명하기 위한 제2 실험을 수행하였다. 상기 제2 실험을 위하여 시료 2를 준비하였다. 상기 시료 2는 상술한 시료 1과 동일한 형태로 형성하였다. 즉, 상기 시료 2는 차례로 적층된 백금층, PCMO층 및 티타늄질화층을 갖도록 형성하였다. 상기 제2 실험을 도 5를 참조하여 구체적으로 설명한다.
- <46> 도 5는 본 발명에 따른 반도체 소자의 열적 안정성을 설명하기 위한 실험 데이터를 나타내는 그래프이다. 그래프에서, x축은 베이킹(baking) 시간이며, y축은 상기 시료 2의 PCMO층의 저항 값을 나타낸다.
- <47> 도 5를 참조하면, 상기 시료 2를 오븐(oven)을 이용하여 150 $^{\circ}$ C의 온도에서 베이킹(baking) 하였다. 베이킹 시간에 따라 상기 시료 2에 셋 동작(210), 리셋 동작(220) 및 센싱 동작(230)을 수행하여 상기 시료 2의 PCMO층의 저항을 측정하였다. 도시된 바와 같이, 150 $^{\circ}$ C에서 150 시간을 베이킹한 후에도 상기 시료 2의 셋 저항 및 리셋 저항이 안정적으로 측정되었다. 이로써, 본 발명에 따른 백금 브릿지(150)를 갖는 저항 기억 요소(130)는 열적 안정성이 우수함을 알 수 있다.
- <48> 본 발명에 따른 반도체 소자의 내구성 특성을 설명하기 위한 제3 실험을 수행하였다. 상기 제3 실험을 위하여 제3 시료를 준비하였다. 상기 제3 시료는 차례로 적층된 백금층(1000 \AA), PCMO층(100 \AA) 및 티타늄질화층(1000 \AA)을 포함하도록 형성하였다. 상기 제3 실험을 도 6을 참조하여 구체적으로 설명한다.
- <49> 도 6은 본 발명에 따른 반도체 소자의 내구성을 설명하기 위한 실험 데이터를 나타내는 그래프이다. 도 6에서, x축은 셋 동작 및 리셋 동작을 포함하는 사이클의 횟수를 나타내고, y축은 PCMO층을 통하여 흐른 전류량을 나타낸다.
- <50> 도 6을 참조하면, 상기 시료 3의 백금층에 제1 초기 전압으로 0V를 인가하고 티타늄질화층에 제2 초기전압으로 -4V를 인가하여 도 3의 초기 동작을 수행하였다. 상기 초기 동작이 수행된 상기 시료 3에 셋 동작 및 리셋 동작을 반복하였다. 구체적으로, 상기 셋 동작은 상기 시료 3의 백금층 및 티타늄질화층에 각각 0V(제1 셋 전압) 및 2V(제2 셋 전압)을 20ns 동안 인가하였다. 상기 리셋 동작은 상기 시료 3의 백금층 및 티타늄질화층에 각각 0V(제1 리셋 전압) 및 -3V(제2 리셋 전압)을 20ns 동안 인가하였다. 상기 시료 3의 백금층 및 티타늄질화층에 각각 0V(제1 센싱 전압) 및 -0.1V(제2 센싱전압)을 인가하여, 상기 시료 3의 PCMO층을 통하여 흐르는 전류량을 측정하였다. 내구성 테스트(test)를 위하여 상기 셋 동작 및 리셋 동작을 하나로 사이클로 하여 10000회 이상 반복적으로 수행하였다.
- <51> 도 6에 도시된 바와 같이, 10000회 이상의 사이클 후에도 상기 시료 3의 PCMO층의 셋 상태의 전류량 및 리셋 상태의 전류량 간 차이가 유지됨을 알 수 있다. 따라서, 본 발명에 따른 저항 기억 요소(130)의 내구성이 우수함을 알 수 있다.

- <52> 본 발명에 따른 저항 기억 요소(130)를 포함하는 반도체 소자는 데이터를 저장하는 반도체 소자로서 구현될 수 있다.
- <53> 이와는 달리, 본 발명에 따른 저항 기억 요소(130)를 포함하는 반도체 소자는 가변 저항체를 포함하는 모든 반도체 소자로서 구현될 수 있다. 예컨대, 본 발명에 따른 반도체 소자는 가변 저항체를 포함하는 논리 소자(예컨대, 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들)로 구현될 수 있다. 또한, 본 발명에 따른 반도체 소자는 가변 저항체, 기억 소자 및 논리 소자를 포함하는 하이브리드 소자(hybrid device)로 구현될 수 있다.
- <54> 다음으로, 본 발명의 일 실시예에 따른 전자 시스템을 개시한다. 본 발명에 따른 전자 시스템은 도 1 내지 도 6을 참조하여 설명한 반도체 소자를 포함한다.
- <55> 도 7은 본 발명의 실시예들에 따른 전자 시스템을 나타내는 블록도이다.
- <56> 도 7을 참조하면, 전자 시스템(300)은 제어기(310), 입출력 장치(320) 및 기억 장치(330)를 포함할 수 있다. 상기 제어기(310), 입출력 장치(320) 및 기억 장치(330)는 버스(350, bus)를 통하여 서로 결합되어 있다. 상기 버스(350)는 데이터들이 이동하는 통로에 해당한다. 상기 제어기(310)는 도 1 내지 도 6을 참조하여 설명한 논리 소자들 중에 적어도 하나를 포함할 수 있다. 예컨대, 상기 제어기(310)는 도 1 및 도 2의 자기 기억 요소(130)를 포함하는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다.
- <57> 상기 입출력 장치(320)는 키패드, 키보드 및 표시 장치(display device)등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(330)는 데이터를 저장하는 장치이다. 상기 기억 장치(330)는 데이터 및/또는 상기 제어기(310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(330)는 도 1 및 도 2의 자기 기억 요소(130)를 포함하는 셀들을 갖는 반도체 기억 소자를 포함하는 것이 바람직하다. 상기 전자 시스템(300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(340)를 더 포함할 수 있다. 상기 인터페이스(340)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(340)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다.
- <58> 상기 전자 시스템(300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 또는 정보 전송/수신 시스템 등일 수 있다. 상기 전자 시스템(300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.
- <59> 다음으로, 본 발명의 일 실시예에 따른 메모리 카드를 도면을 참조하여 설명한다.
- <60> 도 8은 본 발명의 실시예에 메모리 카드를 나타내는 블록도이다.
- <61> 도 8을 참조하면, 메모리 카드(400)는 비휘발성 기억 장치(410) 및 메모리 제어기(420)를 포함한다. 상기 비휘발성 기억 장치(410)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 상기 비휘발성 기억 장치(410)는 도 1 및 도 2를 참조하여 설명한 자기 기억 요소(130)를 포함하는 단위 셀들을 갖는 반도체 기억 소자인 것이 바람직하다. 상기 메모리 제어기(420)는 호스트(host)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 플래쉬 기억 장치(410)를 제어한다.

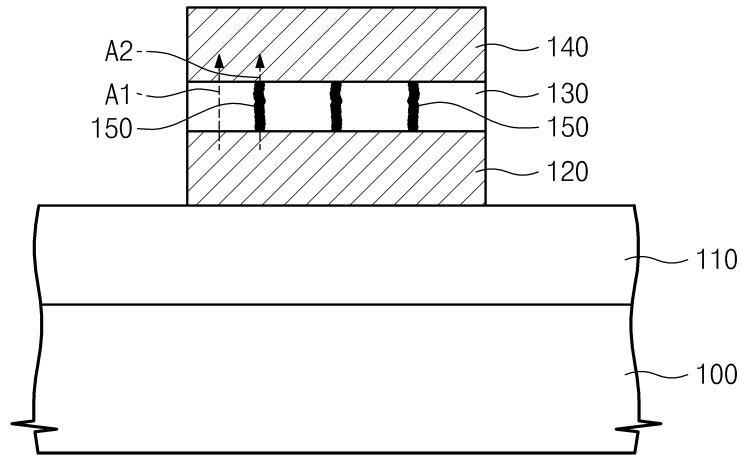
도면의 간단한 설명

- <62> 도 1은 본 발명의 실시예에 따른 반도체 소자에 포함된 저항 기억 요소의 일 상태를 나타내는 단면도.
- <63> 도 2는 본 발명의 실시예에 따른 반도체 소자에 포함된 저항 기억 요소의 다른 상태를 나타내는 단면도.
- <64> 도 3은 본 발명의 실시예에 따른 반도체 소자의 동작방법을 설명하기 위한 차트(chart).
- <65> 도 4는 본 발명에 따른 반도체 소자의 특성을 설명하기 위하여 에너지 분산 분광계로 측정된 데이터를 나타내는 그래프.
- <66> 도 5는 본 발명에 따른 반도체 소자의 열적 안정성을 설명하기 위한 실험 데이터를 나타내는 그래프.

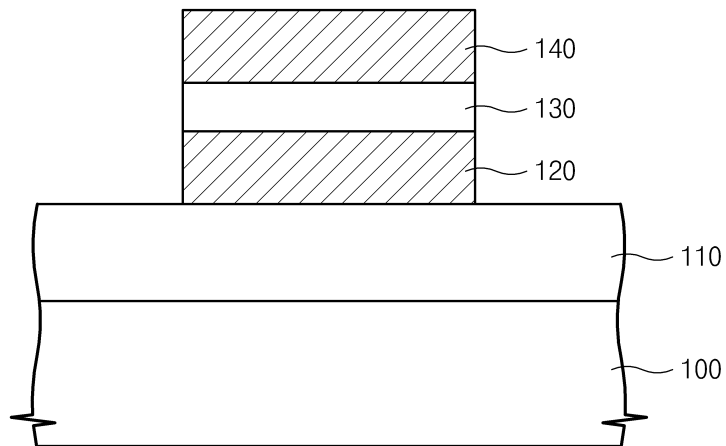
- <67> 도 6은 본 발명에 따른 반도체 소자의 내구성을 설명하기 위한 실험 데이터를 나타내는 그래프.
- <68> 도 7은 본 발명의 실시예에 따른 전자 시스템을 나타내는 블록도.
- <69> 도 8은 본 발명의 실시예에 메모리 카드를 나타내는 블록도.

도면

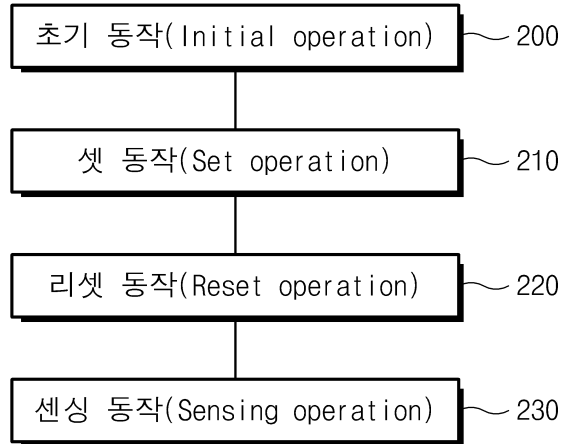
도면1



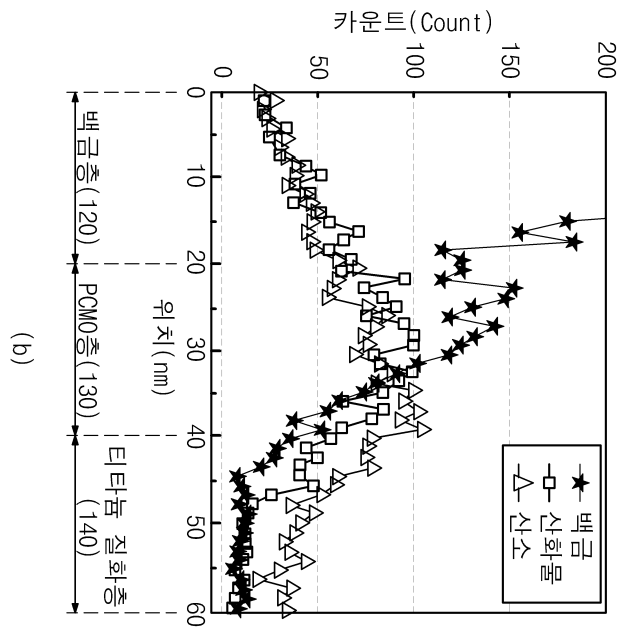
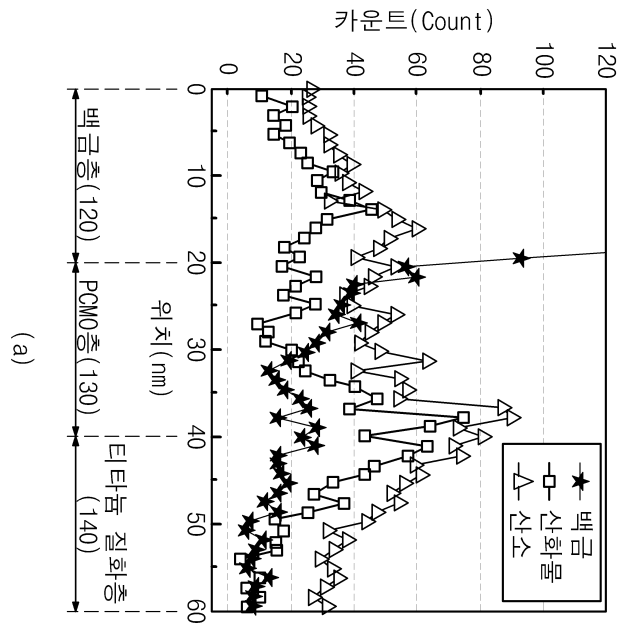
도면2



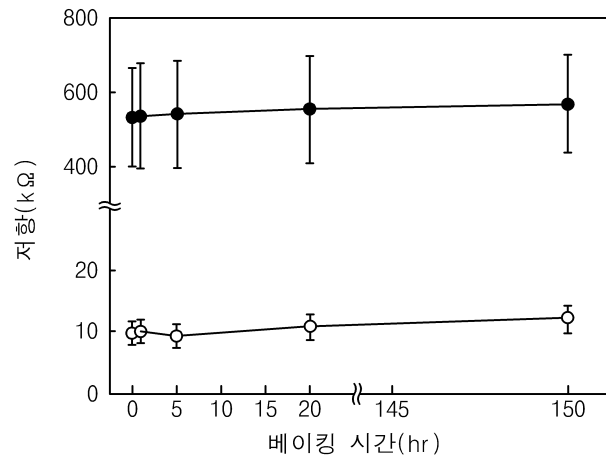
도면3



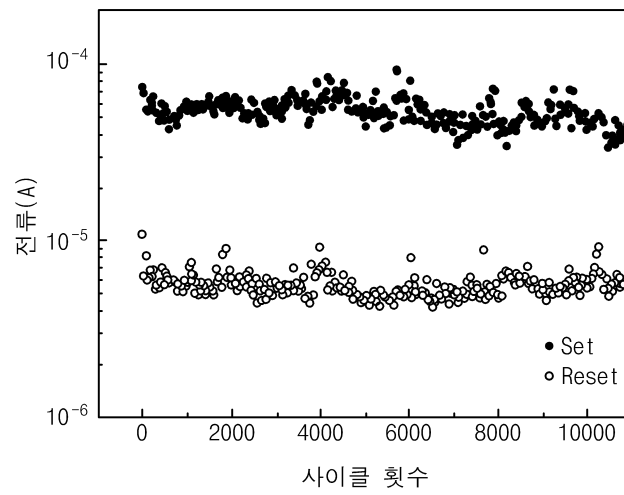
도면4



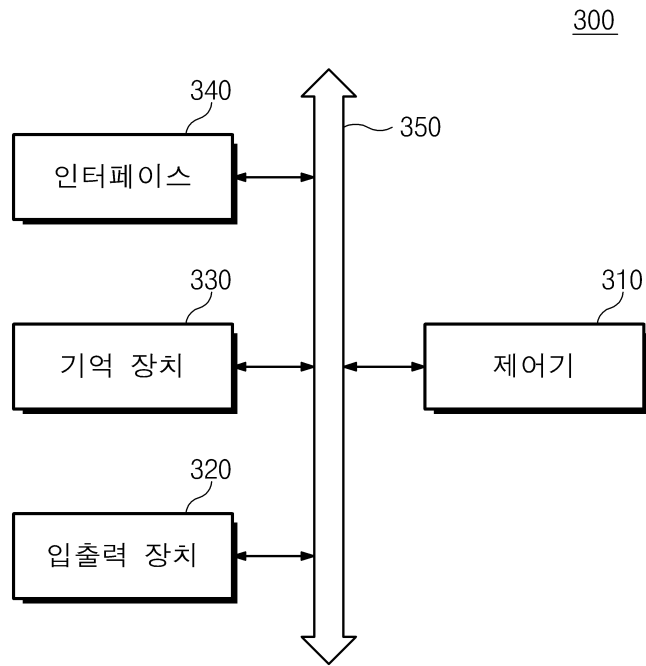
도면5



도면6



도면7



도면8

