

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6622108号

(P6622108)

(45) 発行日 令和1年12月18日(2019.12.18)

(24) 登録日 令和1年11月29日(2019.11.29)

(51) Int.Cl.

F I

G 1 1 C 11/405 (2006.01)

G 1 1 C 11/405

G 1 1 C 11/56 (2006.01)

G 1 1 C 11/56 2 5 0

H O 1 L 21/8242 (2006.01)

H O 1 L 27/108 3 2 1

H O 1 L 27/108 (2006.01)

H O 1 L 29/78 6 1 3 B

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

請求項の数 3 (全 62 頁)

(21) 出願番号 特願2016-26288 (P2016-26288)  
 (22) 出願日 平成28年2月15日(2016.2.15)  
 (65) 公開番号 特開2016-157506 (P2016-157506A)  
 (43) 公開日 平成28年9月1日(2016.9.1)  
 審査請求日 平成31年2月5日(2019.2.5)  
 (31) 優先権主張番号 特願2015-31747 (P2015-31747)  
 (32) 優先日 平成27年2月20日(2015.2.20)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 加藤 清  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 松崎 隆徳  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1乃至第 $(n+1)$ ( $n$ は2以上の整数)のトランジスタと、  
 第1乃至第 $n$ の容量素子と、  
 第1乃至第 $n$ のノードと、  
 第1及び第2の配線と、を有し、  
 前記第 $i$ のノード( $i$ は整数且つ $1 \leq i \leq n$ )は、前記第 $i$ の容量素子の第1の端子及び前記第 $i$ のトランジスタのゲートに電氣的に接続され、  
 前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有し、  
 前記第 $(i+1)$ のトランジスタは、前記第 $i$ のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有し、  
 前記第1乃至前記第 $n$ のノードは、それぞれ、 $J$ ビット( $J$ は1以上の整数)のデータを保持する機能を有し、  
 前記第2乃至第 $(n+1)$ のトランジスタは、チャネル形成領域に酸化物半導体を含むことを特徴とする記憶装置。

【請求項2】

メモリセルと、  
 第1乃至第 $n$ の記憶回路と、  
 第1及び第2の配線と、を有し、

前記メモリセルは、第 1 乃至第  $(n + 1)$  ( $n$  は 2 以上の整数) のトランジスタと、第 1 乃至第  $n$  の容量素子と、第 1 乃至第  $n$  のノードと、を有し、

前記第  $i$  のノード ( $i$  は整数且つ  $1 \leq i \leq n$ ) は、前記第  $i$  の容量素子の第 1 の端子及び前記第  $i$  のトランジスタのゲートに電氣的に接続され、

前記第 1 のトランジスタは、前記第 1 の配線と前記第 2 の配線との間の、導通又は非導通を制御する機能を有し、

前記第  $(i + 1)$  のトランジスタは、前記第  $i$  のノードと前記第 2 の配線との間の、導通又は非導通を制御する機能を有し、

前記第 1 乃至前記第  $n$  のノードは、それぞれ、 $J$  ビット ( $J$  は 1 以上の整数) のデータを保持する機能を有し、

前記第 2 乃至第  $(n + 1)$  のトランジスタは、チャネル形成領域に酸化物半導体を含み、

前記第 1 乃至第  $n$  の記憶回路は、それぞれ、前記第 1 の配線に電氣的に接続され、

前記第 1 乃至第  $n$  の記憶回路は、それぞれ、前記第 2 の配線に電氣的に接続され、

前記第  $i$  の記憶回路は、前記第  $i$  のノードに保持されたデータを記憶する機能を有することを特徴とする記憶装置。

#### 【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタ上に、前記第 2 乃至前記第  $(n + 1)$  のトランジスタが設けられ、

前記第 2 乃至前記第  $(n + 1)$  のトランジスタ上に、前記第 1 乃至前記第  $n$  の容量素子が設けられ、

前記第 1 のトランジスタはチャネル形成領域にシリコンを含むことを特徴とする記憶装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は記憶装置に関する。

#### 【0002】

本発明は、物、方法、又は製造方法に関する。又は、本発明は、プロセス、マシン、マニファクチャ、又は組成物 (コンポジション・オブ・マター) に関する。また、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法又はそれらの製造方法に関する。特に、本発明の一態様は、酸化物半導体を含む半導体装置、表示装置、又は発光装置に関する。

#### 【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、電気光学装置、半導体回路及び電子機器は、半導体装置を有する場合がある。

#### 【背景技術】

#### 【0004】

シリコン (Si) を半導体層に用いたトランジスタと、酸化物半導体 (Oxide Semiconductor: OS) を半導体層に用いたトランジスタ (以下、OSTランジスタ) と、を組み合わせるデータの保持を可能にした記憶装置が注目されている (特許文献 1、特許文献 2 参照)。

#### 【0005】

近年、扱われるデータ量の増大に伴って、大きな記憶容量を有する記憶装置が求められている。そうした中で、前述した特許文献 1 及び特許文献 2 に記載の記憶装置では、多値のデータを記憶し、該データを読み出す構成について開示している。

#### 【0006】

なお、本明細書中において、多値のデータとは、2 ビット ( $2^2 = 4$  値) 以上のデータを

10

20

30

40

50

表す。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2012-256400号公報

【特許文献2】特開2014-199707号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

例えば、特許文献1及び特許文献2に記載の記憶装置では、1つの保持ノードに、1つの多値データの書き込みを行っているが、多値データのビット数が増えると、それぞれのデータに対応する電位と電位の差が小さくなり、データを読み出す際の電位の判定が難しくなり、誤った値を読み出す可能性がある。また、保持ノードが1つのため、複数の多値データを同時に書き込むことができない。

10

【0009】

本発明の一態様は、複数の多値データの書き込みと読み出しが可能な記憶装置を提供することを課題の一とする。また、本発明の一態様は、新規な記憶装置を提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

【0010】

20

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0011】

本発明の一態様は、第1乃至第5のトランジスタと、第1乃至第4の容量素子と、第1乃至第4のノードと、第1及び第2の配線と、を有する記憶装置である。前記第1のノードは、前記第1の容量素子の第1の端子及び前記第1のトランジスタのゲートに電氣的に接続される。前記第2のノードは、前記第2の容量素子の第1の端子及び前記第2のトランジスタのゲートに電氣的に接続される。前記第3のノードは、前記第3の容量素子の第1の端子及び前記第3のトランジスタのゲートに電氣的に接続される。前記第4のノードは、前記第4の容量素子の第1の端子及び前記第4のトランジスタのゲートに電氣的に接続される。前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第2のトランジスタは、前記第1のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第3のトランジスタは、前記第2のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第4のトランジスタは、前記第3のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第5のトランジスタは、前記第4のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第1のノードは、Jビット（Jは1以上の整数）のデータを保持する機能を有する。前記第2のノードは、Kビット（Kは1以上の整数）のデータを保持する機能を有する。前記第3のノードは、Lビット（Lは1以上の整数）のデータを保持する機能を有する。前記第4のノードは、Mビット（Mは1以上の整数）のデータを保持する機能を有する。前記第2乃至第5のトランジスタは、チャネル形成領域に酸化物半導体を含むことが好ましい。

30

40

【0012】

本発明の一態様は、メモリセルと、第1乃至第4の記憶回路と、第1及び第2の配線と、を有する記憶装置である。前記メモリセルは、第1乃至第5のトランジスタと、第1乃至第4の容量素子と、第1乃至第4のノードと、を有する。前記第1のノードは、前記第1の容量素子の第1の端子及び前記第1のトランジスタのゲートに電氣的に接続される。前

50

記第2のノードは、前記第2の容量素子の第1の端子及び前記第2のトランジスタのゲートに電氣的に接続される。前記第3のノードは、前記第3の容量素子の第1の端子及び前記第3のトランジスタのゲートに電氣的に接続される。前記第4のノードは、前記第4の容量素子の第1の端子及び前記第4のトランジスタのゲートに電氣的に接続される。前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第2のトランジスタは、前記第1のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第3のトランジスタは、前記第2のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第4のトランジスタは、前記第3のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第5のトランジスタは、前記第4のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第1のノードは、Jビット(Jは1以上の整数)の第1のデータを保持する機能を有する。前記第2のノードは、Kビット(Kは1以上の整数)の第2のデータを保持する機能を有する。前記第3のノードは、Lビット(Lは1以上の整数)の第3のデータを保持する機能を有する。前記第4のノードは、Mビット(Mは1以上の整数)の第4のデータを保持する機能を有する。前記第2乃至第5のトランジスタは、チャンネル形成領域に酸化物半導体を含むことが好ましい。前記第1乃至第4の記憶回路は、前記第1の配線に電氣的に接続される。前記第1乃至第4の記憶回路は、前記第2の配線に電氣的に接続される。前記第1の記憶回路は、前記第1のデータを記憶する機能を有する。前記第2の記憶回路は、前記第2のデータを記憶する機能を有する。前記第3の記憶回路は、前記第3のデータを記憶する機能を有する。前記第4の記憶回路は、前記第4のデータを記憶する機能を有する。

10

20

**【0013】**

上記態様において、前記第1乃至第4の記憶回路の何れか一は、第6及び第7のトランジスタと、第5の容量素子と、第5のノードと、を有することが好ましい。前記第5のノードは、前記第5の容量素子の第1の端子及び前記第6のトランジスタのゲートに電氣的に接続される。前記第6のトランジスタは、前記第1の配線と前記第2の配線との導通又は非導通を制御する機能を有する。前記第7のトランジスタは、前記第5のノードと前記第2の配線との導通又は非導通を制御する機能を有する。前記第5のノードは、前記第1乃至第4のデータの何れか一を保持する機能を有する。前記第7のトランジスタはチャンネル形成領域に酸化物半導体を有することが好ましい。

30

**【0014】**

上記態様は、第1の層と、前記第1の層の上に設けられた第2の層と、前記第2の層の上に設けられた第3の層と、前記第3の層の上に設けられた第4の層と、を有することが好ましい。前記第1のトランジスタは、前記第1の層に設けられる。前記第2乃至第5のトランジスタは、前記第2又は第3の層に設けられる。前記第1乃至第4の容量素子は、前記第4の層に設けられる。前記第1のトランジスタはチャンネル形成領域にシリコンを含むことが好ましい。

**【0015】**

本発明の一態様は、第1乃至第4のトランジスタと、第1乃至第3の容量素子と、第1乃至第3のノードと、第1及び第2の配線と、を有する記憶装置である。前記第1のノードは、前記第1の容量素子の第1の端子及び前記第1のトランジスタのゲートに電氣的に接続される。前記第2のノードは、前記第2の容量素子の第1の端子及び前記第2のトランジスタのゲートに電氣的に接続される。前記第3のノードは、前記第3の容量素子の第1の端子及び前記第3のトランジスタのゲートに電氣的に接続される。前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第2のトランジスタは、前記第1のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第3のトランジスタは、前記第2のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第4のトランジスタは、前記第3のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第1のノードは、Jビット(Jは1以上の整数)のデータを保持する機能を有する。

40

50

る。前記第2のノードは、Kビット（Kは1以上の整数）のデータを保持する機能を有する。前記第3のノードは、Lビット（Lは1以上の整数）のデータを保持する機能を有する。前記第2乃至第4のトランジスタは、チャンネル形成領域に酸化物半導体を含むことが好ましい。

【0016】

本発明の一態様は、メモリセルと、第1乃至第3の記憶回路と、第1及び第2の配線と、を有する記憶装置である。前記メモリセルは、第1乃至第4のトランジスタと、第1乃至第3の容量素子と、第1乃至第3のノードと、を有する。前記第1のノードは、前記第1の容量素子の第1の端子及び前記第1のトランジスタのゲートに電氣的に接続される。前記第2のノードは、前記第2の容量素子の第1の端子及び前記第2のトランジスタのゲートに電氣的に接続される。前記第3のノードは、前記第3の容量素子の第1の端子及び前記第3のトランジスタのゲートに電氣的に接続される。前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第2のトランジスタは、前記第1のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第3のトランジスタは、前記第2のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第4のトランジスタは、前記第3のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第1のノードは、Jビット（Jは1以上の整数）の第1のデータを保持する機能を有する。前記第2のノードは、Kビット（Kは1以上の整数）の第2のデータを保持する機能を有する。前記第3のノードは、Lビット（Lは1以上の整数）の第3のデータを保持する機能を有する。前記第2乃至第4のトランジスタは、チャンネル形成領域に酸化物半導体を含むことが好ましい。前記第1乃至第3の記憶回路は、前記第1の配線に電氣的に接続される。前記第1乃至第3の記憶回路は、前記第2の配線に電氣的に接続される。前記第1の記憶回路は、前記第1のデータを記憶する機能を有する。前記第2の記憶回路は、前記第2のデータを記憶する機能を有する。前記第3の記憶回路は、前記第3のデータを記憶する機能を有する。

【0017】

上記態様において、前記第1乃至第3の記憶回路の何れかーは、第5及び第6のトランジスタと、第4の容量素子と、第4のノードと、を有することが好ましい。前記第4のノードは、前記第4の容量素子の第1の端子及び前記第5のトランジスタのゲートに電氣的に接続される。前記第5のトランジスタは、前記第1の配線と前記第2の配線との導通又は非導通を制御する機能を有する。前記第6のトランジスタは、前記第4のノードと前記第2の配線との導通又は非導通を制御する機能を有する。前記第4のノードは、前記第1乃至第3のデータの何れかーを保持する機能を有する。前記第5のトランジスタはチャンネル形成領域に酸化物半導体を有することが好ましい。

【0018】

上記態様は、第1の層と、前記第1の層の上に設けられた第2の層と、前記第2の層の上に設けられた第3の層と、前記第3の層の上に設けられた第4の層と、を有することが好ましい。前記第1のトランジスタは、前記第1の層に設けられる。前記第2乃至第4のトランジスタは、前記第2又は第3の層に設けられる。前記第1乃至第3の容量素子は、前記第4の層に設けられる。前記第1のトランジスタはチャンネル形成領域にシリコンを含むことが好ましい。

【0019】

本発明の一態様は、第1乃至第3のトランジスタと、第1及び第2の容量素子と、第1及び第2のノードと、第1及び第2の配線と、を有する記憶装置である。前記第1のノードは、前記第1の容量素子の第1の端子及び前記第1のトランジスタのゲートに電氣的に接続される。前記第2のノードは、前記第2の容量素子の第1の端子及び前記第2のトランジスタのゲートに電氣的に接続される。前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第2のトランジスタは、前記第1のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有

する。前記第3のトランジスタは、前記第2のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第1のノードは、Jビット（Jは1以上の整数）のデータを保持する機能を有する。前記第2のノードは、Kビット（Kは1以上の整数）のデータを保持する機能を有する。前記第2及び第3のトランジスタは、チャネル形成領域に酸化物半導体を含むことが好ましい。

【0020】

本発明の一態様は、メモリセルと、第1及び第2の記憶回路と、第1及び第2の配線と、を有する記憶装置である。前記メモリセルは、第1乃至第3のトランジスタと、第1及び第2の容量素子と、第1及び第2のノードと、を有する。前記第1のノードは、前記第1の容量素子の第1の端子及び前記第1のトランジスタのゲートに電氣的に接続される。前記第2のノードは、前記第2の容量素子の第1の端子及び前記第2のトランジスタのゲートに電氣的に接続される。前記第1のトランジスタは、前記第1の配線と前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第2のトランジスタは、前記第1のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第3のトランジスタは、前記第2のノードと前記第2の配線との間の、導通又は非導通を制御する機能を有する。前記第1のノードは、Jビット（Jは1以上の整数）の第1のデータを保持する機能を有する。前記第2のノードは、Kビット（Kは1以上の整数）の第2のデータを保持する機能を有する。前記第2及び第3のトランジスタは、チャネル形成領域に酸化物半導体を含むことが好ましい。前記第1及び第2の記憶回路は、前記第1の配線に電氣的に接続される。前記第1及び第2の記憶回路は、前記第2の配線に電氣的に接続される。前記第1の記憶回路は、前記第1のデータを記憶する機能を有する。前記第2の記憶回路は、前記第2のデータを記憶する機能を有する。

【0021】

上記態様において、前記第1及び第2の記憶回路の何れかーは、第4及び第5のトランジスタと、第3の容量素子と、第3のノードと、を有することが好ましい。前記第3のノードは、前記第3の容量素子の第1の端子及び前記第4のトランジスタのゲートに電氣的に接続される。前記第4のトランジスタは、前記第1の配線と前記第2の配線との導通又は非導通を制御する機能を有する。前記第5のトランジスタは、前記第3のノードと前記第2の配線との導通又は非導通を制御する機能を有する。前記第3のノードは、前記第1及び第2のデータの何れかーを保持する機能を有する。前記第5のトランジスタはチャネル形成領域に酸化物半導体を有することが好ましい。

【0022】

上記態様は、第1の層と、前記第1の層の上に設けられた第2の層と、前記第2の層の上に設けられた第3の層と、前記第3の層の上に設けられた第4の層と、を有することが好ましい。前記第1のトランジスタは、前記第1の層に設けられる。前記第2及び第3のトランジスタの一方は、前記第2の層に設けられる。前記第2及び第3のトランジスタの他方は、前記第3の層に設けられる。前記第1及び第2の容量素子は、前記第4の層に設けられる。前記第1のトランジスタはチャネル形成領域にシリコンを含むことが好ましい。

【0023】

本発明の一態様は、上記態様に記載の記憶装置と、マイクロフォン、スピーカ、表示部、および操作キーのうちの少なくとも1つを有する電子機器である。

【発明の効果】

【0024】

本発明の一態様により、複数の多値データの書き込みと読み出しが可能な記憶装置を提供することが可能になる。また、本発明の一態様により、新規な記憶装置を提供することが可能になる。また、本発明の一態様により、新規な半導体装置を提供することが可能になる。

【0025】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、

10

20

30

40

50

図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0026】

【図1】メモリセルの構成例を示す回路図。

【図2】メモリセルの構成例を示す回路図。

【図3】メモリセルの構成例を示す回路図。

【図4】メモリセルの動作例を示すタイミングチャート。

【図5】メモリセルの動作例を示すタイミングチャート。

【図6】メモリセルの構成例を示す回路図。

10

【図7】メモリセルの構成例を示す回路図。

【図8】メモリセルの構成例を示す回路図。

【図9】メモリセルの構成例を示す回路図。

【図10】メモリセルの構成例を示す回路図。

【図11】メモリセルの構成例を示す回路図。

【図12】記憶装置の構成例を示す回路図。

【図13】記憶装置の構成例を示す回路図。

【図14】記憶装置の構成例を示す回路図。

【図15】記憶装置の構成例を示す回路図。

【図16】メモリセルの構成例を示す回路図。

20

【図17】メモリセルアレイの構成例を示す回路図。

【図18】メモリセルアレイの動作例を示すタイミングチャート。

【図19】記憶装置の構成例を示す回路ブロック図。

【図20】トランジスタの構成例を示す上面図及び断面図。

【図21】トランジスタの構成例を示す断面図及びエネルギーバンド図。

【図22】酸素が拡散する経路を示す断面図。

【図23】トランジスタの構成例を示す上面図及び断面図。

【図24】トランジスタの構成例を示す上面図及び断面図。

【図25】トランジスタの構成例を示す上面図及び断面図。

【図26】トランジスタの構成例を示す上面図及び断面図。

30

【図27】トランジスタの構成例を示す上面図及び断面図。

【図28】メモリセルの構成例を示す断面図。

【図29】メモリセルの構成例を示す断面図。

【図30】トランジスタの構成例を示す断面図。

【図31】トランジスタの構成例を示す断面図。

【図32】CPUの構成例を示すブロック図。

【図33】電子器機器の一例を示す斜視図。

【図34】RFタグの使用例を示す斜視図。

【図35】CAAC-OSの断面におけるCs補正高分解能TEM像、およびCAAC-OSの断面模式図。

40

【図36】CAAC-OSの平面におけるCs補正高分解能TEM像。

【図37】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図38】CAAC-OSの電子回折パターンを示す図。

【図39】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【発明を実施するための形態】

【0027】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、

50

以下の実施の形態の記載内容に限定して解釈されるものではない。

【0028】

また、本明細書は、以下の実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0029】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

【0030】

本明細書において、特に断りがない場合、オン電流とは、トランジスタがオン状態にあるときのドレイン電流をいう。オン状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧差 ( $V_{gs}$ ) がしきい値電圧 ( $V_{th}$ ) 以上の状態、pチャネル型トランジスタでは、 $V_{gs}$  が  $V_{th}$  以下の状態をいう。例えば、nチャネル型のトランジスタのオン電流とは、 $V_{gs}$  が  $V_{th}$  以上のときのドレイン電流を言う場合がある。また、トランジスタのオン電流は、ドレインとソースの間の電圧 ( $V_{ds}$ ) に依存する場合がある。

【0031】

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、 $V_{gs}$  が  $V_{th}$  よりも低い状態、pチャネル型トランジスタでは、 $V_{gs}$  が  $V_{th}$  よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、 $V_{gs}$  が  $V_{th}$  よりも低いときのドレイン電流を言う場合がある。トランジスタのオフ電流は、 $V_{gs}$  に依存する場合がある。従って、トランジスタのオフ電流が  $10^{-21}$  A 未満である、とは、トランジスタのオフ電流が  $10^{-21}$  A 未満となる  $V_{gs}$  の値が存在することを言う場合がある。

【0032】

また、トランジスタのオフ電流は、 $V_{ds}$  に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 $V_{ds}$  の絶対値が 0.1 V、0.8 V、1 V、1.2 V、1.8 V、2.5 V、3 V、3.3 V、10 V、12 V、16 V、または 20 V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等において使用される  $V_{ds}$  におけるオフ電流、を表す場合がある。

【0033】

なお、本明細書中において、高電源電圧をHレベル（又は  $V_{DD}$  ）、低電源電圧をLレベル（又は  $GND$  ）と呼ぶ場合がある。

【0034】

（実施の形態1）

本実施の形態では、本発明の一態様であるメモリセルの構成例について、図1乃至図11を用いて説明を行う。

【0035】

メモリセルの構成例1

図1は、複数の2値又は多値データの書き込みと読み出しが可能なメモリセル100aの構成例を示す回路図である。

【0036】

メモリセル100aは、トランジスタM0、トランジスタM1、トランジスタM2、トランジスタM3と、トランジスタM4と、容量素子C1と、容量素子C2と、容量素子C3と、容量素子C4と、配線WL1と、配線WL2と、配線WL3と、配線WL4と、配線WL5と、ノードFN1と、ノードFN2と、ノードFN3と、ノードFN4と、配線SLと、配線BLと、を有する。

【0037】



ノードF N 1は、容量素子C 1の第1の端子及びトランジスタM 0のゲートに電氣的に接続される。ノードF N 2は、容量素子C 2の第1の端子及びトランジスタM 1のゲートに電氣的に接続される。ノードF N 3は、容量素子C 3の第1の端子及びトランジスタM 2のゲートに電氣的に接続される。ノードF N 4は、容量素子C 4の第1の端子及びトランジスタM 3のゲートに電氣的に接続される。

【0038】

容量素子C 1の第2の端子は、配線W L 1に電氣的に接続される。容量素子C 2の第2の端子は、配線W L 2に電氣的に接続される。容量素子C 3の第2の端子は、配線W L 3に電氣的に接続される。容量素子C 4の第2の端子は、配線W L 4に電氣的に接続される。トランジスタM 4のゲートは、配線W L 5に電氣的に接続される。

10

【0039】

トランジスタM 0は、配線S Lと配線B Lとの間の導通又は非導通を制御する機能を有する。トランジスタM 1は、ノードF N 1と配線B Lとの間の導通又は非導通を制御する機能を有する。トランジスタM 2は、ノードF N 2と配線B Lとの間の導通又は非導通を制御する機能を有する。トランジスタM 3は、ノードF N 3と配線B Lとの間の導通又は非導通を制御する機能を有する。トランジスタM 4は、ノードF N 4と配線B Lとの間の導通又は非導通を制御する機能を有する。

【0040】

ノードF N 1は、Jビット( $2^J$ 値、Jは1以上の整数)の第1のデータを保持する機能を有する。第1のデータは2値あるいは多値のデータを含む。第1のデータは、配線B LからトランジスタM 1を介してノードF N 1に書き込まれる。

20

【0041】

ノードF N 2は、Kビット( $2^K$ 値、Kは1以上の整数)の第2のデータを保持する機能を有する。第2のデータは2値あるいは多値のデータを含む。第2のデータは、配線B LからトランジスタM 2を介してノードF N 2に書き込まれる。

【0042】

ノードF N 3は、Lビット( $2^L$ 値、Lは1以上の整数)の第3のデータを保持する機能を有する。第3のデータは2値あるいは多値のデータを含む。第3のデータは、配線B LからトランジスタM 3を介してノードF N 3に書き込まれる。

【0043】

ノードF N 4は、Mビット( $2^M$ 値、Mは1以上の整数)の第4のデータを保持する機能を有する。第4のデータは2値あるいは多値のデータを含む。第4のデータは、配線B LからトランジスタM 4を介してノードF N 4に書き込まれる。

30

【0044】

メモリセル100aは、ノードF N 1乃至F N 4が保持するデータを合計すると( $J + K + L + M$ )ビット( $2^{J+K+L+M}$ 値)のデータ保持が可能である。例えば、ノードF N 1乃至F N 4がそれぞれ4ビットのデータを保持すると仮定すると、メモリセル100aは、合計で16ビットのデータ保持が可能である。

【0045】

メモリセル100aは、ノードF N 1乃至F N 4を有することで、複数の2値又は多値データの保持が可能になる。

40

【0046】

トランジスタM 1乃至M 4は、導通状態と非導通状態とを切り換えることで、データの書き込みを制御するスイッチとしての機能を有する。また、非導通状態を保持することで、それぞれのノードに書き込んだ電荷を保持する機能を有する。

【0047】

トランジスタM 1乃至M 4には、非導通状態においてソースとドレインとの間を流れる電流(オフ電流)が低いトランジスタを用いることが好適である。ここでは、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を3Vとし、チャネル幅1 $\mu$ mあたりの規格化されたオフ電流が $10 \times 10^{-21}$ A以下であることをいう。このようにオ

50

フ電流が低いトランジスタとしては、チャネル形成領域に酸化物半導体を有するOSトランジスタや、チャネル形成領域にワイドバンドギャップ半導体（バンドギャップが2.2 eV以上の半導体）を用いたトランジスタが挙げられる。特に、OSトランジスタを用いることが好適である。

【0048】

配線SLは、高電源電位又は低電源電位が与えられる。

【0049】

トランジスタM0は、ノードFN1（トランジスタM0のゲート）に与えられた電位に応じてチャネル抵抗が変化する。配線SLと配線BLとの間に電位差を与え、配線SLと配線BLとの間を流れる電流又は配線BLの電位を検出することで、ノードFN1に与えられた電位を間接的に読み出すことが可能になる。

10

【0050】

トランジスタM0は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタ）を用いてもよい。Siトランジスタは、移動度が高くオン電流が大きい。トランジスタM0に、Siトランジスタを用いることで、メモリセル100aは、データの読み出し速度を向上させることが可能になる。

【0051】

トランジスタM0は、トランジスタM1乃至M4と同様に、チャネル形成領域に酸化物半導体を有するOSトランジスタを用いてもよい。OSトランジスタは、オフ電流が低いので、メモリセル100aの消費電力を低減することが可能になる。また、OSトランジスタは、短チャネル効果の影響を受けにくいいため、トランジスタを微細化したときでも、ゲート絶縁膜を厚く形成することが可能である。そのため、トランジスタM0のゲート絶縁膜を厚く形成することが可能になり、トランジスタM0のゲートリークを低く抑え、ノードFN1に書き込まれた電荷を長期間保持することが可能になる。

20

【0052】

メモリセルの構成例2

図2（A）に示すメモリセル100bは、図1のメモリセル100aにおいて、ノードFN4、トランジスタM4、容量素子C4及び配線WL5を省き、トランジスタM3のゲートを配線WL4に電気的に接続した場合の構成例である。

【0053】

それぞれの構成要素の詳細に関しては、メモリセル100aの記載を参照すればよい。

30

【0054】

メモリセル100bは、ノードFN1乃至FN3の3つのノードを有する。すなわち、メモリセル100aにおける第1乃至第3のデータを保持する機能を有する。

【0055】

メモリセル100bにおいて、トランジスタM1乃至M3には、オフ電流が低いトランジスタを用いることが好適である。オフ電流が低いトランジスタとしては、チャネル形成領域に酸化物半導体を有するOSトランジスタや、チャネル形成領域にワイドバンドギャップ半導体を用いたトランジスタが挙げられる。特に、OSトランジスタを用いることが好適である。

40

【0056】

また、トランジスタM0は、Siトランジスタを用いてもよい。トランジスタM0にSiトランジスタを用いることで、メモリセル100bは、データの読み出し速度を向上させることが可能になる。また、トランジスタM0はOSトランジスタを用いてもよい。トランジスタM0にOSトランジスタを用いることで、メモリセル100bは消費電力を低減することが可能になる。また、トランジスタM0のゲート絶縁膜を厚く形成することが可能になり、ノードFN1に書き込まれた電荷を長期間保持することが可能になる。

【0057】

メモリセルの構成例3

図2（B）に示すメモリセル100cは、図2（A）のメモリセル100bにおいて、ノ

50

ードFN3、トランジスタM3、容量素子C3及び配線WL4を省き、トランジスタM2のゲートを配線WL3に電氣的に接続した場合の構成例である。

【0058】

それぞれの構成要素の詳細に関しては、メモリセル100aの記載を参照すればよい。

【0059】

メモリセル100cは、ノードFN1、FN2の2つのノードを有する。すなわち、メモリセル100aにおける第1及び第2のデータを保持する機能を有する。

【0060】

メモリセル100cにおいて、トランジスタM1、M2には、オフ電流が低いトランジスタを用いることが好適である。オフ電流が低いトランジスタとしては、チャネル形成領域に酸化物半導体を有するOSTランジスタや、チャネル形成領域にワイドバンドギャップ半導体を用いたトランジスタが挙げられる。特に、OSTランジスタを用いることが好適である。

10

【0061】

また、トランジスタM0は、Siトランジスタを用いてもよい。トランジスタM0にSiトランジスタを用いることで、メモリセル100cは、データの読み出し速度を向上させることが可能になる。また、トランジスタM0はOSTランジスタを用いてもよい。トランジスタM0にOSTランジスタを用いることで、メモリセル100cは消費電力を低減することが可能になる。また、トランジスタM0のゲート絶縁膜を厚く形成することが可能になり、ノードFN1に書き込まれた電荷を長期間保持することが可能になる。

20

【0062】

#### メモリセルの構成例4

図3に示すメモリセル100dは、上述のメモリセル100a乃至100cにおいて、n（nは2以上の整数）の数の保持ノードを有する場合に一般化した場合の構成例である。メモリセル100dは、図1のメモリセル100a、図2（A）のメモリセル100b及び図2（B）のメモリセル100cを含む。図3において、n=4の場合は、メモリセル100aに該当し、n=3の場合はメモリセル100bに該当し、n=2の場合は、メモリセル100cに該当する。

【0063】

それぞれの構成要素の詳細に関しては、メモリセル100aの記載を参照すればよい。

30

【0064】

メモリセル100dは、nの数のノード（ノードFN1乃至FNn）を有する。すなわち、2値又は多値のデータで構成される第1乃至第nのデータを保持する機能を有する。

【0065】

メモリセル100dにおいて、トランジスタM1乃至Mnには、オフ電流が低いトランジスタを用いることが好適である。オフ電流が低いトランジスタとしては、チャネル形成領域に酸化物半導体を有するOSTランジスタや、チャネル形成領域にワイドバンドギャップ半導体を用いたトランジスタが挙げられる。特に、OSTランジスタを用いることが好適である。

【0066】

40

また、トランジスタM0は、Siトランジスタを用いてもよい。トランジスタM0にSiトランジスタを用いることで、メモリセル100dは、データの読み出し速度を向上させることが可能になる。また、トランジスタM0はOSTランジスタを用いてもよい。トランジスタM0にOSTランジスタを用いることで、メモリセル100dは消費電力を低減することが可能になる。また、トランジスタM0のゲート絶縁膜を厚く形成することが可能になり、ノードFN1に書き込まれた電荷を長期間保持することが可能になる。

【0067】

#### メモリセルの動作例

次に、図2（A）のメモリセル100bの動作の一例について、図4及び図5を用いて説明を行う。なお、メモリセル100a、100c、100dの動作についても、以下の説

50

明を適用することで、理解が可能である。

【 0 0 6 8 】

なお、以下の説明ではトランジスタ M 0 乃至 M 3 は、 n チャネル型トランジスタとして説明を行う。

【 0 0 6 9 】

書き込み動作

まず、メモリセル 1 0 0 b の書き込み動作の一例について、図 4 を用いて説明を行う。

【 0 0 7 0 】

図 4 は、メモリセル 1 0 0 b の書き込み動作のタイミングチャートを示している。上から順に、配線 W L 1、配線 W L 2、配線 W L 3、配線 W L 4、配線 B L、配線 S L、ノード F N 1、ノード F N 2、ノード F N 3 の電位をそれぞれ表している。また、図中には、動作のタイミングを示すために、タイミングチャートを、期間 T 1 0 乃至 T 2 3 に分割している。

10

【 0 0 7 1 】

図中の V P 1、V P 2、V 0、V M 1、V M 2、V M 3 は、各配線及びノードの電位を表す。電位 V 0 は G N D とする。トランジスタ M 0 乃至 M 3 のしきい値電圧を全て V t h とした場合、電位 V P 1 は V t h と入力データの最大値 ( V m a x ) の和より大きい値とする。電位 V P 1、V P 2 は、正電位であり、電位 V P 2 は V P 1 の 2 倍とする。電位 V M 1、V M 2、V M 3 は、負電位であり、電位 V M 1 の絶対値は、電位 V P 1 と等しい。電位 V M 2 は電位 V M 1 の 2 倍、電位 V M 3 は電位 V M 1 の 3 倍とする。

20

【 0 0 7 2 】

なお、図 4 及び図 5 において、ノード F N 1 乃至 F N 3 は、2 値又は多値のデータが与えられ、ハッチングで示された範囲の電位をとり得る。

【 0 0 7 3 】

まず、期間 T 1 0 は準備期間であり、配線 W L 1 乃至 W L 4、B L、S L は全て V 0 になっている。ノード F N 1 乃至 F N 3 は、何かしらの電位を保持している。

【 0 0 7 4 】

次に、期間 T 1 1 乃至 T 1 6 は、ノード F N 1 乃至 F N 3 へのリセットを行う期間である。ノード F N 3、ノード F N 2、ノード F N 1 の順番でリセットを行う。

【 0 0 7 5 】

期間 T 1 1 において、配線 W L 4 は電位 V P 1 を与えられ、トランジスタ M 3 はオン状態になる。このとき、ノード F N 3 は配線 B L の電位 V 0 を与えられる。ノード F N 3 は、リセットされる。

30

【 0 0 7 6 】

期間 T 1 2 において、配線 W L 4 は電位 V 0 を与えられ、トランジスタ M 3 はオフ状態になる。このとき、ノード F N 3 は電位 V 0 を維持する。

【 0 0 7 7 】

期間 T 1 3 において、配線 W L 3 は電位 V P 1 を与えられる。ノード F N 3 は、容量素子 C 3 を介して、電位 V 0 から電位 V P 1 に持ち上げられる。このとき、トランジスタ M 2 はオン状態になり、ノード F N 2 は電位 V 0 を与えられる。ノード F N 2 はリセットされる。

40

【 0 0 7 8 】

期間 T 1 4 において、配線 W L 3 は電位 V 0 を与えられ、トランジスタ M 2 は、オフ状態となる。ノード F N 2 は電位 V 0 を維持する。

【 0 0 7 9 】

期間 T 1 5 において、配線 W L 2 は電位 V P 1 を与えられる。ノード F N 2 は、容量素子 C 2 を介して、電位 V 0 から電位 V P 1 に持ち上げられる。このとき、トランジスタ M 1 はオン状態になり、ノード F N 1 は電位 V 0 が与えられる。ノード F N 1 はリセットされる。

【 0 0 8 0 】

50

期間 T 1 6 において、配線 W L 2 は電位 V 0 を与えられ、トランジスタ M 1 は、オフ状態となる。ノード F N 1 は電位 V 0 を維持する。

【 0 0 8 1 】

以上、期間 T 1 1 乃至 T 1 6 の動作によりノード F N 1、F N 2、F N 3 のリセットが行われる。

【 0 0 8 2 】

次に、期間 T 1 7 乃至 T 2 3 において、ノード F N 1 乃至 F N 3 にデータの書き込みを行う。ノード F N 3、ノード F N 2、ノード F N 1 の順番で書き込みを行う。

【 0 0 8 3 】

期間 T 1 7 において、配線 W L 4 は電位 V P 1 を与えられる。トランジスタ M 3 はオン状態になる。このとき、ノード F N 3 は電位 V W 3 を書き込まれる。例えば、電位 V W 3 は、データの値に応じて、電位 V F 0 乃至 V F 1 5 ( 1 6 値 ) をとり得る。

10

【 0 0 8 4 】

期間 T 1 8 において、配線 W L 4 は電位 V 0 を与えられ、トランジスタ M 3 はオフ状態となり、ノード F N 3 は電位 V W 3 を保持する。

【 0 0 8 5 】

期間 T 1 9 において、配線 W L 3 は電位 V P 1 を与えられる。これによりノード F N 3 は、容量素子 C 3 を介して電位 V P 1 だけ持ち上げられ、電位 V W 3 に電位 V P 1 を加算した値になる。このとき、トランジスタ M 2 はオン状態になり、ノード F N 2 は電位 V W 2 を書き込まれる。電位 V W 2 は、データの値に応じて、例えば、電位 V F 0 乃至 V F 1 5 ( 1 6 値 ) をとり得る。

20

【 0 0 8 6 】

期間 T 2 0 において、配線 W L 3 は電位 V M 1 を与えられる。ノード F N 3 は容量素子 C 3 を介して負の電位をとり、トランジスタ M 2 はオフ状態となる。ノード F N 2 は電位 V W 2 を保持する。

【 0 0 8 7 】

期間 T 2 1 において、配線 W L 2 は電位 V P 1 を与えられる。これによりノード F N 2 は、容量素子 C 2 を介して、電位 V P 1 だけ持ち上げられる。このとき、トランジスタ M 1 はオン状態になり、ノード F N 1 に電位 V W 1 が書き込まれる。ノード F N 1 の電位 V W 1 は、データ値に応じて、例えば、電位 V F 0 乃至 V F 1 5 ( 1 6 値 ) をとり得る。

30

【 0 0 8 8 】

期間 T 2 2 において、配線 W L 2 は電位 V M 1 を与えられる。トランジスタ M 1 はオフ状態になり、ノード F N 1 は電位 V W 1 を保持する。このとき、トランジスタ M 2、M 3 をオフ状態にするため、配線 W L 3、W L 4 は電位 V M 2 を与えられる。その結果、ノード F N 3 は電位 V W 3 を保持する。

【 0 0 8 9 】

期間 T 2 3 において、配線 W L 1 は電位 V M 1 を与えられ、配線 W L 2 は電位 V M 2 を与えられ、配線 W L 3、W L 4 は電位 V M 3 を与えられる。このとき、トランジスタ M 0 はオフ状態になり、配線 S L と配線 B L 間是非導通状態となる。

【 0 0 9 0 】

40

以上の動作によって、メモリセル 1 0 0 b に、複数の 2 値又は多値のデータを書き込むことが可能になる。

【 0 0 9 1 】

読み出し動作

次に、図 4 で書き込まれたデータを、読み出す動作の一例について、図 5 を用いて説明を行う。

【 0 0 9 2 】

図 5 は、メモリセル 1 0 0 b の読み出し動作のタイミングチャートを示している。図 4 と同様に、上から順に、配線 W L 1、配線 W L 2、配線 W L 3、配線 W L 4、配線 B L、配線 S L、ノード F N 1、ノード F N 2、ノード F N 3 の電位をそれぞれ表している。また

50

、図中には、動作のタイミングを示すために、タイミングチャートを、期間 T 2 4 乃至 T 3 6 に分割している。

【 0 0 9 3 】

データの読み出しは、ノード F N 1 の電位  $V_{w1}$ 、ノード F N 2 の電位  $V_{w2}$ 、ノード F N 3 の電位  $V_{w3}$  の順番で行う。ノード F N 2 の電位  $V_{w2}$  の読み出しは、ノード F N 1 の電位  $V_{w1}$  を読み出した後、ノード F N 2 の電位  $V_{w2}$  をノード F N 1 に移し、トランジスタ M 0 で読み出しを行う。ノード F N 3 の電位  $V_{w3}$  の読み出しは、ノード F N 1 に移した電位  $V_{w2}$  を読み出した後、ノード F N 3 の電位  $V_{w3}$  をノード F N 2 に移し、その後、ノード F N 1 に移し、トランジスタ M 0 で読み出しを行う。

【 0 0 9 4 】

図 5 の期間 T 2 4 は、書き込み動作を行なった後のホールド期間である。それぞれの配線及びノードは、図 4 の期間 T 2 3 の状態を維持している。

【 0 0 9 5 】

期間 T 2 5 において、配線 S L は電位  $V_{p1}$  を与えられ、配線 W L 1 は電位  $V_0$  を与えられる。また、配線 B L は電氣的に浮遊状態にされる。このとき、トランジスタ M 0 は、ゲート電位（ノード F N 1 の電位）に応じた電流を流し、配線 B L に電荷が充電される。最終的には、ノード F N 1 と配線 B L の電位差が、トランジスタ M 0 の  $V_{th}$  を下まわった段階で、配線 B L の充電が終了する。

【 0 0 9 6 】

配線 B L に充電された電圧を配線 B L に電氣的に接続されたセンサ回路で読み出すことにより、ノード F N 1 の電位を読み出すことが可能になる。すなわち、ノード F N 1 に書き込まれた 2 値又は多値のデータを読み出すことが可能になる。

【 0 0 9 7 】

期間 T 2 6 において、配線 S L は電位  $V_0$  を与えられ、配線 W L 1 は電位  $V_{m1}$  を与えられる。このとき、トランジスタ M 0 はオフ状態になる。

【 0 0 9 8 】

期間 T 2 7 において、ノード F N 2 のデータをノード F N 1 に移動する。配線 W L 2 は電位  $V_0$  を与えられ、配線 B L は電位  $V_{p1}$  を与えられる。トランジスタ M 1 は、ノード F N 2 に書き込まれた電荷に応じて、ノード F N 1 を充電する。その結果、ノード F N 2 の電位  $V_{w2}$  がノード F N 1 に電位  $V_{w2}'$  として移動する。

【 0 0 9 9 】

期間 T 2 8 において、配線 B L は電位  $V_0$  を与えられ、配線 W L 1 は電位  $V_{m1}$  を与えられ、配線 W L 2 は電位  $V_{m2}$  を与えられる。このとき、トランジスタ M 0 及びトランジスタ M 1 はオフ状態になる。

【 0 1 0 0 】

期間 T 2 9 において、配線 S L は電位  $V_{p1}$  を与えられ、配線 W L 1 は電位  $V_0$  を与えられる。また、配線 B L は電氣的に浮遊状態にされる。トランジスタ M 0 は、ノード F N 1 の電位に応じた電流を流し、配線 B L は充電される。

【 0 1 0 1 】

配線 B L に充電された電圧を、配線 B L に電氣的に接続されたセンサ回路で読み出すことにより、ノード F N 2 に書き込まれた 2 値又は多値のデータを読み出すことが可能になる。

【 0 1 0 2 】

期間 T 3 0 において、配線 S L 及び配線 B L は電位  $V_0$  を与えられ、配線 W L 1 は電位  $V_{m1}$  を与えられる。このとき、トランジスタ M 0 がオフ状態となる。

【 0 1 0 3 】

期間 T 3 1 において、ノード F N 3 のデータをノード F N 2 に移動する。配線 W L 2 及び配線 W L 3 は電位  $V_0$  を与えられ、配線 B L は電位  $V_{p1}$  を与えられる。トランジスタ M 2 はノード F N 3 の電位に応じてオン状態になり、ノード F N 2 を充電する。その結果、ノード F N 3 の電位  $V_{w3}$  がノード F N 2 に電位  $V_{w3}'$  として移動する。

10

20

30

40

50

## 【 0 1 0 4 】

期間 T 3 2 において、配線 B L は電位 V 0 を与えられ、配線 W L 2 は電位 V M 2 を与えられ、配線 W L 3 は電位 V M 3 を与えられる。このとき、トランジスタ M 2 がオフ状態になる。

## 【 0 1 0 5 】

期間 T 3 3 において、期間 T 3 1 でノード F N 2 に移動したノード F N 3 のデータを、さらにノード F N 1 に移動する。配線 W L 1、W L 2 は電位 V 0 を与えられ、配線 B L は電位 V P 1 を与えられる。トランジスタ M 0 は、ノード F N 2 の電位に応じてオン状態になり、ノード F N 1 を充電する。その結果、ノード F N 2 の電位  $V_{W3}$  がノード F N 1 に電位  $V_{W3}$  として移動する。

10

## 【 0 1 0 6 】

期間 T 3 4 において、配線 B L は電位 V 0 を与えられ、配線 W L 1 は電位 V M 1 を与えられ、配線 W L 2 は電位 V M 2 を与えられる。このとき、トランジスタ M 0、M 1 はオフ状態になる。

## 【 0 1 0 7 】

期間 T 3 5 において、配線 S L は電位 V P 1 を与えられ、配線 W L 1 は電位 V 0 を与えられる。また、配線 B L は電氣的に浮遊状態にされる。トランジスタ M 0 は、ノード F N 1 の電位に応じて電流を流し、配線 B L は充電される。

## 【 0 1 0 8 】

配線 B L に充電された電圧を配線 B L に電氣的に接続されたセンサ回路で読み出すことにより、ノード F N 3 に保存された 2 値又は多値のデータを読み出すことが可能になる。

20

## 【 0 1 0 9 】

以上の動作によって、メモリセル 1 0 0 b は、書き込まれた複数の 2 値又は多値のデータを読み出すことが可能になる。

## 【 0 1 1 0 】

## メモリセルの構成例 5

図 3 に示すメモリセル 1 0 0 d は、配線 B L を配線 B L 0 乃至 B L n に分割し、トランジスタ M 0 のソース及びドレインの一方を配線 B L 0 に接続し、トランジスタ M 1 のソース及びドレインの一方を配線 B L 1 に接続し、トランジスタ M n のソース及びドレインの一方を配線 B L n に接続してもよい ( 図 6、メモリセル 1 0 0 e )。

30

## 【 0 1 1 1 】

## メモリセルの構成例 6

図 3 に示すメモリセル 1 0 0 d は、配線 B L を配線 B L 1 乃至 B L n に分割し、トランジスタ M 0 のソース及びドレインの一方と、トランジスタ M 1 のソース及びドレインの一方を配線 B L 1 に接続し、トランジスタ M n のソース及びドレインの一方を配線 B L n に接続してもよい ( 図 7、メモリセル 1 0 0 f )。

## 【 0 1 1 2 】

## メモリセルの構成例 7

図 3 に示すメモリセル 1 0 0 d は、配線 B L を配線 B L 1 及び配線 B L 2 に分割し、トランジスタ M 0 のソース及びドレインの一方を配線 B L 1 に接続し、トランジスタ M 1 乃至 M n のソース及びドレインの一方を配線 B L 2 に接続してもよい ( 図 8、メモリセル 1 0 0 g )。

40

## 【 0 1 1 3 】

## メモリセルの構成例 8

図 3 に示すメモリセル 1 0 0 d は、トランジスタ M 1 乃至 M n に第 2 のゲート電極を設けてもよい。第 2 のゲート電極は、半導体層 ( チャネル形成領域 ) を間に介して、第 1 のゲート電極と重なる領域を有することが好ましい。なお、トランジスタ M 1 乃至 M n の第 2 のゲート電極には共通の電位  $V_{BG}$  を与えてもよい ( 図 9、メモリセル 1 0 0 h )。こうすることで、トランジスタ M 1 乃至 M n のしきい値を制御することが可能になる。

## 【 0 1 1 4 】

50

## メモリセルの構成例 9

また、図 9 に示すトランジスタ M 1 乃至 M n の第 2 のゲート電極は、それぞれのトランジスタの第 1 のゲート電極に電氣的に接続されてもよい (図 1 0、メモリセル 1 0 0 i)。こうすることで、トランジスタ M 1 乃至 M n のオン電流を増大させることが可能になる。  
【 0 1 1 5 】

## メモリセルの構成例 1 0

図 3 に示すメモリセル 1 0 0 d は、トランジスタ M 0 に p チャンネル型トランジスタを用いてもよい (図 1 1、メモリセル 1 0 0 k)。  
【 0 1 1 6 】

(実施の形態 2)

本実施の形態では、本発明の一態様である記憶装置の構成例について、図 1 2 乃至図 1 8 を用いて説明を行う。

【 0 1 1 7 】

実施の形態 1 に示したメモリセル 1 0 0 a 乃至 1 0 0 k は、書き込まれたデータの読み出しを行うと、書き込まれたデータが消失してしまう。例えば、図 5 のタイミングチャートにおいて、メモリセル 1 0 0 b はノード F N 2 に書き込まれたデータを読み出す場合、ノード F N 1 に書き込まれたデータを失ってしまう。本実施の形態に示すメモリセルは、各ノードに書き込まれたデータを一時的に保持するための記憶回路を有し、データが消失することを防ぐ。

【 0 1 1 8 】

## 記憶装置の構成例 1

図 1 2 は、メモリセル 1 0 0 a に、記憶回路 B 1、記憶回路 B 2、記憶回路 B 3 及び記憶回路 B 4 が接続された例を示している。記憶回路 B 1 乃至 B 4 は、配線 S L 及び配線 B L を介して、メモリセル 1 0 0 a に接続されている。

【 0 1 1 9 】

記憶回路 B 1 は、ノード F N 1 のデータを読み出す際に、当該データを一時的に保持する機能を有する。記憶回路 B 2 は、ノード F N 2 のデータを読み出す際に、当該データを一時的に保持する機能を有する。記憶回路 B 3 は、ノード F N 3 のデータを読み出す際に、当該データを一時的に保持する機能を有する。記憶回路 B 4 は、ノード F N 4 のデータを読み出す際に、当該データを一時的に保持する機能を有する。全てのノードの読み出しが完了した後に、記憶回路 B 1 乃至 B 4 は、それぞれのノードにデータを書き戻す機能を有する。

【 0 1 2 0 】

## 記憶装置の構成例 2

図 1 3 は、メモリセル 1 0 0 b に、記憶回路 B 1 乃至 B 3 が接続された例を示している。記憶回路 B 1 乃至 B 3 は、配線 S L 及び配線 B L を介して、メモリセル 1 0 0 b に接続されている。

【 0 1 2 1 】

記憶回路 B 1 は、ノード F N 1 のデータを読み出す際に、当該データを一時的に保持する機能を有する。記憶回路 B 2 は、ノード F N 2 のデータを読み出す際に、当該データを一時的に保持する機能を有する。記憶回路 B 3 は、ノード F N 3 のデータを読み出す際に、当該データを一時的に保持する機能を有する。全てのノードの読み出しが完了した後に、記憶回路 B 1 乃至 B 3 は、それぞれのノードにデータを書き戻す機能を有する。

【 0 1 2 2 】

## 記憶装置の構成例 3

図 1 4 は、メモリセル 1 0 0 c に、記憶回路 B 1、B 2 が接続された例を示している。記憶回路 B 1、B 2 は、配線 S L 及び配線 B L を介して、メモリセル 1 0 0 c に接続されている。

【 0 1 2 3 】

記憶回路 B 1 は、ノード F N 1 のデータを読み出す際に、当該データを一時的に保持する

10

20

30

40

50



機能を有する。記憶回路 B 2 は、ノード F N 2 のデータを読み出す際に、当該データを一時的に保持する機能を有する。全てのノードの読み出しが完了した後に、記憶回路 B 1、B 2 は、それぞれのノードにデータを書き戻す機能を有する。

#### 【 0 1 2 4 】

##### 記憶装置の構成例 4

図 1 5 は、メモリセル 1 0 0 d に、記憶回路 B 1 乃至 B n が接続された例を示している。記憶回路 B 1 乃至 B n は、配線 S L 及び配線 B L を介して、メモリセル 1 0 0 d に接続されている。

#### 【 0 1 2 5 】

記憶回路 B 1 は、ノード F N 1 のデータを読み出す際に、当該データを一時的に保持する機能を有する。記憶回路 B n は、ノード F N n のデータを読み出す際に、当該データを一時的に保持する機能を有する。全てのノードの読み出しが完了した後に、記憶回路 B 1 乃至 B n は、それぞれのノードにデータを書き戻す機能を有する。

10

#### 【 0 1 2 6 】

##### 記憶回路の構成例

図 1 6 は、記憶回路 B 1 乃至 B n に適用可能な、メモリセル 1 1 0 の構成例を示す回路図である。メモリセル 1 1 0 は、トランジスタ 5 1 と、トランジスタ 5 2 と、容量素子 5 3 と、ノード F N とを有している。

#### 【 0 1 2 7 】

ノード F N は、トランジスタ 5 1 のゲート及び容量素子 5 3 の第 1 の端子に電氣的に接続されている。容量素子 5 3 の第 2 の端子は、配線 W R C に電氣的に接続されている。トランジスタ 5 2 は、ノード F N と配線 B L との間の導通又は非導通を制御する機能を有する。トランジスタ 5 2 のゲートは配線 W W C に電氣的に接続されている。トランジスタ 5 1 は、配線 S L と配線 B L との間の導通又は非導通を制御する機能を有する。

20

#### 【 0 1 2 8 】

ノード F N は、ノード F N 1 乃至 F N n の何れかーに書き込まれたデータを保持する機能を有する。当該データは、配線 B L 及びトランジスタ 5 2 を経由して、ノード F N に書き込まれる。

#### 【 0 1 2 9 】

トランジスタ 5 2 には、オフ電流が低いトランジスタを用いることが好適である。このようにオフ電流が低いトランジスタとしては、チャネル形成領域に酸化物半導体を有する O S トランジスタや、チャネル形成領域にワイドバンドギャップ半導体を用いたトランジスタが挙げられる。特に、O S トランジスタを用いることが好適である。

30

#### 【 0 1 3 0 】

トランジスタ 5 1 は、ノード F N (トランジスタ 5 1 のゲート) に与えられた電位に応じてチャネル抵抗が変化する。配線 S L と配線 B L との間に電位差を与え、配線 S L と配線 B L との間を流れる電流、又は、配線 B L の電位を検出することで、ノード F N に与えられた電位を間接的に読み出すことが可能になる。

#### 【 0 1 3 1 】

トランジスタ 5 1 は、S i トランジスタを用いてもよい。トランジスタ 5 1 に、S i トランジスタを用いることで、メモリセル 1 1 0 は、データの読み出し速度を向上させることが可能になる。

40

#### 【 0 1 3 2 】

トランジスタ 5 1 は O S トランジスタを用いてもよい。トランジスタ 5 1 に O S トランジスタを適用することで、メモリセル 1 1 0 は消費電力を低減することが可能になる。また、トランジスタ 5 1 のゲート絶縁膜を厚く形成することが可能になり、ノード F N に書き込まれた電荷を長期間保持することが可能になる。

#### 【 0 1 3 3 】

##### メモリアレイの構成例

図 1 7 にメモリセルアレイ 1 0 の構成例を示す。メモリセルアレイ 1 0 は、メインメモリ

50

セルアレイ 20 と、一時保管用のサブメモリセルアレイ 30 を有する。メインメモリセルアレイ 20 は、実施の形態 1 に示すメモリセルがマトリクス状に設けられている。図 17 は、一例として、図 2 (A) のメモリセル 100b が k 行 m 列 (k、m は 2 以上の整数) マトリクス状に配置されている例を示す。サブメモリセルアレイ 30 は、図 16 に示すメモリセル 110 が 3 行 m 列のマトリクス状に設けられている例を示す。

#### 【0134】

サブメモリセルアレイ 30 の縦方向の段数 (行の数) は、メモリセル 100b が有する保持ノードの数に対応する (メモリセル 100b の場合は、ノード FN1、FN2、FN3 の 3 つ)。サブメモリセルアレイ 30 の横方向の段数 (列の数) は、メインメモリセルアレイ 20 のそれと同じとする。

10

#### 【0135】

##### サブメモリセルアレイの動作例

次に、サブメモリセルアレイ 30 の動作の一例について、図 18 を用いて説明を行う。図 18 は、一例として、メインメモリセルアレイ 20 に配置されたメモリセル 100b [1、1] と、サブメモリセルアレイ 30 に配置されたメモリセル 110 [1、1]、110 [2、1]、110 [3、1] の動作について考える。

#### 【0136】

メモリセル 100b [1、1] の読み出し動作については、図 5 のタイミングチャートを参照すればよい。図 18 のタイミングチャートは、配線 BL1 [1]、配線 SL [1]、配線 WWC [1]、配線 WRC [1]、配線 WWC [2]、配線 WRC [2]、配線 WWC [3]、配線 WRC [3] についてのみ記載する。なお、図 18 に示す期間 T24 乃至 T36 は、図 5 に示す期間 T24 乃至 T36 と同じタイミングを表す。

20

#### 【0137】

期間 T24 の準備期間において、配線 BL [1]、SL [1] に電位 V0 を与え、配線 WWC [1]、WRC [1]、WWC [2]、WRC [2]、WWC [3]、WRC [3] に、電位 VM1 を与える。

#### 【0138】

期間 T25 において、メモリセル 100b [1、1] のノード FN1 のデータを読み出す際に、配線 WWC [1] に電位 VP1 を与え、配線 WRC [1] に電位 V0 を与える。このとき、該当するメモリセル 110 [1、1] のトランジスタ 52 がオン状態となる。配線 BL には、ノード FN1 のデータにあたる電位  $V_{w1}$  が出力されているので、メモリセル 110 [1、1] のノード FN に、電位  $V_{w1}$  が書き込まれる。

30

#### 【0139】

期間 T26 において、配線 WWC [1]、WRC [1] に電位 VM1 を与える。このとき、メモリセル 110 [1、1] のトランジスタ 52 がオフ状態となる。メモリセル 100b [1、1] のノード FN1 のデータを一時的に保存する。

#### 【0140】

期間 T29 において、メモリセル 100b [1、1] のノード FN2 のデータを読み出す際に、配線 WWC [2] に電位 VP1 を与え、配線 WRC [2] に電位 V0 を与える。このとき、メモリセル 110 [2、1] のトランジスタ 52 がオン状態となる。配線 BL には、ノード FN2 のデータにあたる電位  $V_{w2}$  が出力されているので、メモリセル 110 [2、1] のノード FN に電位  $V_{w2}$  が書き込まれる。

40

#### 【0141】

次の期間 T30 において、配線 WWC [2]、WRC [2] に電位 VM1 を与える。このとき、メモリセル 110 [2、1] のトランジスタ 52 がオフ状態となり、メモリセル 100b [1、1] のノード FN2 のデータを一時的に保存する。

#### 【0142】

期間 T35 において、メモリセル 100b [1、1] のノード FN3 のデータを読み出す際に、配線 WWC [3] に電位 VP1 を与え、配線 WRC [3] に電位 V0 を与える。このとき、メモリセル 110 [3、1] のトランジスタ 52 がオン状態となる。配線 BL に

50

は、ノードF N 2のデータにあたる電位 $V_{W3}$ が出力され、メモリセル110[3、1]のノードF Nに、電位 $V_{W3}$ が書き込まれる。

【0143】

次の期間T36において、配線WWC[3]、WRC[3]に電位VM1を与える。このとき、メモリセル110[3、1]のトランジスタ52がオフ状態となり、メモリセル100b[1、1]のノードF N3のデータを一時的に保存する。

【0144】

メモリセル100b[1、1]のデータ読み出しが完了したら、サブメモリセルアレイ30に保存されたデータを、メモリセル100b[1、1]に書き戻す。データの書き戻しは、メモリセル110[3、1]、110[2、1]、110[1、1]の順に行えばよい。例えば、メモリセル110[3、1]のデータの書き戻しは、配線BLを電氣的に浮遊状態にし、配線SL、WRC[3]、WL4[1]に電位VP1を与えることで行えばよい。配線BLは、メモリセル110[3、1]のノードF Nに対応した電位になり、メモリセル100b[1、1]のノードF N3にデータが書き戻される。メモリセル110[2、1]、110[1、1]についても同様である。

【0145】

以上の動作により、メモリセルアレイ10は、保持されたデータを失うことなく、データの読み出しを行うことが可能になる。

【0146】

記憶装置の構成例

図19は、記憶装置の構成例を示すブロック図である。図19に示す記憶装置60は、図17で説明したメモリセルアレイ10、行選択ドライバ61、列選択ドライバ62、およびA/Dコンバータ63を有する。

【0147】

行選択ドライバ61は、メモリセル100bの各行におけるトランジスタM3を選択的に導通状態とする機能、およびメモリセル100bの各行におけるノードF N1乃至F N3の電位を選択的に変化させる機能、を備えた回路である。行選択ドライバ61を備えることで、記憶装置60は、メモリセル100bへのデータの書き込みおよび読み出しを行毎に選択して行うことが可能になる。

【0148】

列選択ドライバ62は、メモリセル100bの各列におけるノードF N1乃至F N3に選択的にデータを書き込む機能、配線BL、SLの電位を初期化する機能、配線BLを電氣的に浮遊状態とする機能、などを備えた回路である。列選択ドライバ62を備えることで、記憶装置60は、メモリセル100bへのデータの書き込みおよび読み出しを列毎に選択して行うことが可能になる。

【0149】

A/Dコンバータ63は、アナログ値である配線BLの電位を、デジタル値に変換して外部に出力する機能を備えた回路である。具体的には、フラッシュ型のA/Dコンバータを有する回路である。A/Dコンバータ63を備えることで、記憶装置60は、メモリセル100bより読み出されたデータに対応する配線BLの電位を外部に出力することが可能になる。

【0150】

なおA/Dコンバータ63は、フラッシュ型のA/Dコンバータとして説明を行うが、逐次比較型、マルチスローブ型、デルタシグマ型のA/Dコンバータを用いてもよい。

【0151】

(実施の形態3)

本実施の形態では、上記実施の形態に示すトランジスタM0乃至Mnに適用可能なOSTランジスタの構造について説明する。

【0152】

トランジスタの構成例1

10

20

30

40

50

図20(A)乃至(C)は、トランジスタ400aの上面図および断面図である。図20(A)は上面図である。図20(B)は、図20(A)に示す一点鎖線A1-A2に対応する断面図であり、図20(C)は、図20(A)に示す一点鎖線A3-A4に対応する断面図である。なお、図20(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線A1-A2をトランジスタ400aのチャネル長方向、一点鎖線A3-A4をトランジスタ400aのチャネル幅方向と呼ぶ場合がある。

【0153】

トランジスタ400aは、基板450と、基板450上の絶縁膜401と、絶縁膜401上の導電膜414と、導電膜414を覆うように形成された絶縁膜402と、絶縁膜402上の絶縁膜403と、絶縁膜403上の絶縁膜404と、絶縁膜404上に、金属酸化物431、金属酸化物432の順で形成された積層と、金属酸化物432の上面及び側面と接する導電膜421と、同じく金属酸化物432の上面及び側面と接する導電膜423と、導電膜421上の導電膜422と、導電膜423上の導電膜424と、導電膜422、424上の絶縁膜405と、金属酸化物431、432、導電膜421乃至424及び絶縁膜405と接する金属酸化物433と、金属酸化物433上の絶縁膜406と、絶縁膜406上の導電膜411と、導電膜411上の導電膜412と、導電膜412上の導電膜413と、導電膜413を覆うように形成された絶縁膜407と、絶縁膜407上の絶縁膜408を有する。なお、金属酸化物431、金属酸化物432および金属酸化物433をまとめて、金属酸化物430と呼称する。

【0154】

金属酸化物432は半導体であり、トランジスタ400aのチャネルとしての機能を有する。

【0155】

また、金属酸化物431及び金属酸化物432は、領域441及び領域442を有する。領域441は、導電膜421と、金属酸化物431、432が接する領域の近傍に形成され、領域442は、導電膜423と、金属酸化物431、432が接する領域の近傍に形成される。

【0156】

領域441、442は低抵抗領域としての機能を有する。金属酸化物431、432は、領域441を有することで、導電膜421との間のコンタクト抵抗を低減させることが可能になる。同様に、金属酸化物431、432は、領域442を有することで、導電膜423との間のコンタクト抵抗を低減させることが可能になる。

【0157】

導電膜421、422は、トランジスタ400aのソース電極又はドレイン電極の一方としての機能を有する。導電膜423、424は、トランジスタ400aのソース電極又はドレイン電極の他方としての機能を有する。

【0158】

導電膜422は導電膜421よりも酸素を透過しにくい機能を有する。これにより、酸化による導電膜421の導電率の低下を防ぐことが可能になる。

【0159】

同様に、導電膜424は導電膜423よりも酸素を透過しにくい機能を有する。これにより、酸化による導電膜423の導電率の低下を防ぐことが可能になる。

【0160】

導電膜411乃至413は、トランジスタ400aの第1のゲート電極としての機能を有する。

【0161】

導電膜411、413は、導電膜412よりも酸素を透過しにくい機能を有する。これにより、酸化による導電膜412の導電率の低下を防ぐことが可能になる。

【0162】

絶縁膜406は、トランジスタ400aの第1のゲート絶縁膜としての機能を有する。

## 【0163】

導電膜414は、トランジスタ400aの第2のゲート電極としての機能を有する。

## 【0164】

導電膜411乃至413と導電膜414は同じ電位が与えられてもよいし、異なる電位が与えられてもよい。また導電膜414は、場合によっては省略してもよい。

## 【0165】

絶縁膜401乃至404は、トランジスタ400aの下地絶縁膜としての機能を有する。また、絶縁膜402乃至404は、トランジスタ400aの第2のゲート絶縁膜としての機能も有する。

## 【0166】

絶縁膜405、407、408は、トランジスタ400aの保護絶縁膜又は層間絶縁膜としての機能を有する。

## 【0167】

図20(C)に示すように、金属酸化物432の側面は、導電膜411に囲まれている。上記構成をとることで、導電膜411の電界によって、金属酸化物432を電氣的に取り囲むことができる。ゲート電極の電界によって、半導体を電氣的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。金属酸化物432の全体(バルク)にチャンネルが形成されるため、s-channel構造は、トランジスタのソース・ドレイン間に大電流を流すことができ、トランジスタのオン電流を高くすることができる。

## 【0168】

s-channel構造は、高いオン電流が得られるため、LSI(Large Scale Integration)など微細化されたトランジスタが要求される半導体装置に適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。

## 【0169】

トランジスタ400aにおいて、ゲート電極として機能する領域は、絶縁膜405などに形成された開口部を埋めるように自己整合(self-align)的に形成される。

## 【0170】

図20(B)に示すように、導電膜411と導電膜422は、絶縁膜を間に介して、互いに重なる領域を有する。同様に、導電膜411と導電膜423は、絶縁膜を間に介して、互いに重なる領域を有する。これらの領域は、ゲート電極と、ソース電極又はドレイン電極との間に生じた寄生容量として機能し、トランジスタ400aの動作速度を低下させる原因になり得る。トランジスタ400aは、絶縁膜405を設けることで、上述の寄生容量を低下させることが可能になる。絶縁膜405は、比誘電率の低い材料からなることが好ましい。

## 【0171】

図21(A)は、トランジスタ400aの中央部を拡大したものである。図21(A)において、導電膜411の底面が、絶縁膜406及び金属酸化物433を介して、金属酸化物432の上面と平行に面する領域の長さを、幅 $L_G$ として示す。幅 $L_G$ は、ゲート電極の線幅を表す。また、図21(A)において、導電膜421と導電膜423の間の長さを、幅 $L_{SD}$ として示す。幅 $L_{SD}$ は、ソース電極とドレイン電極との間の長さを表す。

## 【0172】

幅 $L_{SD}$ は最小加工寸法で決定されることが多い。図21(A)に示すように、幅 $L_G$ は、幅 $L_{SD}$ よりも小さい。すなわち、トランジスタ400aは、ゲート電極の線幅を、最小加工寸法より小さくすることが可能になる。具体的には、幅 $L_G$ は、5nm以上60nm以下、好ましくは5nm以上30nm以下とすることが可能になる。

## 【0173】

図21(A)において、導電膜421及び導電膜422の厚さの合計、又は、導電膜423及び導電膜424の厚さの合計を高さ $H_{SD}$ と表す。

10

20

30

40

50

## 【0174】

絶縁膜406の厚さを、高さ $H_{SD}$ 以下とすることで、ゲート電極からの電界がチャンネル形成領域全体に印加することが可能になり好ましい。絶縁膜406の厚さは、30nm以下、好ましくは10nm以下とする。

## 【0175】

また、導電膜422と導電膜411の間に形成される寄生容量、及び、導電膜424と導電膜411の間に形成される寄生容量の値は、絶縁膜405の厚さに反比例する。例えば、絶縁膜405の厚さを、絶縁膜406の厚さの3倍以上、好ましくは5倍以上とすることで、寄生容量は無視できるほど小さくなり、好ましい。その結果、トランジスタ400aを高周波数で動作させることが可能になる。

10

## 【0176】

以下、トランジスタ400aの各構成要素について説明を行う。

## 【0177】

## 金属酸化物層

まず、金属酸化物431乃至433に適用可能な金属酸化物について説明を行う。

## 【0178】

トランジスタ400aは、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いことが好適である。オフ電流が低いトランジスタとしては、チャンネル形成領域に酸化物半導体を有するトランジスタが挙げられる。

## 【0179】

金属酸化物432は、例えば、インジウム（In）を含む酸化物半導体である。金属酸化物432は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、金属酸化物432は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム（Al）、ガリウム（Ga）、イットリウム（Y）またはスズ（Sn）などとする。そのほかの元素Mに適用可能な元素としては、ホウ素（B）、シリコン（Si）、チタン（Ti）、鉄（Fe）、ニッケル（Ni）、ゲルマニウム（Ge）、ジルコニウム（Zr）、モリブデン（Mo）、ランタン（La）、セリウム（Ce）、ネオジム（Nd）、ハフニウム（Hf）、タンタル（Ta）、タングステン（W）などがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、金属酸化物のエネルギーギャップを大きくする機能を有する元素である。また、金属酸化物432は、亜鉛（Zn）を含むと好ましい。金属酸化物は、亜鉛を含むと結晶化しやすくなる場合がある。

20

## 【0180】

ただし、金属酸化物432は、インジウムを含む酸化物半導体に限定されない。金属酸化物432は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

## 【0181】

金属酸化物432は、例えば、エネルギーギャップが大きい酸化物半導体を用いる。金属酸化物432のエネルギーギャップは、例えば、2.5eV以上4.2eV以下、好ましくは2.8eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下とする。

40

## 【0182】

金属酸化物432は、後述するCAAC-OS膜であることが好ましい。

## 【0183】

例えば、金属酸化物431および金属酸化物433は、金属酸化物432を構成する酸素以外の元素一種以上、または二種以上から構成される金属酸化物である。金属酸化物432を構成する酸素以外の元素一種以上、または二種以上から金属酸化物431および金属酸化物433が構成されるため、金属酸化物431と金属酸化物432との界面、および

50

金属酸化物 4 3 2 と金属酸化物 4 3 3 との界面において、界面準位が形成されにくい。

【 0 1 8 4 】

なお、金属酸化物 4 3 1 が  $\text{In} - \text{M} - \text{Zn}$  酸化物のとき、 $\text{In}$  および  $\text{M}$  の和を 100 atomic % としたとき、好ましくは  $\text{In}$  が 50 atomic % 未満、 $\text{M}$  が 50 atomic % より高く、さらに好ましくは  $\text{In}$  が 25 atomic % 未満、 $\text{M}$  が 75 atomic % より高いとする。金属酸化物 4 3 1 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$  などが好ましい。

【 0 1 8 5 】

また、金属酸化物 4 3 2 が  $\text{In} - \text{M} - \text{Zn}$  酸化物のとき、 $\text{In}$  および  $\text{M}$  の和を 100 atomic % としたとき、好ましくは  $\text{In}$  が 25 atomic % より高く、 $\text{M}$  が 75 atomic % 未満、さらに好ましくは  $\text{In}$  が 34 atomic % より高く、 $\text{M}$  が 66 atomic % 未満とする。金属酸化物 4 3 2 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1.2$ 、 $\text{In} : \text{M} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 4.1$  が好ましい。特に、スパッタリングターゲットとして、原子数比が  $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4.1$  を用いる場合、成膜される金属酸化物 4 3 2 の原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  近傍となる場合がある。

【 0 1 8 6 】

また、金属酸化物 4 3 3 が  $\text{In} - \text{M} - \text{Zn}$  酸化物のとき、 $\text{In}$  および  $\text{M}$  の和を 100 atomic % としたとき、好ましくは  $\text{In}$  が 50 atomic % 未満、 $\text{M}$  が 50 atomic % より高く、さらに好ましくは  $\text{In}$  が 25 atomic % 未満、 $\text{M}$  が 75 atomic % より高くする。例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$  などが好ましい。また、金属酸化物 4 3 3 は、金属酸化物 4 3 1 と同種の金属酸化物を用いても構わない。

【 0 1 8 7 】

また、金属酸化物 4 3 1 または金属酸化物 4 3 3 がインジウムを含まなくても構わない場合がある。例えば、金属酸化物 4 3 1 または金属酸化物 4 3 3 が酸化ガリウムであっても構わない。

【 0 1 8 8 】

次に、金属酸化物 4 3 1 乃至 4 3 3 の積層により構成される金属酸化物 4 3 0 の機能およびその効果について、図 2 1 ( B ) に示すエネルギーバンド構造図を用いて説明する。図 2 1 ( B ) は、図 2 1 ( A ) に  $\text{Y} 1 - \text{Y} 2$  の鎖線で示した部位のエネルギーバンド構造を示している。また、図 2 1 ( B ) は、トランジスタ 4 0 0 a のチャネル形成領域とその近傍のエネルギーバンド構造を示している。

【 0 1 8 9 】

図 2 1 ( B ) 中、 $\text{Ec} 4 0 4$ 、 $\text{Ec} 4 3 1$ 、 $\text{Ec} 4 3 2$ 、 $\text{Ec} 4 3 3$ 、 $\text{Ec} 4 0 6$  は、それぞれ、絶縁膜 4 0 4、金属酸化物 4 3 1、金属酸化物 4 3 2、金属酸化物 4 3 3、絶縁膜 4 0 6 の伝導帯下端のエネルギーを示している。

【 0 1 9 0 】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータを用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS : Ultraviolet Photoelectron Spectroscopy）装置を用いて測定できる。

【 0 1 9 1 】

絶縁膜 4 0 4 と絶縁膜 4 0 6 は絶縁体であるため、 $\text{Ec} 4 0 6$  と  $\text{Ec} 4 0 4$  は、 $\text{Ec} 4 3 1$ 、 $\text{Ec} 4 3 2$ 、および  $\text{Ec} 4 3 3$  よりも真空準位に近い（電子親和力が小さい）。

## 【 0 1 9 2 】

金属酸化物 4 3 2 は、金属酸化物 4 3 1 および金属酸化物 4 3 3 よりも電子親和力の大きい金属酸化物を用いる。例えば、金属酸化物 4 3 2 として、金属酸化物 4 3 1 および金属酸化物 4 3 3 よりも電子親和力の  $0.07\text{ eV}$  以上  $1.3\text{ eV}$  以下、好ましくは  $0.1\text{ eV}$  以上  $0.7\text{ eV}$  以下、さらに好ましくは  $0.15\text{ eV}$  以上  $0.4\text{ eV}$  以下大きい金属酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

## 【 0 1 9 3 】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物 4 3 3 がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合  $[Ga / (In + Ga)]$  は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。

10

## 【 0 1 9 4 】

このとき、ゲート電圧を印加すると、金属酸化物 4 3 1、金属酸化物 4 3 2、金属酸化物 4 3 3 のうち、電子親和力の大きい金属酸化物 4 3 2 にチャネルが形成される。

## 【 0 1 9 5 】

このとき、電子は、金属酸化物 4 3 1、4 3 3 の中ではなく、金属酸化物 4 3 2 の中を主として移動する。そのため、金属酸化物 4 3 1 と絶縁膜 4 0 4 との界面、あるいは、金属酸化物 4 3 3 と絶縁膜 4 0 6 との界面に、電子の流れを阻害する界面準位が多く存在したとしても、トランジスタのオン電流にはほとんど影響を与えない。金属酸化物 4 3 1、4 3 3 は、絶縁膜のように機能する。

20

## 【 0 1 9 6 】

金属酸化物 4 3 1 と金属酸化物 4 3 2 との間には、金属酸化物 4 3 1 と金属酸化物 4 3 2 との混合領域を有する場合がある。また、金属酸化物 4 3 2 と金属酸化物 4 3 3 との間には、金属酸化物 4 3 2 と金属酸化物 4 3 3 との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、金属酸化物 4 3 1、金属酸化物 4 3 2 および金属酸化物 4 3 3 の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

## 【 0 1 9 7 】

金属酸化物 4 3 1 と金属酸化物 4 3 2 の界面、あるいは、金属酸化物 4 3 2 と金属酸化物 4 3 3 との界面は、上述したように界面準位密度が小さいため、金属酸化物 4 3 2 中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることが可能になる。

30

## 【 0 1 9 8 】

例えば、トランジスタ中の電子の移動は、チャネル形成領域の物理的な凹凸が大きい場合に阻害される。トランジスタのオン電流を高くするためには、例えば、金属酸化物 4 3 2 の上面または下面（被形成面、ここでは金属酸化物 4 3 1 の上面）の、 $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$  の範囲における二乗平均平方根（RMS: Root Mean Square）粗さが  $1\text{ nm}$  未満、好ましくは  $0.6\text{ nm}$  未満、さらに好ましくは  $0.5\text{ nm}$  未満、より好ましくは  $0.4\text{ nm}$  未満とすればよい。また、 $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$  の範囲における平均面粗さ（Raともいう。）が  $1\text{ nm}$  未満、好ましくは  $0.6\text{ nm}$  未満、さらに好ましくは  $0.5\text{ nm}$  未満、より好ましくは  $0.4\text{ nm}$  未満とすればよい。また、 $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$  の範囲における最大高低差（P-Vともいう。）が  $10\text{ nm}$  未満、好ましくは  $9\text{ nm}$  未満、さらに好ましくは  $8\text{ nm}$  未満、より好ましくは  $7\text{ nm}$  未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

40

## 【 0 1 9 9 】

チャネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。例えば、金属酸化物 4 3 2 が酸素欠損（ $V_O$ とも表記。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を  $V_OH$  と表記する場合がある。 $V_OH$  は電子を散乱するため、

50



トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物 432 中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

【0200】

例えば、金属酸化物 432 のある深さにおいて、または、金属酸化物 432 のある領域において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定される水素濃度は、 $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $2 \times 10^{20} \text{ atoms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $5 \times 10^{19} \text{ atoms/cm}^3$  以下、より好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $1 \times 10^{19} \text{ atoms/cm}^3$  以下、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $5 \times 10^{18} \text{ atoms/cm}^3$  以下とする。

10

【0201】

金属酸化物 432 の酸素欠損を低減するために、例えば、絶縁膜 404 に含まれる過剰酸素を、金属酸化物 431 を介して金属酸化物 432 まで移動させる方法などがある。この場合、金属酸化物 431 は、酸素透過性を有する層 (酸素を通過または透過させる層) であることが好ましい。

【0202】

なお、トランジスタが s-channel 構造を有する場合、金属酸化物 432 の全体にチャネルが形成される。したがって、金属酸化物 432 が厚いほどチャネル領域は大きくなる。即ち、金属酸化物 432 が厚いほど、トランジスタのオン電流を高くすることができる。

20

【0203】

また、トランジスタのオン電流を高くするためには、金属酸化物 433 は薄いほど好ましい。金属酸化物 433 は、例えば、10 nm 未満、好ましくは 5 nm 以下、さらに好ましくは 3 nm 以下の領域を有していればよい。一方、金属酸化物 433 は、チャネルの形成される金属酸化物 432 へ、隣接する絶縁体を構成する酸素以外の元素 (水素、シリコンなど) が入り込まないようにブロックする機能を有する。そのため、金属酸化物 433 は、ある程度の厚さを有することが好ましい。金属酸化物 433 は、例えば、0.3 nm 以上、好ましくは 1 nm 以上、さらに好ましくは 2 nm 以上の厚さの領域を有していればよい。また、金属酸化物 433 は、絶縁膜 404 などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

30

【0204】

また、信頼性を高くするためには、金属酸化物 431 は厚く、金属酸化物 433 は薄いことが好ましい。金属酸化物 431 は、例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上の厚さの領域を有していればよい。金属酸化物 431 の厚さを、厚くすることで、隣接する絶縁体と金属酸化物 431 との界面からチャネルの形成される金属酸化物 432 までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、金属酸化物 431 は、例えば、200 nm 以下、好ましくは 120 nm 以下、さらに好ましくは 80 nm 以下の厚さの領域を有していればよい。

40

【0205】

例えば、金属酸化物 432 と金属酸化物 431 との間に、例えば、SIMS 分析において、 $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $1 \times 10^{19} \text{ atoms/cm}^3$  未満、好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $5 \times 10^{18} \text{ atoms/cm}^3$  未満、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $2 \times 10^{18} \text{ atoms/cm}^3$  未満のシリコン濃度となる領域を有する。また、金属酸化物 432 と金属酸化物 433 との間に、SIMS において、 $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $1 \times 10^{19} \text{ atoms/cm}^3$  未満、好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $5 \times 10^{18} \text{ atoms/cm}^3$  未満、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以上、 $2 \times 10^{18} \text{ atoms/cm}^3$  未満のシリコン濃度となる領域を有する。

50

## 【0206】

また、金属酸化物432の水素濃度を低減するために、金属酸化物431および金属酸化物433の水素濃度を低減すると好ましい。金属酸化物431および金属酸化物433は、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、金属酸化物432の窒素濃度を低減するために、金属酸化物431および金属酸化物433の窒素濃度を低減すると好ましい。金属酸化物431および金属酸化物433は、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

10

## 【0207】

金属酸化物431乃至433の成膜は、スパッタリング法、CVD (Chemical Vapor Deposition) 法、MBE (Molecular Beam Epitaxy) 法またはPLD (Pulsed Laser Deposition) 法、ALD (Atomic Layer Deposition) 法などを用いて行えばよい。

20

## 【0208】

金属酸化物431、432を形成した後に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250 以上650 以下、好ましくは450 以上600 以下、さらに好ましくは520 以上570 以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10 ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気中で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上、1%以上または10%以上含む雰囲気中で加熱処理を行ってもよい。第1の加熱処理によって、金属酸化物431、432の結晶性を高めることや、水素や水などの不純物を除去することが可能になる。

30

## 【0209】

上述の3層構造は一例である。例えば、金属酸化物431または金属酸化物433のない2層構造としても構わない。または、金属酸化物431の上もしくは下、または金属酸化物433上もしくは下に、金属酸化物431、金属酸化物432または金属酸化物433のいずれか一を有する4層構造としても構わない。または、金属酸化物431の上、金属酸化物431の下、金属酸化物433の上、金属酸化物433の下のいずれか二箇所に、金属酸化物431、金属酸化物432または金属酸化物433のいずれか一をそれぞれ有するn層構造 (nは5以上の整数) としても構わない。

## 【0210】

40

## 基板

基板450としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さ

50

らには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

#### 【0211】

また、基板450として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板450に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板450として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板450が伸縮性を有してもよい。また、基板450は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板450の厚さは、例えば、5 $\mu\text{m}$ 以上700 $\mu\text{m}$ 以下、好ましくは10 $\mu\text{m}$ 以上500 $\mu\text{m}$ 以下、さらに好ましくは15 $\mu\text{m}$ 以上300 $\mu\text{m}$ 以下とする。基板450を薄くすると、半導体装置を軽量化することができる。また、基板450を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板450上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

#### 【0212】

可とう性基板である基板450としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板450は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板450としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン(PTFE)などがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板450として好適である。

#### 【0213】

##### 下地絶縁膜

絶縁膜401は、基板450と導電膜414を電氣的に分離させる機能を有する。

#### 【0214】

絶縁膜401又は絶縁膜402は、単層構造または積層構造の絶縁膜で形成される。絶縁膜を構成する材料には、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどがある。

#### 【0215】

また、絶縁膜402として、TEOS(Tetra-Ethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いてもよい。

#### 【0216】

また、絶縁膜402を成膜した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

#### 【0217】

絶縁膜404は、酸化物を含むことが好ましい。特に加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。絶縁膜404から脱離した酸素は金属酸化物430に供給され、金属酸化物430の酸素欠損を低減することが可能となる

。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

【0218】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、例えば、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上500 以下の範囲が好ましい。

【0219】

絶縁膜404は、金属酸化物430に酸素を供給することができる酸化物を含むことが好ましい。例えば、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。

10

【0220】

または、絶縁膜404として、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化物を用いてもよい。

【0221】

絶縁膜404に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁膜404の成膜を行えばよい。または、成膜後の絶縁膜404に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

20

【0222】

例えば、成膜後の絶縁膜404に、酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0223】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

30

【0224】

また、絶縁膜404を成膜した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

【0225】

絶縁膜403は、絶縁膜404に含まれる酸素が、導電膜414に含まれる金属と結びつき、絶縁膜404に含まれる酸素が減少することを防ぐパッシベーション機能を有する。

【0226】

絶縁膜403は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜403を設けることで、金属酸化物430からの酸素の外部への拡散と、外部から金属酸化物430への水素、水等の入り込みを防ぐことができる。

40

【0227】

絶縁膜403としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0228】

トランジスタ400aは、電荷捕獲層に電子を注入することで、しきい値電圧を制御する

50

ことが可能になる。電荷捕獲層は、絶縁膜 4 0 2 又は絶縁膜 4 0 3 に設けることが好ましい。例えば、絶縁膜 4 0 3 を酸化ハフニウム、酸化アルミニウム、酸化タンタル、アルミニウムシリケート等で形成することで、電荷捕獲層として機能させることができる。

#### 【 0 2 2 9 】

##### ゲート電極

導電膜 4 1 1 乃至 4 1 4 として、銅 ( C u )、タングステン ( W )、モリブデン ( M o )、金 ( A u )、アルミニウム ( A l )、マンガン ( M n )、チタン ( T i )、タンタル ( T a )、ニッケル ( N i )、クロム ( C r )、鉛 ( P b )、錫 ( S n )、鉄 ( F e )、コバルト ( C o )、ルテニウム ( R u )、白金 ( P t )、イリジウム ( I r )、ストロンチウム ( S r ) の低抵抗材料からなる単体、合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、 C u - M n 合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンが C u の拡散を抑制する機能を持つので好ましい。

10

#### 【 0 2 3 0 】

##### ソース電極、ドレイン電極

導電膜 4 2 1 乃至 4 2 4 として、銅 ( C u )、タングステン ( W )、モリブデン ( M o )、金 ( A u )、アルミニウム ( A l )、マンガン ( M n )、チタン ( T i )、タンタル ( T a )、ニッケル ( N i )、クロム ( C r )、鉛 ( P b )、錫 ( S n )、鉄 ( F e )、コバルト ( C o )、ルテニウム ( R u )、白金 ( P t )、イリジウム ( I r )、ストロンチウム ( S r ) の低抵抗材料からなる単体、合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、 C u - M n 合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンが C u の拡散を抑制する機能を持つので好ましい。

20

#### 【 0 2 3 1 】

また、導電膜 4 2 1 乃至 4 2 4 には、酸化イリジウム、酸化ルテニウム、ストロンチウムルテナイトなど、貴金属を含む導電性酸化物を用いることが好ましい。これらの導電性酸化物は、酸化物半導体と接しても酸化物半導体から酸素を奪うことが少なく、酸化物半導体の酸素欠損を作りにくい。

30

#### 【 0 2 3 2 】

##### 低抵抗領域

領域 4 4 1、4 4 2 は、例えば、導電膜 4 2 1、4 2 3 が、金属酸化物 4 3 1、4 3 2 の酸素を引き抜くことで形成される。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、領域 4 4 1、4 4 2 には酸素欠損が形成される。また、加熱により該酸素欠損のサイトに水素が入りこみ、領域 4 4 1、4 4 2 に含まれるキャリア濃度が増加する。その結果、領域 4 4 1、4 4 2 が低抵抗化する。

40

#### 【 0 2 3 3 】

##### ゲート絶縁膜

絶縁膜 4 0 6 は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁膜 4 0 6 は、酸化ガリウム、酸化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、またはシリコンおよびハフニウムを有する酸化窒化物などを有することが好ましい。

#### 【 0 2 3 4 】

また、絶縁膜 4 0 6 は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的

50

に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを金属酸化物 433 側に有することで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、金属酸化物 432 に混入することを抑制することができる。

#### 【0235】

また、例えば、酸化シリコンまたは酸化窒化シリコンを金属酸化物 433 側に有することで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

10

#### 【0236】

##### 層間絶縁膜、保護絶縁膜

絶縁膜 405 は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁膜 405 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンまたは樹脂などを有することが好ましい。または、絶縁膜 405 は、酸化シリコンまたは酸化窒化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

20

#### 【0237】

絶縁膜 407 は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜 407 を設けることで、金属酸化物 430 からの酸素の外部への拡散と、外部から金属酸化物 430 への水素、水等の入り込みを防ぐことができる。

#### 【0238】

絶縁膜 407 としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

30

#### 【0239】

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁膜 407 に適用するのに好ましい。

#### 【0240】

絶縁膜 407 は、スパッタリング法、CVD 法など酸素を含むプラズマを用いて成膜することで、絶縁膜 405、406 の側面及び表面に、酸素を添加することが可能になる。また、絶縁膜 407 を成膜した後、何れかのタイミングにおいて、第 2 の加熱処理を行うことが好ましい。第 2 の加熱処理によって、絶縁膜 405、406 に添加された酸素が、絶縁膜中を拡散し、金属酸化物 430 に到達し、金属酸化物 430 の酸素欠損を低減することが可能になる。

40

#### 【0241】

図 22 (A)、(B) は、絶縁膜 407 を成膜する際に絶縁膜 405、406 に添加された酸素が、第 2 の加熱処理によって絶縁膜中を拡散し、金属酸化物 430 に到達する様子を描いた模式図である。図 22 (A) は、図 20 (B) の断面図において、酸素が拡散する様子を矢印で示している。同様に、図 22 (B) は、図 20 (C) の断面図において、酸素が拡散する様子を矢印で示している。

#### 【0242】

図 22 (A)、(B) に示すように、絶縁膜 406 の側面に添加された酸素が、絶縁膜 406 の内部を拡散し、金属酸化物 430 に到達する。また、絶縁膜 407 と絶縁膜 405

50

の界面近傍に、酸素を過剰に含む領域 4 6 1、領域 4 6 2 及び領域 4 6 3 が形成される場合がある。領域 4 6 1 乃至 4 6 3 に含まれる酸素は、絶縁膜 4 0 5、絶縁膜 4 0 4 を經由し、金属酸化物 4 3 0 に到達する。絶縁膜 4 0 5 が酸化シリコンを含み、絶縁膜 4 0 7 が酸化アルミニウムを含む場合、領域 4 6 1 乃至 4 6 3 は、シリコンとアルミニウムと酸素の混合層が形成される場合がある。

#### 【 0 2 4 3 】

絶縁膜 4 0 7 は、酸素をブロックする機能を有し、酸素が絶縁膜 4 0 7 より上方に拡散することを防ぐ。同様に、絶縁膜 4 0 3 は、酸素をブロックする機能を有し、酸素が絶縁膜 4 0 3 より下方に拡散することを防ぐ。

#### 【 0 2 4 4 】

なお、第 2 の加熱処理は、絶縁膜 4 0 5、4 0 6 に添加された酸素が金属酸化物 4 3 0 まで拡散する温度で行えばよい。例えば、第 1 の加熱処理についての記載を参照しても構わない。または、第 2 の加熱処理は、第 1 の加熱処理よりも低い温度が好ましい。第 1 の加熱処理と第 2 の加熱処理の温度差は、20 以上 150 以下、好ましくは 40 以上 100 以下とする。これにより、絶縁膜 4 0 4 から余分に酸素が放出することを抑えることができる。なお、第 2 の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

#### 【 0 2 4 5 】

このように、金属酸化物 4 3 0 は、絶縁膜 4 0 7 の成膜及び第 2 の加熱処理によって、上下方向から酸素が供給されることが可能になる。

#### 【 0 2 4 6 】

また、In - M - Zn 酸化物など、酸化インジウムを含む膜を絶縁膜 4 0 7 として成膜することで、絶縁膜 4 0 5、4 0 6 に酸素を添加してもよい。

#### 【 0 2 4 7 】

絶縁膜 4 0 8 には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁体を用いることができる。また、絶縁膜 4 0 8 には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の樹脂を用いることもできる。また、絶縁膜 4 0 8 は上記材料の積層であってもよい。

#### 【 0 2 4 8 】

##### トランジスタの構成例 2

図 20 に示すトランジスタ 4 0 0 a は、導電膜 4 1 4 及び絶縁膜 4 0 2、4 0 3 を省略してもよい。その場合の例を図 23 に示す。

#### 【 0 2 4 9 】

図 23 (A) 乃至 (C) は、トランジスタ 4 0 0 b の上面図および断面図である。図 23 (A) は上面図である。図 23 (B) は、図 23 (A) に示す一点鎖線 A 1 - A 2 に対応する断面図であり、図 23 (C) は、図 23 (A) に示す一点鎖線 A 3 - A 4 に対応する断面図である。なお、図 23 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線 A 1 - A 2 をトランジスタ 4 0 0 b のチャネル長方向、一点鎖線 A 3 - A 4 をトランジスタ 4 0 0 b のチャネル幅方向と呼ぶ場合がある。

#### 【 0 2 5 0 】

##### トランジスタの構成例 3

図 20 に示すトランジスタ 4 0 0 a において、導電膜 4 2 1、4 2 3 は、ゲート電極（導電膜 4 1 1 乃至 4 1 3）と重なる部分の膜厚を薄くしてもよい。その場合の例を図 24 に示す。

#### 【 0 2 5 1 】

図 24 (A) 乃至 (C) は、トランジスタ 4 0 0 c の上面図および断面図である。図 24 (A) は上面図である。図 24 (B) は、図 24 (A) に示す一点鎖線 A 1 - A 2 に対応

10

20

30

40

50

する断面図であり、図 24 (C) は、図 24 (A) に示す一点鎖線 A3 - A4 に対応する断面図である。なお、図 24 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線 A1 - A2 をトランジスタ 400c のチャネル長方向、一点鎖線 A3 - A4 をトランジスタ 400c のチャネル幅方向と呼ぶ場合がある。

#### 【0252】

図 24 (B) のトランジスタ 400c において、ゲート電極と重なる部分の導電膜 421 が薄膜化され、その上を導電膜 422 が覆っている。同様に、ゲート電極と重なる部分の導電膜 423 が薄膜化され、その上を導電膜 424 が覆っている。

#### 【0253】

トランジスタ 400c は、図 24 (B) に示すような構成にすることで、ゲート電極とソース電極との間の距離、又は、ゲート電極とドレイン電極との間の距離を長くすることが可能になり、ゲート電極とソース電極及びドレイン電極との間に形成される寄生容量を低減することが可能になる。その結果、高速動作が可能なトランジスタを得ることが可能になる。

10

#### 【0254】

##### トランジスタの構成例 4

図 24 に示すトランジスタ 400c において、A3 - A4 方向に、金属酸化物 431、432 の幅を広げてよい。その場合の例を図 25 に示す。

#### 【0255】

図 25 (A) 乃至 (C) は、トランジスタ 400d の上面図および断面図である。図 25 (A) は上面図である。図 25 (B) は、図 25 (A) に示す一点鎖線 A1 - A2 に対応する断面図であり、図 25 (C) は、図 25 (A) に示す一点鎖線 A3 - A4 に対応する断面図である。なお、図 25 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線 A1 - A2 をトランジスタ 400d のチャネル長方向、一点鎖線 A3 - A4 をトランジスタ 400d のチャネル幅方向と呼ぶ場合がある。

20

#### 【0256】

トランジスタ 400d は、図 25 に示す構成にすることで、オン電流を増大させることが可能になる。

#### 【0257】

##### トランジスタの構成例 5

図 24 に示すトランジスタ 400c において、A3 - A4 方向に、金属酸化物 431、432 から成る領域（以下、フィンと呼ぶ）を複数設けてもよい。その場合の例を図 26 に示す。

30

#### 【0258】

図 26 (A) 乃至 (C) は、トランジスタ 400e の上面図および断面図である。図 26 (A) は上面図である。図 26 (B) は、図 26 (A) に示す一点鎖線 A1 - A2 に対応する断面図であり、図 26 (C) は、図 26 (A) に示す一点鎖線 A3 - A4 に対応する断面図である。なお、図 26 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、一点鎖線 A1 - A2 をトランジスタ 400e のチャネル長方向、一点鎖線 A3 - A4 をトランジスタ 400e のチャネル幅方向と呼ぶ場合がある。

40

#### 【0259】

トランジスタ 400e は、金属酸化物 431a、432a から成る第 1 のフィンと、金属酸化物 431b、432b から成る第 2 のフィンと、金属酸化物 431c、432c から成る第 3 のフィンと、を有している。

#### 【0260】

トランジスタ 400e は、チャネルが形成される金属酸化物 432a 乃至 432c を、ゲート電極が取り囲むことで、チャネル全体にゲート電界を印加することが可能になり、オン電流が高いトランジスタを得ることが可能になる。

#### 【0261】

##### トランジスタの構成例 6

50



図 27 (A) 及び図 27 (B) は、トランジスタ 680 の上面図および断面図である。図 27 (A) は上面図であり、図 27 (A) に示す一点鎖線 A - B 方向の断面が図 27 (B) に相当する。なお、図 27 (A) 及び図 27 (B) では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 A - B 方向をチャネル長方向と呼称する場合がある。

【0262】

図 27 (B) に示すトランジスタ 680 は、第 1 のゲートとして機能する導電膜 689 と、第 2 のゲートとして機能する導電膜 688 と、半導体 682 と、ソース及びドレインとして機能する導電膜 683 及び導電膜 684 と、絶縁膜 681 と、絶縁膜 685 と、絶縁膜 686 と、絶縁膜 687 と、を有する。

10

【0263】

導電膜 689 は、絶縁表面上に設けられる。導電膜 689 と、半導体 682 とは、絶縁膜 681 を間に挟んで、互いに重なる。また、導電膜 688 と、半導体 682 とは、絶縁膜 685、絶縁膜 686 及び絶縁膜 687 を間に挟んで、互いに重なる。また、導電膜 683 及び導電膜 684 は、半導体 682 に、接続されている。

【0264】

導電膜 689 及び導電膜 688 の詳細は、図 20 に示す導電膜 411 乃至 414 の記載を参照すればよい。

【0265】

導電膜 689 と導電膜 688 は、異なる電位が与えられてもよいし、同時に同じ電位が与えられてもよい。トランジスタ 680 は、第 2 のゲート電極として機能する導電膜 688 を設けることで、しきい値を安定化させることが可能になる。なお、導電膜 688 は、場合によっては省略してもよい。

20

【0266】

半導体 682 の詳細は、図 20 に示す金属酸化物 432 の記載を参照すればよい。また、半導体 682 は、一層でも良いし、複数の半導体層の積層でも良い。

【0267】

導電膜 683 及び導電膜 684 の詳細は、図 20 に示す導電膜 421 乃至 424 の記載を参照すればよい。

【0268】

絶縁膜 681 の詳細は、図 20 に示す絶縁膜 406 の記載を参照すればよい。

30

【0269】

なお、図 27 (B) では、半導体 682、導電膜 683 及び導電膜 684 上に、順に積層された絶縁膜 685 乃至絶縁膜 687 が設けられている場合を例示しているが、半導体 682、導電膜 683 及び導電膜 684 上に設けられる絶縁膜は、一層でも良いし、複数の絶縁膜の積層でも良い。

【0270】

半導体 682 に酸化物半導体を用いた場合、絶縁膜 686 は、化学量論的組成以上の酸素が含まれており、加熱により上記酸素の一部を半導体 682 に供給する機能を有する絶縁膜であることが望ましい。ただし、絶縁膜 686 を半導体 682 上に直接設けると、絶縁膜 686 の形成時に半導体 682 にダメージが与えられる場合、図 27 (B) に示すように、絶縁膜 685 を半導体 682 と絶縁膜 686 の間に設けると良い。絶縁膜 685 は、その形成時に半導体 682 に与えるダメージが絶縁膜 686 の場合よりも小さく、なおかつ、酸素を透過する機能を有する絶縁膜であることが望ましい。ただし、半導体 682 に与えられるダメージを小さく抑えつつ、半導体 682 上に絶縁膜 686 を直接形成することができるのであれば、絶縁膜 685 は必ずしも設けなくとも良い。

40

【0271】

例えば、絶縁膜 686 及び絶縁膜 685 として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフ

50

ニウム、酸化窒化ハフニウム等の金属酸化物を用いることもできる。

【0272】

絶縁膜687は、酸素、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。或いは、絶縁膜687は、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。

【0273】

絶縁膜は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いて、形成することができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

10

【0274】

絶縁膜687が水、水素などの拡散を防ぐブロッキング効果を有する場合、パネル内の樹脂や、パネルの外部に存在する水、水素などの不純物が、半導体682に侵入するのを防ぐことができる。半導体682に酸化物半導体を用いる場合、酸化物半導体に侵入した水または水素の一部は電子供与体(ドナー)となるため、上記ブロッキング効果を有する絶縁膜687を用いることで、トランジスタ680の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

【0275】

20

また、半導体682に酸化物半導体を用いる場合、絶縁膜687が酸素の拡散を防ぐブロッキング効果を有することで、酸化物半導体からの酸素が外部に拡散するのを防ぐことができる。よって、酸化物半導体中において、ドナーとなる酸素欠損が低減されるので、トランジスタ680の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

【0276】

(実施の形態4)

本実施の形態では、上記実施の形態に示すメモリセル100a乃至100k(以下、まとめてメモリセル100と呼称する)に適用可能なデバイスの構成例について、図28乃至図31を用いて説明を行う。

【0277】

30

チップ構成例1

図28(A)、(B)に示す断面図はメモリセル100が1つのチップに形成された例を示している。図28(A)は、メモリセル100を構成するトランジスタのチャネル長方向の断面図を表している。また、図28(B)は、メモリセル100を構成するトランジスタのチャネル幅方向の断面図を表している。

【0278】

図28(A)、(B)に示すメモリセル100は、下から順に、層L1、L2、L3、L4、L5、L6、L7、L8、L9、L10、L11、L12を有している。

【0279】

層L1は、基板700と、基板700に形成されたトランジスタTr0と、素子分離層701と、プラグ710、711などの複数のプラグを有する。

40

【0280】

層L2は、配線730、731などの複数の配線を有する。

【0281】

層L3は、プラグ712、713などの複数のプラグと、複数の配線(図示せず)を有する。

【0282】

層L4は、絶縁膜706と、トランジスタTr1と、絶縁膜702と、絶縁膜703と、プラグ714、715などの複数のプラグを有する。

【0283】

50

層 L 5 は、配線 7 3 2、7 3 3 などの複数の配線を有する。

【 0 2 8 4 】

層 L 6 は、プラグ 7 1 6 などの複数のプラグを有する。

【 0 2 8 5 】

層 L 7 は、トランジスタ T r 2 と、絶縁膜 7 0 4、7 0 5 と、プラグ 7 1 7 などの複数のプラグを有する。

【 0 2 8 6 】

層 L 8 は、配線 7 3 4、7 3 5 などの複数の配線を有する。

【 0 2 8 7 】

層 L 9 は、プラグ 7 1 8 などの複数のプラグと、複数の配線（図示せず）を有する。

10

【 0 2 8 8 】

層 L 1 0 は、配線 7 3 6 などの複数の配線を有する。

【 0 2 8 9 】

層 L 1 1 は、容量素子 C 1 と、容量素子 C 2 乃至 C n（図示せず）と、プラグ 7 1 9 などの複数のプラグとを有している。また、容量素子 C 1 は、第 1 の電極 7 5 1 と、第 2 の電極 7 5 2 と、絶縁膜 7 5 3 と、を有している。

【 0 2 9 0 】

層 L 1 2 は、配線 7 3 7 などの複数の配線を有している。

【 0 2 9 1 】

トランジスタ T r 1、T r 2 は、実施の形態 3 に示した O S トランジスタを適用することが好ましい。図 2 8（A）、（B）は、トランジスタ T r 1、T r 2 に、図 2 4（A）乃至（B）に示すトランジスタ 4 0 0 c を適用した例を示している。

20

【 0 2 9 2 】

トランジスタ T r 0 は、トランジスタ T r 1、T r 2 とは異なる半導体材料で形成されることが好ましい。図 2 8（A）、（B）では、トランジスタ T r 0 に S i トランジスタを適用した例を示している。

【 0 2 9 3 】

基板 7 0 0 としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、S O I 基板などを用いることができる。

30

【 0 2 9 4 】

また、基板 7 0 0 として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム、などを用いてもよい。また、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。図 2 8（A）、（B）では、一例として、基板 7 0 0 に単結晶シリコンウェハを用いた例を示している。

【 0 2 9 5 】

図 3 0（A）、（B）を用いて、トランジスタ T r 0 の詳細について説明を行う。図 3 0（A）はトランジスタ T r 0 のチャンネル長方向の断面図を示し、図 3 0（B）はトランジスタ T r 0 のチャンネル幅方向の断面図を示している。トランジスタ T r 0 は、ウェル 7 9 2 に設けられたチャンネル形成領域 7 9 3 と、低濃度不純物領域 7 9 4 及び高濃度不純物領域 7 9 5（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた導電性領域 7 9 6 と、チャンネル形成領域 7 9 3 上に設けられたゲート絶縁膜 7 9 7 と、ゲート絶縁膜 7 9 7 上に設けられたゲート電極 7 9 0 と、ゲート電極 7 9 0 の側面に設けられた側壁絶縁層 7 9 8、7 9 9 とを有する。なお、導電性領域 7 9 6 には、金属シリサイド等を用いてもよい。

40

【 0 2 9 6 】

図 3 0（B）において、トランジスタ T r 0 はチャンネル形成領域 7 9 3 が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜 7 9 7 及びゲート電極 7 9 0 が設けられている。このような形状を有するトランジスタを F I N 型トランジスタと呼ぶ。本実施の形態では

50

、半導体基板の一部を加工して凸部を形成する場合を示したが、S O I基板を加工して凸形状を有する半導体層を形成してもよい。

【0297】

なお、トランジスタT r 0は、F I N型トランジスタに限定されず、図31(A)、(B)に示すプレーナ型トランジスタを用いてもよい。図31(A)は、トランジスタT r 0のチャンネル長方向の断面図を示し、図31(B)はトランジスタT r 0のチャンネル幅方向の断面図を示している。図31に示す符号は、図30に示す符号と同一である。

【0298】

図28(A)、(B)において、絶縁膜702乃至706は、水素、水等に対するブロッキング効果を有することが好ましい。水、水素等は酸化物半導体中にキャリアを生成する要因の一つであるので、水素、水等に対するブロッキング層を設けることにより、トランジスタM 1乃至M nの信頼性を向上させることが可能になる。水素、水等に対するブロッキング効果を有する絶縁物には、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(Y S Z)等がある。

【0299】

配線730乃至737、及び、プラグ710乃至719には、銅(C u)、タングステン(W)、モリブデン(M o)、金(A u)、アルミニウム(A l)、マンガン(M n)、チタン(T i)、タンタル(T a)、ニッケル(N i)、クロム(C r)、鉛(P b)、錫(S n)、鉄(F e)、コバルト(C o)の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、C u - M n合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンがC uの拡散を抑制する機能を持つので好ましい。

【0300】

図28において、符号及びハッチングパターンが与えられていない領域は、絶縁体で構成されている。上記絶縁体には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上の材料を含む絶縁体を用いることができる。また、当該領域には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

【0301】

実施の形態1又は実施の形態2に示すトランジスタM 1乃至M nにO Sトランジスタを適用した場合、トランジスタM 1乃至M nは、層L 4又は層L 7に形成されることが好ましい。

【0302】

実施の形態1又は実施の形態2に示すトランジスタM 0にS iトランジスタを適用した場合、トランジスタM 0は層L 1に形成されることが好ましい。

【0303】

実施の形態1又は実施の形態2に示すトランジスタM 0にO Sトランジスタを適用した場合、トランジスタM 0は層L 4又は層L 7に形成されることが好ましい。

【0304】

メモリセル100の周辺に形成される駆動回路をO Sトランジスタで形成する場合、該O Sトランジスタは層L 4又は層L 7に形成してもよい。

【0305】

メモリセル100の周辺に形成される駆動回路をS iトランジスタで形成する場合、該S

10

20

30

40

50

i トランジスタは層 L 1 に形成してもよい。

【 0 3 0 6 】

メモリセル 1 0 0 は、図 2 8 に示す構成にすることで、占有面積を小さくし、メモリセルを高集積化することが可能になる。

【 0 3 0 7 】

チップ構成例 2

メモリセル 1 0 0 は、メモリセル 1 0 0 が有する全ての O S トランジスタを、同一の層に形成してもよい。その場合の例を、図 2 9 ( A )、( B ) に示す。図 2 8 と同様に、図 2 9 ( A ) はメモリセル 1 0 0 を構成するトランジスタのチャネル長方向の断面図を表し、図 2 9 ( B ) はメモリセル 1 0 0 を構成するトランジスタのチャネル幅方向の断面図を表している。

10

【 0 3 0 8 】

図 2 9 ( A )、( B ) は、層 L 6 乃至 L 8 が省かれ、層 L 5 の上に層 L 9 が形成されている点で、図 2 8 ( A )、( B ) に示す断面図と相違する。図 2 9 ( A )、( B ) のその他の詳細は、図 2 8 ( A )、( B ) の記載を参酌する。

【 0 3 0 9 】

実施の形態 1 又は実施の形態 2 に示すトランジスタ M 1 乃至 M n に O S トランジスタを適用した場合、トランジスタ M 1 乃至 M n は、層 L 4 に形成されることが好ましい。

【 0 3 1 0 】

実施の形態 1 又は実施の形態 2 に示すトランジスタ M 0 に S i トランジスタを適用した場合、トランジスタ M 0 は層 L 1 に形成されることが好ましい。

20

【 0 3 1 1 】

実施の形態 1 又は実施の形態 2 に示すトランジスタ M 0 に O S トランジスタを適用した場合、トランジスタ M 0 は層 L 4 に形成されることが好ましい。

【 0 3 1 2 】

メモリセル 1 0 0 の周辺に形成される駆動回路を O S トランジスタで形成する場合、該 O S トランジスタは層 L 4 に形成してもよい。

【 0 3 1 3 】

メモリセル 1 0 0 の周辺に形成される駆動回路を S i トランジスタで形成する場合、該 S i トランジスタは層 L 1 に形成してもよい。

30

【 0 3 1 4 】

メモリセル 1 0 0 は、図 2 9 ( A )、( B ) に示す構成にすることで、製造工程を単純化することが可能になる。

【 0 3 1 5 】

( 実施の形態 5 )

本実施の形態では、上記実施の形態に示したメモリセル及び記憶装置を用いることが可能な C P U について説明する。

【 0 3 1 6 】

図 3 2 は、C P U の一例の構成を示すブロック図である。

【 0 3 1 7 】

40

図 3 2 に示す C P U は、基板 1 1 9 0 上に、A L U 1 1 9 1 ( A L U : A r i t h m e t i c l o g i c u n i t、演算回路)、A L U コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、タイミングコントローラ 1 1 9 5、レジスタ 1 1 9 6、レジスタコントローラ 1 1 9 7、バスインターフェース 1 1 9 8 ( B u s I / F )、書き換え可能な R O M 1 1 9 9、および R O M インターフェース 1 1 8 9 ( R O M I / F ) を有している。基板 1 1 9 0 は、半導体基板、S O I 基板、ガラス基板などを用いる。R O M 1 1 9 9 および R O M インターフェース 1 1 8 9 は、別チップに設けてもよい。もちろん、図 3 2 に示す C P U は、その構成を簡略化して示した一例にすぎず、実際の C P U はその用途によって多種多様な構成を有している。例えば、図 3 2 に示す C P U または演算回路を含む構成を一つのコアとし、当該コアを複数含

50

み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

#### 【0318】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

#### 【0319】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

#### 【0320】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

#### 【0321】

図32に示すCPUでは、レジスタ1196に、上記実施の形態に示すメモリセルを用いることが可能である。

#### 【0322】

(実施の形態6)

本発明の一態様に係る記憶装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る記憶装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図33に示す。

#### 【0323】

図33(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカ906、操作キー907、スタイラス908等を有する。なお、図33(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

#### 【0324】

図33(B)は、携帯電話機であり、筐体911、表示部916、操作ボタン914、外部接続ポート913、スピーカ917、マイク912などを備えている。図33(B)に示す携帯電話機は、指などで表示部916に触れることで、情報を入力することができる。また、電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指などで表示部916に触れることにより行うことができる。また、操作ボタン914の操作により、電源のON、OFF動作や、表示部916に表示される画像の種類を切り替えることができる。例えば、メール作成画面から、メインメニュー画面に切り替えることができる。

#### 【0325】

図 3 3 ( C ) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4等を有する。

【 0 3 2 6 】

図 3 3 ( D ) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3等を有する。

【 0 3 2 7 】

図 3 3 ( E ) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6等を有する。操作キー 9 4 4およびレンズ 9 4 5は第 1 筐体 9 4 1に設けられており、表示部 9 4 3は第 2 筐体 9 4 2に設けられている。そして、第 1 筐体 9 4 1と第 2 筐体 9 4 2とは、接続部 9 4 6により接続されており、第 1 筐体 9 4 1と第 2 筐体 9 4 2の間の角度は、接続部 9 4 6により変更が可能である。表示部 9 4 3における映像を、接続部 9 4 6における第 1 筐体 9 4 1と第 2 筐体 9 4 2との間の角度に従って切り替える構成としても良い。

【 0 3 2 8 】

図 3 3 ( F ) は自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4等を有する。

【 0 3 2 9 】

次に、本発明の一態様の半導体装置又は記憶装置を備えることができる表示装置の使用例について説明する。一例としては、表示装置は、画素を有する。画素は、例えば、トランジスタや表示素子を有する。または、表示装置は、画素を駆動する駆動回路を有する。駆動回路は、例えば、トランジスタを有する。例えば、これらのトランジスタとして、他の実施の形態で述べたトランジスタを採用することができる。

【 0 3 3 0 】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置は、例えば、E L (エレクトロルミネッセンス) 素子 (有機物及び無機物を含む E L 素子、有機 E L 素子、無機 E L 素子)、L E D チップ (白色 L E D チップ、赤色 L E D チップ、緑色 L E D チップ、青色 L E D チップなど)、トランジスタ (電流に応じて発光するトランジスタ)、プラズマディスプレイ (P D P)、電子放出素子、カーボンナノチューブを用いた表示素子、液晶素子、電子インク、エレクトロウェットティング素子、電気泳動素子、M E M S (マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子 (例えば、グレーティングライトバルブ (G L V)、デジタルマイクロミラーデバイス (D M D)、D M S (デジタル・マイクロ・シャッター)、M I R A S O L (登録商標)、I M O D (インターフェアレンス・モジュレーション) 素子、シャッター方式の M E M S 表示素子、光干渉方式の M E M S 表示素子、圧電セラミックディスプレイなど)、または、量子ドットなどの少なくとも一つを有している。これらの他にも、表示素子、表示装置、発光素子又は発光装置は、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。E L 素子を用いた表示装置の一例としては、E L ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ (F E D) 又は S E D 方式平面型ディスプレイ (S E D : S u r f a c e - c o n d u c t i o n E l e c t r o n - e m i t t e r D i s p l a y) などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ (透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ) などがある。電子インク、電子粉流体 (登録商標)、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。量子ドットを各画素に用いた表示装置の一例としては、量子ドットディスプレイなどがある。なお、量子ドットは、表示素子としてではなく、バックライトの一部に設けてもよい。量子ドットを用いることにより、色純度の高い表示を行うことができる。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部

が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、S R A Mなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、L E Dチップを用いる場合、L E Dチップの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型G a N半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型G a N半導体層などを設けて、L E Dチップを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型G a N半導体層との間に、A l N層を設けてもよい。10  
なお、L E Dチップが有するG a N半導体層は、M O C V Dで成膜してもよい。ただし、グラフェンを設けることにより、L E Dチップが有するG a N半導体層は、スパッタ法で成膜することも可能である。また、M E M S（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子においては、表示素子が封止されている空間（例えば、表示素子が配置されている素子基板と、素子基板に対向して配置されている対向基板との間）に、乾燥剤を配置してもよい。乾燥剤を配置することにより、M E M Sなどが水分によって動きにくくなることや、劣化しやすくなることを防止することができる。

#### 【0331】

##### （実施の形態7）

本実施の形態では、本発明の一態様の記憶装置を備えることができるR F タグの使用例について図34を用いながら説明する。R F タグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図34（A）参照）、記録媒体（D V Dやビデオテープ等、図34（B）参照）、包装用容器類（包装紙やボトル等、図34（C）参照）、乗り物類（自転車等、図34（D）参照）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、E L表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図34（E）、図34（F）参照）等に設けて使用することができる。20

#### 【0332】

本発明の一態様に係るR F タグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るR F タグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るR F タグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るR F タグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るR F タグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。30

#### 【0333】

以上のように、本発明の一態様に係わるR F タグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。40

#### 【0334】

##### （実施の形態8）

本実施の形態では、上記実施の形態で説明したO S トランジスタに適用可能な酸化物半導体膜の構造について説明する。50



## 【0335】

本明細書において、「平行」とは、二つの直線が $-10^{\circ}$ 以上 $10^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $-5^{\circ}$ 以上 $5^{\circ}$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^{\circ}$ 以上 $30^{\circ}$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^{\circ}$ 以上 $100^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^{\circ}$ 以上 $120^{\circ}$ 以下の角度で配置されている状態をいう。

## 【0336】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

10

## 【0337】

## 酸化物半導体の構造

以下では、酸化物半導体の構造について説明する。

## 【0338】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

20

## 【0339】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

## 【0340】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

## 【0341】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ポイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

30

## 【0342】

## CAAC-OS

まずは、CAAC-OSについて説明する。

## 【0343】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

40

## 【0344】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

## 【0345】

以下では、TEMによって観察したCAAC-OSについて説明する。図35(A)に、

50

試料面と略平行な方向から観察したC A A C - O Sの断面の高分解能T E M像を示す。高分解能T E M像の観察には、球面収差補正 ( S p h e r i c a l A b e r r a t i o n C o r r e c t o r ) 機能を用いた。球面収差補正機能を用いた高分解能T E M像を、特にC s補正高分解能T E M像と呼ぶ。C s補正高分解能T E M像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡J E M - A R M 2 0 0 Fなどによって行うことができる。

#### 【 0 3 4 6 】

図35 ( A ) の領域 ( 1 ) を拡大したC s補正高分解能T E M像を図35 ( B ) に示す。図35 ( B ) より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、C A A C - O Sの膜を形成する面 ( 被形成面ともいう。 ) または上面の凹凸を反映しており、C A A C - O Sの被形成面または上面と平行となる。

10

#### 【 0 3 4 7 】

図35 ( B ) に示すように、C A A C - O Sは特徴的な原子配列を有する。図35 ( C ) は、特徴的な原子配列を、補助線で示したものである。図35 ( B ) および図35 ( C ) より、ペレット一つの大きさは1 n m以上のものや、3 n m以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0 . 8 n m程度であることがわかる。したがって、ペレットを、ナノ結晶 ( n c : n a n o c r y s t a l ) と呼ぶこともできる。また、C A A C - O Sを、C A N C ( C - A x i s A l i g n e d n a n o c r y s t a l s ) を有する酸化物半導体と呼ぶこともできる。

#### 【 0 3 4 8 】

20

ここで、C s補正高分解能T E M像をもとに、基板5 1 2 0上のC A A C - O Sのペレット5 1 0 0の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる ( 図35 ( D ) 参照。 ) 。図35 ( C ) で観察されたペレットとペレットとの間で傾きが生じている箇所は、図35 ( D ) に示す領域5 1 6 1に相当する。

#### 【 0 3 4 9 】

また、図36 ( A ) に、試料面と略垂直な方向から観察したC A A C - O Sの平面のC s補正高分解能T E M像を示す。図36 ( A ) の領域 ( 1 ) 、領域 ( 2 ) および領域 ( 3 ) を拡大したC s補正高分解能T E M像を、それぞれ図36 ( B ) 、図36 ( C ) および図36 ( D ) に示す。図36 ( B ) 、図36 ( C ) および図36 ( D ) より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

30

#### 【 0 3 5 0 】

次に、X線回折 ( X R D : X - R a y D i f f r a c t i o n ) によって解析したC A A C - O Sについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するC A A C - O Sに対し、out - of - plane法による構造解析を行うと、図37 ( A ) に示すように回折角 ( 2  $\theta$  ) が3 1 °近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の ( 0 0 9 ) 面に帰属されることから、C A A C - O Sの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

#### 【 0 3 5 1 】

なお、C A A C - O Sのout - of - plane法による構造解析では、2  $\theta$  が3 1 °近傍のピークの他に、2  $\theta$  が3 6 °近傍にもピークが現れる場合がある。2  $\theta$  が3 6 °近傍のピークは、C A A C - O S中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいC A A C - O Sは、out - of - plane法による構造解析では、2  $\theta$  が3 1 °近傍にピークを示し、2  $\theta$  が3 6 °近傍にピークを示さない。

40

#### 【 0 3 5 2 】

一方、C A A C - O Sに対し、c軸に略垂直な方向からX線を入射させるin - plane法による構造解析を行うと、2  $\theta$  が5 6 °近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の ( 1 1 0 ) 面に帰属される。C A A C - O Sの場合は、2  $\theta$  を5 6 °近傍に固定し、試料面の法線ベクトルを軸 (  $\omega$  軸 ) として試料を回転させながら分析 ( スキャン ) を行っても、図37 ( B ) に示すように明瞭なピークは現れない。これに対

50

し、 $\text{InGaZnO}_4$ の単結晶酸化物半導体であれば、 $2^\circ$ を $56^\circ$ 近傍に固定してスキャンした場合、図37(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

#### 【0353】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 $\text{InGaZnO}_4$ の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が $300\text{nm}$ の電子線を入射させると、図38(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、 $\text{InGaZnO}_4$ の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が $300\text{nm}$ の電子線を入射させたときの回折パターンを図38(B)に示す。図38(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図38(B)における第1リングは、 $\text{InGaZnO}_4$ の結晶の(010)面および(100)面などに起因すると考えられる。また、図38(B)における第2リングは(110)面などに起因すると考えられる。

#### 【0354】

上述したように、CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

#### 【0355】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

#### 【0356】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

#### 【0357】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11}$ 個/ $\text{cm}^3$ 未満、好ましくは $1 \times 10^{11}$ 個/ $\text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10}$ 個/ $\text{cm}^3$ 未満であり、 $1 \times 10^{-9}$ 個/ $\text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

#### 【0358】

nc-OS

次に、nc-OSについて説明する。

#### 【0359】

nc-OSは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、 $1\text{nm}$ 以上 $10\text{nm}$ 以下、または $1\text{nm}$ 以上 $3\text{nm}$ 以下の大きさであることが多い。なお、結晶部の大きさが $10\text{nm}$ より大きく $100\text{nm}$ 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を

明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O Sにおけるペレットと起源を同じくする可能性がある。そのため、以下ではn c - O Sの結晶部をペレットと呼ぶ場合がある。

#### 【0360】

n c - O Sは、微小な領域（例えば、1 n m以上1 0 n m以下の領域、特に1 n m以上3 n m以下の領域）において原子配列に周期性を有する。また、n c - O Sは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O Sは、分析方法によっては、a - l i k e O Sや非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O Sに対し、ペレットよりも大きい径のX線を用いた場合、o u t - o f - p l a n e法による解析では、結晶面を示すピークは検出されない。また、n c - O Sに対し、ペレットよりも大きいプローブ径（例えば5 0 n m以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O Sに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O Sに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

10

#### 【0361】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O Sを、R A N C（R a n d o m A l i g n e d n a n o c r y s t a l s）を有する酸化物半導体、またはN A N C（N o n - A l i g n e d n a n o c r y s t a l s）を有する酸化物半導体と呼ぶこともできる。

20

#### 【0362】

n c - O Sは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O Sは、a - l i k e O Sや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O Sは、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O Sは、C A A C - O Sと比べて欠陥準位密度が高くなる。

#### 【0363】

a - l i k e O S

a - l i k e O Sは、n c - O Sと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

30

#### 【0364】

a - l i k e O Sは、高分解能T E M像において鬆が観察される場合がある。また、高分解能T E M像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

#### 【0365】

鬆を有するため、a - l i k e O Sは、不安定な構造である。以下では、a - l i k e O Sが、C A A C - O Sおよびn c - O Sと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

#### 【0366】

電子照射を行う試料として、a - l i k e O S（試料Aと表記する。）、n c - O S（試料Bと表記する。）およびC A A C - O S（試料Cと表記する。）を準備する。いずれの試料もI n - G a - Z n酸化物である。

40

#### 【0367】

まず、各試料の高分解能断面T E M像を取得する。高分解能断面T E M像により、各試料は、いずれも結晶部を有することがわかる。

#### 【0368】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、I n G a Z n O<sub>4</sub>の結晶の単位格子は、I n - O層を3層有し、またG a - Z n - O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これ

50

らの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、 $\text{InGaZnO}_4$ の結晶部と見なすことができる。なお、格子縞は、 $\text{InGaZnO}_4$ の結晶のa-b面に対応する。

#### 【0369】

図39は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図39より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図39中に(1)で示すように、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図39中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4 nm程度および2.1 nm程度であることがわかる。

10

#### 【0370】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

20

#### 【0371】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

#### 【0372】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 $\text{InGaZnO}_4$ の密度は $6.357 \text{ g}/\text{cm}^3$ となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比]を満たす酸化物半導体において、a-like OSの密度は $5.0 \text{ g}/\text{cm}^3$ 以上 $5.9 \text{ g}/\text{cm}^3$ 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は $5.9 \text{ g}/\text{cm}^3$ 以上 $6.3 \text{ g}/\text{cm}^3$ 未満となる。

30

#### 【0373】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

40

#### 【0374】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

#### 【0375】

なお、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

50

## 【0376】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

## 【0377】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース及びドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース及びドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

10

## 【0378】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

20

## 【0379】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

## 【0380】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

30

## 【0381】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

## 【0382】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

## 【0383】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

40

## 【0384】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

50

## 【0385】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

## 【0386】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

10

## 【0387】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

## 【0388】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

20

## 【0389】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オン・オフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

30

## 【0390】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

40

## 【0391】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等を開示されているものとする。つまり、電氣的に接続されている、と明示

50

的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に掲載されているものとする。

【0392】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

10

【0393】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

20

【0394】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定すること

30

40

50



ができる。

【 0 3 9 5 】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【 0 3 9 6 】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【 符号の説明 】

【 0 3 9 7 】

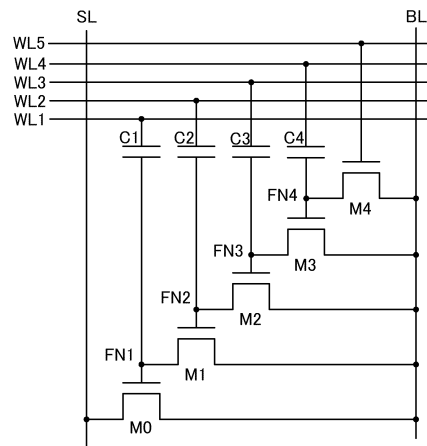
B 1	B 4	記憶回路	
B L		配線	
B L 0	B L 2	配線	
B L n		配線	
B n		記憶回路	
C 1	C 4	容量素子	20
C n		容量素子	
F N		ノード	
F N 1	F N 4	ノード	
F N n		ノード	
L 1	L 1 2	層	
M 0	M 4	トランジスタ	
M n		トランジスタ	
S L		配線	
T 1 0	T 3 6	期間	
T r 0	T r 2	トランジスタ	30
V 0		電位	
V M 1	V M 3	電位	
V P 1		電位	
V P 2		電位	
W L 1	W L 5	配線	
W R C		配線	
W W C		配線	
1 0		メモリセルアレイ	
2 0		メインメモリセルアレイ	
3 0		サブメモリセルアレイ	40
5 1		トランジスタ	
5 2		トランジスタ	
5 3		容量素子	
6 0		記憶装置	
6 1		行選択ドライバ	
6 2		列選択ドライバ	
6 3		A / D コンバータ	
1 0 0		メモリセル	
1 0 0 a	1 0 0 k	メモリセル	
1 1 0		メモリセル	50

4 0 0 a	4 0 0 e	トランジスタ	
4 0 1	4 0 8	絶縁膜	
4 1 1	4 1 4	導電膜	
4 2 1	4 2 4	導電膜	
4 3 0		金属酸化物	
4 3 1		金属酸化物	
4 3 1 a	4 3 1 c	金属酸化物	
4 3 2		金属酸化物	
4 3 2 a	4 3 2 c	金属酸化物	
4 3 3		金属酸化物	10
4 4 1		領域	
4 4 2		領域	
4 5 0		基板	
4 6 1	4 6 3	領域	
6 8 0		トランジスタ	
6 8 1		絶縁膜	
6 8 2		半導体	
6 8 3	6 8 9	導電膜	
7 0 0		基板	
7 0 1		素子分離層	20
7 0 2	7 0 6	絶縁膜	
7 1 0	7 1 9	プラグ	
7 3 0	7 3 7	配線	
7 5 1		電極	
7 5 2		電極	
7 5 3		絶縁膜	
7 9 0		ゲート電極	
7 9 2		ウェル	
7 9 3		チャネル形成領域	
7 9 4		低濃度不純物領域	30
7 9 5		高濃度不純物領域	
7 9 6		導電性領域	
7 9 7		ゲート絶縁膜	
7 9 8		側壁絶縁層	
7 9 9		側壁絶縁層	
9 0 1		筐体	
9 0 2		筐体	
9 0 3		表示部	
9 0 4		表示部	
9 0 5		マイクロフォン	40
9 0 6		スピーカ	
9 0 7		操作キー	
9 0 8		スタイラス	
9 1 1		筐体	
9 1 2		マイク	
9 1 3		外部接続ポート	
9 1 4		操作ボタン	
9 1 6		表示部	
9 1 7		スピーカ	
9 2 1		筐体	50

9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	10
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	20
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
4 0 0 0	RFタグ	
5 1 0 0	ペレット	
5 1 2 0	基板	30
5 1 6 1	領域	

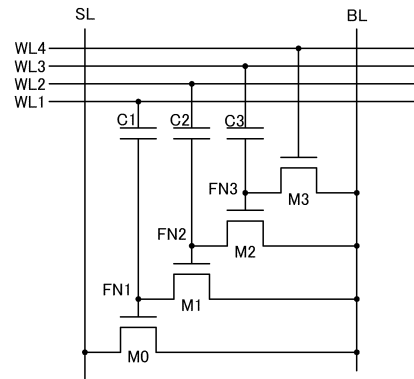
【図 1】

100a

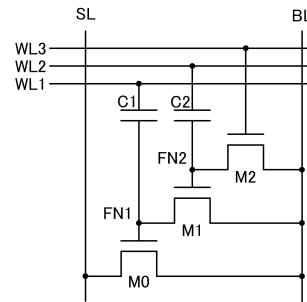


【図 2】

(A) 100b

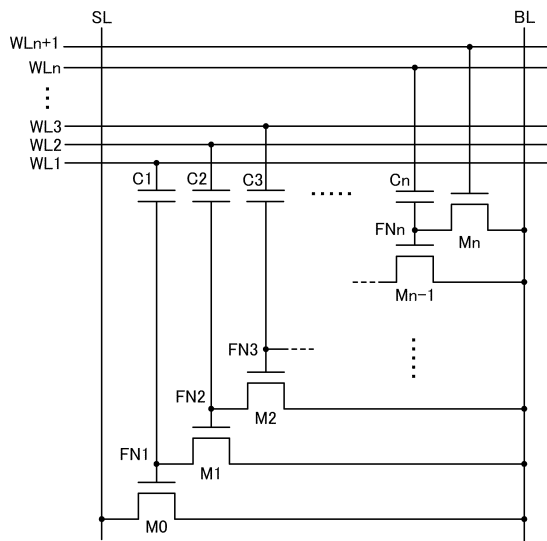


(B) 100c

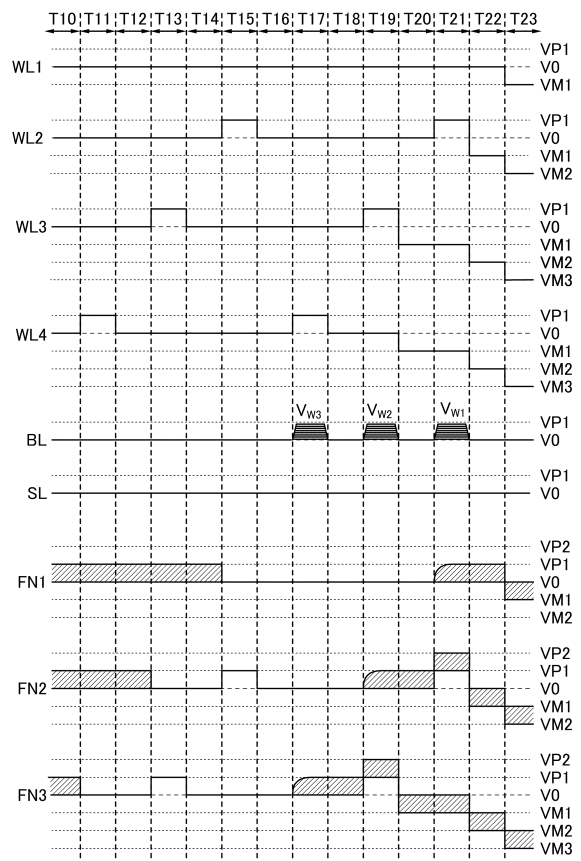


【図 3】

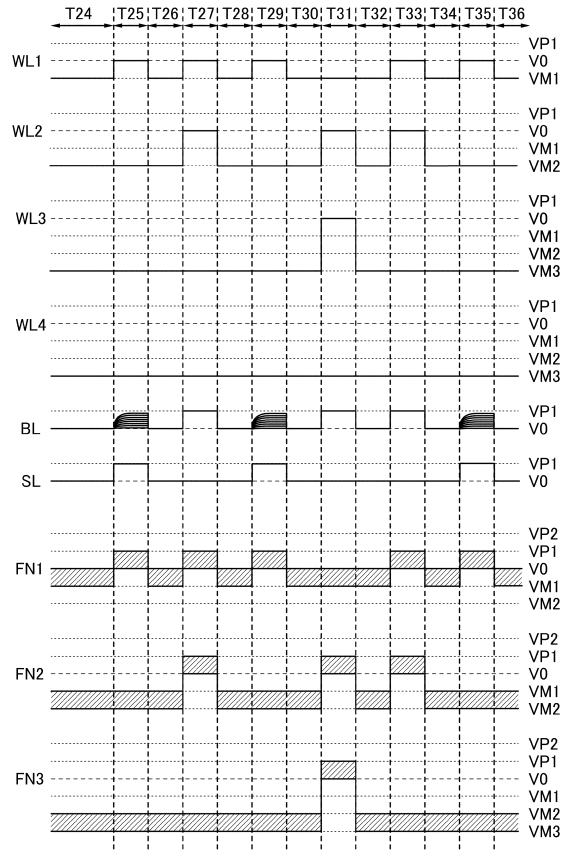
100d



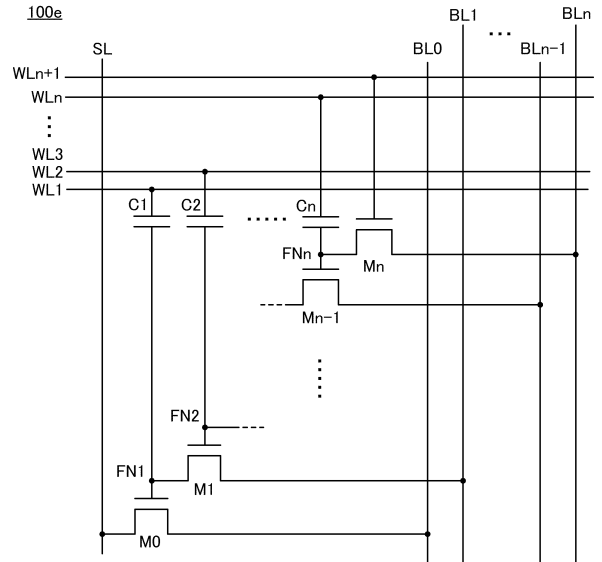
【図 4】



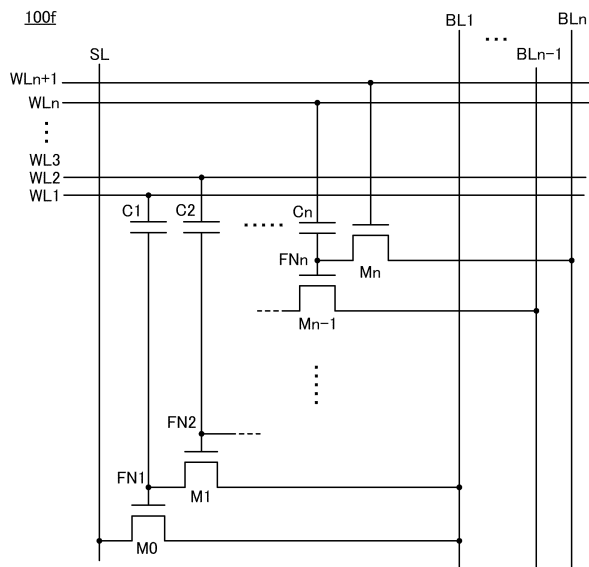
【図 5】



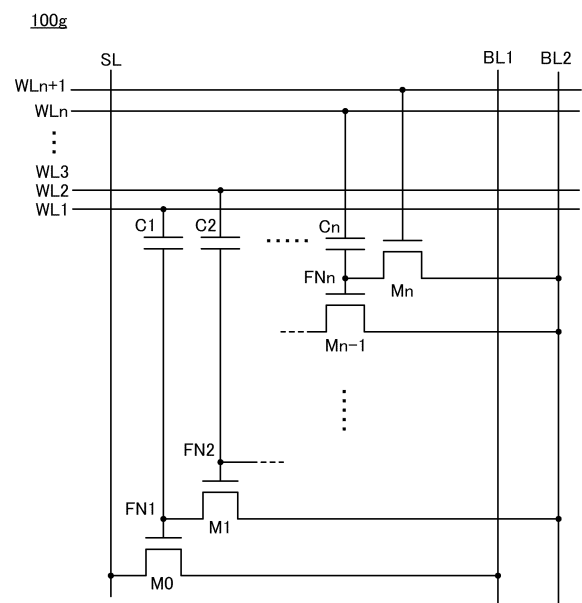
【図 6】



【図 7】

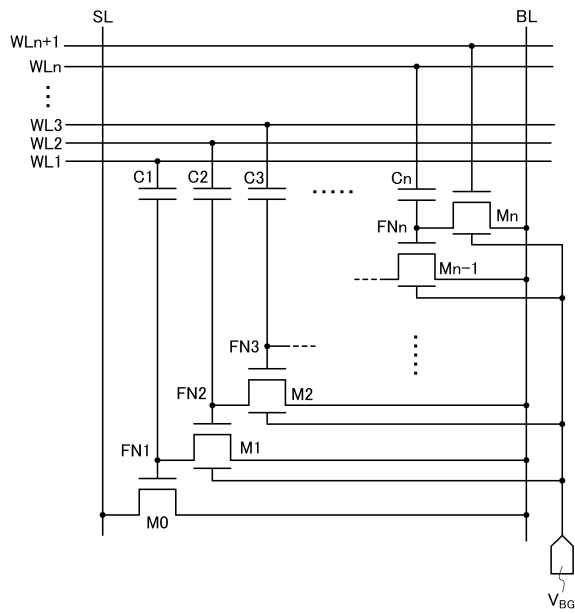


【図 8】



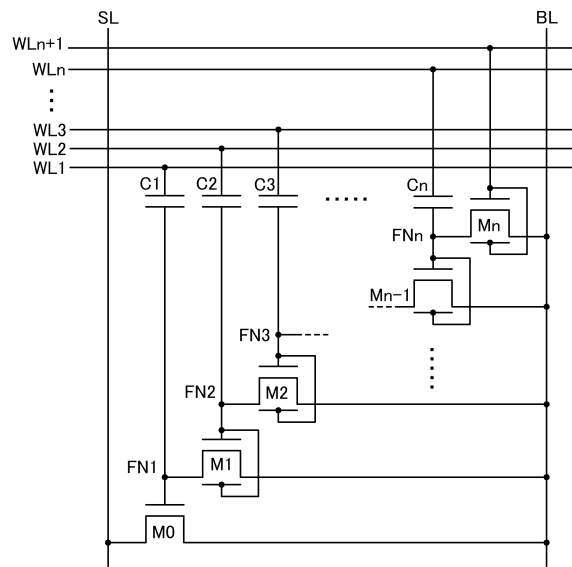
【図 9】

100h



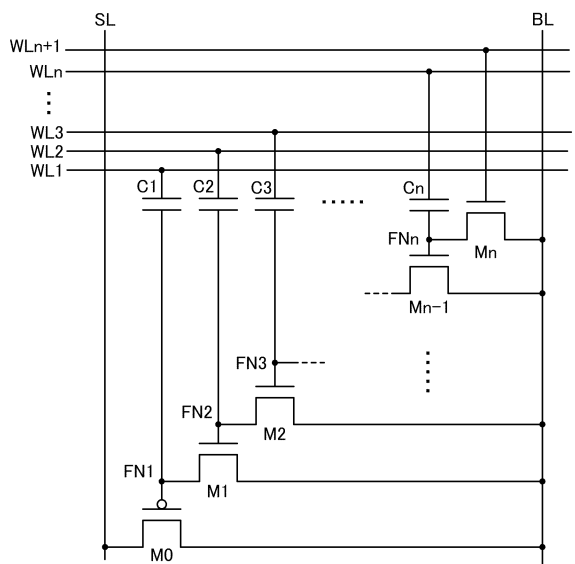
【図 10】

100i

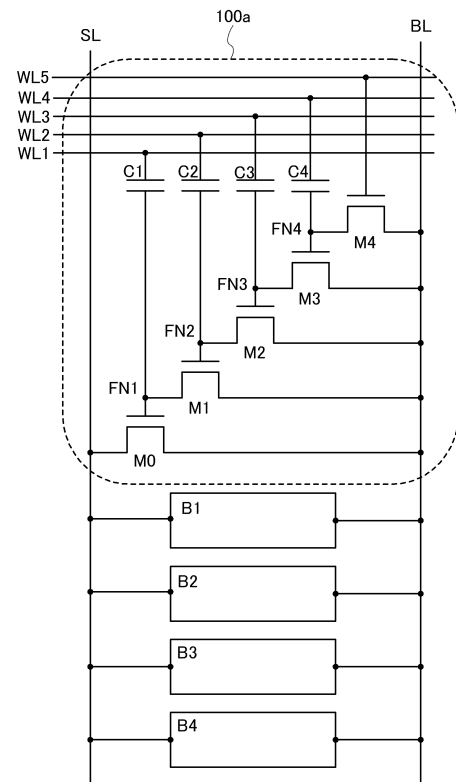


【図 11】

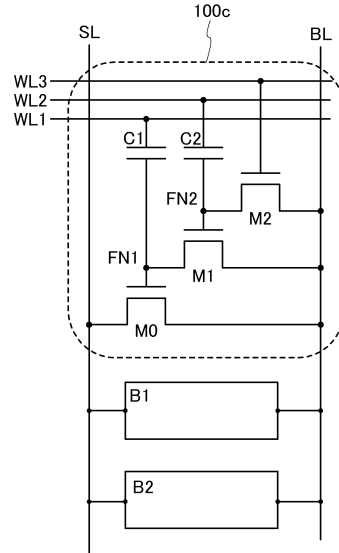
100k



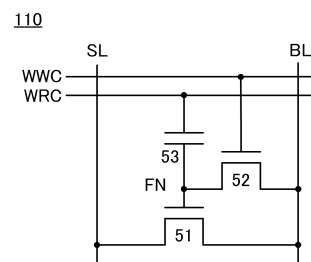
【図 12】



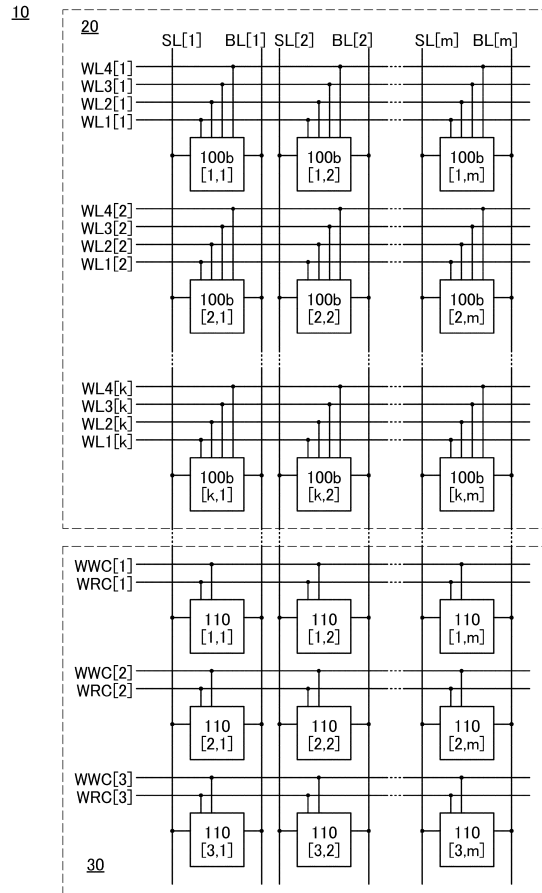
【 図 1 4 】



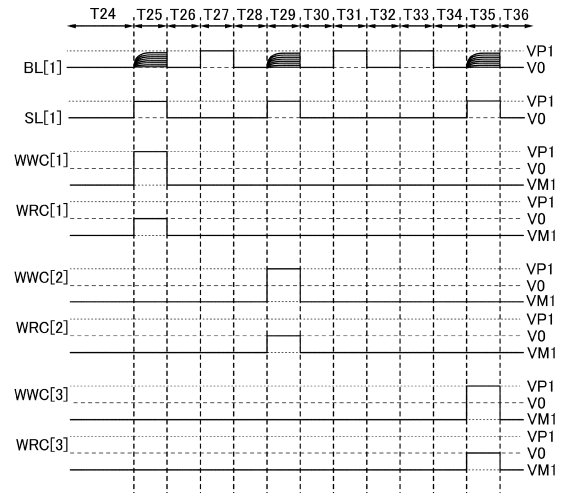
【 図 1 6 】



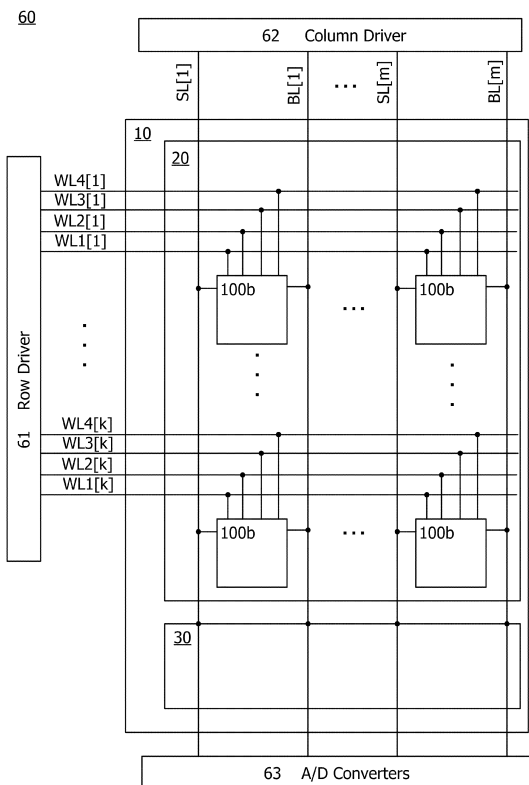
【図 17】



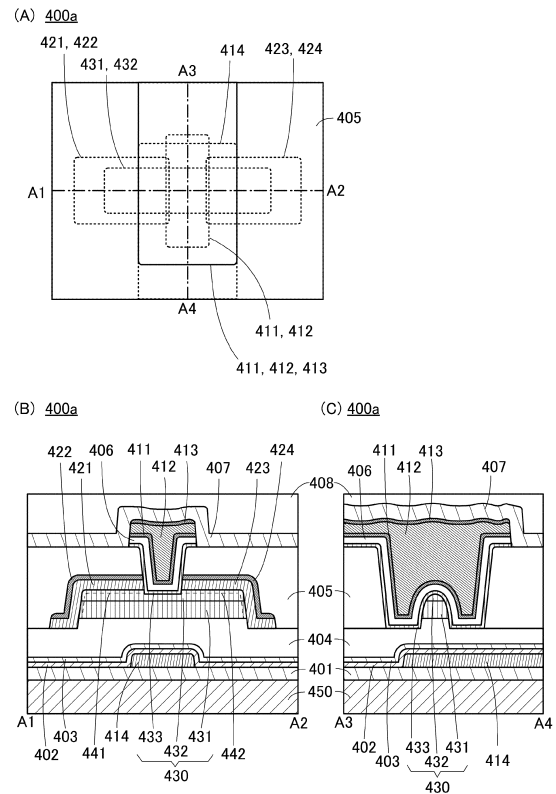
【図 18】



【図 19】

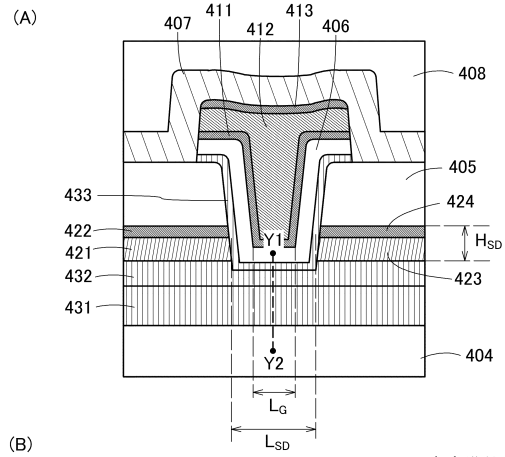


【図 20】

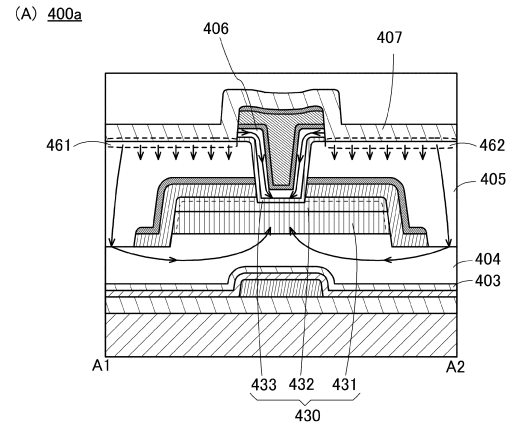




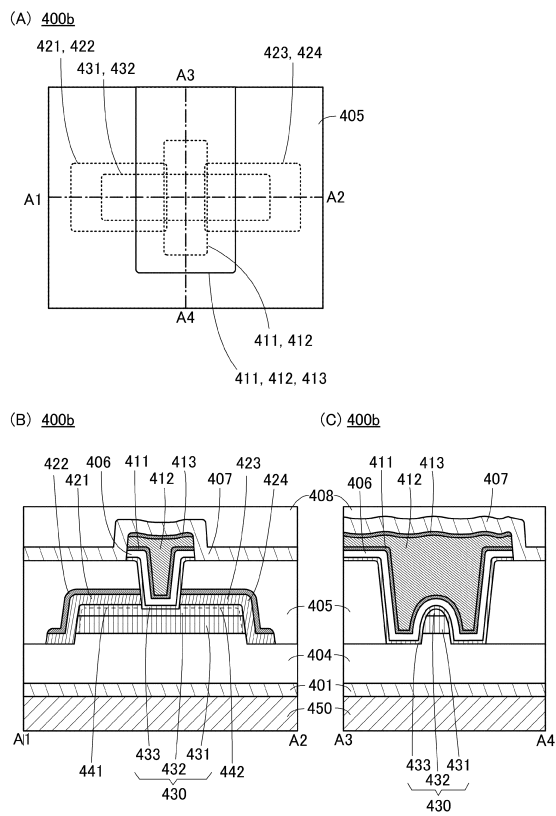
【図 2 1】



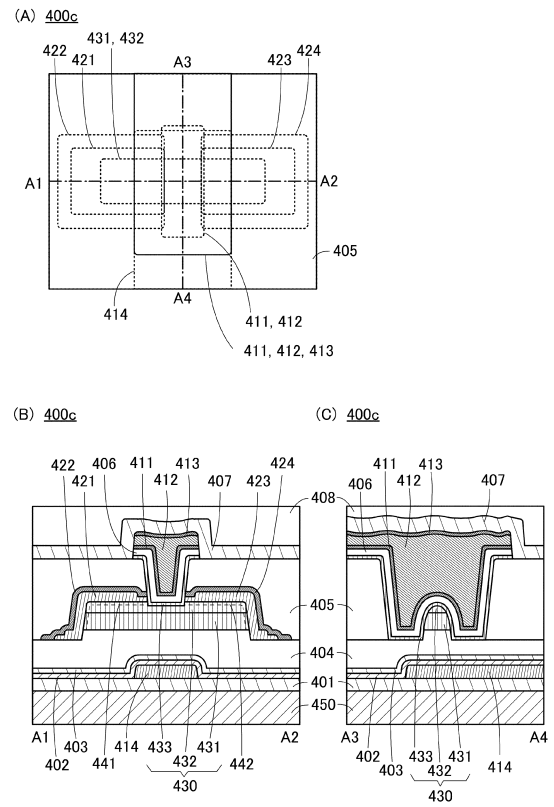
【図 2 2】



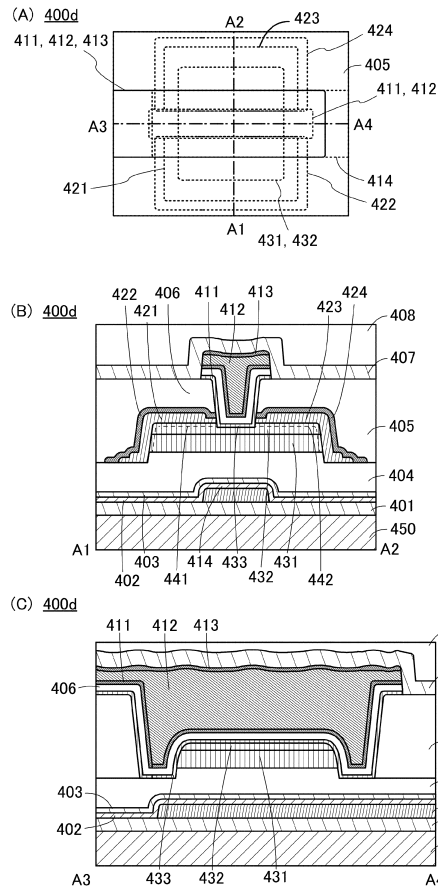
【図 2 3】



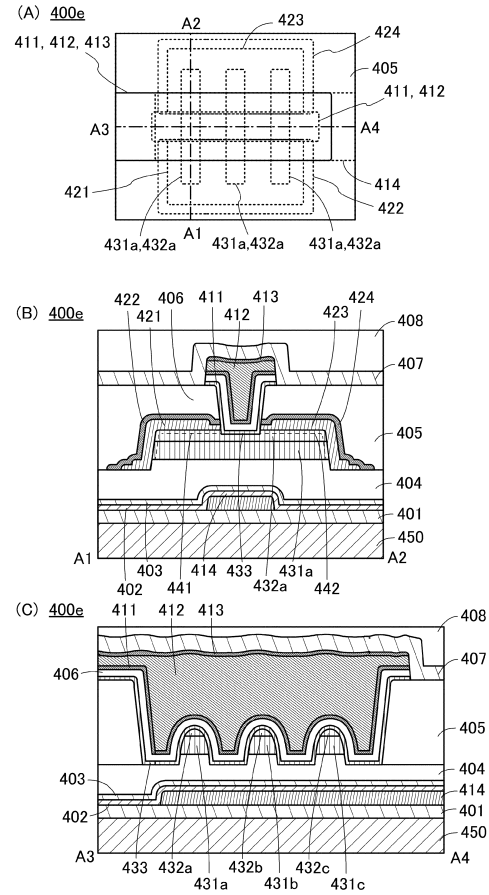
【図 2 4】



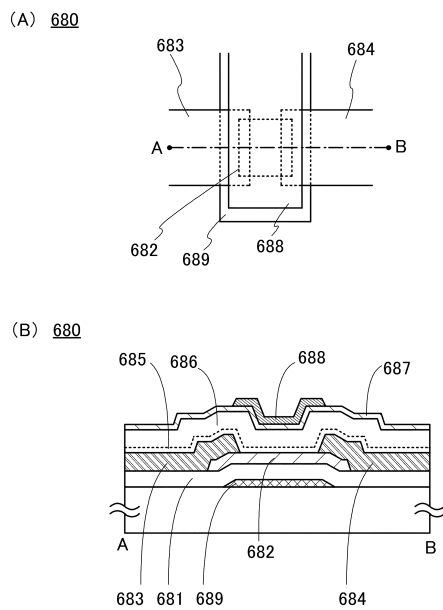
【 図 2 5 】



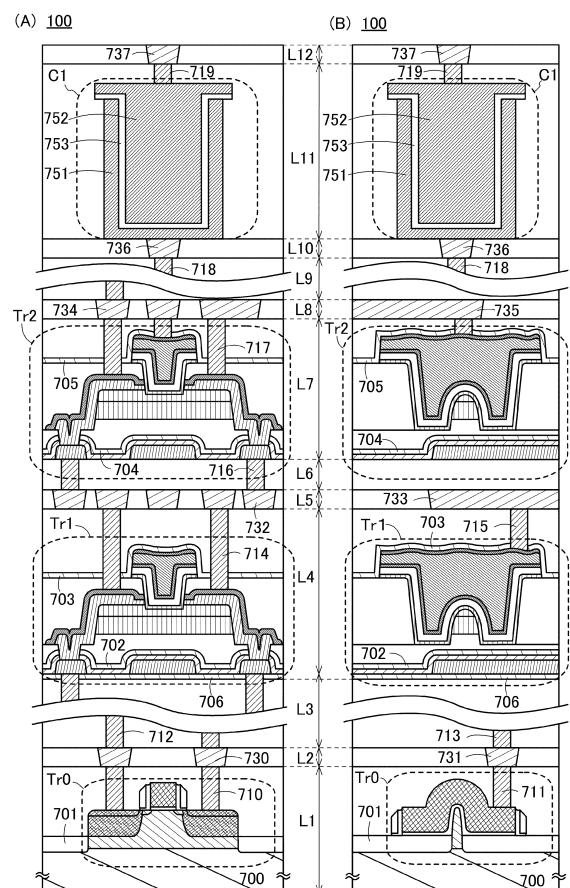
【 図 2 6 】



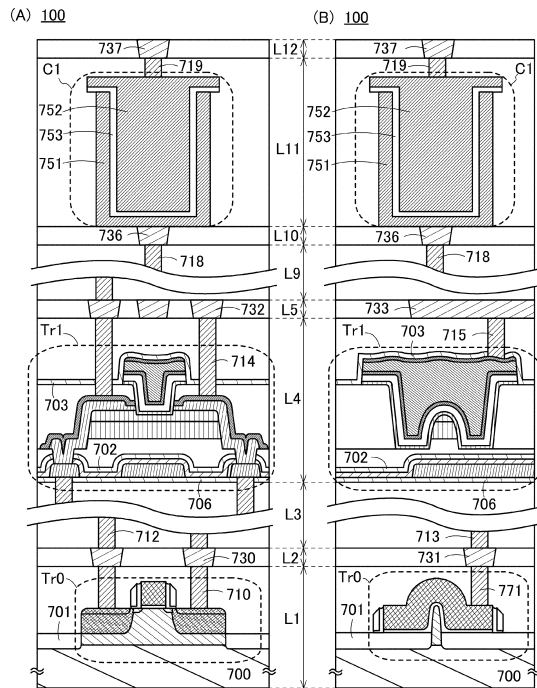
【圖 27】



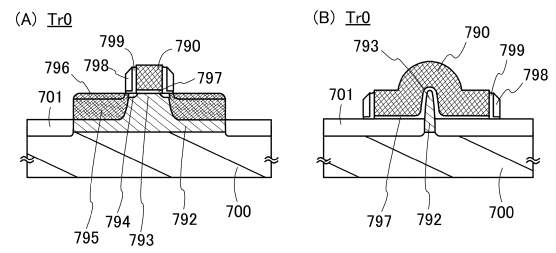
【 図 2 8 】



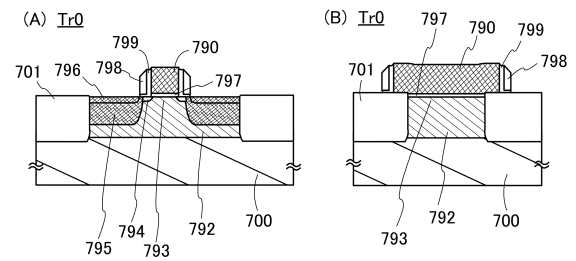
【図 29】



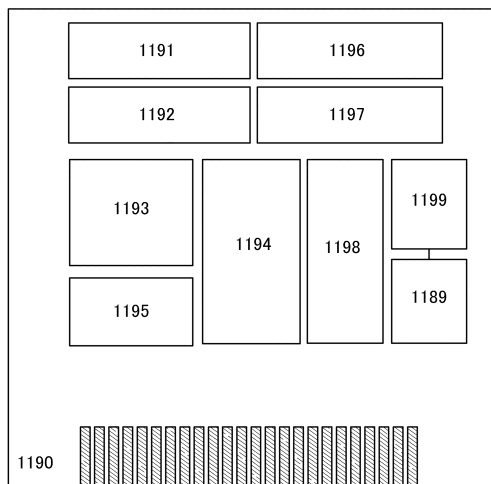
【図 30】



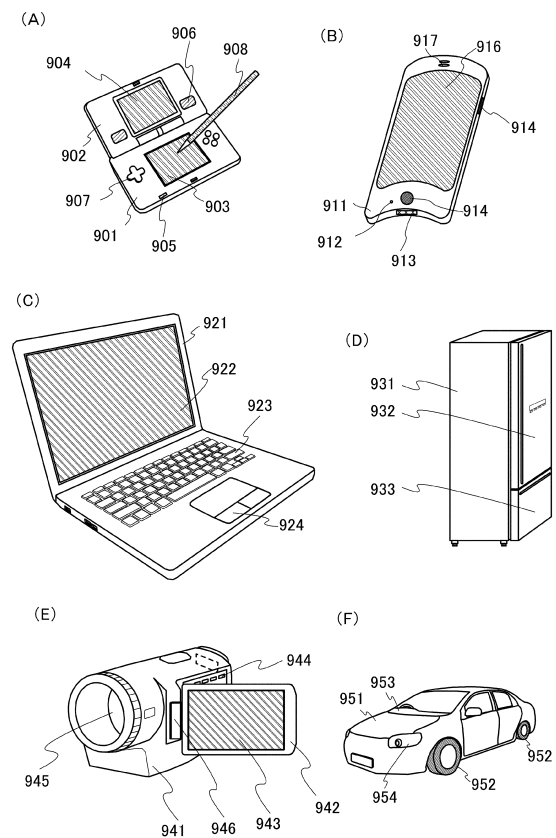
【図 31】



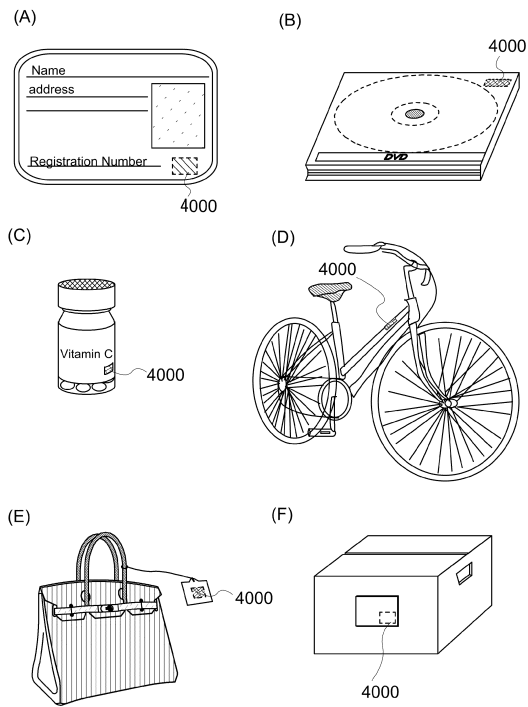
【図 32】



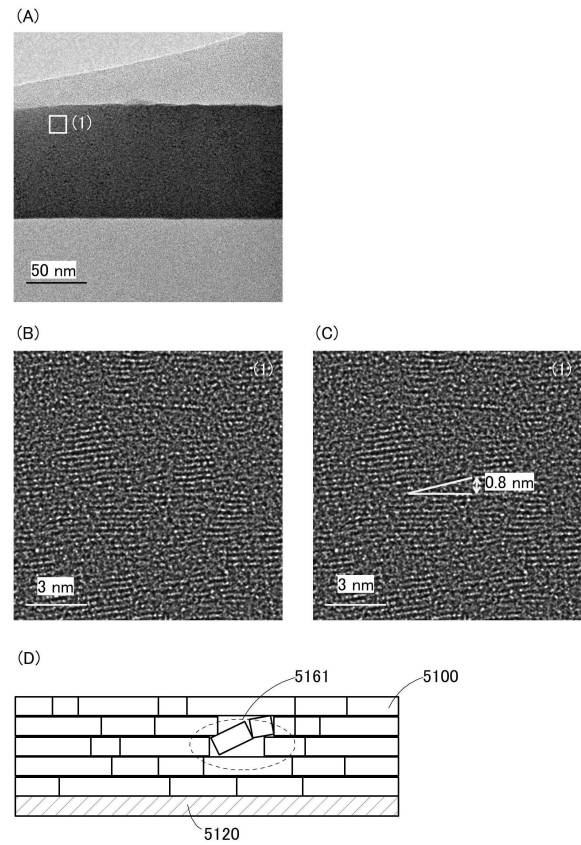
【図 33】



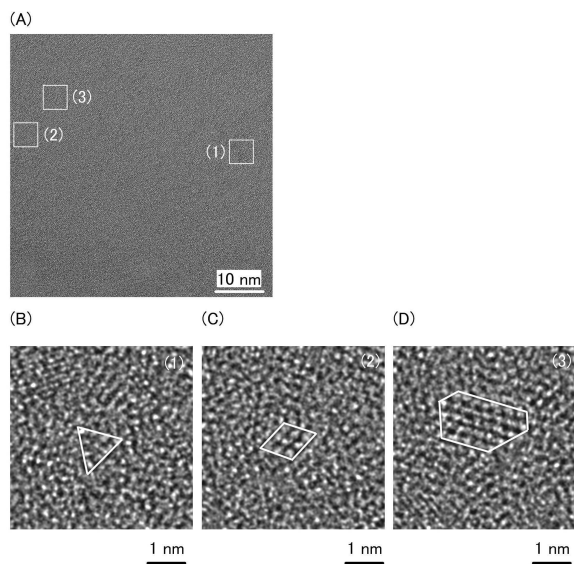
【図 3 4】



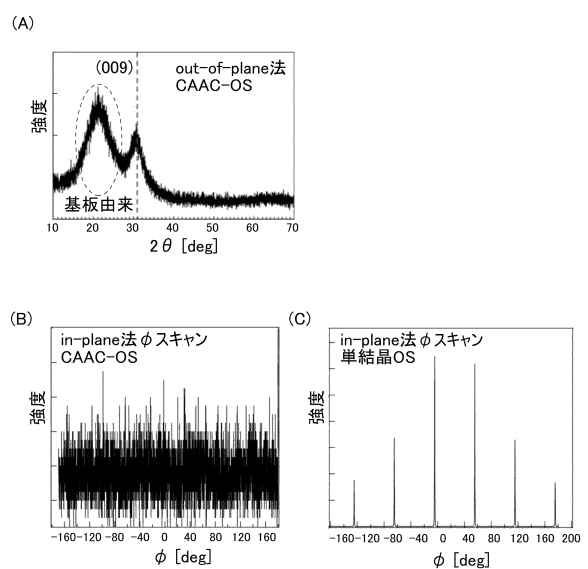
【図 3 5】



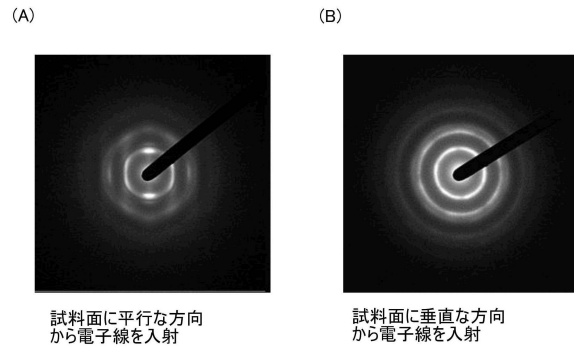
【図 3 6】



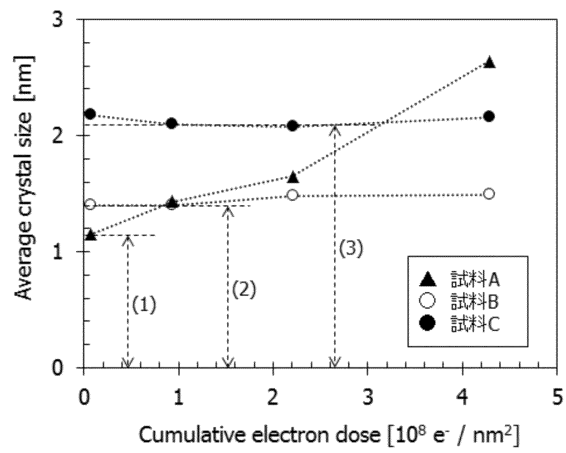
【図 3 7】



【図 3 8】



【図 3 9】



---

フロントページの続き

(56)参考文献 特開 2012 - 160712 (JP, A)  
特開 2013 - 242954 (JP, A)  
特開 2015 - 187904 (JP, A)  
特開 2016 - 126818 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C	11/405
G11C	11/56
H01L	21/8242
H01L	27/108
H01L	29/786