



(12)发明专利

(10)授权公告号 CN 103581079 B

(45)授权公告日 2018.06.22

(21)申请号 201310381433.1

(22)申请日 2013.07.18

(65)同一申请的已公布的文献号

申请公布号 CN 103581079 A

(43)申请公布日 2014.02.12

(30) 优先权数据

13/552,012 2012.07.18 US

(73)专利权人 安华高科技通用IP(新加坡)公司

地址 新加坡新加坡市

(72)发明人 V·辛黛洛夫斯凯 M·S·莫宾

L·A·史密斯

(74)专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 王田

(51) Int.Cl.

H04L 25/03(2006.01)

(56)对比文件

US 5678198 A, 1997.10.14,

CN 102113221 A, 2011.06.29,

CN 1545785 A, 2004.11.10,

CN 1925051 A, 2007.03.07,

宙查员 刘畅

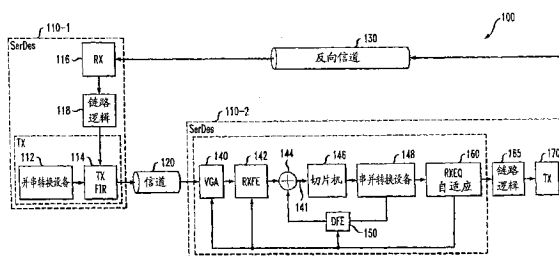
权利要求书2页 说明书6页 附图5页

(54)发明名称

基于接收机增益调整而调整发送机均衡系数的方法和装置

(57)摘要

提供了基于接收机增益调整而调整发送机均衡系数的方法和装置。在信道上和接收机通信的发送机的均衡系数是通过如下来调整的:确定接收机中放大器的增益值是否在放大器的限度内;以及如果增益值不满足放大器的下限或上限则阻止对发送机均衡系数的一个或多个调节。增益调节例如包括对发送机均衡系数的向上和向下请求。基于增益值是否在放大器的限度内可以可选地设置一个或多个使能标志。



1. 一种调整在信道上与接收机通信的发送机中的均衡器的系数的方法,包括:
在所述接收机处,确定所述接收机中的放大器的增益值是否在所述放大器的限制之内;
在累加器处接收UP请求或DOWN请求的判决;
使用所述累加器通过从当前垂直偏移值叠加所述UP请求,或减去所述DOWN请求,来累加所接收的判决;
在比较器处接收累加的结果;
使用所述比较器将所述累加的所述结果和所述垂直偏移值的上限和下限比较;
响应于确定所述累加的所述结果已到达所述垂直偏移值的所述下限和上限中的至少一个,使用反馈路径将所述累加器复位至重启的水平;
所述接收机选择性地将所确定的结果通信至所述发送机;以及
如果所述增益值不满足所述放大器的所述限制,则在所述发送机处阻止对所述均衡器系数的一个或多个调节。
2. 如权利要求1的方法,其中所述调节包括对所述均衡器系数的所述UP和DOWN请求。
3. 如权利要求1的方法,进一步包括基于所述增益值是否在所述放大器的所述限制内而设置一个或多个标志的步骤。
4. 如权利要求1的方法,其中所述均衡器包括传输有限脉冲响应(TXFIR)滤波器和其中所述放大器包括可变增益放大器。
5. 一种用于调整在信道上与接收机通信的发送机中的均衡器的一个或多个系数的设备,包括:
存储器,以及
耦合到所述存储器的至少一个硬件设备,可操作地用于:
确定所述接收机中的放大器的增益值是否在所述放大器的限制之内;
在累加器处接收UP请求或DOWN请求的判决;
使用所述累加器通过从当前垂直偏移值叠加所述UP请求,或减去所述DOWN请求,来累加所接收的判决;
在比较器处接收累加的结果;
使用所述比较器将所述累加的所述结果和所述垂直偏移值的上限和下限比较;
响应于确定所述累加的所述结果已到达所述垂直偏移值的所述下限和上限中的至少一个,使用反馈路径将所述累加器复位至重启的水平;以及
如果所述增益值不满足所述放大器的所述限制,经由所述发送机和接收机之间建立的反向信道,对所述确定步骤的结果选择性地使能或抑制通信,来阻止对所述均衡器系数的一个或多个调节。
6. 如权利要求5的设备,其中所述调节包括对所述系数的所述UP和所述DOWN请求。
7. 如权利要求5的设备,其中所述至少一个硬件设备进一步配置为基于所述增益值是否在所述放大器的所述限制内而设置一个或多个标志。
8. 一种用于调整在信道上与接收机通信的发送机中的均衡器的系数的制品,包括非暂时性机器可读记录介质,该介质存储有一个或多个程序,当运行所述程序时实现如下步骤:
确定所述接收机中的放大器的增益值是否在所述放大器的限制之内;

在累加器处接收UP请求或DOWN请求的判决；

使用所述累加器通过从当前垂直偏移值叠加所述UP请求，或减去所述DOWN请求，来累加所接收的判决；

在比较器处接收累加的结果；

使用所述比较器将所述累加的所述结果和所述垂直偏移值的上限和下限比较；

响应于确定所述累加的所述结果已到达所述垂直偏移值的所述下限和上限中的至少一个，使用反馈路径将所述累加器复位至重启的水平；

选择性地将关于所述接收机的所述放大器的所述增益值的信息通信至所述发送机；以及

根据关于所述接收机的所述放大器的所述增益值的所述信息，如果所述增益值不满足所述放大器的所述限制，则阻止对所述系数的一个或多个调节。

9. 如权利要求8的用于调整在信道上与接收机通信的发送机中的均衡器的系数的制品，其中所述放大器为可变增益放大器。

10. 一种用于调整在信道上与接收机通信的发送机中的均衡器的系数的集成电路，包括：

增益限制电路，可操作地用于：

确定所述接收机中的放大器的增益值是否在所述放大器的限制之内；

接收UP请求或DOWN请求的判决；

通过从当前垂直偏移值叠加所述UP请求，或减去所述DOWN请求，来累加所接收的判决；

接收累加的结果；

将所述累加的所述结果和所述垂直偏移值的上限和下限比较；

响应于确定所述累加的所述结果已到达所述垂直偏移值的所述下限和上限中的至少一个，使用反馈路径将累加器复位至重启的水平；以及

请求选通电路，可操作地用于：

如果所述增益值不满足所述放大器的所述限制，经由反向信道选择性地将调节请求通信至所述发送机以阻止对所述系数的一个或多个调节。

11. 如权利要求10的集成电路，其中所述调节包括对所述系数的所述UP和所述DOWN请求。

基于接收机增益调整而调整发送机均衡系数的方法和装置

背景技术

[0001] 在许多数据通信应用中,并串和串并转换(SerDes)设备便于并行数据通过串行链路传输。在发送机处,用并串转换器将并行数据在通过通信信道发送到接收机之前,转换为串行数据。接收机中的串并转换器将串行数据转换为并行数据。到达接收机的信号常常被码间干扰(ISI)、串扰、回波和其他噪声损坏。因此,接收机通常放大和均衡信道以补偿这些失真,通常使用若干不同的均衡技术。例如,判决反馈均衡器(DFE),是一种移除码间干扰的常用技术。例如,为了详细讨论判决反馈均衡器,分别在此引入参考R.Gitlin等,数字通信原理(Plenum出版社1992)以及E.A.Lee和D.G.Messerschmitt,数字通信(Kluwer学术出版社,1988)。还可以由发送机用均衡在发送之前预处理(例如预加重(pre-emphasize))信号。

[0002] 均衡通常需要估计信道的传递函数,以建立均衡参数。然而通信信道的频率依赖信号衰减特性通常随着时间变化或者并非推理已知的。因此,在这样的情况下,通常采用自适应均衡随着时间改变均衡参数,以减少信号衰减。以这样的方式,均衡能够自适应地响应信道特性或如温度和湿度的环境条件的变化,和/或从默认值调整(adapt)到当前信道特性。自适应算法通常根据信道统计或信号频谱调整滤波器系数。例如,通常采用最小均方(LMS)自适应技术,基于随时观察到的接收信号而建立均衡参数。

[0003] 然而在发送机的均衡参数调整对接收机处进行的增益调节和/或均衡有不利的影响(反之亦然)。例如,在高衰减信道的情况下,已经发现发送机处的均衡器系数通常增加至其上限,导致接收机处的可变增益放大器(VGA)同样稳定在其上限处。因此,VGA的输出将不能跟随发送均衡器的加重(emphasis)而进一步增加。结果,数据眼开口将更小,而接收机中的抖动容限减少。

发明内容

[0004] 因此存在改善自适应均衡技术,以基于接收机增益调整而调节发送机均衡系数的需求。

[0005] 一般的,提供了基于接收机增益调整而调整发送机均衡系数的方法和装置。根据本发明的一个实施例,在信道上和接收机通信的发送机的均衡系数是通过确定接收机中放大器的增益值是否在放大器的限度内来调整的;且如果增益值不满足放大器的限度则阻止对均衡系数的一个或多个调节。

[0006] 在本发明的一个实施例中,增益调节包括发送机均衡系数的向上和向下请求。例如,如果增益值不满足放大器的下限则阻止向上的调节请求,而如果增益值不满足放大器的上限则阻止向下的调节请求。此外,基于增益值是否在放大器的限度内可以可选的设置一个或多个标志。可以基于所述标志可选的使能或抑制对发送机的发送机均衡系数调节的传输。

附图说明

[0007] 将通过参考如下详细的说明和附图而获得对本发明实施例更完整的理解。

- [0008] 图1是在其中应用本发明实施例的通信系统的框图；
- [0009] 图2示出了图1的切片机的一串数据眼的采样；
- [0010] 图3是示出调整图2的误差切片机的VGA/H0自适应模块的框图；
- [0011] 图4是示出TXFIR滤波器系数自适应模块的框图；
- [0012] 图5示出了用示例性数据和误差切片机覆盖的数据眼图；
- [0013] 图6是描述采用了本发明一个实施例的有限TXFIR自适应过程的流程图；
- [0014] 图7是采用了本发明一个实施例的有限TXFIR自适应系统的框图。

具体实施方式

[0015] 可以以自适应均衡技术体现本发明的实施例，自适应均衡技术基于接收机中的VGA增益调整而调节发送机均衡系数。正如上面指出的，当发送机中的均衡系数(例如用于TXFIR滤波器)的负值增加时，接收机中VGA将稳定在其上限。因此，接收机中VGA的输出将不跟随发送均衡器的加重而进一步增加。结果，数据眼开口将更小，而抖动容限减损。根据本发明的一个实施例，限制发送机均衡系数的调整以使得均衡器不能超过VGA将进入的接收信号放大到所需级别的能力。在一个实施例中，监控VGA增益调整，当VGA达到上限或下限时，阻止对发送均衡器系数的进一步调节。

[0016] 图1是在其中应用本发明实施例的通信系统100的框图。如图1所示，通信系统100包括在信道120上通信的两个并串和串并转换设备110-1和110-2。在图1的配置中，并串和串并转换设备110-1以发送模式运行而并串和串并转换设备110-2以接收模式运行。此外，如下面所进一步讨论的，接收并串和串并转换设备110-2中的自适应算法确定发送并串和串并转换设备110-1的一个或多个自适应均衡参数，一个或多个自适应均衡参数用反向信道130从接收并串和串并转换设备110-2传输到发送并串和串并转换设备110-1。

[0017] 如前面指出的，在通过通信信道120向接收并串和串并转换设备110-2传输之前，发送并串和串并转换设备110-1中的并串转换设备112将并行数据转换为串行数据，在接收并串和串并转换设备110-2处，串并转换设备148将串行数据转换为并行数据。由传输有限脉冲响应(TXFIR)滤波器114以已知的方式预调节(例如预加重)串行化的发送数据以补偿由信道120引起的减损。如下面结合公式(1)和图4所进一步讨论的那样，在接收并串和串并转换设备110-2的接收机均衡(RXEQ)自适应模块160中用自适应算法确定TXFIR滤波器114系数。

[0018] 如图1所示，将TXFIR滤波器114的滤波后串行输出用于信道120，并由接收并串和串并转换设备110-2所接收。接收到的信号首先由可变增益放大器(VGA)140放大，然后在接收机前端(RXFE)142中被增强，通常使用可调节高通滤波器以进一步减少信道减损。将RXFE142的输出用于加法器144。此外，以反馈方式对加法器144施用来自判决反馈均衡器(DFE)150的DFE校正，以生成DFE校正后的信号141。DFE校正补偿信道120中产生的码间干扰(ISI)。然后切片机146采样DFE校正后的信号141。如下面结合图2所进一步讨论的那样，为了恢复串行数据和比特时钟，切片机146通常在每个串行比特持续时间单位间隔(UI)对串行数据采样一次或多次。然后串并转换器148对来自切片机146的采样后串行数据进行串并转换。在反馈环路中由DFE150处理来自串并转换器148的恢复数据，以生成DFE校正。对本领域技术人员而言，恢复比特时钟和其他定时问题是公知的。

[0019] 还在接收并串和串并转换设备110-2中的RXEQ自适应模块160中用一个或多个自适应算法处理来自串并转换设备148的恢复数据,从而为VGA140、RXFE142以及DFE150确定均衡参数。通常通过RXEQ自适应模块160,使用恢复的数据和误差信息进行调整。RXEQ自适应模块160中的自适应算法可以例如实现为公知的LMS或迫零(ZF)算法。在如下标题为“示例的自适应算法”的章节中进一步讨论示例性的自适应算法。例如,VGA140从RXEQ自适应模块160接收增益控制信号。RXFE142和DFE150从RXEQ自适应模块160接收滤波系数。

[0020] 此外,如上所述,还由RXEQ自适应模块160确定对发送并串和串并转换设备110-1中TXFIR滤波器114的滤波器系数调节。例如,RXEQ自适应模块160可以用LMS算法为不同的TXFIR系数生成TXFIR UP或DN(向下)调节请求。RXEQ自适应模块160生成的TXFIR UP或DN调节请求为TXFIR滤波器114中的主指示器(cursor)、前指示器和后指示器改变加重量,从而训练远程发送并串和串并转换设备110-1使其和特定信道120的情况相适应。为了生成预加重,前指示器和后指示器TXFIR系数通常为负数。因此DN调节请求指示预加重量的增加,而UP调节请求指示预加重量的减少。

[0021] RXEQ自适应模块160对链路逻辑165应用所确定的TXFIR系数调节,链路逻辑反过来对接收并串和串并转换设备110-2的发送(TX)部分170应用系数调节请求。接收并串和串并转换设备110-2的TX部分170为反向信道130上的系数向并串和串并转换设备110-1的接收(RX)部分116发送UP或DN(向下)请求。链路逻辑118对TXFIR滤波器114应用接收到的对系数的滤波器UP或DN请求,从而改变预加重量或主指示器值。

[0022] 虽然在具有两个并串和串并转换器110-1和110-2的通信系统100环境中描述本发明,然而对本领域技术人员而言显而易见的是,本发明可以用于具有从发送机到接收机的串行通信的任何通信系统,其中可以从接收机到发送机提供均衡更新。

[0023] 图2示出了对应于切片机146的DFE校正信号141的一串数据眼210-1到210-3的采样。图1中的切片机146包括两个数据切片机220-D_i和220-D_{i-1},转换切片机230-T_i,以及误差切片机240-E_i。在一个实施例中当CDR正确锁定到输入数据时,转换切片机230-T_i对准数据转换通过级别“0”的统计中部,数据切片机220-D_i对准垂直(电压)偏移为零的数据眼的统计中心,以及误差切片机240-E_i和数据切片机220-D_i具有相同的定时对齐但是垂直偏移为H₀,通常将误差切片机240-E_i放置在眼中心处数据级别的统计中心(数据眼的内部和外部之间的统计中心),正如如下结合图5所讨论的那样。将H₀垂直偏移实现为VGA调整的一部分,在所有RXEQ参数,以及远程TXFIE系数的LMS自适应算法中用已知的方式使用误差切片机240-E_i。每个数据眼可能存在一个或多个误差切片机240-E_i。

[0024] 示例的自适应算法

[0025] 在每个数据眼一个误差切片机的示例性情况下,可以通过如下的公式描述用于DFE系数c_n的LMS自适应算法:

$$[0026] \quad c_n = (D_k \wedge \text{Esign}_k) ? \sum_0^\infty D_{k-n} \wedge E_k : 0 \quad [1]$$

[0027] 在公式(1)中,如果来自数据切片机220-D_k的当前数据采样D_k和误差偏移Esign_k具有相同的符号,则对偏移为系数指数n的数据采样D_{k-n}以及来自误差切片机240-E_k的当前误差采样E_k进行异或非操作(“XNOR”),并累加为对系数值的向上或向下调节。

[0028] 还可以用公式(1)描述对远程TXFIR滤波器114系数的自适应算法,公式(1)对前指

示器和后指示器的调整具有相应的+1或-1的指数偏移n。

[0029] 对VGA140增益调节和对图2中误差锁存器240-E_i的偏移H₀的自适应算法是类似的。结合附图3下面将进一步讨论H₀和VGA调整的相互依赖。

[0030] 通常对图2的误差锁存器240-E_i的偏移H₀的调整可以描述为：

$$[0031] \quad H_0 = (D_k \wedge \text{Esign}_k) ? \sum_0^\infty (D_k \wedge E_k) : 0 \quad [2]$$

[0032] 在公式(2)中,如果来自数据切片器220-D_k的当前数据采样D_k和误差偏移Esign_k具有相同的符号,则对当前数据采样D_k以及来自误差切片器240-E_k的当前误差采样E_k进行异或非操作(“XNOR”),并累加为对误差切片器偏移值的向上或向下调节。

[0033] 对均衡自适应技术的进一步详细讨论,例如参见美国公开专利申请号20100046598,标题为“使用虚拟判决反馈均衡器(VDFE)的线性均衡器自适应”,在此引入参考。

[0034] 图3是基于公式(2)示出VGA/H₀自适应模块300的框图。如图3所示,将来自数据切片器220-D_k的当前数据采样D_k和来自误差切片器240-E_k的当前误差采样E_k用于公式(2)描述的UP/DN判决模块310,然后累加器320分别用加法或减法从H₀的当前级别累加该值。比较器330接收H₀的上限和下限,上限和下限通常比H₀控制的全范围要窄。H₀限度之间的范围和VGA控制的一个步长相关,且比该步长要大。一旦比较器330确定H₀控制到达了H₀的上限或下限,用反馈路径335将H₀累加器复位为其重启的水平(在上下限之间)并将VGA控制340加一或减一。例如,如果H₀调整使得累加器320到达下限,则来自信道120的信号不够强,且信号应该放大得更大(通过增加用于VGA140的增益调节信号)。在这一情况下,VGA增益调节信号(控制)加一。

[0035] 图3所示的算法运行直到H₀稳定在相关上下限之间的稳定级别或VGA控制340到达预定下限或上限为止(所有的限制通常都是可编程的)。在后一种情况下,VGA控制340相应的停止在下限或上限,而允许H₀累积超过其预设的限制,只要在可用范围之内。在这种情况下,VGA放大可能不够,垂直眼开口可能变差,引起劣质的抖动容限。相反,如果VGA控制340到达下限,可能意味着信号的衰减不够,可能遭受经过RXFE142的饱和,这通常不会像缺乏放大一样的危急,但可能引起不希望的非线性效应。

[0036] 图4是示出基于公式(1)的用于远程TXFIR滤波器114的TXFIR滤波器系数自适应模块400的框图。如图4所示,将来自数据切片器220-D_k的当前数据采样D_k和来自误差切片器240-E_k的当前误差采样E_k,以及来自相应数据切片器220的前一个或后一个数据采样D_{k+/-1}用于公式(1)所述的UP/DN判决模块410,然后累加器420分别通过加法或减法来自当前累加器420的值而累加该值。如果累加器420到达上限或下限,箝位(clip)模块430锁存所述值,且将所述值传达到链路逻辑165,作为通过反向信道130向远程并串和串并转换器110-1发送的UP或DN请求。以这种方式,TXFIR系数值被调节到通信信道120的参数。

[0037] 图5示出了用数据切片器220-D_i和误差切片器240-E_i覆盖的数据眼图500。数据眼具有内部眼开口510,也称作内眼510,其是没有踪迹能通过的最小开口。此外数据眼还具有外部眼开口520,也称作外眼520,其是最大的数据眼。在很多实际应用中,数据切片器220-D_i对准垂直(电压)偏移为零的数据眼的统计中心,以及误差切片器240-E_i和数据切片器220-D_i具有相同的定时对齐但是垂直偏移为H₀,通常将误差切片器240-E_i放置在眼中心处

数据级别的统计中心(内眼510和外眼520之间的统计中心)。

[0038] 在内眼510和外眼520上的均衡效果

[0039] 通常,均衡是为了打开数据眼的大小(即,增加数据余量)。然而,已经发现均衡能让内眼510增加量比外眼520减小量更小(例如外眼520关闭的比内眼510打开的更多)。这将导致内眼510和外眼520之间的统计中心减小,且误差锁存器240-E_i的偏移级别H0将重调整为更小的值。降低到H0级别将反过来引起VGA增益调节的增加,如结合附图3所讨论的那样。

[0040] 存在许多因素导致内眼510打开的程度比外眼520关闭要少。例如,TXFIR滤波器114通常具有有限的带宽并作为低通滤波器。因此,串行数据中的低频部分将得到和预加重级别相同的衰减。

[0041] 如上所述,在发送并串和串并转换设备110-1中的均衡参数的调整对接收并串和串并转换设备110-2中进行的增益调节和/或均衡产生不利的影响(反之亦然)。例如,在高衰减信道的情况下,已经发现发送并串和串并转换设备110-1中TXFIR114的参数通常向其负的上限增加,引起接收并串和串并转换设备110-2中的VGA140同样地稳定在其上限。因此,VGA140的输出不再跟随TXFIR滤波器114的加重而进一步增加。结果,数据眼开口将变小而接收机中的抖动容限减少。

[0042] 图6是描述本发明的有限TXFIR自适应方法600实施例的流程图。有限TXFIR自适应方法600例如可以用RXEQ自适应模块160实现。通常,有限TXFIR自适应方法600阻止TXFIR114超过VGA140将输入RX信号放大到所需级别的能力。

[0043] 如图6所示,有限TXFIR自适应方法600首先在步骤610中累加TXFIR滤波器114的前、后以及主指示器的UP/DN调节请求。在步骤620进行测试以确定请求是否是UP请求(减少预加重,引起内眼510的减小和外眼520的增大)。如果在步骤620中确定所述请求是UP请求(例如,二进制值01),则在步骤630进行进一步的测试以确定VGA140是否已经处于其下限。如果在步骤630确定VGA140已经处于其下限,则在步骤650中抑制UP请求,不在反向信道140上发送该请求。然而,如果在步骤630确定VGA140不处于其下限,则在步骤640中允许在反向信道140上发送UP请求。

[0044] 然而如果在步骤620确定请求不是UP请求,则在步骤660进行进一步测试以确定所述请求是否是DN请求(例如,二进制值11或-1的2补码),然后在步骤670中进行进一步测试以确定VGA140是否处于其上限。如果在步骤670中确定VGA140已经处于其上限,则在步骤680抑制DN请求(增加预加重),不在反向信道140上发送该请求。然而,如果在步骤670中确定VGA140不处于其上限,则在步骤690中允许在反向信道140上发送DN请求。

[0045] 最后,如果在步骤620中确定所述请求不是UP请求,且在步骤660中确定所述请求不是DN请求,则在步骤695中不通过反向信道140发送请求。

[0046] 请注意对主指示器、前指示器和后指示器,同样的算法独立地运行。

[0047] 图7是本发明的有限TXFIR自适应系统700实施例的框图。如图7所示,有限TXFIR自适应系统700包括图3的VGA/H0自适应模块300以及图4的TXFIR自适应模块400。已经改变了图3的VGA/H0自适应模块300以生成两个标志705-H和705-L,分别指示何时已经达到VGA上限和下限。

[0048] 此外,有限TXFIR自适应系统700包括分别选通UP/DN请求的请求选通模块710,720。如图7所示,请求选通模块710从TXFIR自适应模块400接收UP请求,以及指示VGA140是

否已经达到其下限的VGA标志705-L。VGA下限标志705-L用作请求选通模块710的关闭信号。通常,只要VGA140位于下限之上,则请求选通模块710允许UP请求传递到反向信道140。

[0049] 同样的,请求选通模块720从TXFIR自适应模块400接收DN请求,以及指示VGA140是否已经达到其上限的VGA标志705-H。VGA上限标志705-H用作请求选通模块720的关闭信号。通常,只要VGA140位于下限之下,则请求选通模块720允许DN请求传递到反向信道140。

[0050] 除了其他的益处,公开的示例性改进自适应均衡技术基于VGA增益调整来调节TXFIR系数,且不创建超出VGA限制的TXFIR系数。

[0051] 可以在一个或多个IC中实现本发明技术的至少一部分。在形成IC过程中,通常以重复方式在半导体晶片表面上制造裸片。每个裸片包括此处所述的带状线设备,且可包括其他结构或电路。可以从晶片切割出或切块出独立的裸片,然后封装为集成电路。本领域技术人员应该知晓如何切割晶片和封装裸片以生产集成电路。将如此制造的集成电路认为是本发明的一部分。

[0052] 可以在许多应用和/或电子系统中使用根据本发明的IC。实现本发明的适当的系统可能包括但不限于,通信设备和分发电缆电视信号和其他高速信号的设备。将结合了这些集成电路的系统认为是本发明的一部分。鉴于此处提供的本发明的教导,本领域普通技术人员能够考虑到本发明技术的其他实现和应用。

[0053] 可以使用多种方法来形成本发明的集成电路实施例。能够用图形化计算机编程语言创建集成电路设计,并将其存储在计算机存储介质中(例如磁盘、磁带、物理硬盘驱动器、或例如存储接入网中的虚拟硬盘驱动)。存储的设计可以为光刻掩膜的制造而转换为适当的格式(例如图形设计系统II(GDSII)),通常包括在晶片上形成的集成电路设计的多个拷贝。使用光刻掩膜来定义将要蚀刻的或其他处理的晶片区域(和/或其上的层)。

[0054] 可以由制造者以原始晶片形式(即具有多个未封装集成电路的单个晶片)分发产生的集成电路,作为裸片,或者以封装的形式。在后一种情况下,将集成电路安装在单个集成电路封装中(例如具有贴于主板或其他更高级别载体之上的铅的塑料载体)或安装在多集成电路封装中(例如具有表面互联或掩埋互联之一或两者的陶瓷载体)。在任何一种情况下,集成电路可以和其他芯片、分立电路元件、和/或作为中间产品(如主板)或终端产品的一部分的其他信号处理设备集成。终端产品可以是包括集成电路的任何产品。

[0055] 应该理解此处示出和描述的实施例和变化仅仅是本发明原理的阐释,本领域技术人员可以进行各种改变而不脱离本发明的范围和精神。

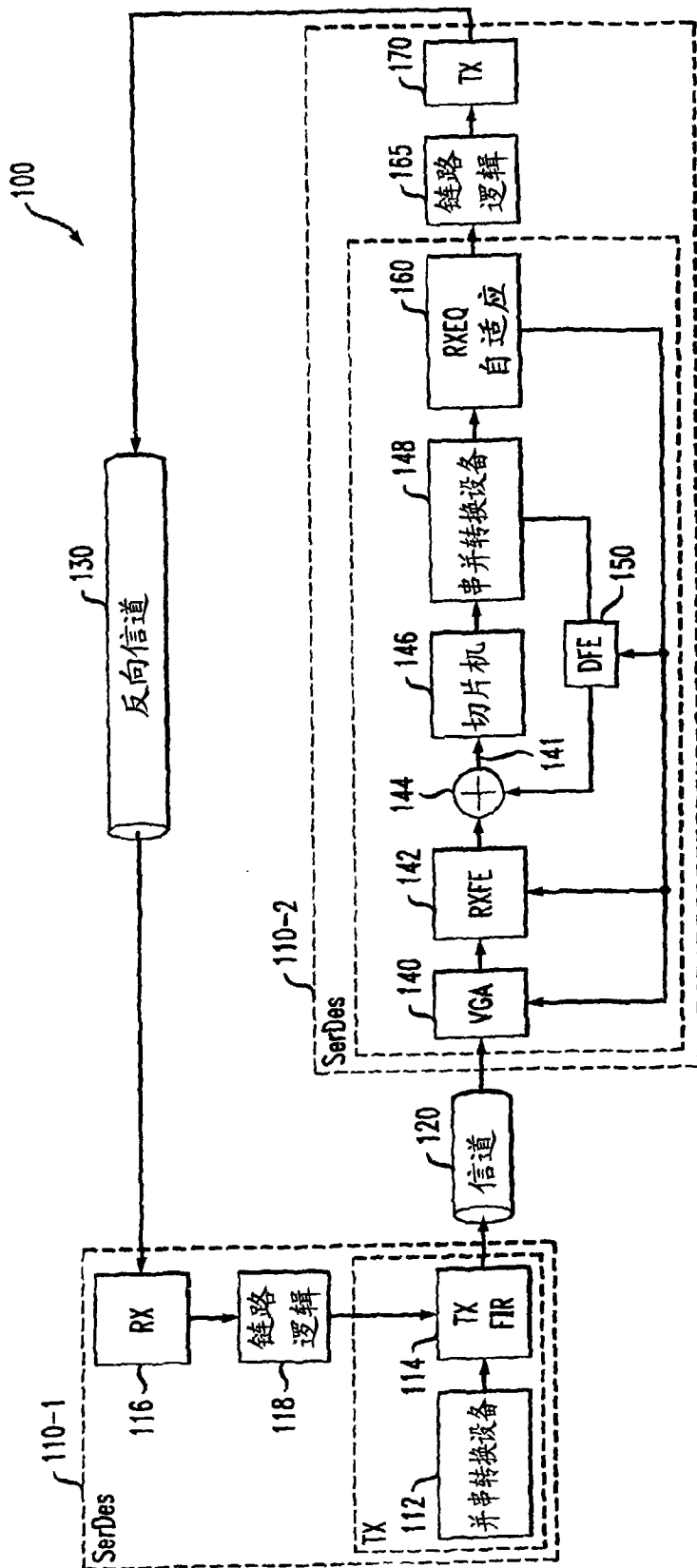


图1

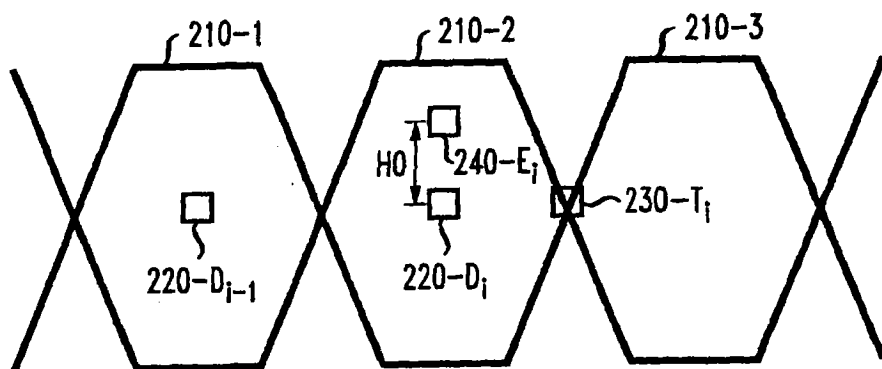


图2

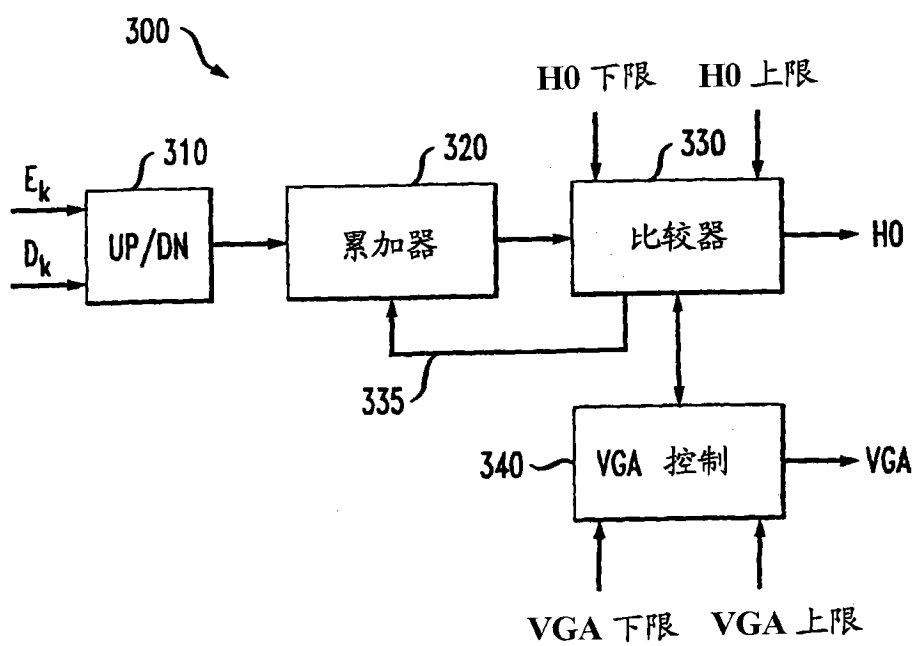


图3

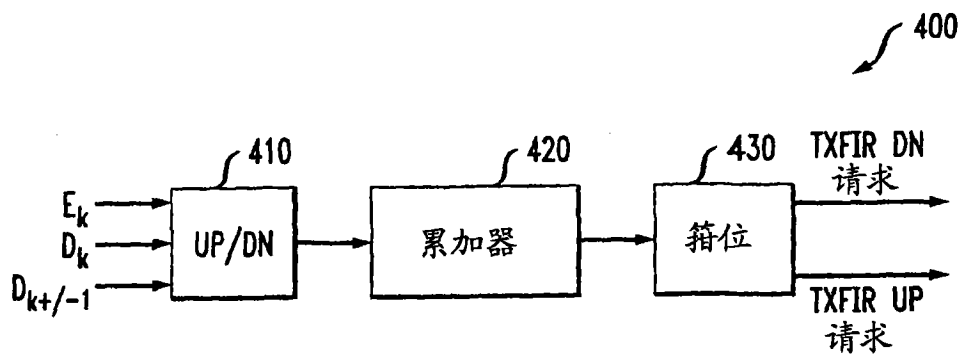


图4

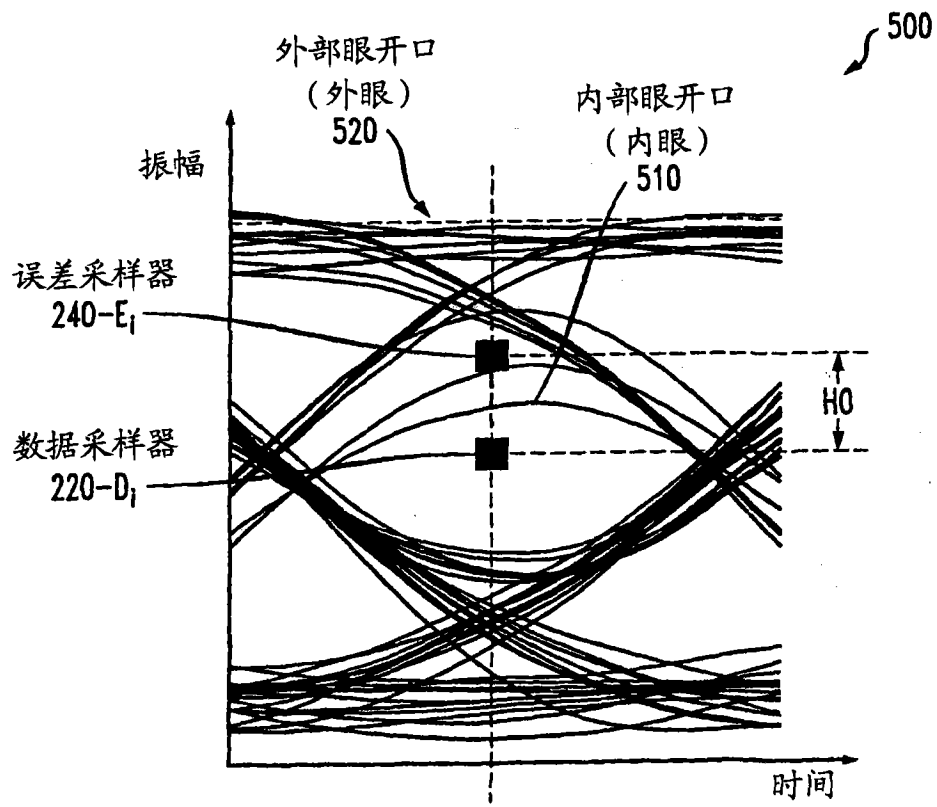


图5

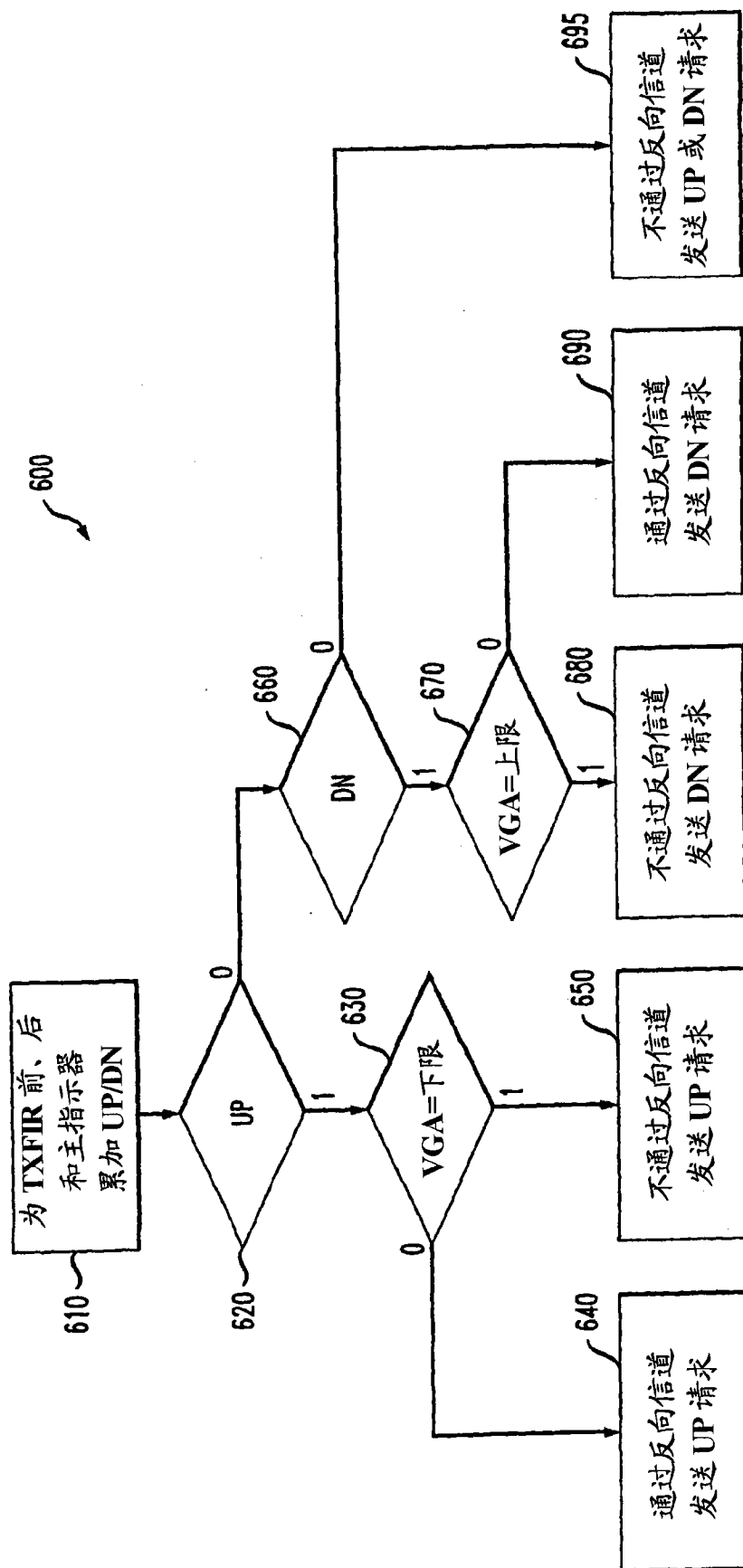


图6

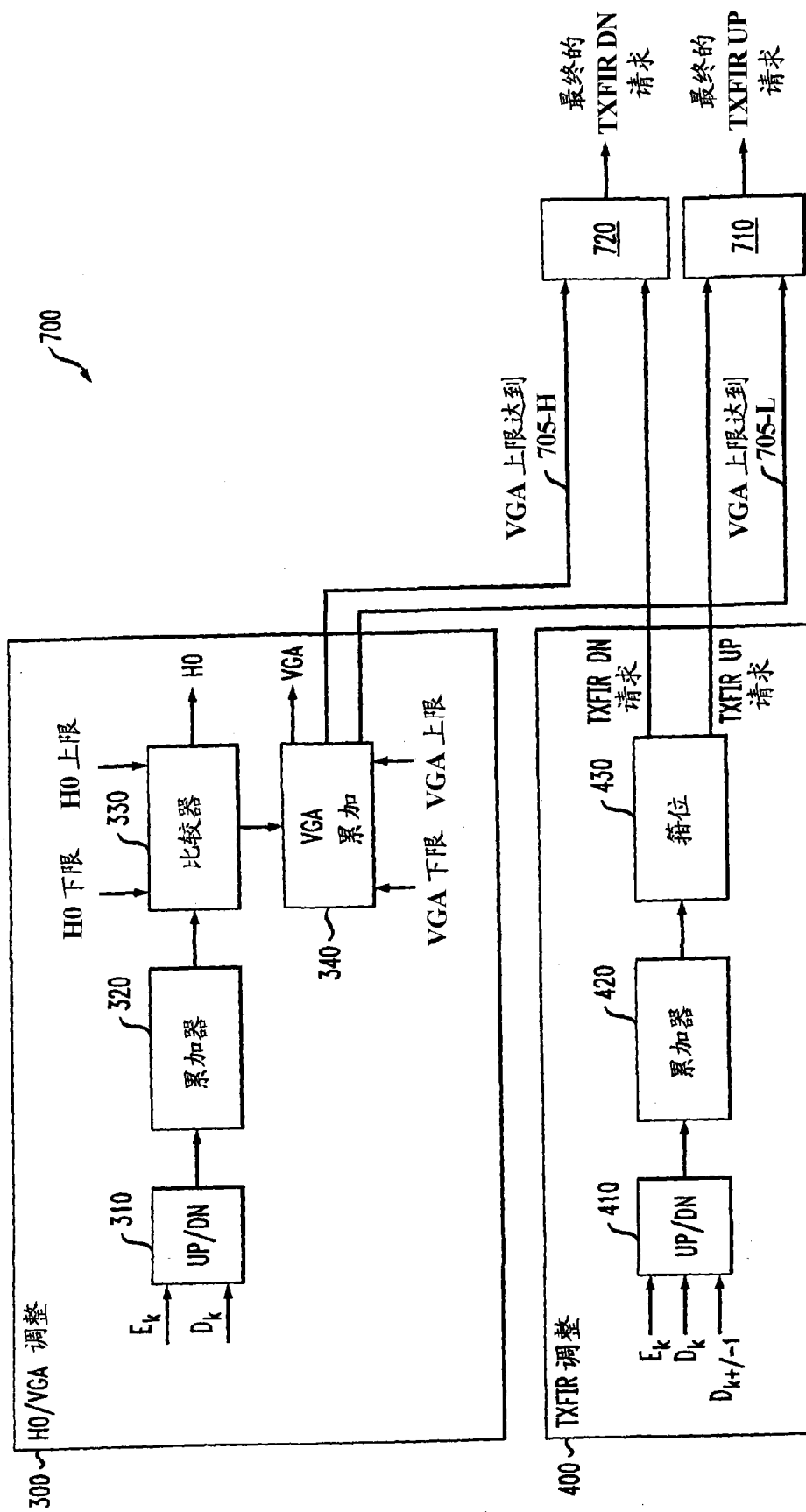


图7