

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4046811号
(P4046811)

(45) 発行日 平成20年2月13日(2008.2.13)

(24) 登録日 平成19年11月30日(2007.11.30)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)
G 0 2 F 1/133 (2006.01)G 0 9 G 3/36
G 0 2 F 1/133 5 2 0

請求項の数 1 (全 10 頁)

(21) 出願番号 特願平9-233517
 (22) 出願日 平成9年8月29日(1997.8.29)
 (65) 公開番号 特開平11-73163
 (43) 公開日 平成11年3月16日(1999.3.16)
 審査請求日 平成15年4月11日(2003.4.11)
 審判番号 不服2004-23441(P2004-23441/J1)
 審判請求日 平成16年11月16日(2004.11.16)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 仲島 義晴
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 前川 敏一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶セルがマトリクス状に2次元配置されるとともに、列ごとにコラム線が配線されてなる液晶パネルと、前記コラム線の各々を駆動するコラム線駆動回路とをポリシリコン薄膜トランジスタによって一体形成した液晶表示装置であって、

前記コラム線駆動回路は、

前記コラム線の本数に相当する段数のシフトレジスタと、

前記シフトレジスタから順次出力されるサンプリングパルスに同期してデータバスライン上のデータをサンプリングするサンプリング回路と、

前記サンプリング回路によるサンプリングデータの上位側ビットに対して基準電圧選択型回路を用い、下位側ビットに対してスイッチドキャパシタアレイを用い、当該サンプリングデータをアナログ信号に変換するD/Aコンバータと、

前記コラム線の各々に対応して設けられた複数の出力バッファを含み、前記複数の出力バッファの各々がソースフォロワ回路からなる出力回路と、

前記複数の出力バッファの出力端と前記コラム線の各々の間に設けられた複数の出力側アナログスイッチと、

前記複数の出力側アナログスイッチを開閉制御するスイッチ制御回路とを備え、

前記ソースフォロワ回路のソースフォロワトランジスタのゲートに前記スイッチドキャパシタアレイのキャパシタの一端が接続され、前記ソースフォロワトランジスタのゲートとプリチャージ電源が第1のアナログスイッチを介して接続され、前記キャパシタの他端

10

20

と前記ソースフォロワトランジスタのソースが前記第1のアナログスイッチと連動する第2のアナログスイッチを介して接続されることにより、前記スイッチドキャパシタアレイのキャパシタは、前記ソースフォロワ回路のオフセット蓄積用のキャパシタを兼用し、

前記キャパシタの他端は、前記サンプリングデータの上位側ビットに対応した基準電圧を出力する前記基準電圧選択型回路の出力端に、前記サンプリングデータの下位側ビットに対応して動作する第3のアナログスイッチを介して接続され、

前記スイッチ制御回路は、前記D/AコンバータのD/A変換期間および前記スイッチドキャパシタアレイのキャパシタのオフセット蓄積のためのプリチャージ期間に前記出力側アナログスイッチを開状態とし、それ以外の特定の期間に前記出力側アナログスイッチを閉状態とする

10

ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に関し、特にアクティブマトリクス形液晶表示装置のコラム線駆動回路におけるコラム線への出力回路に関する。

【0002】

【従来の技術】

アクティブマトリクス形液晶表示装置の構成の一例を図6に示す。同図において、液晶セル（画素）101がマトリクス状に2次元配置されることによって液晶パネル102が構成され、この液晶パネル102の周辺には行選択を行うための垂直（ロウ）ドライバ103および列選択を行うための水平（コラム）ドライバ（コラム線駆動回路）104が設けられている。

20

【0003】

水平ドライバ104は、図7に示すように、コラム線の本数 n に相当する段数のシフトレジスタ111と、このシフトレジスタ111を制御するシフトレジスタ制御回路112と、シフトレジスタ111から順次出力されるサンプリングパルスに同期してデータバスライン上のデータをサンプリングするサンプリング回路113と、そのサンプリングデータを1水平期間の間保持するラッチ回路114と、そのラッチデータをアナログ信号に変換するD/Aコンバータ115と、各コラム線116-1~116- n を駆動する n 個の出力バッファ117-1~117- n からなる出力回路118とから構成されている。

30

【0004】

【発明が解決しようとする課題】

上記構成の従来の出力回路においては、出力バッファ117-1~117- n の各出力端が直接コラム線116-1~116- n に接続されているので、出力バッファ117-1~117- n の構成が電流の出し入れ双方に十分な駆動能力があるものであれば特に問題にはならないが、出力バッファ117-1~117- n が例えばソースフォロワ回路からなり、片方向だけにしか十分な駆動能力を持たない場合に問題が発生する。

【0005】

すなわち、大きな負荷を充電した後初期状態に復帰するまでの間、依然として出力バッファ117-1~117- n の出力端がこの負荷に接続されていれば、この負荷を放電するための十分な特性もしくは時間が出力回路に要求されることになる。例えば、ソースフォロワ回路を用いて出力バッファ117-1~117- n を構成したとき、ソースフォロワ回路の電流源には容量負荷を放電するために必要な電流が求められ、そのために大きな消費電力が定常的に必要となる。

40

【0006】

また、ソースフォロワ回路の直流電流値を増やすことは、ダイナミックレンジの減少、回路面積の増大、オフセットキャンセル時の出力ばらつきの増大につながる。このことは、特にポリシリコンTFT（thin film transistor）を用いたソースフォロワ回路で出力バッファ117-1~117- n を構成するときに、ポリシリコンTFTの閾値電圧 V

50

t_h が大きいかつ V_{th} ばらつきが大きいことから、極めて大きな問題となる。

【0007】

以上の理由から、片側極性の出力バッファを用いて出力回路を構成することが難しかった。また同様に、プッシュプル型バッファのように両方向の電流出力能力を持つ出力バッファを使用した場合でも、D/Aコンバータ115のD/A変換時間およびその準備期間（プリチャージ期間）に、不必要な容量負荷が充放電される場合があり得る。その場合には、不必要に電力が消費されることになる。

【0008】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、低消費電力でかつ出力電位のばらつきの少ない液晶表示装置を提供することにある。

10

【0009】

【課題を解決するための手段】

本発明による液晶表示装置は、液晶セルがマトリクス状に2次元配置されるとともに、列ごとにコラム線が配線されてなる液晶パネルと、前記コラム線の各々を駆動するコラム線駆動回路とをポリシリコン薄膜トランジスタによって一体形成してなり、前記コラム線駆動回路は、前記コラム線の本数に相当する段数のシフトレジスタと、前記シフトレジスタから順次出力されるサンプリングパルスに同期してデータバスライン上のデータをサンプリングするサンプリング回路と、前記サンプリング回路によるサンプリングデータの上位側ビットに対して基準電圧選択型回路を用い、下位側ビットに対してスイッチドキャパシタアレイを用い、当該サンプリングデータをアナログ信号に変換するD/Aコンバータと、前記コラム線の各々に対応して設けられた複数の出力バッファを含み、前記複数の出力バッファの各々がソースフォロワ回路からなる出力回路と、前記複数の出力バッファの出力端と前記コラム線の各々の間に設けられた複数の出力側アナログスイッチと、前記複数の出力側アナログスイッチを開閉制御するスイッチ制御回路とを備え、前記ソースフォロワ回路のソースフォロワトランジスタのゲートに前記スイッチドキャパシタアレイのキャパシタの一端が接続され、前記ソースフォロワトランジスタのゲートとプリチャージ電源が第1のアナログスイッチを介して接続され、前記キャパシタの他端と前記ソースフォロワトランジスタのソースが前記第1のアナログスイッチと連動する第2のアナログスイッチを介して接続されることにより、前記スイッチドキャパシタアレイのキャパシタは、前記ソースフォロワ回路のオフセット蓄積用のキャパシタを兼用し、前記キャパシタの他端は、前記サンプリングデータの上位側ビットに対応した基準電圧を出力する前記基準電圧選択型回路の出力端に、前記サンプリングデータの下位側ビットに対応して動作する第3のアナログスイッチを介して接続され、前記スイッチ制御回路は、前記D/AコンバータのD/A変換期間および前記スイッチドキャパシタアレイのキャパシタのオフセット蓄積のためのプリチャージ期間に前記出力側アナログスイッチを開状態とし、それ以外の特定の期間に前記出力側アナログスイッチを閉状態とする構成となっている。

20

30

【0010】

液晶パネルとコラム線駆動回路とをポリシリコン薄膜トランジスタによって一体形成してなる液晶表示装置において、アナログスイッチが開状態となることで出力バッファとコラム線が切り離され、閉状態となることで両者が接続される。したがって、出力回路の前段に設けられたD/AコンバータのD/A変換期間およびスイッチドキャパシタアレイのキャパシタのオフセット蓄積のためのプリチャージ期間に、アナログスイッチを開状態として出力バッファとコラム線を切断することで、出力回路は容量負荷と切り離されるため、ソースフォロワ回路からなる出力バッファの出力電流は大きくなり、信号電位を十分に变化させることができる。

40

【0011】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて詳細に説明する。図1は、液晶表示装置のコラム線駆動回路（水平ドライバ）に適用された本発明の参考例を示すブロック図である。

50

【 0 0 1 2 】

図 1 から明らかなように、参考例に係るコラム線駆動回路は、コラム線の本数 n に相当する段数のシフトレジスタ 1 1 と、このシフトレジスタ 1 1 を制御するシフトレジスタ制御回路 1 2 と、シフトレジスタ 1 1 から順次出力されるサンプリングパルスに同期してデータバスライン上のデータをサンプリングするサンプリング回路 1 3 と、そのサンプリングデータを 1 水平期間の間保持するラッチ回路 1 4 と、そのラッチデータをアナログ信号に変換する D A コンバータ 1 5 と、各コラム線を駆動する n 個の出力バッファ 1 6 -1 ~ 1 6 - n からなる出力回路 1 7 とからなる構成に加え、 n 個のアナログスイッチ 1 8 -1 ~ 1 8 - n およびスイッチ制御パルス発生回路 1 9 を有する構成となっている。

【 0 0 1 3 】

アナログスイッチ 1 8 -1 ~ 1 8 - n の各一端は、出力バッファ 1 6 -1 ~ 1 6 - n の各出力端にそれぞれ接続されている。アナログスイッチ 1 8 -1 ~ 1 8 - n の他端には、コラム線 2 0 -1 ~ 2 0 - n が接続されている。これらコラム線 2 0 -1 ~ 2 0 - n は、容量負荷 $C_1 \sim C_n$ を持っている。スイッチ制御パルス発生回路 1 9 は、アナログスイッチ 1 8 -1 ~ 1 8 - n のオン（閉）/オフ（開）制御を行うためのスイッチ制御パルスを発生する。

【 0 0 1 4 】

具体的には、スイッチ制御パルス発生回路 1 9 は、D A コンバータ 1 5 で D A 変換を行う期間、もしくは D A 変換用のプリチャージを行う準備期間（プリチャージ期間）にアナログスイッチ 1 8 -1 ~ 1 8 - n をオフ状態にすることによって出力バッファ 1 6 -1 ~ 1 6 - n とコラム線 2 0 -1 ~ 2 0 - n を切断し、ある特定の期間のみアナログスイッチ 1 8 -1 ~ 1 8 - n をオン状態にすることによって両者を接続する。

【 0 0 1 5 】

図 2 に、ソースフォロワ回路を用いた出力バッファ 1 6 -1 ~ 1 6 - n の構成の一例を示す。同図において、N M O S のソースフォロワトランジスタ 2 1 のゲートに第 1 のキャパシタ 2 3 の一端が接続されるとともに、ソースフォロワトランジスタ 2 1 のゲートとプリチャージ電源 2 4 の間に第 1 のアナログスイッチ 2 5 が、第 1 のキャパシタ 2 3 の他端とソースフォロワトランジスタ 2 1 のソースの間に第 2 のアナログスイッチ 2 6 が、第 1 のキャパシタ 2 3 の他端と信号源（ V_{in} ）の間に第 3 のアナログスイッチ 2 7 がそれぞれ接続されている。

【 0 0 1 6 】

また、ソースフォロワトランジスタ 2 1 のドレイン側に N M O S のトランジスタ 2 8 がカスコード接続されるとともに、ソースフォロワトランジスタ 2 1 のゲートとカスコード接続トランジスタ 2 8 のゲートの間に第 2 のキャパシタ 2 9 が接続され、さらにカスコード接続トランジスタ 2 8 のゲートとある特定の電圧値 V_c の電源 3 0 の間に第 4 のアナログスイッチ 3 1 が接続されている。電源 3 0 の電圧値 V_c は、ソースフォロワトランジスタ 2 1 のプリチャージ電圧 V_{pre} の電圧値に対してある量だけシフトとした値に設定する。そのシフト量は、ソースフォロワトランジスタ 2 1 とカスコード接続トランジスタ 2 8 の飽和条件から求められるものである。

【 0 0 1 7 】

次に、上記構成のソースフォロワ回路の回路動作について、図 3 のタイミングチャートを用いて説明する。

【 0 0 1 8 】

まず、プリチャージ期間 T_1 において、第 1 , 第 2 のアナログスイッチ 2 5 , 2 6 をオン状態、第 3 のアナログスイッチ 2 7 をオフ状態にする。これにより、ソースフォロワトランジスタ 2 1 のゲートに対して、プリチャージ電源 2 4 から第 1 のアナログスイッチ 2 5 を介して特定のプリチャージ電圧 V_{pre} が印加される。このとき、ソースフォロワトランジスタ 2 1 のゲートとソースの間に接続された第 1 のキャパシタ 2 3 には、オフセット分 $V_{os} (= V_{gs})$ に対応した電荷が蓄積される。

【 0 0 1 9 】

その後、出力期間 T_2 では、第 1 , 第 2 のアナログスイッチ 2 5 , 2 6 をオフ状態、第 3

10

20

30

40

50

のアナログスイッチ 27 をオン状態にする。これにより、第 1 のキャパシタ 23 の他端側（ソースフォロワトランジスタ 21 のソース側）が入力信号 V_{in} 側（信号源側）に再接続され、ソースフォロワトランジスタ 21 のゲートがプリチャージ電源 24 から切り離される。このとき、ソースフォロワトランジスタ 21 のゲート電位は、 $V_{in} + V_{os}$ となる。

【0020】

その結果、ソースフォロワトランジスタ 21 のゲート ソース電圧 V_{gs} に相当するオフセット V_{os} が発生したとしても、 $V_{os} = V_{os}$ であることからオフセットキャンセルが行われ（即ち、 $V_{os} - V_{os}$ ）、出力期間 T_2 における出力電位 V_{out} は、入力電位 V_{in} とほぼ同じ電位となる。また、このことは、トランジスタ特性のばらつき 10 に対する出力電位変動を低減できることと等価となる。

【0021】

また、プリチャージ期間には、第 1、第 2 のアナログスイッチ 25、26 と同様に、第 4 のアナログスイッチ 31 もオン状態とすることにより、カスコード接続トランジスタ 28 のゲートを電圧値 V_c にプリチャージする。そして、出力期間において第 4 のアナログスイッチ 31 をオフ状態にすることにより、カスコード接続トランジスタ 28 のゲートを電源 30 から切り離す。

【0022】

この第 4 のアナログスイッチ 31 のオン/オフ動作により、カスコード接続トランジスタ 28 のゲート電位を、電源電圧 V_{CC} よりも高く設定することができるため、ソースフォロワトランジスタ 21 のドレイン電圧が高くなる。これにより、ソースフォロワトランジスタ 21 として、ポリシリコン T F T などの閾値電圧 V_{th} が高くかつばらつきが大きいトランジスタを用いてソースフォロワ回路を構成したとしても、結果として、当該トランジスタ 21 のドレイン電圧範囲が広がることになるため、出力のダイナミックレンジを拡大できる。 20

【0023】

また、上記の回路構成においては、第 1 のキャパシタ 23 に対するプリチャージを、信号源ではなく独立のプリチャージ電源 24 で行えるので、信号源の出力インピーダンスを極めて小さくする必要がない。これに伴うメリットは、本ソースフォロワ回路を液晶表示装置の水平ドライバ内の基準電圧選択型 D A コンバータの出力回路として用いる場合に極めて大きい。すなわち、基準電圧線の線幅を小さくできるので、回路全体の小面積化が可能となる。 30

【0024】

上述した回路動作に伴う効果は、ソースフォロワ回路をポリシリコン T F T で構成したときに特に有効となる。その理由は、以下の通りである。すなわち、ポリシリコン T F T は基板電位を持たないため、基板バイアス効果がない。そのため、入力電圧（ソースフォロワトランジスタ 21 の入力電位）が変化し、出力電圧（ソースフォロワトランジスタ 21 のソース電位）が変化した場合でも、閾値電圧 V_{th} の変化が起こらず、オフセットキャンセル動作が精度良く行われる。また、基板電位がないため、第 1 のアナログスイッチ 25 の一端側（ソースフォロワトランジスタ 21 のベース側）の寄生容量が小さくなり、ソースフォロワトランジスタ 21 のベース電位が変化した場合でも、第 1 のキャパシタ 23 に蓄積されたオフセット電荷が逃げにくい。 40

【0025】

以上説明したオフセットキャンセル構造を持つソースフォロワ回路をコラム線駆動回路における出力回路に使用した場合の本発明の一実施形態に係る構成を図 4 に示す。なお、図 4 には、あるコラム線 20-k についての回路構成のみを示し、また図中、図 2 と同等部分には同一符号を付して示してある。

【0026】

本実施形態では、出力回路 17 の前段に設けられた D A コンバータ 15 が、上位 3 ビット $b_0 \sim b_2$ に対して基準電圧選択型 D A コンバータ 41 を、下位 3 ビット $b_3 \sim b_5$ に 50

対してスイッチドキャパシタアレイ型 D A コンバータ 4 2 をそれぞれ用いた構成の場合において、スイッチドキャパシタアレイ型 D A コンバータ 4 2 のキャパシタを、上記構成のソースフォロワ回路のオフセット蓄積用のキャパシタ 2 3 に兼用した構成を採っている。

【 0 0 2 7 】

すなわち、下位 3 ビット $b_3 \sim b_5$ に対応して設けられ、かつ一端がソースフォロワトランジスタ 2 1 のゲートに共通に接続された 4 個のキャパシタ 4 3 , 4 4 , 4 5 , 4 6 の合成容量がオフセット蓄積用のキャパシタ 2 3 に対応する。ここで、4 個のキャパシタ 4 3 , 4 4 , 4 5 , 4 6 の容量比は、 $4 C_o : 2 C_o : C_o : C_o$ となるように設定される。

【 0 0 2 8 】

また、キャパシタ 4 3 ~ 4 6 の各他端とソースフォロワトランジスタ 2 1 のソースの間に接続された 4 個のアナログスイッチ 4 7 ~ 5 0 が第 2 のアナログスイッチ 2 6 に、キャパシタ 4 3 ~ 4 6 の各他端と信号源の間に接続された 4 個のアナログスイッチ 5 1 ~ 5 4 が第 3 のアナログスイッチ 2 7 にそれぞれ対応する。アナログスイッチ 2 5 , 4 7 ~ 5 0 などは、プリチャージパルス制御回路 5 5 によって開閉制御される。

【 0 0 2 9 】

一方、出力バッファ 1 6 -k の出力端とコラム線 2 0 -k の間に設けられたアナログスイッチ 1 8 -k は、スイッチ制御パルス発生回路 1 9 で発生されるスイッチ制御パルスによって開閉制御される。具体的には、図 5 のタイミングチャートに示すように、アナログスイッチ 1 8 -k は、プリチャージ期間および D A 変換期間はオフ状態となる。そして、それ以外の特定の期間にのみオン状態となる。

【 0 0 3 0 】

上述したように、下位 3 ビット $b_3 \sim b_5$ 側をスイッチドキャパシタアレイ型とした構成の D A コンバータ 1 4 を具備する液晶表示装置のコラム線駆動回路において、出力バッファ 1 6 -1 ~ 1 6 -n としてオフセットキャンセル構造を持ったソースフォロワ回路を用いることにより、オフセット蓄積用のキャパシタ 2 3 とスイッチドキャパシタアレイ型 D A コンバータ 4 2 のキャパシタを兼用できるので、新たに追加する回路素子が少なく済み、効率が良い。

【 0 0 3 1 】

ところで、一般に、図 4 に示されるようなソースフォロワ回路の出力電流は、信号立ち上がり時には制限なく得られるが、信号立ち下がり時には電流源 2 2 の電流 I_{ref} の大きさまでしか得られない。したがって、信号立ち下がり時に大きな出力負荷が接続されていると、十分に信号を変化させることができない。あるいは、信号を十分に変化させるためには、大きな値の電流 I_{ref} を必要とする。

【 0 0 3 2 】

ところが、本発明においては、信号電位がプリチャージ期間などに大きく減少した場合には、これらの期間ではアナログスイッチ 1 8 -k がオフ状態となり、出力バッファ 1 6 -k が容量負荷 C_k と切り離されるため、ソースフォロワ回路の出力電流は大きくなり、信号電位を十分に変化させることができる。言い換えれば、小さな値の電流 I_{ref} で十分な出力回路を構成できる。なお、アナログスイッチ 1 8 -k をオン状態にする出力期間は、プリチャージ期間および D A 変換期間以外の特定の期間に設定されていれば良い。

【 0 0 3 3 】

また、小さな値の電流 I_{ref} で出力回路を構成することは、出力電位のばらつきを小さく抑えることにつながる。以下に、その理由について説明する。

【 0 0 3 4 】

一般に、ソースフォロワ回路のオフセット電位 (ソースフォロワトランジスタ 2 1 のゲート ソース電圧) V_{gs} は次式で表される。

$$V_{gs} = V_{th} + (I_{ref} / k)$$

但し、 $k = 0.5 \times \mu \times C_{ox} \times W / L$ である。ここで、 k は定数、 C_{ox} , W , L はそれぞれトランジスタの酸化膜容量、ゲート長、ゲート幅である。

【 0 0 3 5 】

したがって、電流 I_{ref} の値が大きくなれば、オフセット電位 V_{gs} は大きくなる。これは、一般に、回路の出力ダイナミックレンジを狭めてしまうことにつながる。言い換えれば、ダイナミックレンジの確保のためにトランジスタサイズを大きくしなければならなくなる。電流 I_{ref} の値が小さければ、トランジスタサイズを小さくできるので、回路の小面積化が図れる。

【0036】

また、電流 I_{ref} の値が大きければ、定数 k のばらつき（即ち、トランジスタのデバイス特性のばらつき）に対するオフセット電位 V_{gs} のばらつき程度が大きくなる。このような関係は、図2（図4）のようなオフセットキャンセル構造を採った場合でも基本的に変わらない。したがって、電流 I_{ref} の値が減少することは、出力ばらつきが減ることにつながる。

10

【0037】

以上のようなオフセットキャンセル構造を持つソースフォロワ回路は、コラム線駆動回路（水平ドライバ）をポリシリコンTFTで液晶パネルと一体形成するとき特に有用なものとなる。その理由は、以下の通りである。

1 ポリシリコンTFTは定数 k のばらつきが非常に大きい。

2 ゲートバイアス効果や寄生容量が少なく、オフセットキャンセル構造のソースフォロワ回路を作りやすい。

【0038】

【発明の効果】

20

以上説明したように、本発明によれば、液晶パネルとコラム線駆動回路とをポリシリコン薄膜トランジスタによって一体形成してなる液晶表示装置において、出力バッファの出力端とコラム線の間にアナログスイッチを設け、このアナログスイッチを開閉制御するようにしたことにより、アナログスイッチの開状態では、出力バッファとコラム線が切断され、出力回路が容量負荷と切り離されるため、ソースフォロワ回路からなる出力バッファの出力電流は大きくなり、よって片方向の電流バッファでコラム線負荷を充電するシステムを容易に構成できるとともに、低消費電力化、回路の小面積化、広ダイナミックレンジ化が図れ、かつ出力電位のばらつきを少なくできる。

特に、DAコンバータのDA変換期間およびスイッチドキャパシタアレイのキャパシタのオフセット蓄積のためのプリチャージ期間にアナログスイッチをオフ（開）状態にして、出力バッファをコラム線の容量負荷から切り離すことで、信号電位がプリチャージ期間などに大きく減少した場合に、ソースフォロワ回路の出力電流は大きくなり、信号電位を十分に变化させることができる、換言すれば、小さな値の電流で十分な出力回路を構成でき、また小さな値の電流で出力回路を構成することは、出力電位のばらつきを小さく抑えることにつながる。

30

【図面の簡単な説明】

【図1】 本発明の参考例を示すブロック図である。

【図2】 ソースフォロワ回路を用いた出力バッファの構成の一例を示す回路図である。

【図3】 図2の回路動作を説明するためのタイミングチャートである。

【図4】 本発明の一実施形態を示す回路図である。

40

【図5】 本発明の動作説明のためのタイミングチャートである。

【図6】 アクティブマトリクス形液晶表示装置の一例を示す概略構成図である。

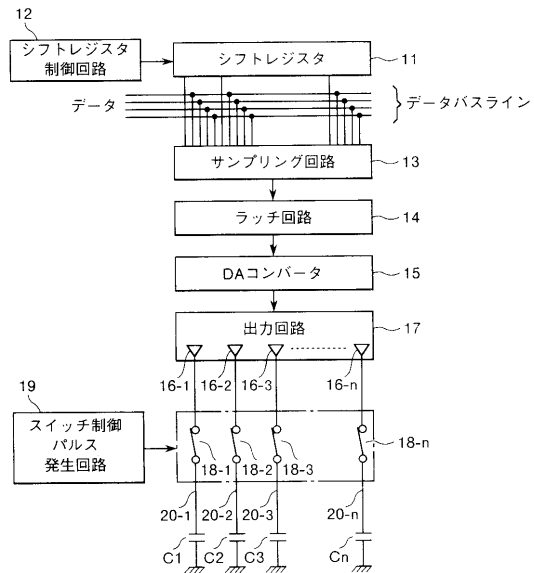
【図7】 水平ドライバ（コラム線駆動回路）の構成の一例を示すブロック図である。

【符号の説明】

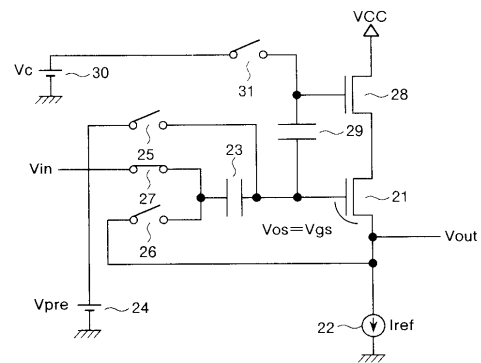
11...シフトレジスタ、13...サンプリング回路、14...ラッチ回路、15...DAコンバータ、16-1~16-n...出力バッファ、17...出力回路、18-1~18-n、25~26、31...アナログスイッチ、19...スイッチ制御パルス発生回路、20-1~20-n...コラム線、21...ソースフォロワトランジスタ、22...電流源、23、29...キャパシタ、24...プリチャージ電源、28...カスコード接続トランジスタ、41...基準電圧選択型DAコンバータ、42...スイッチドキャパシタアレイ型DAコンバータ

50

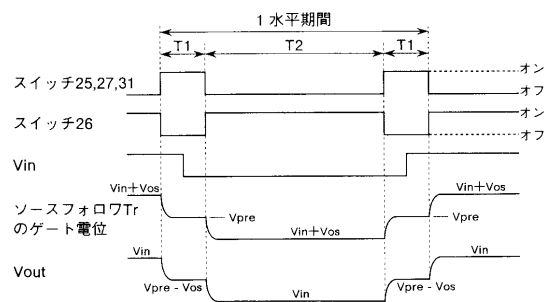
【図 1】



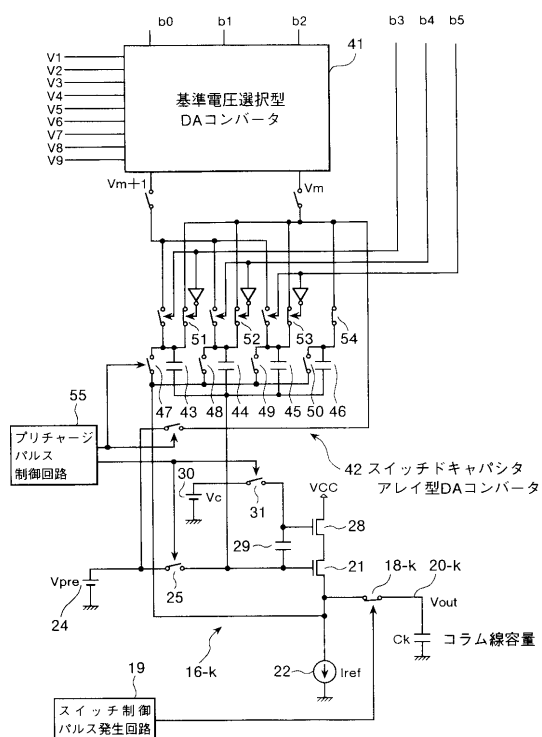
【図 2】



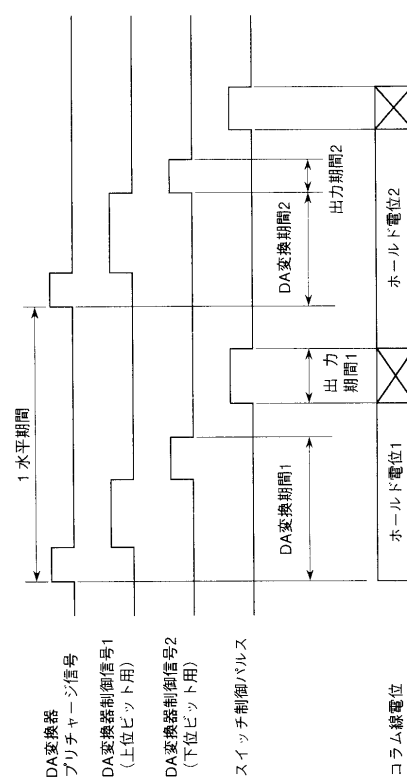
【図 3】



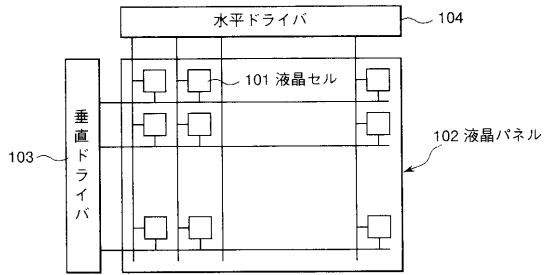
【図 4】



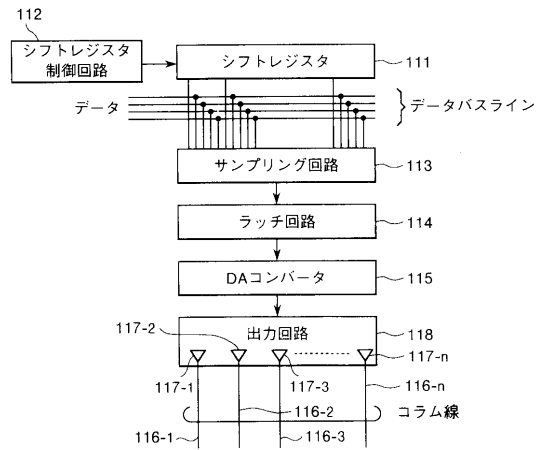
【図 5】



【図 6】



【図 7】



フロントページの続き

合議体

審判長 瀧 廣住

審判官 堀部 修平

審判官 小川 浩史

- (56)参考文献 特開平 6 - 2 6 8 5 2 2 (J P , A)
実開昭 6 1 - 1 3 1 1 7 1 (J P , U)
特開昭 5 9 - 2 0 4 8 8 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G09G 3/00-3/38
G02F 1/133