



(19)



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 307 558**

(51) Int. Cl.:
G05B 19/042 (2006.01)

(12)

TRADUCCIÓN DE PATENTE EUROPEA

T3

(96) Número de solicitud europea: **01113478 .0**

(96) Fecha de presentación : **02.06.2001**

(97) Número de publicación de la solicitud: **1168119**

(97) Fecha de publicación de la solicitud: **02.01.2002**

(54) Título: **Aparato de control con un microprocesador principal y con una interfaz de procesador para una unidad de emisión-recepción de bus.**

(30) Prioridad: **20.06.2000 DE 100 30 158**

(45) Fecha de publicación de la mención BOPI:
01.12.2008

(45) Fecha de la publicación del folleto de la patente:
01.12.2008

(73) Titular/es:
**Bayerische Motoren Werke Aktiengesellschaft
Petuelring 130
80809 München, DE**

(72) Inventor/es: **Fröschl, Joachim;
Krammer, Josef y
Schedl, Anton**

(74) Agente: **Lehmann Novo, María Isabel**

ES 2 307 558 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato de control con un microprocesador principal y con una interfaz de procesador para una unidad de emisión-recepción de bus.

La invención se refiere a un aparato de control con un microprocesador principal y con una interfaz de procesador para una unidad de emisión-recepción de bus según el preámbulo de la reivindicación 1.

Un aparato de control de esta clase se emplea especialmente en vehículos automóviles en relación con la transmisión de datos técnicos del vehículo automóvil a través de un bus de datos (por ejemplo, bus CAN, documento DE 35 06 118 A).

Por ejemplo, en tales sistemas de bus conocidos el microprocesador principal de un aparato de control en forma de un abonado del bus envía un encargo de emisión al controlador de bus para la descarga de los datos archivados en la memoria de emisión, una vez que previamente haya impartido una orden de transmisión de datos definidos a la memoria de emisión. No se realiza hasta ahora un control del contenido de datos momentáneamente archivado en la memoria de emisión, por ejemplo con miras a la validez y actualidad de los datos. Se conocen ciertamente sistemas de bus que juntamente con datos útiles envían, además, un estado de contador o los llamados "toggle-bits" para reconocer la actualidad de los datos, pero se necesita entonces espacio de memoria adicional. Resulta una problemática comparable en lo que respecta al contenido de datos de las memorias de recepción.

Se conoce por el documento US-A-4 571 672 un sistema multiprocesador con una pluralidad de procesadores y una memoria común que están unidos con un bus común, presentado el procedimiento del control de acceso una entrada de datos en la que se pueden inscribir datos únicamente cuando no está ocupada dicha entrada de datos. Los datos de la entrada de datos pueden ser leídos únicamente cuando dicha entrada de datos forme la memoria común. Los procesadores que acceden a la entrada de datos inscriben los datos por duplicado y se impide una lectura doble de los mismos datos. Se provoca un control por exclusión a través de la entrada de datos.

El problema de la invención consiste en impedir de manera sencilla y barata la transmisión y la recepción de datos aparentemente válidos a través de un bus.

El problema se resuelve con las características de la reivindicación 1. Ejecuciones ventajosas de la invención constituyen los objetos de las reivindicaciones subordinadas.

Según la invención, se repone sustancialmente el contenido de datos de la memoria de emisión y/o de la memoria de recepción, después de cada entrega y/o lectura de los datos archivados en ellas, a un estado definido en forma de una "reposición" (reset) antes de que el microprocesador principal entregue y/o lea nuevos datos. Esta "reposición" se realiza, por ejemplo, mediante una ocupación del contenido de la memoria con un definido "indicativo de invalidez". La reposición del contenido de la memoria se efectúa por medio del microprocesador principal, preferiblemente por software, o por medio del controlador de bus casi siempre más sencillo, preferiblemente por hardware. En particular, se tiene que realizar la "reposición" antes de que un nuevo encargo de emisión o de recepción sea entregado por el microprocesador

principal.

Si no se han actualizado los datos, por ejemplo debido a una vía defectuosa o una memoria defectuosa, en el siguiente encargo de emisión o de recepción se transmite automáticamente el contenido de datos de conformidad con el estado definido de la memoria de emisión o de recepción, de modo que los receptores de los datos reconozcan que no existen datos válidos, o bien se impide completamente la entrega o lectura de los datos.

Preferiblemente, se comprueba el contenido de datos después de la reposición, por ejemplo por medio del microprocesador principal, para determinar si el contenido de datos corresponde también realmente al estado definido. Condición previa para esto es una vía de relectura fundamentalmente existente. Cuando no se presenta el estado definido, se reconoce un error y se archiva éste preferiblemente. En caso de que exista este error, se puede suprimir también un futuro encargo de emisión o de recepción.

Antes de la siguiente entrega de datos de la memoria de emisión al bus y/o antes de la siguiente lectura de datos desde la memoria de recepción se puede comprobar si se presenta el estado definido ("indicativo de invalidez"). Si ocurre esto, se impiden preferiblemente la entrega y/o la lectura de datos.

Debido a esta invención no se necesita, para la securización de los datos, ningún espacio de memoria adicional en la zona de los datos útiles. La reposición de los datos se efectúa automáticamente con independencia de la aplicación de dichos datos.

En el dibujo se representa un ejemplo de realización de la invención. Muestran:

La figura 1, un diagrama de bloques referente a las características técnicas de conexión en circuito que son esenciales para la invención y

La figura 2, un diagrama lógico referente a las características técnicas de programación que son esenciales para la invención.

En la figura 1 un aparato de control 2 está conectado a un bus 1 como abonado de éste a través de una interfaz de bus 6. El aparato de control 2 presenta un microprocesador principal 4 y una interfaz de procesador 5 para una unidad de emisión-recepción de bus 3. La unidad de emisión-recepción de bus 3 comprende al menos una memoria de emisión 8, una memoria de recepción 9 y un controlador de bus 7. Las vías de datos entre el controlador de bus 7, por un lado, y el microprocesador principal, por otro, hacia la memoria de emisión 8 y la memoria de recepción 9, respectivamente, pueden ser unidireccionales (flechas continuas) o bidireccionales (flechas de trazos adicionales). En las vías de datos bidireccionales se presentan vías de relectura.

En la figura 2 se explican las características técnicas del funcionamiento de la invención con el ejemplo de una entrega de datos a través de la memoria de emisión 8. En el bloque 11 del diagrama lógico comienza un encargo de emisión procedente del microprocesador principal 4 después de que éste haya impartido previamente una orden para transmitir datos definidos a la memoria de emisión 8. El encargo de emisión se entrega según el bloque 12 en forma controlada por eventos o bien cíclicamente.

Mediante el bloque 13, que está previsto únicamente como opcional cuando está prevista una vía de relectura de la memoria de emisión 8 al microprocesador principal 4, se comprueba el contenido de datos,

antes de la entrega desde la memoria de emisión 8 al bus 1, para determinar si, según el estado definido, está provisto de un “indicativo de invalidez”. Cuando ocurre esto, se impide la entrega de los datos y se genera un error de emisión. Si no se presenta ningún “indicativo de invalidez”, se envían los datos en el bloque 14.

Cuando se verifica en el bloque 15 que se ha realizado la emisión con éxito, se repone por medio del bloque 16 el contenido de datos de la memoria de emisión 8 a un estado definido, a cuyo fin el contenido de datos recibe un “indicativo de invalidez”, por ejemplo FF hex en cada byte de la memoria de emisión 8. El “indicativo de invalidez” es realizado preferiblemente por el microprocesador principal 4, pero

esto puede ser realizado también por el controlador de bus 7.

En el bloque 17 se comprueba opcionalmente el contenido de datos después de la reposición, especialmente tan sólo si está presente una vía de relectura, para determinar si el “indicativo de invalidez” se presenta también realmente en la memoria de emisión 8. Si no ocurre esto, se reconoce y se archiva un error mediante el cual se puede deducir una vía defectuosa y/o una memoria defectuosa.

Se han creado de esta manera un dispositivo sencillo y un procedimiento eficaz para impedir la transmisión de datos aparentemente válidos, por ejemplo envejecidos, a través de un bus.

REIVINDICACIONES

1. Aparato de control con un microprocesador principal (4) y con una interfaz de procesador (5) para una unidad de emisión-recepción de bus (3) que presenta al menos una memoria de emisión (8), una memoria de recepción (9) y un controlador de bus (7), **caracterizado** porque están previstos unos medios (16) con los cuales se repone el contenido de datos de la memoria de emisión (8) y/o de la memoria de recepción (9), después de cada entrega y/o lectura de los datos almacenados en ellas, a un estado definido - para lo cual el contenido de datos recibe un indicativo de invalidez - antes de que el microprocesador principal (4) entregue y/o lea nuevos datos, y se comienza con un encargo de emisión procedente del microordenador principal (4) una vez que éste haya impartido previamente una orden para transmitir datos definidos hacia la memoria de emisión (8).

2. Aparato de control según la reivindicación 1, **caracterizado** porque se repone el contenido de datos por medio del microprocesador principal (4).

3. Aparato de control según la reivindicación 1, **caracterizado** porque se repone el contenido de datos por medio del controlador de bus (7).

4. Aparato de control según una de las reivindicaciones 1 a 3, **caracterizado** porque están previstos unos medios (17) con los cuales se comprueba el contenido de datos después de la reposición, y porque se reconoce un error cuando no se presenta el estado definido.

5. Aparato de control según una de las reivindicaciones 1 a 4, **caracterizado** porque están previstos unos medios (13) con los cuales se comprueba el contenido de datos antes de la siguiente entrega de datos de la memoria de emisión (8) al bus (1) y/o antes de la siguiente lectura de datos procedentes de la memoria de recepción (9), y porque se impiden la entrega y/o la lectura de datos cuando se presenta el estado definido.

6. Procedimiento para impedir la transmisión de datos aparentemente válidos a través de un bus por medio de un aparato de control según una de las reivindicaciones 1 a 5.

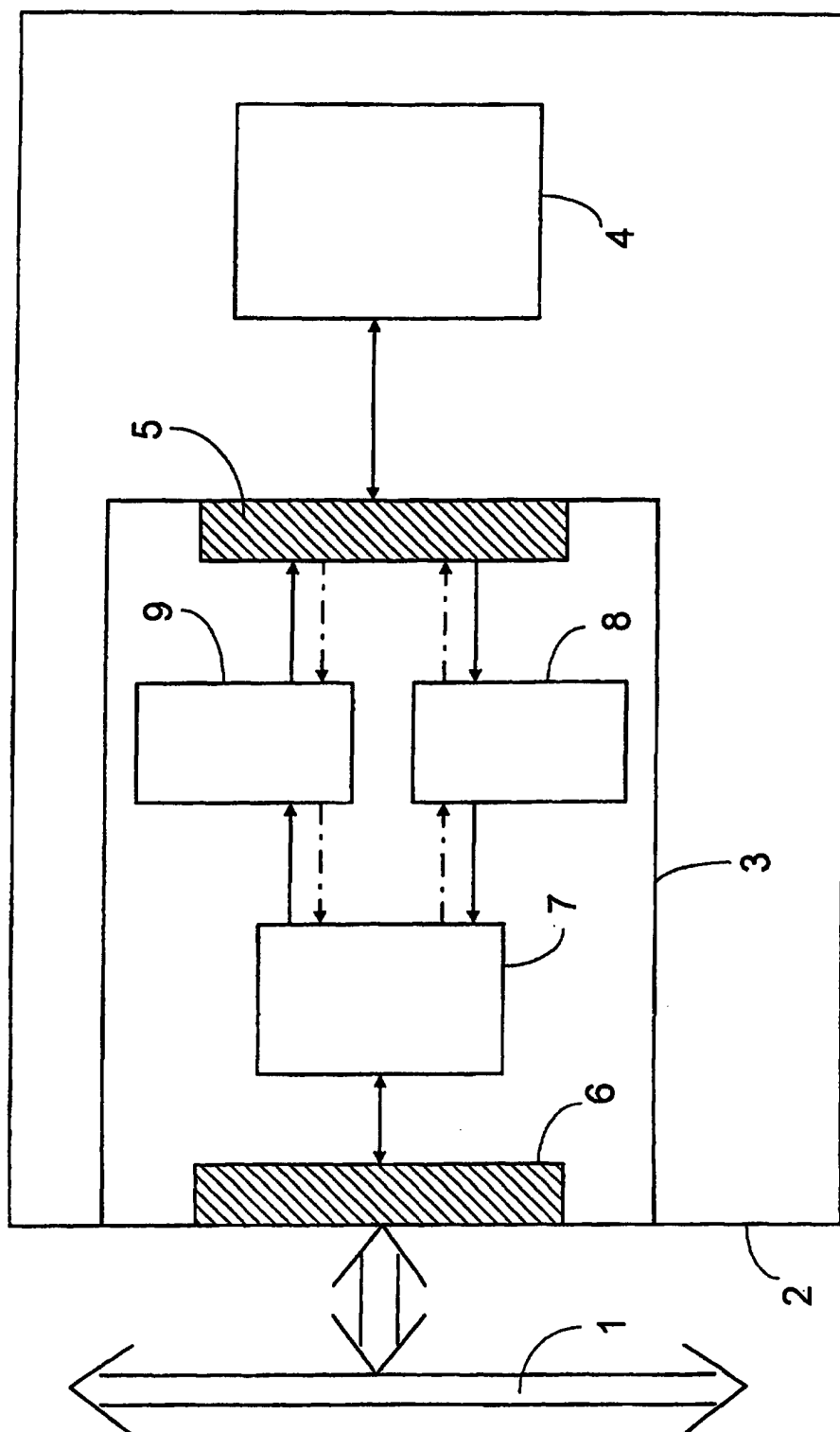


Fig. 1

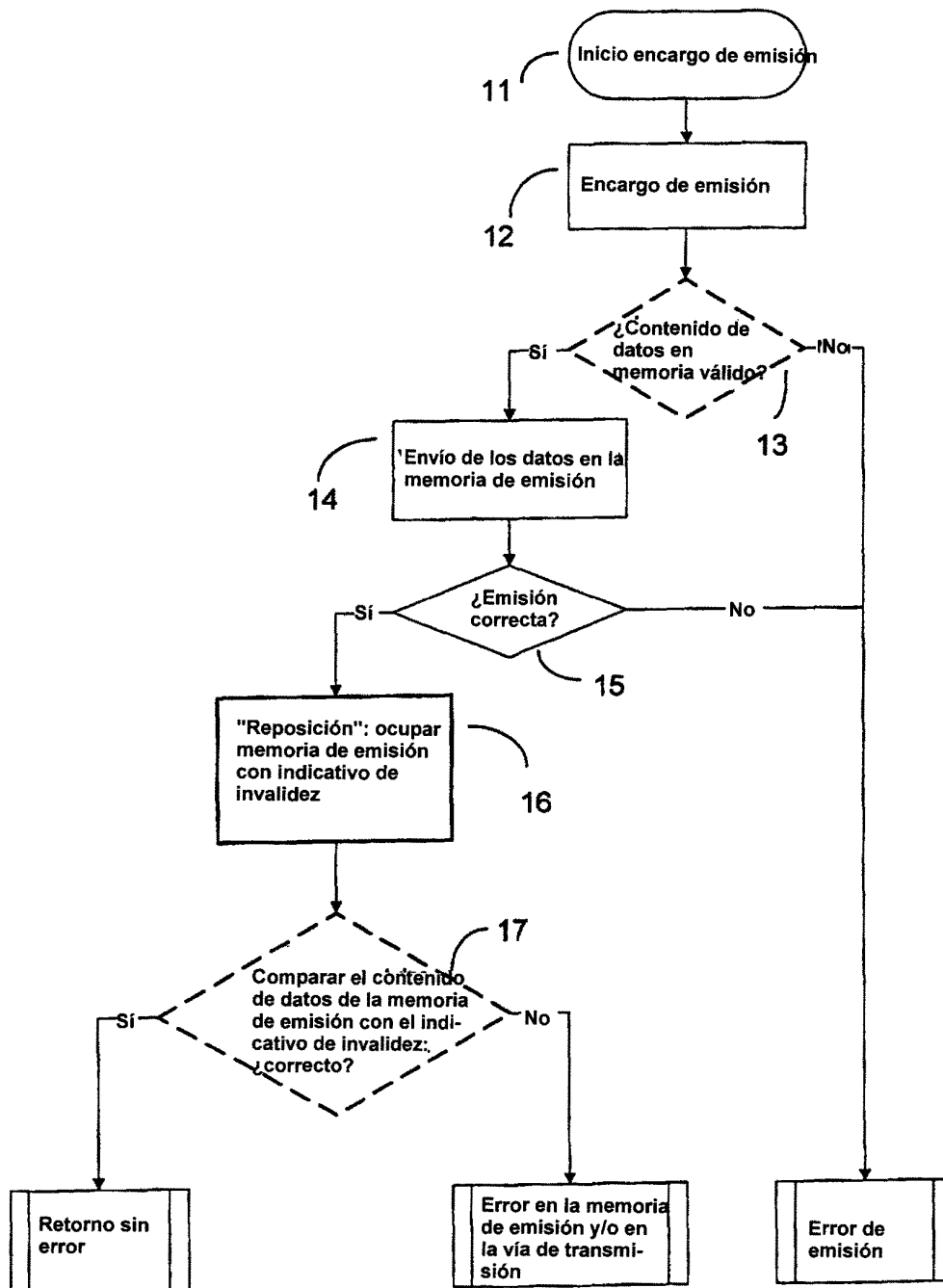


Fig. 2