



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202441796 A

(43)公開日：中華民國 113 (2024) 年 10 月 16 日

(21)申請案號：113108273

(22)申請日：中華民國 113 (2024) 年 03 月 07 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

H01L21/302 (2006.01)

(30)優先權：2023/03/31

日本

2023-058279

(71)申請人：日商日本顯示器股份有限公司(日本) JAPAN DISPLAY INC. (JP)

日本

(72)發明人：望月真里奈 MOCHIZUKI, MARINA (JP)；渡部将弘 WATABE, MASAHIRO

(JP)；津吹将志 TSUBUKU, MASASHI (JP)；渡壁創 WATAKABE, HAJIME

(JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；田丸尊也 TAMARU, TAKAYA

(JP)；小野寺涼 ONODERA, RYO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：15 項 圖式數：18 共 58 頁

(54)名稱

半導體裝置及其製造方法

(57)摘要

本發明之課題在於提供一種不均較少、電特性穩定之半導體裝置。

本發明之半導體裝置包含閘極電極、閘極電極之上之閘極絕緣層、閘極絕緣層之上之具有多晶結構之氧化物半導體層、氧化物半導體層之上之源極電極及汲極電極、以及覆蓋源極電極及汲極電極且與氧化物半導體層相接之層間絕緣層，氧化物半導體層包含與源極電極及汲極電極中之一者重疊之第 1 區域、及與層間絕緣層相接之第 2 區域，第 1 區域之膜厚與第 2 區域之膜厚之差為 5 nm 以下。

指定代表圖：

符號簡單說明：

10:半導體裝置

11:基板

12GE:閘極電極

12W:配線

14:閘極絕緣層

15:接觸孔

16:閘極絕緣層

26:氧化物半導體層

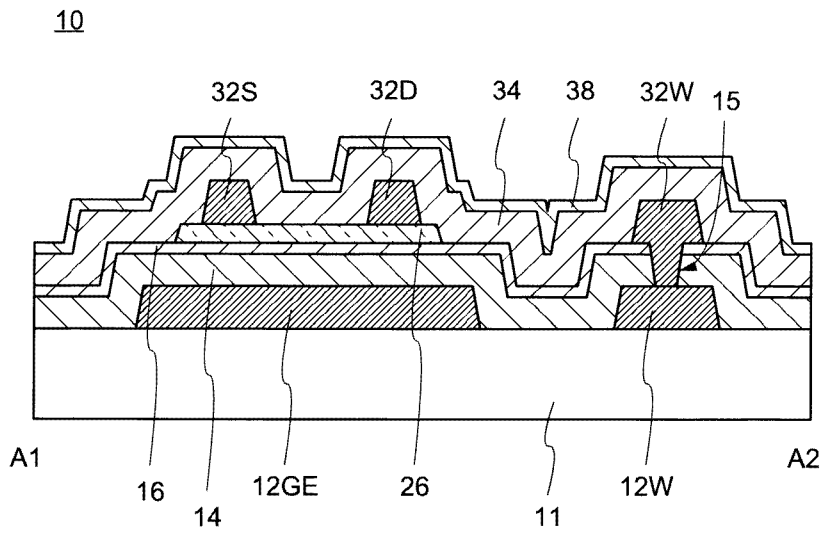
32D:汲極電極

32S:源極電極

32W:配線

34:層間絕緣層

38:層間絕緣層



【圖1】

【發明摘要】

【中文發明名稱】

半導體裝置及其製造方法

【中文】

本發明之課題在於提供一種不均較少、電特性穩定之半導體裝置。

本發明之半導體裝置包含閘極電極、閘極電極之上之閘極絕緣層、閘極絕緣層之上之具有多晶結構之氧化物半導體層、氧化物半導體層之上之源極電極及汲極電極、以及覆蓋源極電極及汲極電極且與氧化物半導體層相接之層間絕緣層，氧化物半導體層包含與源極電極及汲極電極中之一者重疊之第1區域、及與層間絕緣層相接之第2區域，第1區域之膜厚與第2區域之膜厚之差為5 nm以下。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

10:半導體裝置

11:基板

12GE:閘極電極

12W:配線

14:閘極絕緣層

15:接觸孔

16:閘極絕緣層

26:氧化物半導體層

32D:汲極電極

32S:源極電極

32W:配線

34:層間絕緣層

38:層間絕緣層

【發明說明書】

【中文發明名稱】

半導體裝置及其製造方法

【技術領域】

【0001】

本發明之一實施方式係關於一種半導體裝置。尤其是，本發明之一實施方式係關於一種使用氧化物半導體作為通道之半導體裝置。又，本發明之一實施方式係關於一種半導體裝置之製造方法。

【先前技術】

【0002】

近年來，正在開發使用氧化物半導體膜代替使用非晶矽、低溫多晶矽、及單晶矽等之矽半導體膜作為通道之半導體裝置(例如參照專利文獻1~6)。包含氧化物半導體膜之半導體裝置與包含非晶矽膜之半導體裝置同樣，可以簡單之構造且藉由低溫製程形成。已知包含氧化物半導體膜之半導體裝置具有高於包含非晶矽膜之半導體裝置之場效遷移率。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2021-141338號公報

[專利文獻2]日本專利特開2014-099601號公報

[專利文獻3]日本專利特開2021-153196號公報

[專利文獻4]日本專利特開2018-006730號公報

[專利文獻5]日本專利特開2016-184771號公報

[專利文獻6]日本專利特開2021-108405號公報

【發明內容】

[發明所欲解決之問題]

【0004】

然而，於先前之包含氧化物半導體膜之半導體裝置中，氧化物半導體膜之耐蝕刻性較小，難以控制氧化物半導體膜之形狀。尤其是，於使用大面積基板所製造之半導體裝置中，氧化物半導體膜之形狀之不均會引起半導體裝置之電特性不均，導致良率降低。

【0005】

本發明之一實施方式可提供一種不均較少、電特性穩定之半導體裝置。又，本發明之一實施方式之目的之一在於提供一種製造不均減少、良率提高之半導體裝置之製造方法。

[解決問題之技術手段]

【0006】

本發明之一實施方式之半導體裝置包含閘極電極、閘極電極之上之閘極絕緣層、閘極絕緣層之上之具有多晶結構之氧化物半導體層、氧化物半導體層之上之源極電極及汲極電極、以及覆蓋源極電極及汲極電極且與氧化物半導體層相接之層間絕緣層，氧化物半導體層包含與源極電極及汲極電極中之一者重疊之第1區域、及與層間絕緣層相接之第2區域，第1區域之膜厚與第2區域之膜厚之差為5 nm以下。

【0007】

本發明之一實施方式之半導體裝置之製造方法包括如下步驟：形成閘極電極；於閘極電極之上形成閘極絕緣層；於閘極絕緣層之上形成具有

多晶結構之氧化物半導體層；於氧化物半導體層之上成膜導電膜；藉由蝕刻對導電膜進行圖案化，而形成源極電極及汲極電極；以及形成覆蓋源極電極及汲極電極且與氧化物半導體層相接之層間絕緣層；氧化物半導體層包含與源極電極及汲極電極中之一者重疊之第1區域、及與層間絕緣層相接之第2區域，第1區域之膜厚與第2區域之膜厚之差為5 nm以下。

【圖式簡單說明】

【0008】

圖1係表示本發明之一實施方式之半導體裝置之構成之模式性剖視圖。

圖2係表示本發明之一實施方式之半導體裝置之構成之模式性俯視圖。

圖3係說明本發明之一實施方式之半導體裝置之製造方法之流程圖。

圖4係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖5係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖6係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖7係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖8係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖9係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

視圖。

圖10係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖11係表示本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖12係表示本發明之一實施方式之顯示裝置之概要之模式性俯視圖。

圖13係表示本發明之一實施方式之顯示裝置之電路構成之方塊圖。

圖14係表示本發明之一實施方式之顯示裝置之像素電路之電路圖。

圖15係表示本發明之一實施方式之顯示裝置之構成之模式性剖視圖。

圖16係表示本發明之一實施方式之顯示裝置之像素電路之電路圖。

圖17係表示本發明之一實施方式之顯示裝置之構成之模式性剖視圖。

圖18係表示實施例2中之樣品A～樣品C之電特性(I_d - V_g 特性)之圖。

【實施方式】

【0009】

以下，參照圖式，對本發明之各實施方式進行說明。以下之揭示內容終究只是一例。業者能藉由在保持發明之主旨的同時適當地變更實施方式之構成而容易想到之構成自然包含在本發明之範圍內。為了更明確地進行說明，與實際之態樣相比，圖式中有時模式性地表示各部之寬度、膜厚、形狀等。然而，圖示之形狀終究只是一例，並不對本發明之解釋進行限定。於本說明書及圖式中，有時會對與上文關於已示出之圖所敘述之構

成要素相同的構成要素標註相同符號，適當地省略詳細之說明。

【0010】

於本說明書等中，「半導體裝置」係指可藉由利用半導體特性而發揮功能之全部裝置。電晶體、半導體電路包含在半導體裝置之一種形態中。以下所示之實施方式之半導體裝置例如可為用於顯示裝置、微處理器(Micro-Processing Unit：MPU)等積體電路(Integrated Circuit：IC)、或記憶電路之電晶體。

【0011】

於本說明書等中，「顯示裝置」係指使用電光學層而顯示圖像之構造體。例如，顯示裝置之用語有時指包含電光學層之顯示面板，或者有時亦指將其他光學構件(例如偏光構件、背光裝置、觸控面板等)安裝於顯示單元所得之構造體。除非產生技術性矛盾，否則「電光學層」可包含液晶層、電致發光(EL)層、電致變色(EC)層、及電泳層。因此，於實施方式中，例示包含液晶層之液晶顯示裝置、及包含有機EL層之有機EL顯示裝置作為顯示裝置進行說明。但是，實施方式中所說明之構造體可應用於包含上述其他電光學層之顯示裝置。

【0012】

於本說明書等中，將自基板朝向氧化物半導體層之方向稱為「上」或「上方」。反之，將自氧化物半導體層朝向基板之方向稱為「下」或「下方」。如此，為了方便說明，會用上方或下方之語句進行說明，但基板與氧化物半導體層之上下關係亦可配置成與圖示不同之朝向。又，「基板上之氧化物半導體層」之表達僅僅是說明基板與氧化物半導體層之上下關係，亦可於基板與氧化物半導體層之間配置其他構件。上方或下方係指

積層有複數個層之構造中之積層順序，於表達為半導體裝置之上方之像素電極之情形時，於俯視下，半導體裝置與像素電極可為不重疊之位置關係。另一方面，於表達為半導體裝置之鉛直上方之像素電極之情形時，係指於俯視下，半導體裝置與像素電極重疊之位置關係。再者，俯視係指自相對於基板表面垂直之方向觀察。

【0013】

於本說明書等中，用語「膜」及用語「層」可根據情況相互替換。

【0014】

於本說明書等中，「 α 包含A、B或C」、「 α 包含A、B及C中之任一者」、或「 α 包含選自由A、B及C所組成之群中之一者」之表達除非明確說明，否則不排除 α 包含A~C之複數種組合之情況。進而，該等表達亦不排除 α 包含其他構成要素之情況。

【0015】

再者，以下之各實施方式可彼此組合，除非產生技術性矛盾。

【0016】

<第1實施方式>

參照圖1~圖11，對本發明之一實施方式之半導體裝置10進行說明。

【0017】

[半導體裝置10之構成]

參照圖1及圖2，對本發明之一實施方式之半導體裝置10之構成進行說明。圖1係表示本發明之一實施方式之半導體裝置10之模式性構成之剖視圖。圖2係表示本發明之一實施方式之半導體裝置10之構成之模式性俯視圖。圖1所示之剖視圖對應於沿圖2所示之A1-A2線切割時之截面。

【0018】

如圖1所示，半導體裝置10設置於基板11之上。半導體裝置10包含閘極電極12GE、閘極絕緣層14、16、氧化物半導體層26、源極電極32S、汲極電極32D、及層間絕緣層34、38。於不對源極電極32S及汲極電極32D進行特別區分之情形時，有時會將該等統稱為源極電極及汲極電極32。又，對於閘極電極12GE、閘極絕緣層14、16、及氧化物半導體層26，有時會稱為電晶體。半導體裝置10係於氧化物半導體層26之下方設有閘極電極12GE之所謂底閘極型電晶體。

【0019】

於本實施方式中，例示底閘極型電晶體作為半導體裝置10，但半導體裝置10並不限定於底閘極型電晶體。例如，半導體裝置10亦可為閘極電極設置於氧化物半導體層26之上方及下方之雙閘極型電晶體。

【0020】

閘極電極12GE設置於基板11之上。閘極絕緣層14、16設置於基板11及閘極電極12GE之上。閘極絕緣層14、16具有積層構造，閘極絕緣層16設置於閘極絕緣層14之上。氧化物半導體層26設置於閘極絕緣層14、16之上。源極電極32S及汲極電極32D設置於氧化物半導體層26之上。層間絕緣層34、38設置於氧化物半導體層26、以及源極電極32S及汲極電極32D之上。層間絕緣層34、38具有積層構造，層間絕緣層38設置於層間絕緣層34之上。即，層間絕緣層34、38覆蓋源極電極32S及汲極電極32D，層間絕緣層34與氧化物半導體層26相接。

【0021】

如圖2所示，於俯視下，氧化物半導體層26與閘極電極12GE重疊。

D1方向係連接源極電極32S與汲極電極32D之方向，D2方向係與D1方向正交之方向。於半導體裝置10中，通道長度L對應於源極電極32S與汲極電極32D之間之氧化物半導體層26之區域(通道區域)之D1方向上之長度，通道寬度W對應於通道區域之D2方向上之寬度。於俯視下，與源極電極32S重疊之氧化物半導體層26之區域為源極區域，與汲極電極32D重疊之氧化物半導體層26之區域為汲極區域。即，通道區域位於源極區域與汲極區域之間。

【0022】

配線12W及配線32W作為閘極配線而發揮功能。配線32W經由接觸孔15而與配線12W電性連接。詳細內容將於後文描述，配線12W形成為與閘極電極12GE相同之層。又，配線32W形成為與源極電極32S及汲極電極32D相同之層。再者，配線32W有時並不設置於配線12W之上。

【0023】

氧化物半導體層26具有透光性，具有包含複數個晶粒之多晶結構。詳細內容將於後文描述，藉由使用Poly-OS(Poly-crystalline Oxide Semiconductor，多晶氧化物半導體)技術，可形成具有多晶結構之氧化物半導體層26。因此，以下，有時會將氧化物半導體層26中所含之氧化物半導體記載為Poly-OS。

【0024】

Poly-OS含有包含銦之兩種以上金屬元素，銦相對於兩種以上金屬元素之比率為50%以上。作為除銦以外之金屬元素，可使用鎵(Ga)、鋅(Zn)、鋁(Al)、鈦(Hf)、釔(Y)、銩(Zr)、或鑷系元素。亦可使用除上述以外之元素作為氧化物半導體層26。

【0025】

Poly-OS中所含之晶粒之晶粒粒徑為0.1 μm 以上，較佳為0.3 μm 以上，進而較佳為0.5 μm 以上。晶粒之晶粒粒徑例如可使用氧化物半導體層26之SEM(scanning electron microscope，掃描式電子顯微鏡)觀察、TEM(Transmission Electron Microscope，穿透式電子顯微鏡)觀察、或背向散射電子繞射(Electron Back Scattered Diffraction：EBSD)法等來獲取。

【0026】

如上所述，Poly-OS中所含之晶粒之晶粒粒徑為0.1 μm 以上，因此於具有10 nm以上30 nm以下之膜厚之氧化物半導體層26中，存在沿膜厚方向僅包含1個晶粒之區域。

【0027】

Poly-OS之耐蝕刻性優異。詳細內容將於後文描述，Poly-OS對於在源極電極32S及汲極電極32D之形成中使用之蝕刻液或蝕刻氣體具有優異之耐蝕刻性。因此，於形成源極電極32S及汲極電極32D時，氧化物半導體層26幾乎不被蝕刻。因此，與源極電極32S及汲極電極32D中之一者重疊之氧化物半導體層26之第1區域(即，源極區域或汲極區域)之膜厚、和不與源極電極32S及汲極電極32D重疊之氧化物半導體層26之第2區域(即，通道區域)之膜厚實質上相同。換言之，第1區域之膜厚與第2區域之膜厚之差為5 nm以下，較佳為3 nm以下，更佳為1 nm以下。

【0028】

通道區域之膜厚會影響半導體裝置之電特性。若通道區域之膜厚之不均較大，則無法提供具有穩定之電特性之半導體裝置。即，半導體裝置

之良率降低。另一方面，由於在半導體裝置10中，可控制氧化物半導體層26之通道區域之膜厚，因此半導體裝置10具有穩定之電特性。例如，即便於在半導體裝置10中，閘極絕緣層14、16具有300 nm以上之較大膜厚之情形時，於通道區域之通道長度L為2 μm 以上10 μm 以下、且通道區域之通道寬度為2 μm 以上25 μm 以下之範圍內，亦可獲得15 cm^2/Vs 以上、進而20 cm^2/Vs 以上之場效遷移率(線性區域中之場效遷移率)。因此，半導體裝置10之耐壓性得到提高，即便於高電壓下亦具有穩定之電特性。

【0029】

[半導體裝置10之製造方法]

參照圖3～圖11，對本發明之一實施方式之半導體裝置10之製造方法進行說明。圖3係說明本發明之一實施方式之半導體裝置10之製造方法之流程圖。圖4～圖11係表示本發明之一實施方式之半導體裝置10之製造方法之模式性剖視圖。以下，依序對圖3所示之流程圖之各步驟進行說明。

【0030】

於圖3之步驟S1001(「形成GE」)中，於基板11之上形成閘極電極12GE(參照圖4)。

【0031】

作為基板11，可使用玻璃基板、石英基板、及藍寶石基板等具有透光性之剛性基板。於基板11需要具備可撓性之情形時，可使用聚醯亞胺基板、丙烯酸樹脂基板、矽氧烷基板、氟樹脂基板等、或包含樹脂之基板作為基板11。於使用包含樹脂之基板作為基板11之情形時，亦可向上述樹脂導入雜質元素，以提高基板11之耐熱性。又，於將半導體裝置10用於積體電路之情形時，亦可使用矽基板、碳化矽基板、化合物半導體基板等

半導體基板、或不鏽鋼基板等導電性基板等不具有透光性之基板作為基板11。

【0032】

閘極電極12GE係對藉由濺鍍法而成膜之導電膜進行加工而形成。可使用金屬材料作為閘極電極12GE。例如，作為閘極電極12GE之金屬材料，可使用鋁(Al)、鈦(Ti)、鉻(Cr)、鈷(Co)、鎳(Ni)、鉬(Mo)、鉿(Hf)、鉭(Ta)、鎢(W)、鉍(Bi)、銀(Ag)、銅(Cu)、及其等之合金或其等之化合物。作為閘極電極12GE，上述金屬材料可以單層之形式使用，亦可以積層之形式使用。

【0033】

於圖3之步驟S1002(「形成GI」)中，於閘極電極12GE之上形成閘極絕緣層14、16(參照圖4)。閘極絕緣層14、16係藉由CVD(Chemical Vapor Deposition，化學氣相沉積)法或濺鍍法進行成膜。可使用絕緣性材料作為閘極絕緣層14、16。例如，作為閘極絕緣層14、16之絕緣性材料，可使用氧化矽(SiO_x)、氧氮化矽(SiO_xN_y)、氮化矽(SiN_x)、氮氧化矽(SiN_xO_y)等無機絕緣材料。上述 SiO_xN_y 係含有比氧(O)少之比率($x > y$)之氮(N)之矽化合物。 SiN_xO_y 係含有比氮少之比率($x > y$)之氧之矽化合物。

【0034】

較佳為於基板11之上依序形成使用含有氮之絕緣材料之閘極絕緣層14、及使用含有氧之絕緣材料之閘極絕緣層16。藉由使用含有氮之絕緣材料作為閘極絕緣層14，可阻擋自基板11向氧化物半導體層26擴散之雜質。又，藉由使用含有氧之絕緣材料作為閘極絕緣層16，可藉由加熱處理釋放氧。含有氧之絕緣材料釋放氧之加熱處理之溫度例如為 500°C 以下、

450°C以下、或400°C以下。再者，含有氧之絕緣材料可於在半導體裝置10之製造工序中之任一步驟中加熱時釋放氧。

【0035】

閘極絕緣層14之膜厚較佳為大於閘極絕緣層16之膜厚。於本實施方式中，例如形成300 nm之氮化矽作為閘極絕緣層14。例如形成100 nm之氧化矽作為閘極絕緣層16。

【0036】

於圖3之步驟S1004(「成膜OS」)中，於閘極絕緣層14、16之上成膜氧化物半導體膜22(參照圖5)。氧化物半導體膜22係藉由濺鍍法或原子層沉積法(ALD: Atomic Layer Deposition)成膜。氧化物半導體膜22之膜厚為10 nm以上50 nm以下，較佳為10 nm以上40 nm以下，進而較佳為10 nm以上30 nm以下。

【0037】

作為氧化物半導體膜22，可使用具有半導體之特性之金屬氧化物。例如，作為氧化物半導體膜22，可使用含有包含銦(In)之兩種以上金屬元素之氧化物半導體。又，銦相對於兩種以上金屬元素之比率為50%以上。作為除銦以外之金屬元素，可使用鎵(Ga)、鋅(Zn)、鋁(Al)、鈦(Hf)、釔(Y)、銩(Zr)、或鑪系元素。氧化物半導體膜22較佳為包含13族元素。再者，作為氧化物半導體膜22，亦可使用除上述以外之元素。

【0038】

於藉由後述之OS退火而使氧化物半導體膜22結晶化之情形時，較佳為成膜後且OS退火前之氧化物半導體膜22具有非晶結構(例如在XRD(X ray diffraction, X射線繞射)法中被判定為非晶之類之氧化物半導體之結

晶成分較少之結構)。即，氧化物半導體膜22之成膜較佳為於儘可能不使剛成膜後之氧化物半導體膜22結晶化之條件下進行。例如，於藉由濺鍍法而成膜氧化物半導體膜22之情形時，一面控制被成膜對象物(基板11及形成於其上之構造物)之溫度一面成膜氧化物半導體膜22。

【0039】

當藉由濺鍍法對被成膜對象物進行成膜時，由於在電漿中產生之離子及因濺鍍靶回跳之原子與被成膜對象物發生碰撞，因此隨著成膜處理，被成膜對象物之溫度上升。當成膜處理中之被成膜對象物之溫度上升時，於剛成膜之狀態下氧化物半導體膜22中會包含微晶。當氧化物半導體膜22中包含微晶時，無法藉由其後之OS退火而增大晶粒粒徑。為了控制被成膜對象物之溫度，例如可於冷卻被成膜對象物的同時進行成膜。例如，可以被成膜對象物之被成膜面之溫度(以下稱為「成膜溫度」)成為100°C以下、70°C以下、50°C以下、或30°C以下之方式，自與該被成膜面為相反側之面對被成膜對象物進行冷卻。尤其是，氧化物半導體膜22之成膜溫度較佳為50°C以下。藉由在冷卻基板11的同時形成氧化物半導體膜22，從而可獲得剛成膜後結晶成分較少之氧化物半導體膜22。

【0040】

於濺鍍製程中，於氧分壓為10%以下之條件下成膜具有非晶結構之氧化物半導體膜22。當氧分壓較高時，由於氧化物半導體膜22中所含之過量氧，而導致剛成膜後之氧化物半導體膜22中會包含微晶。因此，較佳為於氧分壓較低之條件下成膜氧化物半導體膜22。氧分壓例如為1%以上5%以下，較佳為2%以上4%以下。於氧分壓未達1%之條件下，成膜裝置內之氧之分佈容易變得不均。其結果為，氧化物半導體膜中之氧之組成亦

變得不均，而成膜包含大量微晶之氧化物半導體膜，或者成膜即便於其後進行OS退火處理亦不會結晶化之氧化物半導體膜。

【0041】

於圖3之步驟S1005(「形成OS之圖案」)中，形成氧化物半導體層24之圖案(參照圖6)。使用光微影法形成氧化物半導體層24之圖案。例如，於氧化物半導體膜22之上形成抗蝕劑遮罩(未圖示)，使用該抗蝕劑遮罩對氧化物半導體膜22進行蝕刻。作為氧化物半導體膜22之蝕刻，可使用濕式蝕刻，亦可使用乾式蝕刻。作為濕式蝕刻，可使用酸性蝕刻液進行蝕刻。作為蝕刻液，例如可使用草酸、PAN(phosphoric-acetic-nitric acid，磷酸、乙酸、硝酸之混合溶液)、硫酸、過氧化氫水、或氫氟酸。藉此，可形成具有特定圖案之氧化物半導體層24。其後，去除抗蝕劑遮罩。

【0042】

具有特定圖案之氧化物半導體層24之形成(即，氧化物半導體膜22之圖案化加工)較佳為於OS退火前進行。OS退火後之Poly-OS之耐蝕刻性較高，難以藉由蝕刻進行圖案化加工。又，藉由在形成氧化物半導體層24後進行OS退火，可藉由OS退火而修復於形成氧化物半導體層24時產生之損傷(例如氧化物半導體層24中之氧缺陷等)。

【0043】

於圖3之步驟S1006(「OS退火」)中，藉由在形成氧化物半導體層24後，對氧化物半導體層24進行加熱處理(OS退火)，而形成氧化物半導體層26(參照圖7)。於OS退火中，氧化物半導體層24於特定之到達溫度下保持特定時間。特定之到達溫度為300°C以上500°C以下，較佳為350°C以上450°C以下。又，到達溫度下之保持時間為15分鐘以上120分鐘以下，較

佳為30分鐘以上60分鐘以下。藉由進行OS退火，從而具有非晶結構之氧化物半導體層24發生結晶化，而形成具有多晶結構之氧化物半導體層26。即，藉由OS退火，形成包含Poly-OS之氧化物半導體層26。

【0044】

於圖3之步驟S1008(「形成接觸孔」)中，於閘極絕緣層14、16形成接觸孔(參照圖8)。藉此，使配線12W之上表面露出。再者，於無需將配線32W與配線12W連接之情形時，亦可不進行步驟S1008之工序。

【0045】

於圖3之步驟S1009(「形成SD」)中，形成源極電極32S、汲極電極32D、及配線32W(參照圖9)。源極電極32S、汲極電極32D、及配線32W係藉由蝕刻，對利用濺鍍法而成膜之導電膜進行圖案化而形成。作為源極電極32S及汲極電極32D，可使用與閘極電極12GE相同之導電材料。作為源極電極32S、汲極電極32D、及配線32W，導電材料可以單層之形式使用，亦可以積層之形式使用。於本實施方式中，例示MoW合金、Al、及MoW合金之積層構造(MoW/Al/MoW構造)、MoW合金之單層構造(MoW構造)、Ti之單層構造(Ti構造)、以及Ti、Al、及Ti之積層構造(Ti/Al/Ti構造)。

【0046】

為了形成源極電極32S、汲極電極32D、及配線32W，進行使用濕式蝕刻或乾式蝕刻之圖案化。於濕式蝕刻中，使用蝕刻液。例如，作為蝕刻液，可使用包含選自由磷酸、乙酸、硝酸、氫氟酸、鹽酸、硫酸、及草酸所組成之群中之至少兩者之溶液。具體而言，作為蝕刻液，可使用以磷酸、乙酸、及硝酸為主成分之混酸蝕刻溶液。又，作為蝕刻液，亦可使用

過氧化氫水與氨水之混合溶液(以下稱為「 H_2O_2/NH_3 溶液」)。於乾式蝕刻中，使用蝕刻氣體。例如，作為蝕刻氣體，可使用六氟化硫氣體(SF_6)等含有氟之氣體(以下稱為「氟系氣體」)、或氯氣(Cl_2)等含有氯之氣體(以下稱為「氯系氣體」)。

【0047】

Poly-OS之耐蝕刻性優異。具體而言，源極電極32S及汲極電極32D之形成中所使用之蝕刻液或蝕刻氣體之蝕刻速率非常小。其意指Poly-OS幾乎不會被該蝕刻液或蝕刻氣體蝕刻。因此，於半導體裝置10中，即便於氧化物半導體層26上直接成膜導電膜，對導電膜進行圖案化而形成源極電極32S及汲極電極32D，氧化物半導體層26之通道區域亦幾乎不會被蝕刻。

【0048】

例如，氧化物半導體層26對於源極電極32S及汲極電極32D之形成中所使用之蝕刻液之蝕刻速率為0.1 nm/sec以下，或為0.01 nm/sec以下。又，氧化物半導體層26對於源極電極32S及汲極電極32D之形成中所使用之蝕刻氣體之蝕刻速率為0.5 nm/sec以下，或為0.1 nm/sec以下。例如，氧化物半導體層26對於氯系氣體之蝕刻速率為0.1 nm/sec以下。

【0049】

於在使用如IGZO般不具有多晶結構之氧化物半導體作為氧化物半導體層之半導體裝置中，於氧化物半導體之上形成源極電極及汲極電極之情形時，氧化物半導體層亦會因源極電極及汲極電極之蝕刻而被蝕刻。具體而言，IGZO對於含有氯之氣體之蝕刻速率為1.0 nm/sec，考慮到通道區域會以該蝕刻速率被蝕刻，從而需要預先使氧化物半導體膜成膜得較厚。

例如，於製造氧化物半導體層之通道區域之膜厚為40 nm以下之半導體裝置之情形時，需要預先成膜具有65 nm左右之膜厚之氧化物半導體膜，於形成源極電極及汲極電極時，以通道區域之膜厚成為40 nm以下之方式調整蝕刻時間。然而，於蝕刻速率較大之情形時，難以藉由蝕刻時間對通道區域之膜厚進行精密之控制。於此情形時，通道區域之膜厚之不均增大。

【0050】

又，當大幅減少通道區域之膜厚時，會於氧化物半導體層之上表面形成凹部。雖然設置於氧化物半導體層之上之層間絕緣層係以覆蓋凹部之方式成膜，但當凹部之深度較大時，層間絕緣層無法充分地覆蓋凹部。即，可能會於氧化物半導體層與層間絕緣層之間、或源極電極及汲極電極與層間絕緣層之間產生間隙。其不僅會導致半導體裝置之電特性不均，而且會導致可靠性不均。

【0051】

相對於此，具有多晶結構之氧化物半導體層26於乾式蝕刻及濕式蝕刻之任一情形時，均可使蝕刻速率為0.00 nm/sec~0.1 nm/sec，較佳為0.00 nm/sec~0.06 nm/sec。即，具有多晶結構之氧化物半導體層26與使用IGZO之氧化物半導體層相比，蝕刻速率更低，且具有更高之耐蝕刻性。因此，可於不考慮由蝕刻導致之氧化物半導體層之膜厚之減少之情況下，控制通道區域之膜厚。因此，於成膜氧化物半導體膜時，可以10 nm以上30 nm以下之膜厚成膜。又，可用作源極電極32S、汲極電極32D、及配線32W之導電材料之選擇性得到提高。例如，即便於對使用MoW/Al/MoW構造、或MoW構造之導電膜進行濕式蝕刻而形成源極電極32S及汲極電極32D之情形時，亦可抑制氧化物半導體層26之膜厚減少。

【0052】

如上所述，氧化物半導體層26對於源極電極32S及汲極電極32D之形成中所使用之蝕刻液之蝕刻速率非常小。因此，與源極電極32S及汲極電極32D中之一者重疊之氧化物半導體層26之第1區域(即，源極區域或汲極區域)之膜厚、和不與源極電極32S及汲極電極32D重疊之氧化物半導體層26之第2區域(即，通道區域)膜厚實質上相同。換言之，可控制成第1區域之膜厚與第2區域之膜厚之差成為5 nm以下，較佳為3 nm以下，進而較佳為1 nm以下。即，通道區域之膜厚之不均得到抑制。

【0053】

於圖3之步驟S1010(「形成SiO_x」)中，於氧化物半導體層26、源極電極32S、及汲極電極32D之上成膜層間絕緣層34。較佳為使用含有氧之絕緣材料作為層間絕緣層34。例如，可使用氧化矽(SiO_x)或氧氮化矽(SiO_xN_y)等作為層間絕緣層34。又，較佳為使用缺陷較少之絕緣膜作為層間絕緣層34。例如，於將層間絕緣層34中之氧之組成比和與層間絕緣層34相同之組成之絕緣膜(以下稱為「其他絕緣膜」)中之氧之組成比進行比較之情形時，層間絕緣層34中之氧之組成比相較於該其他絕緣膜中之氧之組成比更接近相對於該絕緣膜之化學計量比。例如，於將氧化矽(SiO_x)用於層間絕緣層34及閘極絕緣層16各者之情形時，層間絕緣層34具有比閘極絕緣層16更接近氧化矽(SiO₂)之化學計量比之組成比。作為層間絕緣層34，亦可使用藉由電子自旋共振(ESR)進行評價時未觀測到缺陷之層。

【0054】

層間絕緣層34可使用與閘極絕緣層14、16相同之成膜方法進行成膜。為了增加層間絕緣層34中之氧之組成比，只要以相對低溫(例如未達

350°C之成膜溫度)進行成膜即可。又，為了形成缺陷較少之絕緣膜作為層間絕緣層34，亦可於350°C以上之成膜溫度下成膜層間絕緣層34。進而，亦可於成膜層間絕緣層34之後，進行對層間絕緣層34之一部分注入氧之處理。

【0055】

層間絕緣層34之膜厚為50 nm以上300 nm以下、60 nm以上200 nm以下、或70 nm以上150 nm以下。

【0056】

於圖3之步驟S1011(「成膜MO」)中，於層間絕緣層34之上成膜金屬氧化物膜36(參照圖10)。金屬氧化物膜36係藉由濺鍍法或原子層沉積法(ALD：Atomic Layer Deposition)而成膜。

【0057】

作為金屬氧化物膜36，可使用以鋁為主成分之金屬氧化物膜。例如，作為金屬氧化物膜36，可使用氧化鋁(AlO_x)、氧氮化鋁(AlO_xN_y)、氮氧化鋁(AlN_xO_y)、氮化鋁(AlN_x)等無機絕緣膜。以鋁為主成分之金屬氧化物膜係指金屬氧化物膜中所含之鋁之比率為金屬氧化物膜整體之1%以上。金屬氧化物膜36中所含之鋁之比率可為金屬氧化物膜36整體之5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可為質量比，亦可為重量比。

【0058】

金屬氧化物膜36之膜厚為1 nm以上50 nm以下，較佳為1 nm以上30 nm以下。較佳為使用氧化鋁作為金屬氧化物膜36。氧化鋁具備對於氧氣或氫氣等氣體之高阻隔性。此處，阻隔性係指抑制氧氣或氫氣等氣體透過

氧化鋁之功能。即，係指不會使設置於氧化鋁膜之下之層中之氧氣或氫氣等氣體移動至設置於氧化鋁膜之上之層。或者，係指不會使設置於氧化鋁膜之上之層中之氧氣或氫氣等氣體移動至設置於氧化鋁膜之下之層。

【0059】

再者，亦可使用以除鋁以外之金屬為主成分之金屬氧化物作為金屬氧化物膜36。例如，可使用氧化銦錫(ITO)、氧化銦鋅(IZO)、或氧化銦鎵鋅(IGZO)等作為金屬氧化物膜36。

【0060】

於圖3之步驟S1012(「氧化退火」)中，於在氧化物半導體層26之上成膜有層間絕緣層34及金屬氧化物膜36之狀態下，進行加熱處理(參照圖10)。此處，氧化退火例如可以300°C以上450°C以下進行。藉此，將自層間絕緣層34釋放之氧供給至氧化物半導體層26。藉由以覆蓋基板11之方式設置金屬氧化物膜36，可抑制自層間絕緣層34釋放之氧釋放至金屬氧化物膜36之外部。

【0061】

於成膜氧化物半導體層26至在氧化物半導體層26之上成膜層間絕緣層34之間之工序中，於氧化物半導體層26產生大量氧缺陷。然而，藉由步驟S1012之氧化退火，從而將自層間絕緣層34釋放之氧供給至氧化物半導體層26，使得氧缺陷得到修復。

【0062】

於圖3之步驟S1013(「去除MO」)中，去除金屬氧化物膜36(參照圖11)。例如，金屬氧化物膜36只要使用稀釋氫氟酸(DHF)去除即可。

【0063】

於圖3之步驟S1014(「成膜SiN_x」)中，於層間絕緣層34之上成膜層間絕緣層38。較佳為使用含有氮之絕緣材料作為層間絕緣層38。例如，可使用氮化矽(SiN_x)或氮氧化矽(SiN_xO_y)等作為層間絕緣層38。層間絕緣層38可使用與閘極絕緣層14、16相同之成膜方法進行成膜。

【0064】

藉由以上之步驟，可製造圖1所示之半導體裝置10。

【0065】

於藉由上述製造方法製作出之半導體裝置10中，氧化物半導體層26之形狀之不均得到抑制。尤其是，可減少通道區域之膜厚之不均。其結果為，半導體裝置10具有穩定之電特性。因此，半導體裝置10之製造不均減少，良率提高。

【0066】

<第2實施方式>

參照圖12～圖15，對使用本發明之一實施方式之半導體裝置10之顯示裝置20進行說明。於以下所示之實施方式中，對將第1實施方式中所說明之半導體裝置10應用於液晶顯示裝置之電路之構成進行說明。

【0067】

[顯示裝置20之概要]

圖12係表示本發明之一實施方式之顯示裝置20之概要之模式性俯視圖。如圖12所示，顯示裝置20具有陣列基板300、密封部310、對向基板320、可撓性印刷電路基板330(FPC330)、及IC晶片340。陣列基板300及對向基板320藉由密封部310而貼合。複數個像素電路301呈矩陣狀配置於被密封部310包圍之液晶區域220中。液晶區域220係於俯視下與後述之液

晶元件311重疊之區域。

【0068】

設有密封部310之密封區域240係液晶區域220之周圍之區域。FPC330設置於端子區域260。端子區域260係陣列基板300自對向基板320露出之區域，設置於密封區域240之外側。密封區域240之外側係指設有密封部310之區域及被密封部310包圍之區域之外側。IC晶片340設置於FPC330上。IC晶片340供給用以驅動各像素電路301之信號。

【0069】

[顯示裝置20之電路構成]

圖13係表示本發明之一實施方式之顯示裝置20之電路構成之方塊圖。如圖13所示，於在第2方向D2(行方向)上與配置有像素電路301之液晶區域220相鄰之位置設有源極驅動電路302，於在第1方向D1(列方向)上與液晶區域220相鄰之位置設有閘極驅動電路303。源極驅動電路302及閘極驅動電路303設置於上述密封區域240。但是，設有源極驅動電路302及閘極驅動電路303之區域並不限定於密封區域240，亦可為任意區域，只要是設有像素電路301之區域之外側即可。

【0070】

源極配線304自源極驅動電路302沿第2方向D2延伸，連接於沿第2方向D2排列之複數個像素電路301。閘極電極12GE自閘極驅動電路303沿第1方向D1延伸，連接於沿第1方向D1排列之複數個像素電路301。

【0071】

於端子區域260設有端子部306。端子部306與源極驅動電路302藉由連接配線307連接。同樣，端子部306與閘極驅動電路303藉由連接配線

307連接。藉由FPC330連接於端子部306，從而FPC330所連接之外部設備與顯示裝置20連接，藉由來自外部設備之信號驅動設置於顯示裝置20之各像素電路301。

【0072】

第1實施方式所示之半導體裝置10可用作像素電路301、源極驅動電路302、及閘極驅動電路303中所含之電晶體。

【0073】

[顯示裝置20之像素電路301]

圖14係表示本發明之一實施方式之顯示裝置20之像素電路301之電路圖。如圖14所示，像素電路301包含半導體裝置10、保持電容350、及液晶元件311等元件。半導體裝置10具有閘極電極12GE、氧化物半導體層26、源極電極32S、及汲極電極32D。閘極電極12GE連接於閘極配線305。源極電極32S連接於源極配線304。汲極電極32D連接於保持電容350及液晶元件311。

【0074】

[顯示裝置20之構成]

圖15係本發明之一實施方式之顯示裝置20之模式性剖視圖。圖15所示之顯示裝置20中應用了半導體裝置10。

【0075】

如圖15所示，於基板11之上設有閘極電極12GE。於閘極電極12GE之上設有閘極絕緣層14、16。於閘極絕緣層14、16之上設有氧化物半導體層26。於氧化物半導體層26之上設有源極電極32S及汲極電極32D。

【0076】

於源極電極32S及汲極電極32D之上設有層間絕緣層34、38。於層間絕緣層34、38之上設有絕緣層39。絕緣層39係為了緩和由半導體裝置10產生之凹凸而設置。於層間絕緣層34、38、及絕緣層39，以使源極電極32S之上表面露出之方式形成有接觸孔。於絕緣層39之上設有共通地設置於複數個像素之共通電極42C。於共通電極42C之上設有絕緣層44。於接觸孔之內部設有絕緣層44。藉由用氮化矽膜形成絕緣層44，可抑制水分自接觸孔經由絕緣層44滲入。於絕緣層44之上及接觸孔之內部設有像素電極46P。像素電極46P連接於汲極電極32D。

【0077】

又，於基板11之上設有配線12C，該配線12C經由設置於閘極絕緣層14、16之接觸孔與配線32C連接。配線12C及配線32C作為電容配線而發揮功能。又，於絕緣層39之上及開口之內部設有電極46C。藉由共通電極42C、絕緣層44、及電極46C形成保持電容350。

【0078】

雖然於本實施方式中例示半導體裝置10用於像素電路301之構成，但半導體裝置10亦可用於包含源極驅動電路302及閘極驅動電路303之周邊電路。

【0079】

<第3實施方式>

參照圖16及圖17，對使用本發明之一實施方式之半導體裝置10之顯示裝置20進行說明。於本實施方式中，對第1實施方式中所說明之半導體裝置10應用於有機EL顯示裝置之電路之構成進行說明。顯示裝置20之概要及電路構成與圖12及圖13所示者相同，因此將省略說明。

【0080】**[顯示裝置20之像素電路301]**

圖16係表示本發明之一實施方式之顯示裝置20之像素電路之電路圖。如圖16所示，像素電路301包含驅動電晶體110、選擇電晶體120、保持電容210、及發光元件DO等元件。驅動電晶體110及選擇電晶體120具備與半導體裝置10相同之構成。選擇電晶體120之源極電極連接於信號線211，選擇電晶體120之閘極電極連接於閘極線212。驅動電晶體110之源極電極連接於陽極電源線213，驅動電晶體110之汲極電極連接於發光元件DO之一端。發光元件DO之另一端連接於陰極電源線214。驅動電晶體110之閘極電極連接於選擇電晶體120之汲極電極。保持電容210連接於驅動電晶體110之閘極電極及汲極電極。信號線211被供給決定發光元件DO之發光強度之灰階信號。閘極線212被供給選擇寫入上述灰階信號之像素列之信號。

【0081】**[顯示裝置20之截面構造]**

圖17係表示本發明之一實施方式之顯示裝置20之構成之模式性剖視圖。圖17所示之顯示裝置20之構成與圖15所示之顯示裝置20相似，但圖17所示之顯示裝置20之較絕緣層39更上方之構造與圖15所示之顯示裝置20之較絕緣層39更上方之構造不同。以下，圖17所示之顯示裝置20之構成中，對於與圖15所示之顯示裝置20相同之構成將省略說明，對兩者之不同點進行說明。

【0082】

如圖17所示，顯示裝置20於絕緣層39之上方具有像素電極390、發光

層392、及共通電極394(發光元件DO)。像素電極390設置於絕緣層39之上以及形成於層間絕緣層34、38及絕緣層39之接觸孔之內部。於像素電極390之上設有絕緣層362。於絕緣層362設有開口363。開口363對應於發光區域。即，絕緣層362劃定像素。於藉由開口363露出之像素電極390之上設有發光層392及共通電極394。對於各像素，個別地設有像素電極390及發光層392。另一方面，共通電極394共通地設置於複數個像素。發光層392使用根據像素之顯示顏色而不同之材料。

【0083】

雖然於第2實施方式及第3實施方式中，例示了將第1實施方式中所說明之半導體裝置10應用於液晶顯示裝置及有機EL顯示裝置所得之構成，但亦可將半導體裝置10應用於除該等顯示裝置以外之顯示裝置(例如除有機EL顯示裝置以外之自發光型顯示裝置或電子紙型顯示裝置)。又，半導體裝置10可從中小型顯示裝置到大型顯示裝置無特別限定地應用。又，即便於使用大面積基板進行製造之情形時，半導體裝置10中之氧化物半導體層26之形狀之不均亦較小。因此，於將半導體裝置10應用於顯示裝置20之情形時，可減少顯示不均。又，可提高製造顯示裝置20時之良率。

[實施例]

【0084】

(實施例1)

於本實施例中，說明對具有多晶結構之氧化物半導體層之耐蝕刻性之測定結果。

【0085】

對本實施例中使用之樣品進行說明。於矽晶圓上形成具有30 nm之多

晶結構之氧化物半導體層(Poly-OS)。繼而，於氧化物半導體層之上形成導電膜。作為導電膜，使用MoW構造、MoW/Al/MoW構造、Ti構造、及Ti/Al/Ti構造四種構造。

【0086】

對於MoW構造之導電膜及氧化物半導體層，準備用混酸蝕刻溶液對其進行濕式蝕刻所得之樣品、用H₂O₂/NH₃溶液對其進行濕式蝕刻所得之樣品、及用氟系氣體對其進行乾式蝕刻所得之樣品。

【0087】

對於MoW/Al/MoW構造之導電膜及氧化物半導體層，準備用混酸蝕刻溶液對其進行濕式蝕刻所得之樣品。

【0088】

對於Ti構造之導電膜及氧化物半導體層，準備用H₂O₂/NH₃溶液對其進行濕式蝕刻所得之樣品、用氟系氣體對其進行乾式蝕刻所得之樣品、及用氯系氣體對其進行乾式蝕刻所得之樣品。

【0089】

對於Ti/Al/Ti構造之導電膜及氧化物半導體層，準備用H₂O₂/NH₃溶液對Ti進行濕式蝕刻、用混酸蝕刻溶液對Al進行濕式蝕刻、並用H₂O₂/NH₃溶液對Ti進行濕式蝕刻所得之樣品、及用氯系氣體進行乾式蝕刻所得之樣品。

【0090】

再者，作為混酸蝕刻溶液，使用Rasa Industries股份有限公司製造之「混酸 AT-2F(製品名)」。混酸蝕刻溶液內之磷酸之比率約為65%。又，將對各樣品進行蝕刻時之混酸蝕刻溶液之溫度設定為40°C(溫度有調整)，

將 H_2O_2/NH_3 溶液之溫度設定為 $22^\circ C$ (溫度無調整，室溫)。

【0091】

繼而，對比較例中使用之樣品進行說明。於矽晶圓上成膜 40 nm 之IGZO之氧化物半導體層。繼而，於氧化物半導體層之上形成導電膜。使用Ti構造作為導電膜。準備用氟系氣體對Ti構造之導電膜及氧化物半導體層進行乾式蝕刻所得之樣品。

【0092】

關於本實施例，將相對於對各種導電膜進行加工後之估算之過蝕刻時間的多晶氧化物半導體層之蝕刻速率(單位： nm/sec)示於表1。

【0093】

[表1]

	濕式蝕刻		乾式蝕刻	
	混酸蝕刻溶液	H_2O_2/NH_3 溶液	氟系氣體	氯系氣體
MoW構造	0.00	0.02	0.00	-
MoW/Al/MoW構造	0.00	-	-	-
Ti構造	-	0.06	0.05	0.22
Ti/Al/Ti構造	0.02		-	0.30

【0094】

關於比較例，相對於對Ti構造之導電膜進行加工後之估算之過蝕刻時間的氧化物半導體層(IGZO)之蝕刻速率為 $1.00\text{ nm}/\text{sec}$ 。

【0095】

如表1所示，表明具有多晶結構之氧化物半導體層之耐蝕刻性高於非晶質之氧化物半導體層(IGZO)。又，表明於用混酸蝕刻溶液進行蝕刻之情形、用 H_2O_2/NH_3 溶液進行蝕刻之情形、及用氟系氣體進行蝕刻之情形時為 $0.00\text{ nm}/\text{sec} \sim 0.06\text{ nm}/\text{sec}$ 之蝕刻速率。表明即便於用氯系氣體進行蝕刻之情形時，亦具有充分高於氧化物半導體層(IGZO)之耐蝕刻性。

【0096】

(實施例2)

繼而，對按照第1實施方式之圖3所示之流程圖而製造之半導體裝置10之電特性之測定結果進行說明。

【0097】

對在實施例2中作為半導體裝置10製作之樣品A～樣品C進行說明。於樣品A～樣品C之製作中，省略圖3所示之表示半導體裝置10之製造方法之流程圖之步驟S1008之工序。

【0098】

於基板之上形成閘極電極12GE，於閘極電極12GE之上形成閘極絕緣層14、16。於閘極絕緣層14、16之上形成30 nm之氧化物半導體膜22。藉由對氧化物半導體膜22進行加工，而形成氧化物半導體層24，藉由進行將溫度控制於350°C～450°C之範圍內之OS退火，而形成多晶結構之氧化物半導體層26(Poly-OS)。

【0099】

於氧化物半導體層26之上形成MoW/Al/MoW構造作為導電膜，使用混酸蝕刻溶液對導電膜進行濕式蝕刻，而形成源極電極32S及汲極電極32D。繼而，於成膜氧化矽層作為層間絕緣層34後，形成10 nm之氧化鋁層作為金屬氧化物膜36，進行氧化退火後，去除金屬氧化物膜36。最後，於層間絕緣層34之上成膜層間絕緣層38。

【0100】

樣品A～樣品C各者之層間絕緣層34之成膜溫度之條件不同。樣品A～樣品C中之層間絕緣層34之成膜溫度分別為300°C、325°C、及350°C。

【0101】

於樣品A～樣品C中，測量氧化物半導體層26之膜厚，結果為通道區域之膜厚與源極區域或汲極區域之膜厚之差未達2 nm。

【0102】

繼而，測定樣品A～樣品C之電特性。將電特性之測定條件示於表2。

【0103】

[表2]

通道區域之大小	W/L=6.0 μm/6.0 μm
源極-汲極間電壓	0.1 V、10 V
閘極電壓	-40 V～+40 V(0.2 V Step)
測定環境	室溫、暗室

【0104】

圖18係表示實施例2中之樣品A～樣品C之電特性(I_d - V_g 特性)之圖。橫軸係閘極電壓 V_g ，縱軸係汲極電流(I_d)。又，將根據圖18所示之電特性算出之場效遷移率(線性區域中之場效遷移率)及閾值示於表3。

【0105】

[表3]

	場效遷移率(cm^2/Vs)	閾值(V)
樣品A	24.24	1.07
樣品B	25.23	-0.06
樣品C	24.34	-0.35

【0106】

根據圖18及表3可理解，於樣品A～樣品C中，即便成膜溫度不同之層間絕緣層34與多晶結構之氧化物半導體層(Poly-OS)相接，亦可獲得穩定之場效遷移率。即，半導體裝置10可藉由控制氧化物半導體層26之形

狀(尤其是通道區域之膜厚)，而獲得穩定之電特性。

【0107】

再者，當層間絕緣層34之成膜溫度增高時，電特性之閾值向負側偏移。因此，於半導體裝置10之電特性中，於將閾值設為增強型之情形時，較佳為於300°C以下成膜層間絕緣層34。

【0108】

作為本發明之實施方式而於上文所述之各實施方式及變化例除非相互矛盾，否則可適當地組合而實施。又，業者基於各實施方式及變化例而適當地對構成要素進行追加、刪除或設計變更所得者、或對工序進行追加、省略或條件變更所得者只要具備本發明之要旨，則亦包含在本發明之範圍內。

【0109】

即便是與由上述各實施方式之態樣所帶來之作用效果不同之其他作用效果，根據本說明書之記載而明確之作用效果、或者業者能容易地預測之作用效果當然亦應理解為由本發明所帶來之作用效果。

【符號說明】

【0110】

10:半導體裝置

11:基板

12C:配線

12GE:閘極電極

12W:配線

14:閘極絕緣層

15:接觸孔
16:閘極絕緣層
20:顯示裝置
22:氧化物半導體膜
24:氧化物半導體層
26:氧化物半導體層
32C:配線
32D:汲極電極
32S:源極電極
32W:配線
34:層間絕緣層
36:金屬氧化物膜
38:層間絕緣層
39:絕緣層
42C:共通電極
44:絕緣層
46C:電極
46P:像素電極
110:驅動電晶體
120:選擇電晶體
210:保持電容
211:信號線
212:閘極線

- 213:陽極電源線
- 214:陰極電源線
- 220:液晶區域
- 240:密封區域
- 260:端子區域
- 300:陣列基板
- 301:像素電路
- 302:源極驅動電路
- 303:閘極驅動電路
- 304:源極配線
- 305:閘極配線
- 306:端子部
- 307:連接配線
- 310:密封部
- 311:液晶元件
- 320:對向基板
- 330:可撓性印刷電路基板
- 340:晶片
- 350:保持電容
- 362:絕緣層
- 363:開口
- 390:像素電極
- 392:發光層

394:共通電極

D1:第1方向

D2:第2方向

DO:發光元件

L:通道長度

S1001:步驟

S1002:步驟

S1004:步驟

S1005:步驟

S1006:步驟

S1008:步驟

S1009:步驟

S1010:步驟

S1011:步驟

S1012:步驟

S1013:步驟

S1014:步驟

W:通道寬度

【發明申請專利範圍】

【請求項1】

一種半導體裝置，其包含：

閘極電極、

上述閘極電極之上之閘極絕緣層、

上述閘極絕緣層之上之具有多晶結構之氧化物半導體層、

上述氧化物半導體層之上之源極電極及汲極電極、以及

覆蓋上述源極電極及汲極電極且與上述氧化物半導體層相接之層間絕緣層，

上述氧化物半導體層包含與上述源極電極及汲極電極中之一者重疊之第1區域、及與上述層間絕緣層相接之第2區域，

上述第1區域之膜厚與上述第2區域之膜厚之差為5 nm以下。

【請求項2】

如請求項1之半導體裝置，其中上述氧化物半導體層對於形成上述源極電極及汲極電極所用之蝕刻液之蝕刻速率為0.1 nm/sec以下。

【請求項3】

如請求項2之半導體裝置，其中上述蝕刻液係包含選自由磷酸、乙酸、硝酸、氫氟酸、鹽酸、硫酸、及草酸所組成之群中之至少兩者之溶液。

【請求項4】

如請求項1之半導體裝置，其中上述氧化物半導體層對於形成上述源極電極及汲極電極所用之蝕刻氣體之蝕刻速率為0.5 nm/sec以下。

【請求項5】

如請求項4之半導體裝置，其中上述蝕刻氣體係含有氟之氣體，
上述蝕刻速率為0.1 nm/sec以下。

【請求項6】

如請求項1之半導體裝置，其中上述第1區域之上述膜厚為10 nm以上
30 nm以下。

【請求項7】

如請求項1之半導體裝置，其中上述氧化物半導體層包含銮及至少一
種以上金屬元素，

上述銮相對於上述銮及上述至少一種以上金屬元素之比率為50%以
上。

【請求項8】

一種半導體裝置之製造方法，其包括如下步驟：

形成閘極電極；

於上述閘極電極之上形成閘極絕緣層；

於上述閘極絕緣層之上形成具有多晶結構之氧化物半導體層；

於上述氧化物半導體層之上成膜導電膜；

藉由蝕刻對上述導電膜進行圖案化，而形成源極電極及汲極電極；

以及

形成覆蓋上述源極電極及汲極電極且與上述氧化物半導體層相接之
層間絕緣層；

上述氧化物半導體層包含與上述源極電極及汲極電極中之一者重疊
之第1區域、及與上述層間絕緣層相接之第2區域，

上述第1區域之膜厚與上述第2區域之膜厚之差為5 nm以下。

【請求項9】

如請求項8之半導體裝置之製造方法，其中於上述蝕刻中使用蝕刻液，

上述氧化物半導體層對於上述蝕刻液之蝕刻速率為0.1 nm/sec以下。

【請求項10】

如請求項9之半導體裝置之製造方法，其中上述蝕刻液係包含選自由磷酸、乙酸、硝酸、氫氟酸、鹽酸、硫酸、及草酸所組成之群中之至少兩者之溶液。

【請求項11】

如請求項8之半導體裝置之製造方法，其中於上述蝕刻中使用蝕刻氣體，

上述氧化物半導體層對於上述蝕刻氣體之蝕刻速率為0.5 nm/sec以下。

【請求項12】

如請求項11之半導體裝置之製造方法，其中上述蝕刻氣體係含有氟之氣體，

上述蝕刻速率為0.1 nm/sec以下。

【請求項13】

如請求項8之半導體裝置之製造方法，其中上述第1區域之上述膜厚為10 nm以上30 nm以下。

【請求項14】

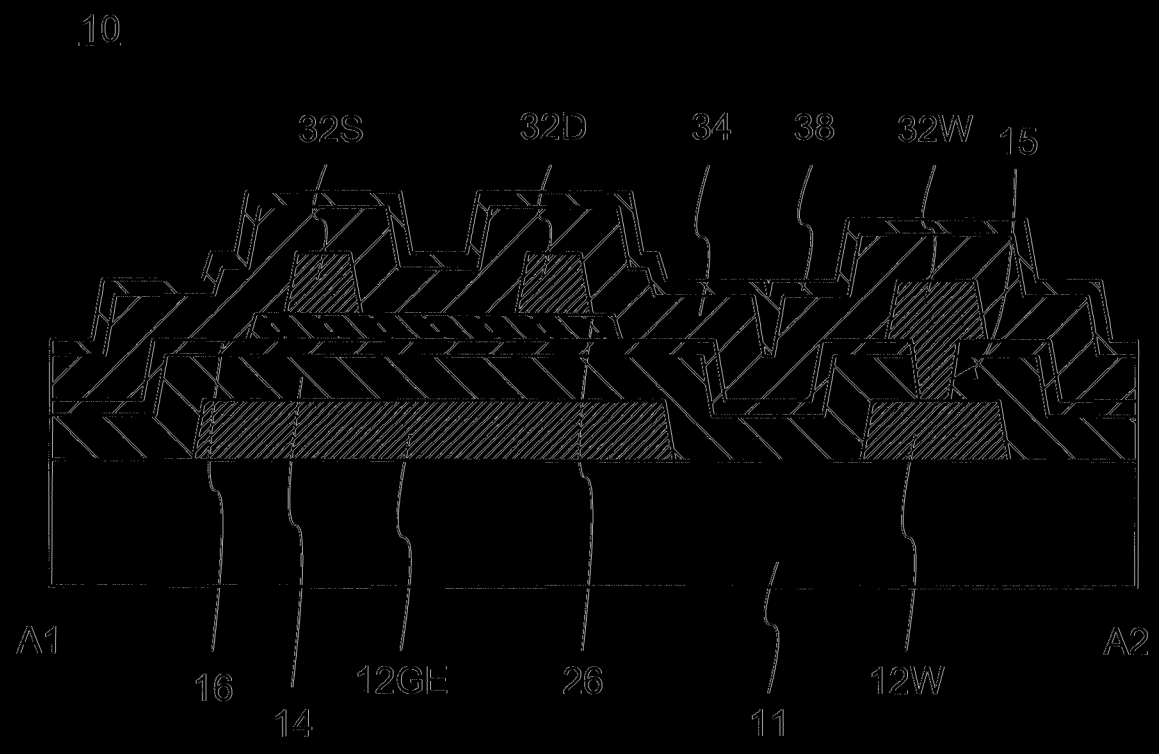
如請求項8之半導體裝置之製造方法，其中上述氧化物半導體層包含銮及至少一種以上金屬元素，

上述鋼相對於上述鋼及上述至少一種以上金屬元素之比率為50%以上。

【請求項15】

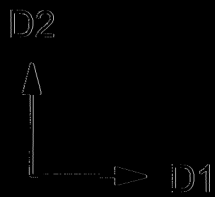
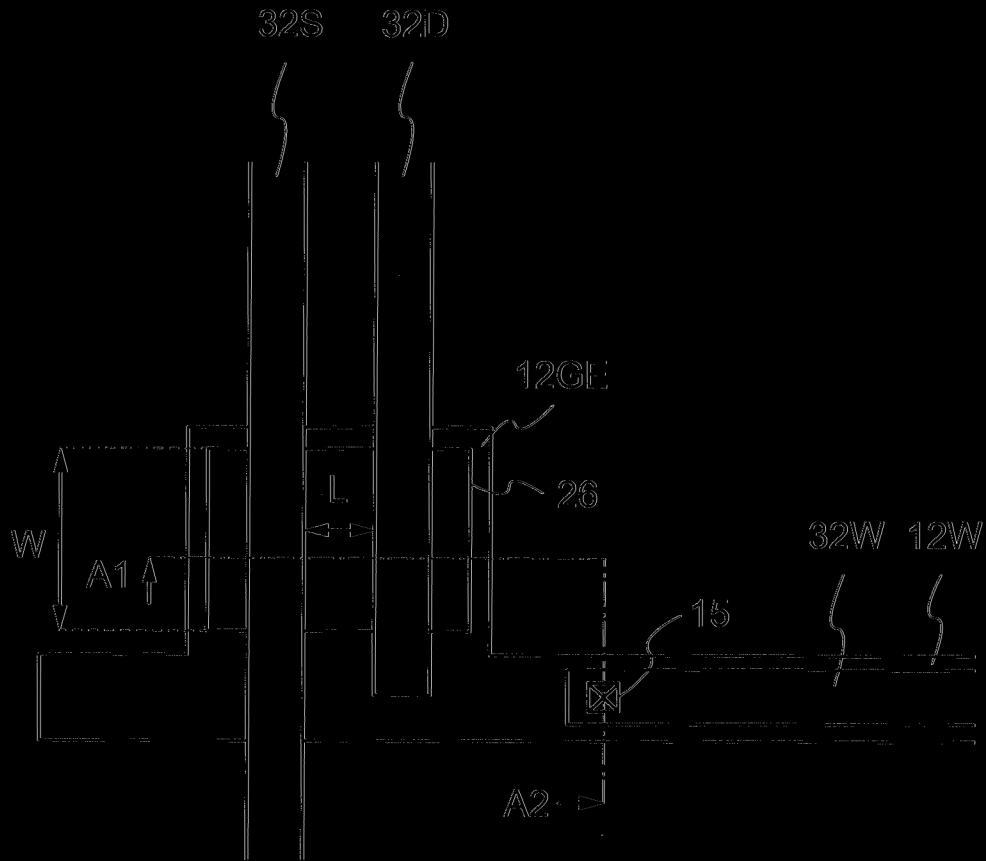
如請求項14之半導體裝置之製造方法，其中上述氧化物半導體層係藉由對具有非晶結構之氧化物半導體膜進行熱處理而形成。

(發明圖式)

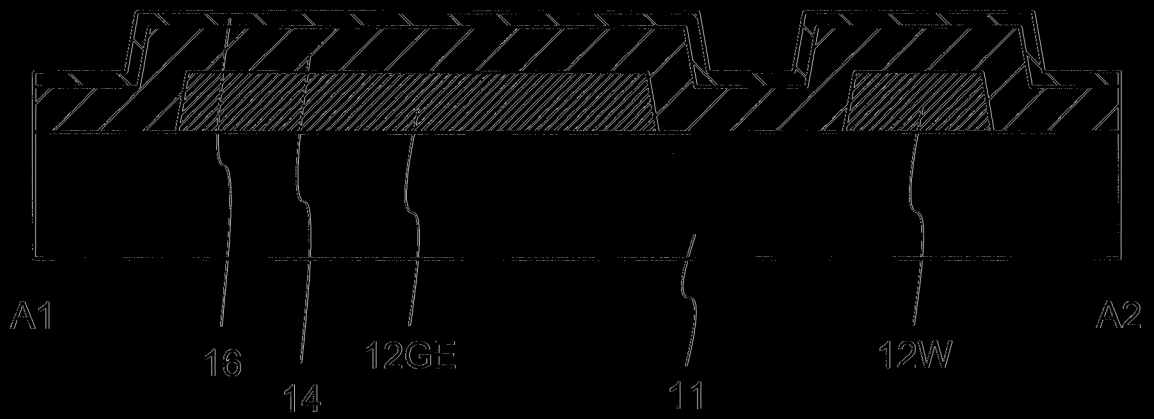


(圖1)

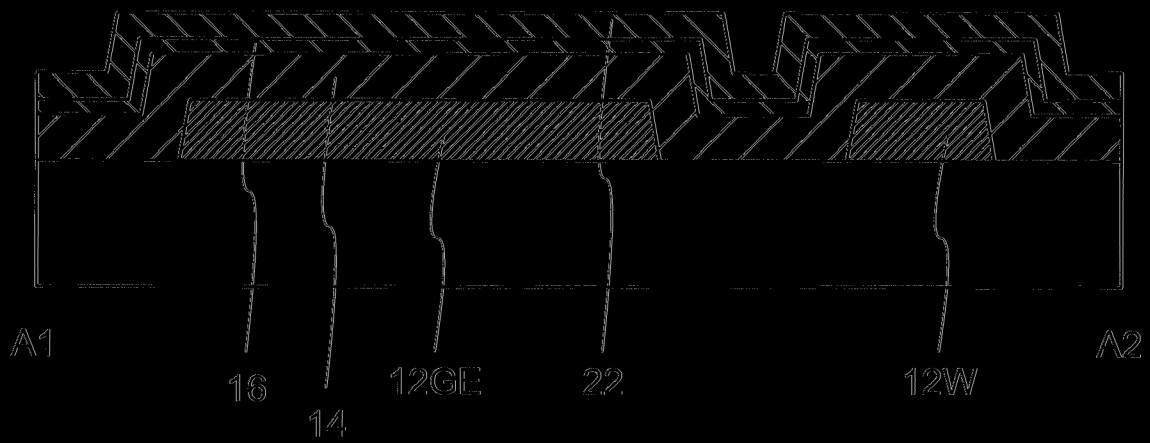
10



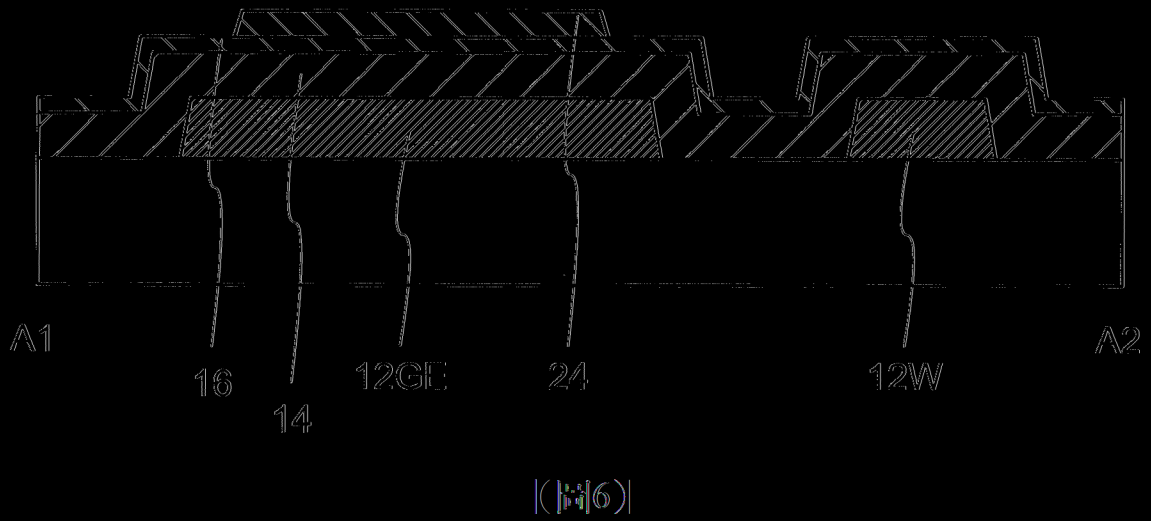
(圖2)



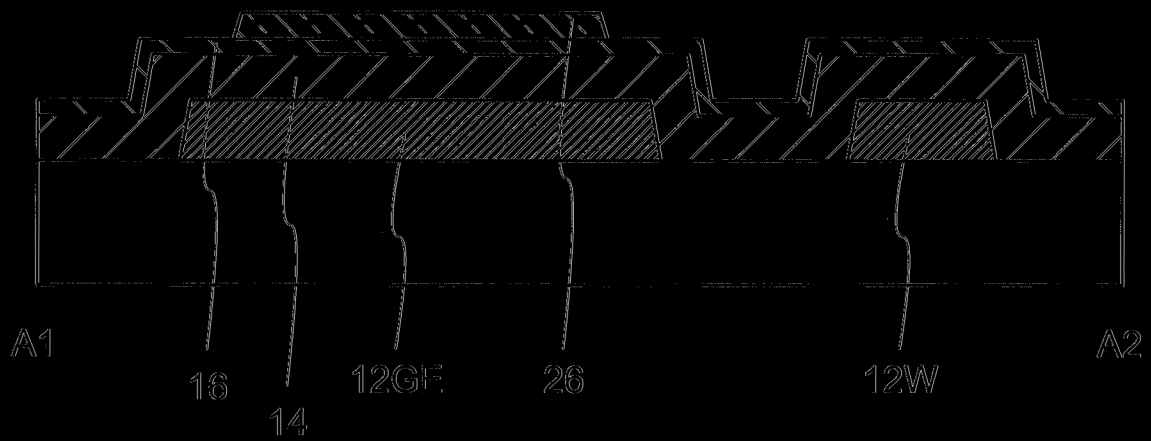
(114)



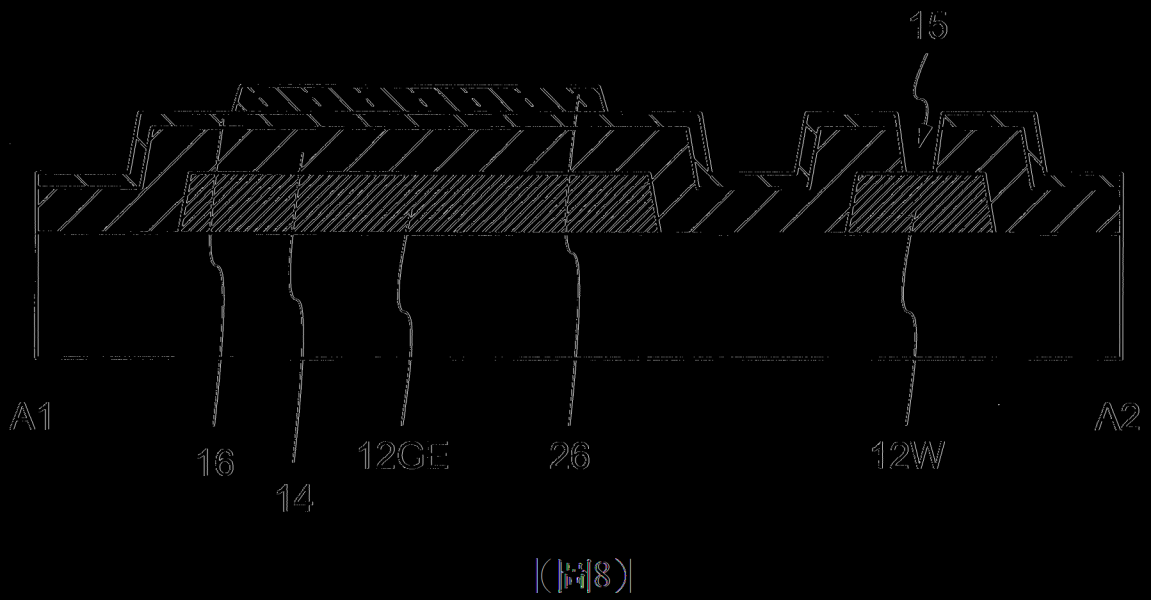
(圖5)

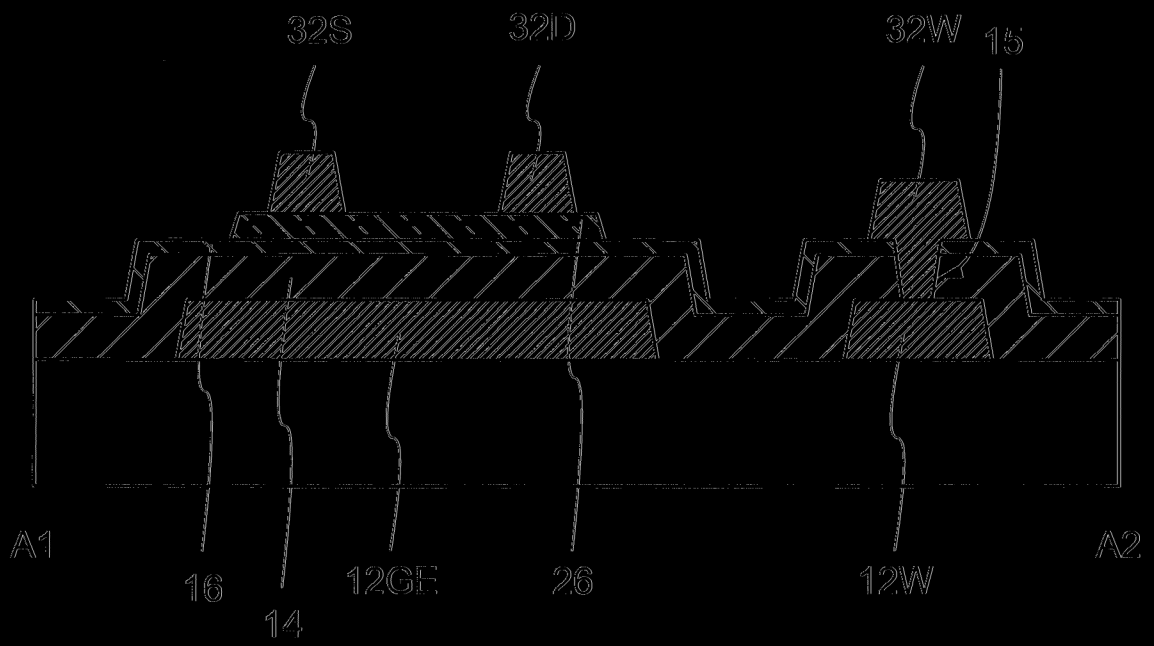


(FIG. 6)

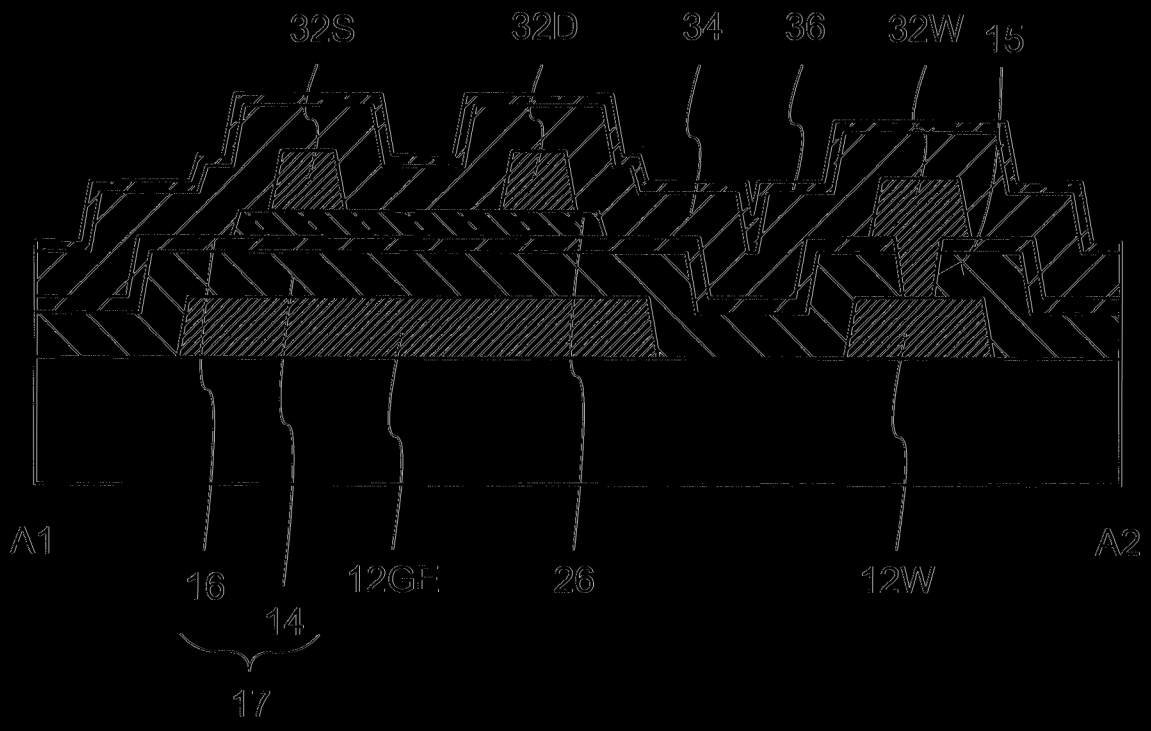


(圖7)

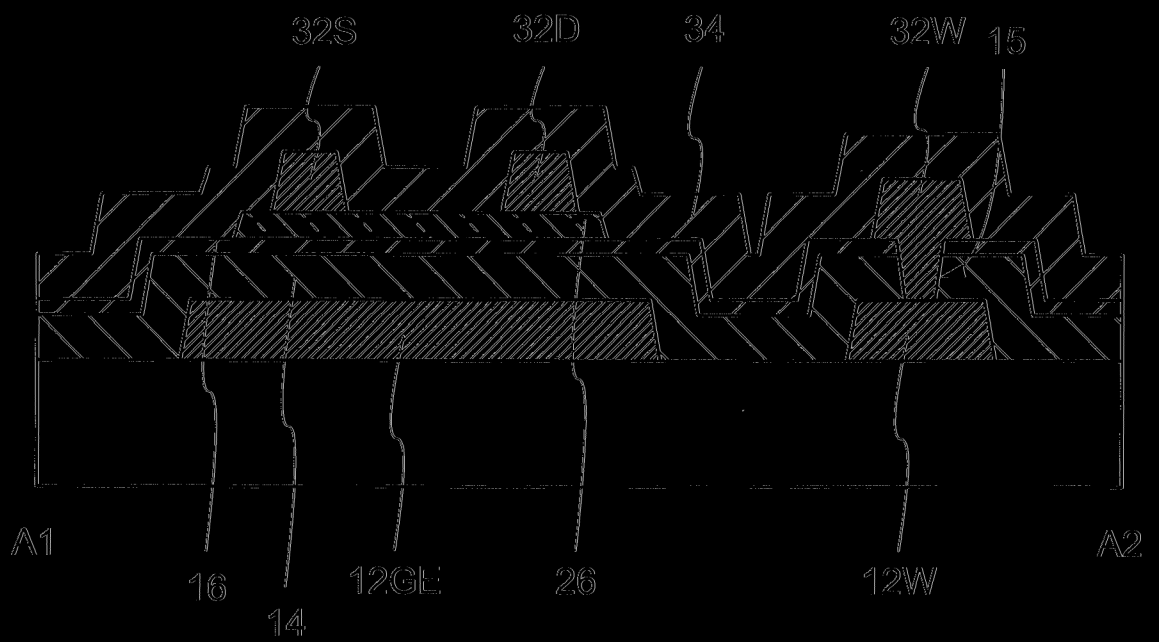




(圖9)

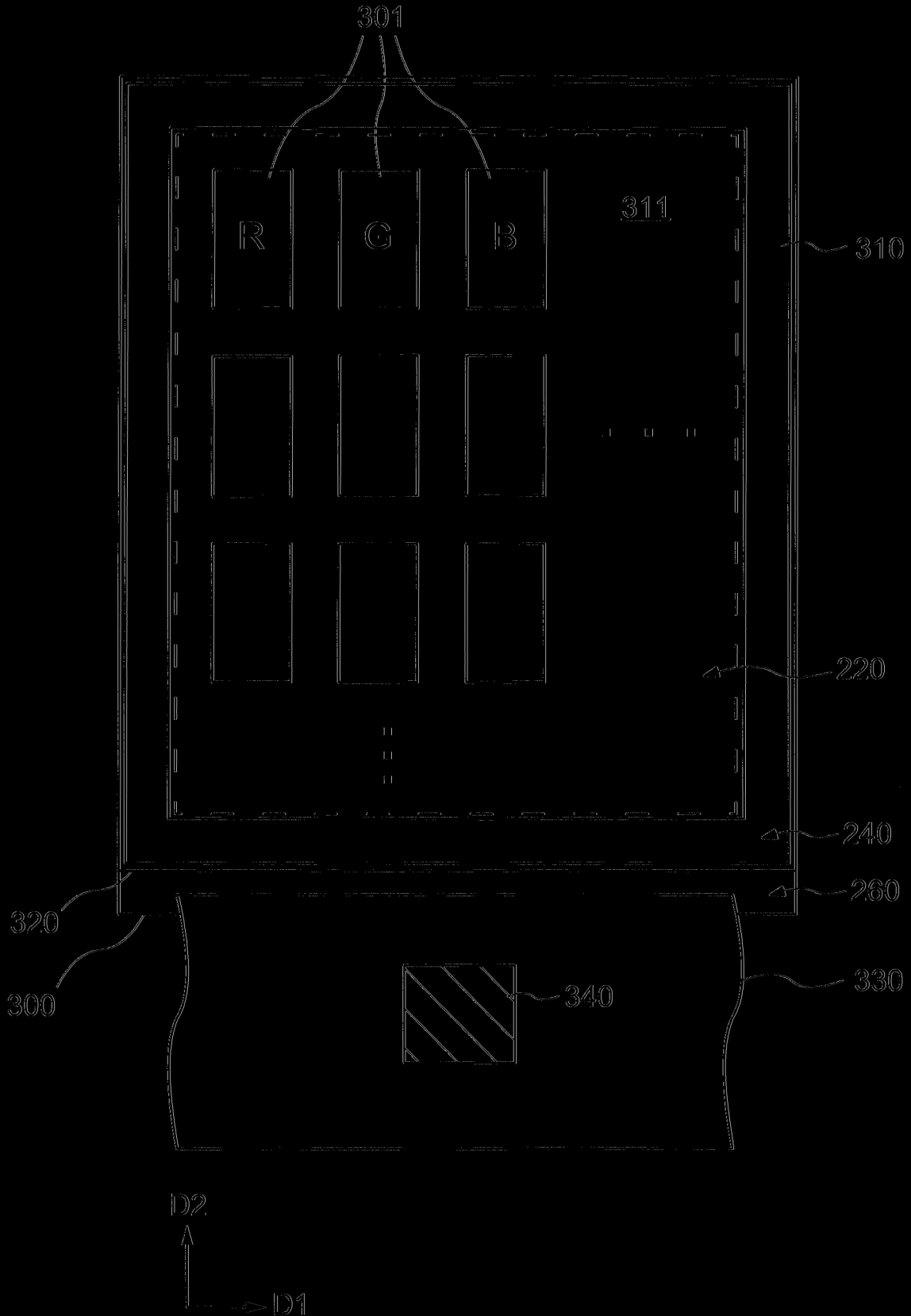


(圖10)

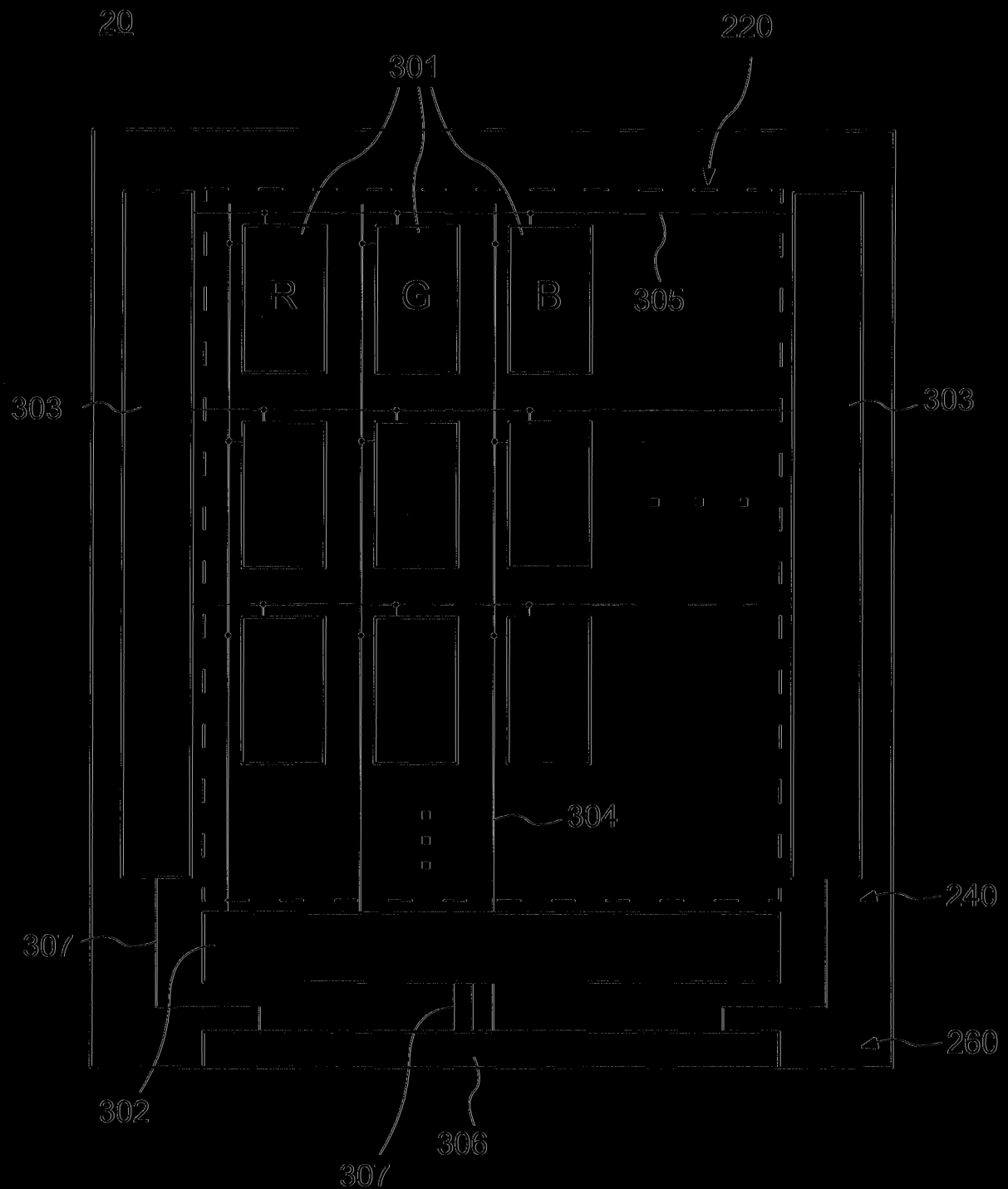


(圖11)

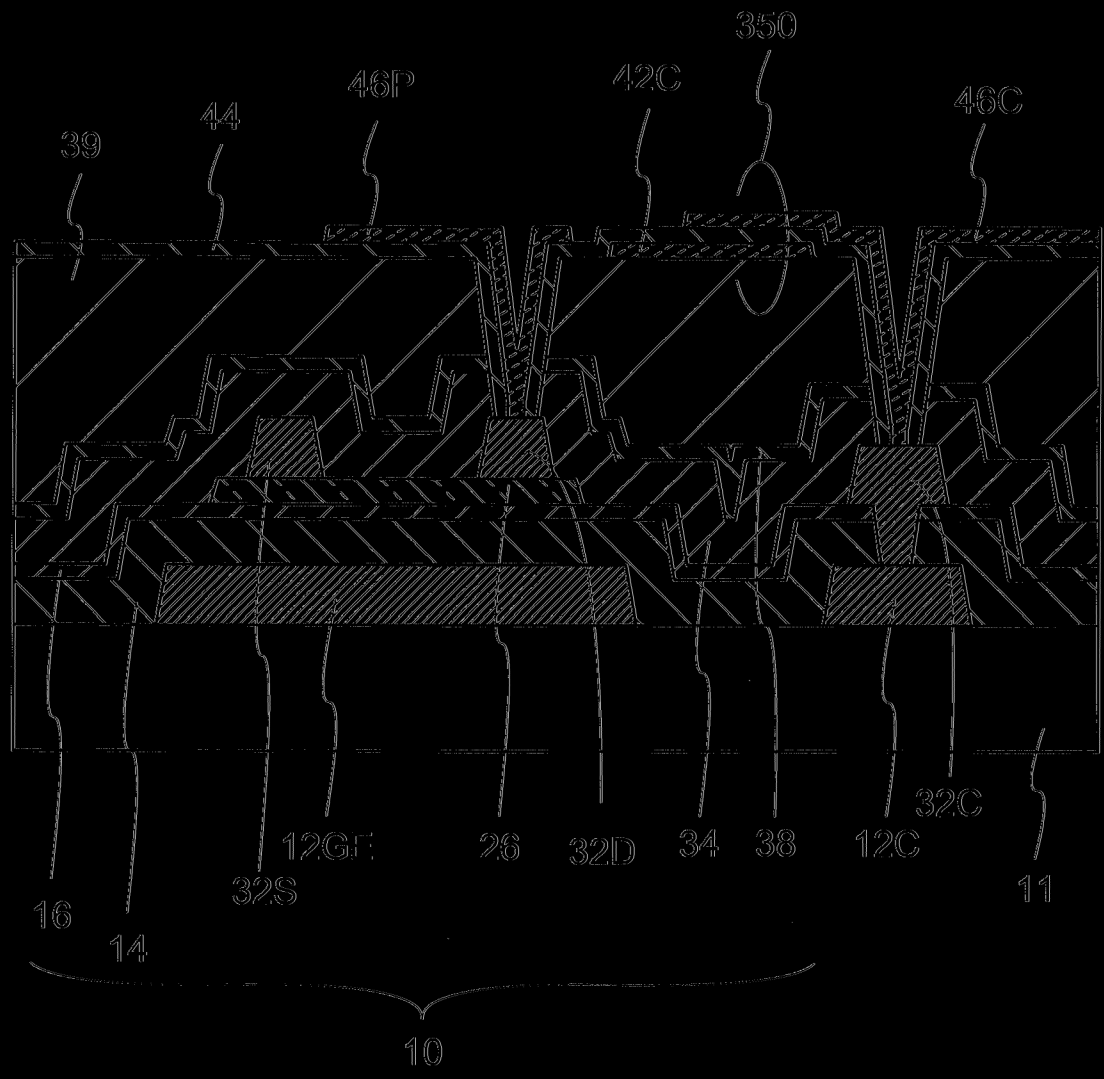
20



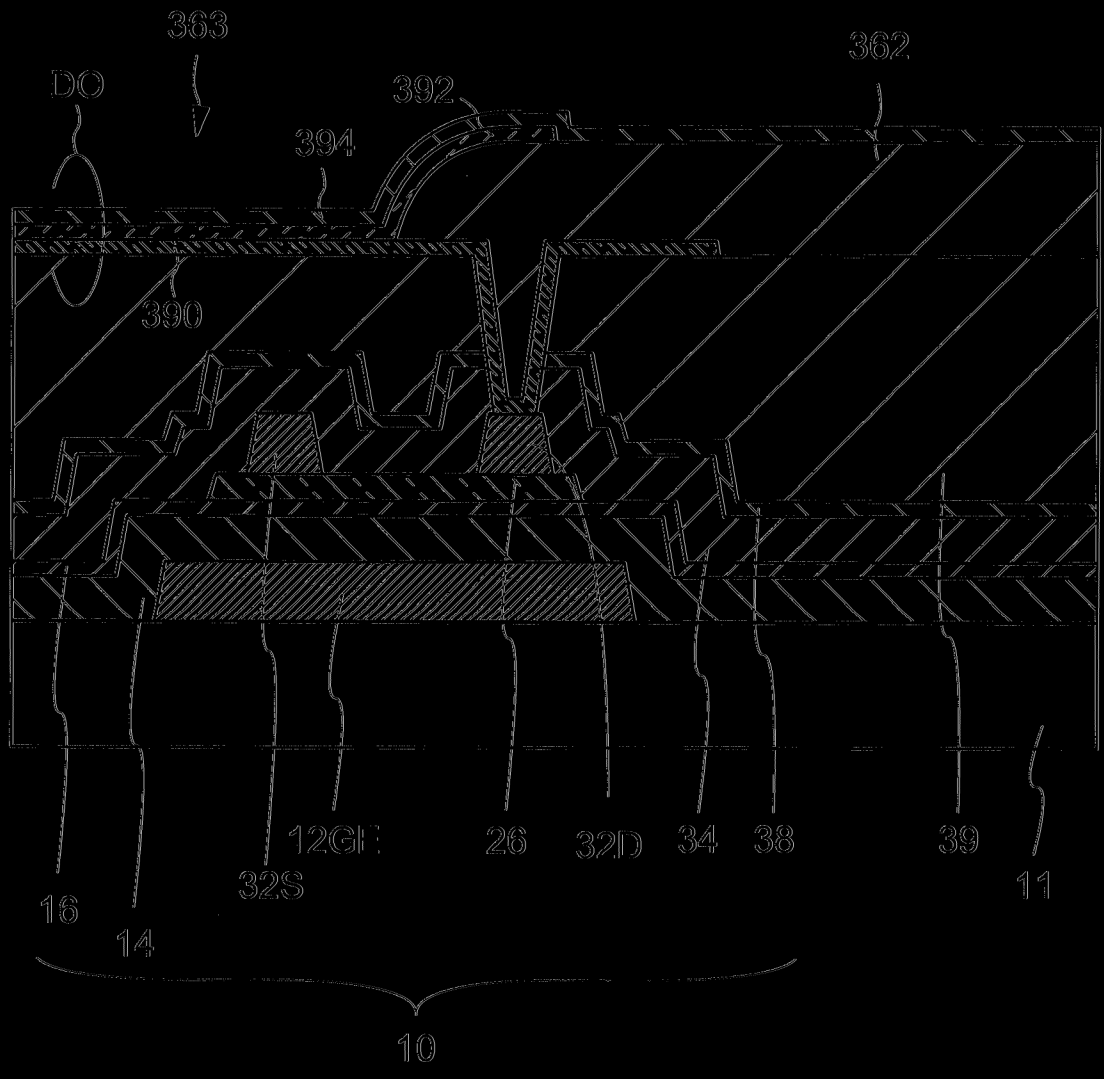
(圖12)



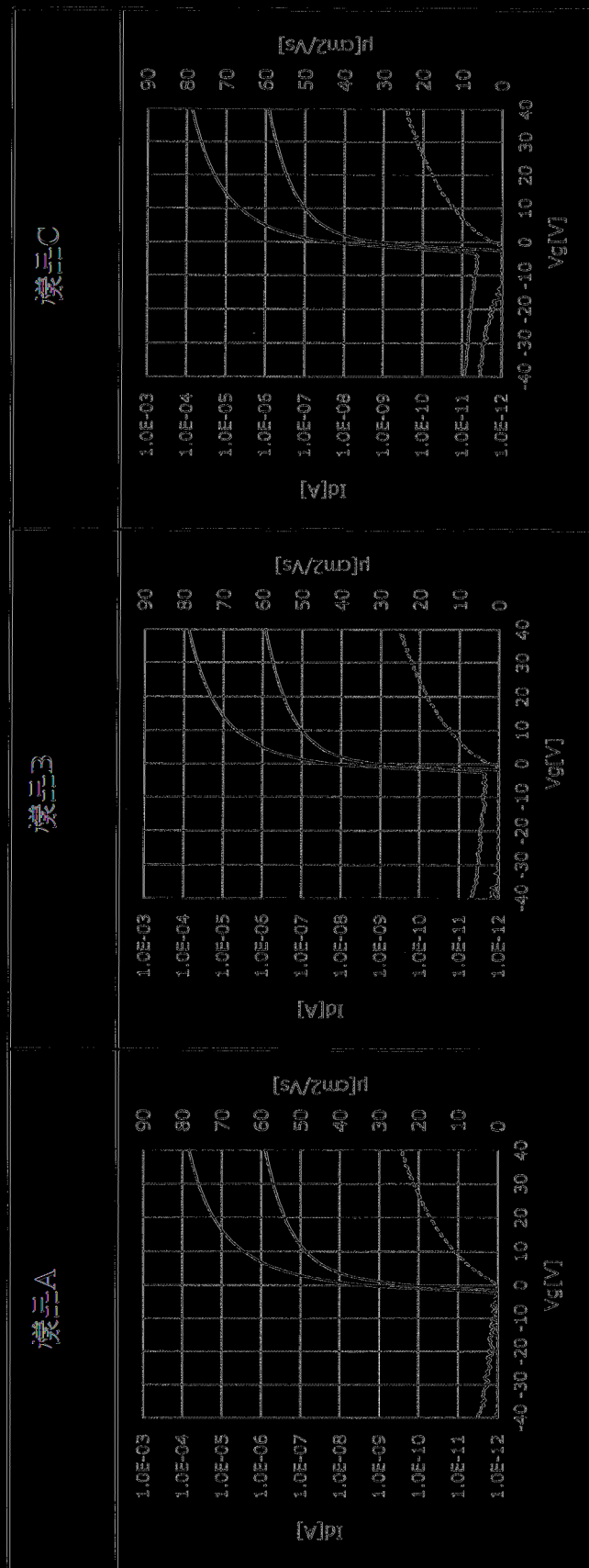
(圖13)



(圖15)



(圖17)



(圖 18)