

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4282713号
(P4282713)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl.			F I		
HO3K	19/0175	(2006.01)	HO3K	19/00	1O1Q
HO3K	19/0948	(2006.01)	HO3K	19/00	1O1F
HO1L	21/822	(2006.01)	HO3K	19/094	B
HO1L	27/04	(2006.01)	HO1L	27/04	V

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2006-319937 (P2006-319937)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成18年11月28日(2006.11.28)	(74) 代理人	100115738 弁理士 鷲頭 光宏
(65) 公開番号	特開2008-135925 (P2008-135925A)	(74) 代理人	100121681 弁理士 緒方 和文
(43) 公開日	平成20年6月12日(2008.6.12)	(72) 発明者	余公 秀之 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
審査請求日	平成20年1月21日(2008.1.21)	審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 キャリブレーション回路を有する半導体装置及びキャリブレーション方法

(57) 【特許請求の範囲】

【請求項1】

ソース・ドレイン電流通路が並列に接続された複数のPチャンネルトランジスタとソース・ドレイン電流通路が並列に接続された複数のNチャンネルトランジスタとを具備する出力バッファと、

ソース・ドレイン電流通路が並列に接続された複数のPチャンネルトランジスタを具備する第1のレプリカバッファと、

ソース・ドレイン電流通路が並列に接続された複数のNチャンネルトランジスタを具備する第2のレプリカバッファと、

第1の制御信号に同期して動作し、前記第1のレプリカバッファに含まれる前記Pチャンネルトランジスタのうち、オンさせるトランジスタを選択することによって前記第1のレプリカバッファのインピーダンスを所定値に設定すると共にそのときのカウント値を保持する第1のカウントと、

第2の制御信号に同期して動作し、前記第2のレプリカバッファに含まれる前記Nチャンネルトランジスタのうち、オンさせるトランジスタを選択することによって前記第2のレプリカバッファのインピーダンスを所定値に設定すると共にそのときのカウント値を保持する第2のカウントと、

前記第1及び第2のカウントによって記憶された前記カウント値に基づいて前記出力バッファのインピーダンスを設定する前段回路と、

第1のキャリブレーションコマンドにตอบสนองして、前記第1及び第2の制御信号を同時に

10

20

活性化させることにより、前記第1のカウンタを用いた前記第1のレプリカバッファに対するキャリブレーション動作と、前記第2のカウンタを用いた前記第2のレプリカバッファに対するキャリブレーション動作を同時に行わせる制御信号生成回路と、を具備して成ることを特徴とするキャリブレーション回路を有する半導体装置。

【請求項2】

前記第2のレプリカバッファに対するキャリブレーション動作は、前記第1のレプリカバッファの直前のインピーダンスと前記第2のレプリカバッファのインピーダンスとの関係に基づいて行うことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記制御信号生成回路は、第2のキャリブレーションコマンドにตอบสนองして、前記第1の制御信号を活性化させることにより、前記第1のカウンタを用いた前記第1のレプリカバッファに対するキャリブレーション動作を行かせた後、前記第2の制御信号を活性化させることにより、前記第2のカウンタを用いた前記第2のレプリカバッファに対するキャリブレーション動作を行わせることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記第1のキャリブレーションコマンドにより指定されるキャリブレーション期間は、前記第2のキャリブレーションコマンドにより指定されるキャリブレーション期間よりも短いことを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記第1及び第2の制御信号は、外部クロックよりも周波数が低いことを特徴とする請求項1乃至4のいずれか一項の半導体装置。

【請求項6】

前記第1のレプリカバッファと実質的に同じ回路構成を有し、且つ、前記第1のレプリカバッファと実質的に同じインピーダンスに設定される第3のレプリカバッファをさらに備え、

前記第1のレプリカバッファに対するキャリブレーション動作は、前記第1のレプリカバッファと外部抵抗との間の電位に基づいて行い、前記第2のレプリカバッファに対するキャリブレーション動作は、前記第2のレプリカバッファと前記第3のレプリカバッファとの間の電位に基づいて行うことを特徴とする請求項1乃至5のいずれか一項の半導体装置。

【請求項7】

ソース・ドレイン電流通路が並列に接続された複数のPチャンネルトランジスタとソース・ドレイン電流通路が並列に接続された複数のNチャンネルトランジスタとを具備する出力バッファと、

ソース・ドレイン電流通路が並列に接続された複数のPチャンネルトランジスタを具備する第1のレプリカバッファと、

ソース・ドレイン電流通路が並列に接続された複数のNチャンネルトランジスタを具備する第2のレプリカバッファと、

第1の制御信号に同期して動作し、前記第1のレプリカバッファに含まれる前記Pチャンネルトランジスタのうち、オンさせるトランジスタを選択することによって前記第1のレプリカバッファのインピーダンスを所定値に設定すると共にそのときのカウンタ値を保持する第1のカウンタと、

第2の制御信号に同期して動作し、前記第2のレプリカバッファに含まれる前記Nチャンネルトランジスタのうち、オンさせるトランジスタを選択することによって前記第2のレプリカバッファのインピーダンスを所定値に設定すると共にそのときのカウンタ値を保持する第2のカウンタと、

前記第1及び第2のカウンタによって記憶された前記カウンタ値に基づいて前記出力バッファのインピーダンスを設定する前段回路と、を具備して成る半導体装置のキャリブレーション方法であって、

第1のキャリブレーションコマンドにตอบสนองして、前記第1及び第2の制御信号を同時に

10

20

30

40

50

活性化させることにより、前記第1のカウンタを用いた前記第1のレプリカバッファに対するキャリブレーション動作と、前記第2のカウンタを用いた前記第2のレプリカバッファに対するキャリブレーション動作を同時に行うことを特徴とするキャリブレーション方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はキャリブレーション回路に関し、特に、半導体装置に設けられた出力バッファのインピーダンスを調整するためのキャリブレーション回路に関する。

【背景技術】

10

【0002】

近年、半導体装置間（CPUとメモリ間など）におけるデータ転送には、非常に高いデータ転送レートが要求されており、これを実現するため、入出力信号の振幅はますます小振幅化されている。入出力信号が小振幅化すると、出力バッファのインピーダンスに対する要求精度は非常に厳しくなる。

【0003】

出力バッファのインピーダンスは、製造時のプロセス条件によってばらつくのみならず、実使用時においても、周辺温度の変化や電源電圧の変動の影響を受ける。このため、出力バッファに高いインピーダンス精度が要求される場合には、インピーダンス調整機能を持った出力バッファが採用される（特許文献1～4参照）。このような出力バッファに対するインピーダンスの調整は、一般に「キャリブレーション回路」と呼ばれる回路を用いて行われる。

20

【0004】

特許文献3, 4に記載されているように、キャリブレーション回路には出力バッファと同じ構成を有するレプリカバッファが含まれている。そして、キャリブレーション動作を行う場合、キャリブレーション端子に外部抵抗を接続した状態で、キャリブレーション端子に現れる電圧と基準電圧とを比較し、これによってレプリカバッファのインピーダンスを調整する。そして、レプリカバッファの調整内容を出力バッファに反映させることによって、出力バッファのインピーダンスを所望の値に設定する。

【0005】

30

一連のキャリブレーション動作においては、電圧比較やレプリカバッファのインピーダンス更新を含む調整ステップが複数回実行され、これによって、レプリカバッファのインピーダンスを所望の値に近づける。

【0006】

しかしながら、キャリブレーション動作における電圧比較や、レプリカバッファのインピーダンス変更などには、ある程度の時間がかかることから、外部クロックの周波数が高い場合には、外部クロックが活性化するたびに毎回調整ステップを実行することは不可能である。このような場合には、外部クロックを分周することによって、より周波数の低い内部クロックを生成し、これに同期して調整ステップを実行すればよい。

【特許文献1】特開2002-152032号公報

40

【特許文献2】特開2004-32070号公報

【特許文献3】特開2006-203405号公報

【特許文献4】特開2005-159702号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、一連のキャリブレーション動作を行う期間（キャリブレーション期間）は、通常、外部クロック数（例えば64クロック）によって規定される。このため、外部クロックの分周数が大きくなればなるほど、キャリブレーション期間に実行可能な調整ステップ数が減ってしまう。つまり、キャリブレーション期間を規定する外部クロック数を

50

mとし、分周数をnとすると、1回のキャリブレーション期間において内部クロックが活性化する回数、つまり調整ステップ数は m/n 回となる。外部クロックの周波数が高くなると、必然的に分周数nを増やす必要が生じることから、1回のキャリブレーション期間に実行可能な調整ステップ数はますます減少する。

【0008】

しかも、キャリブレーション動作は、通常、出力バッファに含まれるプルアップ回路と同じ回路構成を有するレプリカバッファに対して調整を行った後、出力バッファに含まれるプルダウン回路と同じ回路構成を有するレプリカバッファに対して調整を行う。このため、従来のキャリブレーション回路においては、1回のキャリブレーション期間が前半と後半に分割され、前半の期間においてプルアップ側のレプリカバッファを調整し、後半の期間においてプルダウン側のレプリカバッファを調整することになる。

10

【0009】

その結果、1回のキャリブレーション期間においてプルアップ側及びプルダウン側のレプリカバッファに対して実行可能な調整ステップ数は半分となり、十分なキャリブレーション動作を行うことができなくなってしまう。

【0010】

しかも、通常のキャリブレーション回路は、前回のキャリブレーション動作における最終コードを用いて1回目の調整ステップを実行することから、1回目の調整ステップではインピーダンスの更新は行わない。つまり、インピーダンスの更新は、2回目の調整ステップから行われる。したがって、インピーダンスの更新可能数は調整ステップ数よりも1つ少なくなる。このため、分周数が大きくなると、実際にインピーダンスを更新可能な回数が大幅に減少してしまう。

20

【0011】

一例として、キャリブレーション期間を規定する外部クロック数mを64クロックとし、分周数nを8とすると、1回のキャリブレーション期間において内部クロックが活性化する回数は8回(=64/8)となる。これがプルアップ側及びプルダウン側に対して半分ずつ割り当てられるため、プルアップ側及びプルダウン側とも、調整ステップ数は4回となる。しかしながら、1回目の調整ステップではインピーダンスの更新はできないことから、プルアップ側及びプルダウン側とも、インピーダンスの更新可能な数は3回(=4-1)となってしまう。

30

【0012】

そして外部クロックが高速化し、分周数nを16とした場合には、内部クロックが活性化する回数はわずか4回(=64/16)となる。したがって、プルアップ側及びプルダウン側の調整ステップ数はそれぞれ2回となり、インピーダンスの更新可能な数は1回(=2-1)だけとなってしまう。当然ながら、外部クロックがさらに高速化し、分周数nをさらに大きくした場合には、インピーダンスの更新可能な数が0回となってしまう。このような場合には、キャリブレーション動作はもはや不可能である。

【0013】

本発明は、このような問題を解決すべくなされたものである。したがって、本発明の目的は、外部クロックの周波数が高い場合であっても、十分なキャリブレーション動作を実行可能なキャリブレーション回路を提供することである。

40

【課題を解決するための手段】

【0014】

本発明の一側面によるキャリブレーション回路は、出力バッファを構成するプルアップ回路及びプルダウン回路の一方と実質的に同じ回路構成を有する第1のレプリカバッファと、前記プルアップ回路及び前記プルダウン回路の他方と実質的に同じ回路構成を有する第2のレプリカバッファとを備えるキャリブレーション回路であって、第1及び第2のレプリカバッファに対するキャリブレーション動作を、第1のキャリブレーションコマンドにตอบสนองして同時に行うことを特徴とする。

【0015】

50

本発明の他の側面によるキャリブレーション回路は、出力バッファを構成するプルアップ回路及びプルダウン回路の一方と実質的に同じ回路構成を有する第1のレプリカバッファと、前記プルアップ回路及び前記プルダウン回路の他方と実質的に同じ回路構成を有する第2のレプリカバッファとを備えるキャリブレーション回路であって、第1のキャリブレーションコマンドにตอบสนองして、第1及び第2のレプリカバッファに対するキャリブレーション動作を同時に行い、第2のキャリブレーションコマンドにตอบสนองして、第1及び第2のレプリカバッファに対するキャリブレーション動作を交互に行うことを特徴とする。

【発明の効果】

【0016】

本発明によれば、第1のキャリブレーションコマンドが発行された場合、第1のレプリカバッファに対するキャリブレーション動作と第2のレプリカバッファに対するキャリブレーション動作を交互に行うのではなく、両方に対して同時に行っている。これにより、1回のキャリブレーション期間に第1及び第2のレプリカバッファに対するインピーダンスの更新が並行して行われることから、外部クロックの周波数が高い場合であっても、十分なキャリブレーション動作を実行することが可能となる。

10

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0018】

20

図1は、本発明の好ましい実施形態によるキャリブレーション回路100の回路図である。

【0019】

図1に示すように、本実施形態によるキャリブレーション回路100は、レプリカバッファ110、120、130と、レプリカバッファ110、120のインピーダンスを制御するカウンタ141と、レプリカバッファ130のインピーダンスを制御するカウンタ142と、カウンタ141、142を制御するコンパレータ151、152及び制御信号生成回路160とを備えている。

【0020】

レプリカバッファ110、120、130は、後述する出力バッファの一部と同じ回路構成を有している。そして、レプリカバッファ110、120、130を用いて出力インピーダンスの調整を行い、その結果を出力バッファに反映させることによって、出力バッファのインピーダンスを所望の値に設定する。これがキャリブレーション回路100の役割である。

30

【0021】

図2は、レプリカバッファ110の回路図である。

【0022】

図2に示すように、レプリカバッファ110は、電源電位VDDに対して並列接続された5つのPチャンネルMOSトランジスタ111～115と、一端がこれらトランジスタのドレインに接続された抵抗119によって構成されている。抵抗119の他端は、キャリブレーション端子ZQに接続されている。レプリカバッファ110はプルアップ機能のみを有し、プルダウン機能は有していない。

40

【0023】

トランジスタ111～115のゲートには、カウンタ141よりインピーダンス制御信号DRZQP1～DRZQP5がそれぞれ供給されている。これにより、レプリカバッファ110に含まれる5個のトランジスタは、個別にオン/オフ制御を行うことができる。尚、図1及び図2においては、インピーダンス制御信号DRZQP1～DRZQP5を纏めてDRZQPと表記している。

【0024】

トランジスタ111～115からなる並列回路は、導通時に所定のインピーダンス(例

50

例えば120)となるように設計されている。しかしながら、トランジスタのオン抵抗は製造条件によってばらつくとともに、動作時における環境温度や電源電圧によって変動することから、必ずしも所望のインピーダンスが得られるとは限らない。このため、実際にインピーダンスを120とするためには、オンさせるべきトランジスタの数を調整する必要があり、かかる目的のために、複数のトランジスタからなる並列回路を用いている。

【0025】

インピーダンスを微細且つ広範囲に調整するためには、並列回路を構成する複数のトランジスタのW/L比(ゲート幅/ゲート長比)を互いに異ならせることが好ましく、2のべき乗の重み付けをすることが特に好ましい。この点を考慮して、本実施形態では、トランジスタ111のW/L比を「1」とした場合、トランジスタ112~115のW/L比をそれぞれ「2」、「4」、「8」、「16」に設定している(W/L比の値は相対値であり、実際のW/L比を表しているものではない。以下同様)。

10

【0026】

これにより、インピーダンス制御信号DRZQP1~DRZQP5によってオンさせるトランジスタを適宜選択することによって、製造条件によるばらつきや温度変化などにかかわらず、並列回路のオン抵抗をほぼ120に固定させることができる。

【0027】

また、抵抗119の抵抗値は例えば120に設計されている。これにより、トランジスタ111~115からなる並列回路がオン状態となれば、キャリブレーション端子ZQからみたレプリカバッファ110のインピーダンスは240となる。抵抗119としては、例えばタングステン(W)抵抗を用いることができる。

20

【0028】

レプリカバッファ120についても、抵抗119の他端が接点Aに接続されている他は、図2に示したレプリカバッファ110と同一の回路構成を有している。したがって、レプリカバッファ120に含まれる5つのトランジスタのゲートには、インピーダンス制御信号DRZQP1~DRZQP5が供給される。

【0029】

図3は、レプリカバッファ130の回路図である。

【0030】

図3に示すように、レプリカバッファ130は、接地電位に対して並列接続された5つのNチャンネルMOSトランジスタ131~135と、一端がこれらトランジスタのドレインに接続された抵抗139によって構成されている。抵抗139の他端は、接点Aに接続されている。レプリカバッファ130はプルダウン機能のみを有し、プルアップ機能は有していない。

30

【0031】

トランジスタ131~135のゲートには、カウンタ142よりインピーダンス制御信号DRZQN1~DRZQN5がそれぞれ供給されている。これにより、レプリカバッファ130に含まれる5個のトランジスタは、個別にオン/オフ制御を行うことができる。尚、図1及び図2においては、インピーダンス制御信号DRZQN1~DRZQN5を纏めてDRZQNと表記している。

40

【0032】

トランジスタ131~135からなる並列回路についても、導通時に例えば120となるように設計されている。また、抵抗139の抵抗値も、例えば120に設計されている。これにより、トランジスタ131~135からなる並列回路がオン状態となれば、接点Aからみたレプリカバッファ130のインピーダンスは、レプリカバッファ110、120と同様、240となる。

【0033】

トランジスタ131~135についても、トランジスタ111~115と同様、W/L比に2のべき乗の重み付けをすることが特に好ましい。具体的には、トランジスタ131のW/L比を「1」とした場合、トランジスタ132~135のW/L比をそれぞれ「2

50

」、「4」、「8」、「16」に設定すればよい。

【0034】

図1に戻って、カウンタ141は、制御信号ACT1が活性化するとカウントアップ又カウントダウンする回路である。具体的には、制御信号ACT1の活性化時における比較信号COMP1がハイレベルである場合にはカウントアップし、制御信号ACT1の活性化時における比較信号COMP1がローレベルである場合にはカウントダウンする。そして、制御信号ACT1の活性化時における比較信号COMP1の論理レベルが前回の論理レベルと異なる場合には、カウント動作を停止する。本実施形態において、制御信号ACT1の活性化とは、制御信号ACT1のアクティブエッジを指す。

【0035】

コンパレータ151の非反転入力端子(+)はキャリブレーション端子ZQに接続されており、反転入力端子(-)は電源電位(VDD)とグランド電位(GND)間に接続された抵抗171, 172の midpoint に接続されている。かかる構成により、コンパレータ151は、キャリブレーション端子ZQの電位と中間電圧(VDD/2)とを比較し、前者の方が高ければその出力である比較信号COMP1をハイレベルとし、後者の方が高ければ比較信号COMP1をローレベルとする。

【0036】

一方、カウンタ142は、制御信号ACT2が活性化するとカウントアップ又カウントダウンする回路である。具体的には、制御信号ACT2の活性化時における比較信号COMP2がハイレベルである場合にはカウントアップし、制御信号ACT2の活性化時における比較信号COMP2がローレベルである場合にはカウントダウンする。そして、制御信号ACT2の活性化時における比較信号COMP2の論理レベルが前回の論理レベルと異なる場合には、カウント動作を停止する。本実施形態において、制御信号ACT2の活性化とは、制御信号ACT2のアクティブエッジを指す。

【0037】

コンパレータ152の非反転入力端子(+)はレプリカバッファ120, 130の出力端である接点Aに接続され、反転入力端子(-)は抵抗171, 172の midpoint に接続されている。かかる構成により、コンパレータ152は、接点Aの電圧と中間電圧(VDD/2)とを比較し、前者の方が高ければその出力である比較信号COMP2をハイレベルとし、後者の方が高ければ比較信号COMP2をローレベルとする。

【0038】

また、制御信号ACT1, ACT2が非活性状態である期間においては、カウンタ141, 142はカウント動作を停止し、現在のカウント値を保持する。上述の通り、カウンタ141のカウント値はインピーダンス制御信号DRZQPとして用いられ、カウンタ142のカウント値はインピーダンス制御信号DRZQNとして用いられる。

【0039】

図4は、制御信号ACT1, ACT2を生成する制御信号生成回路160の回路図である。

【0040】

図4に示すように、制御信号生成回路160は、外部クロックCKを分周して内部クロックICKを生成する分周回路161と、OR回路162, 163と、AND回路164, 165とを有している。

【0041】

分周回路161による分周数は、外部クロックCKの周波数とキャリブレーション回路100の動作速度との関係を考慮して設定する。具体的には、1回の調整ステップを実行するのに必要な時間よりも内部クロックICKの周期が長い範囲において、できる限り分周数を小さく設定することが好ましい。つまり、図5に示すように、1回の調整ステップにはコード更新期間T1と、コンパレータ応答時間T2と、判定時間T3が含まれる。図5に示すように、これらの合計時間(=T1+T2+T3)が例えば外部クロックCKの7クロック分以上、8クロック分以下であれば、分周数を8に設定すればよい。

10

20

30

40

50

【 0 0 4 2 】

外部から発行されるキャリブレーションコマンドには、2種類存在する。一つは、ショートキャリブレーションと呼ばれるコマンドであり、もう一つがロングキャリブレーションと呼ばれるコマンドである。ショートキャリブレーションコマンド（ZQCS）は、通常動作時において随時に発行されるコマンドであり、キャリブレーション期間は相対的に短く設定されている。一方、ロングキャリブレーションコマンド（ZQCL）は、リセット時やセルフリフレッシュモードからの復帰時において発行されるコマンドであり、キャリブレーション期間は相対的に長く設定されている。

【 0 0 4 3 】

ショートキャリブレーションコマンドに割り当てられるキャリブレーション期間は、一例として64クロックである。この場合、分周数を8とすると、1回のショートキャリブレーションにおいて8回（ $= 64 / 8$ ）の調整ステップが実行可能である。また、ロングキャリブレーションコマンドに割り当てられるキャリブレーション期間は、一例として512クロックである。この場合、分周数を8とすると、1回のロングキャリブレーションにおいて64回（ $= 512 / 8$ ）の調整ステップが実行可能である。

10

【 0 0 4 4 】

図4に示すように、OR回路162, 163の一方の入力端には、ショートキャリブレーション期間においてハイレベルとなる制御信号ZQCOMaが共通に供給されている。また、OR回路162, 163の他方の入力端には、ロングキャリブレーション期間の前半においてハイレベルとなる制御信号ZQCOMb及びロングキャリブレーション期間の後半においてハイレベルとなる制御信号ZQCOMcがそれぞれ供給されている。OR回路162, 163の出力は、AND回路164, 165の一方の入力端にそれぞれ供給され、AND回路164, 165の他方の入力端には、内部クロックICKが共通に供給される。

20

【 0 0 4 5 】

このような回路構成により、ショートキャリブレーションコマンド（ZQCS）が発行されると、所定期間、制御信号ACT1, ACT2は内部クロックICKと同じ波形となる。一方、ロングキャリブレーションコマンド（ZQCL）が発行されると、ロングキャリブレーション期間の前半において、制御信号ACT1が内部クロックICKと同じ波形となり、ロングキャリブレーション期間の後半において、制御信号ACT2が内部クロックICKと同じ波形となる。

30

【 0 0 4 6 】

以上が本実施形態によるキャリブレーション回路100の構成である。

【 0 0 4 7 】

図6は、キャリブレーション回路100を備える半導体装置200の主要部を示すブロック図である。

【 0 0 4 8 】

図6に示す半導体装置200は、キャリブレーション回路100の他、データ入出力端子DQに接続された出力バッファ210及び入力バッファ220を備えている。入力バッファ220の構成については、本発明の要旨と直接関係がないため、本明細書での説明は省略する。

40

【 0 0 4 9 】

出力バッファ210の動作は、前段回路230より供給される動作信号230P, 230Nによって制御される。図6に示すように、前段回路230には、キャリブレーション回路100より供給されるインピーダンス制御信号DRZQP, DRZQNが供給されている。

【 0 0 5 0 】

図7は、出力バッファ210の回路図である。

【 0 0 5 1 】

図7に示すように、出力バッファ210は、並列接続された5つのPチャンネルMOS

50

トランジスタ 211p ~ 215p と、並列接続された 5 つの N チャンネル MOS トランジスタ 211n ~ 215n とを備えている。これらトランジスタ 211p ~ 215p とトランジスタ 211n ~ 215n との間には、抵抗 218, 219 が直列に接続されており、抵抗 218 と抵抗 219 の接続点がデータ入出力端子 DQ に接続されている。

【0052】

トランジスタ 211p ~ 215p のゲートには、動作信号 230P を構成する 5 つの動作信号 231P ~ 235P が供給されている。また、トランジスタ 211n ~ 215n のゲートには、動作信号 230N を構成する 5 つの動作信号 231N ~ 235N が供給されている。これにより、出力バッファ 210 に含まれる 10 個のトランジスタは、10 本の動作信号 231P ~ 235P, 231N ~ 235N によって、個別にオン/オフ制御がされる。動作信号 231P ~ 235P は動作信号 230P を構成する信号群であり、動作信号 231N ~ 235N は動作信号 230N を構成する信号群である。

10

【0053】

出力バッファ 210 のうち、P チャンネル MOS トランジスタ 211p ~ 215p 及び抵抗 218 からなるプルアップ回路 PU は、図 2 に示したレプリカバッファ 110 (120) と同じ回路構成を有している。また、N チャンネル MOS トランジスタ 211n ~ 215n 及び抵抗 219 からなるプルダウン回路 PD は、図 3 に示したレプリカバッファ 130 と同じ回路構成を有している。

【0054】

したがって、トランジスタ 211p ~ 215p からなる並列回路及びトランジスタ 211n ~ 215n からなる並列回路は、いずれも導通時に例えば 120 となるように設計されている。また、抵抗 218, 219 の抵抗値は、いずれも例えば 120 に設計されている。これにより、トランジスタ 211p ~ 215p からなる並列回路及びトランジスタ 211n ~ 215n からなる並列回路の一方がオン状態となれば、データ入出力端子 DQ からみた出力バッファのインピーダンスは 240 となる。

20

【0055】

実際の半導体装置においては、このような出力バッファ 210 が並列に複数個設けられ、使用する出力バッファの数によって出力インピーダンスを選択可能に構成される。つまり、一つの出力バッファのインピーダンスを X とすると、Y 個の出力バッファを並列に使用することによって出力インピーダンスを X/Y とすることが可能となる。

30

【0056】

図 8 は、前段回路 230 の回路図である。

【0057】

図 8 に示すように、前段回路 230 は、5 つの OR 回路 301 ~ 305 と、5 つの AND 回路 311 ~ 315 によって構成されている。OR 回路 301 ~ 305 には、出力制御回路 240 からの選択信号 240P が共通に供給されているとともに、キャリブレーション回路 100 からのインピーダンス制御信号 DRZQP1 ~ DRZQP5 がそれぞれ供給されている。一方、AND 回路 311 ~ 315 には、出力制御回路 240 からの選択信号 240N が共通に供給されているとともに、キャリブレーション回路 100 からのインピーダンス制御信号 DRZQN1 ~ DRZQN5 がそれぞれ供給されている。

40

【0058】

出力制御回路 240 の出力である選択信号 240P, 240N は、データ入出力端子 DQ から出力すべきデータの論理値などに応じて制御される。具体的には、データ入出力端子 DQ からハイレベルの信号を出力する場合には、選択信号 240P, 240N がローレベルに設定され、データ入出力端子 DQ からローレベルの信号を出力する場合には、選択信号 240P, 240N がハイレベルに設定される。また、出力バッファ 210 を終端抵抗として用いる ODT (On Die Termination) 機能を使用する場合には、選択信号 240P をローレベルとし、選択信号 240N をハイレベルとする。

【0059】

OR 回路 301 ~ 305 の出力である動作信号 231P ~ 235P (= 230P) と、

50

AND回路311～315の出力である動作信号231N～235N(=230N)は、
図6に示すように、出力バッファ210に供給される。

【0060】

以上が半導体装置200の構成である。次に、本実施形態によるキャリブレーション回路100の動作について、ショートキャリブレーションコマンドが発行された場合の動作及びロングキャリブレーションコマンドが発行された場合の動作の順に説明する。

【0061】

図9は、ショートキャリブレーション動作を説明するためのタイミング図である。

【0062】

図9に示すように、ショートキャリブレーションコマンドZQCSが発行されると、制御信号ZQCOMaがローレベルからハイレベルに変化する。このため、制御信号ACT1, ACT2はいずれも内部クロックICKに連動してクロッキングすることになる。

【0063】

これにより、カウンタ141, 142は同時にカウント動作を行う。その結果、レプリカバッファ110, 120のインピーダンスは、外部抵抗Rの値に近づけられ、レプリカバッファ130のインピーダンスは、レプリカバッファ120の値に近づけられる。ここで、ショートキャリブレーション期間を64クロックとし、分周数を8とすると、カウンタ141, 142は、最大8回の調整ステップを実行する。

【0064】

まず、レプリカバッファ110, 120に対するキャリブレーション動作から具体的に説明すると、コンパレータ151の出力である比較信号COMP1がローレベルであるとすると、カウンタ141は制御信号ACT1に連動してカウントダウンを進め、これに連動してトランジスタ111～115のオン/オフ状態を切り替える。上述の通り、本実施形態ではトランジスタ111～115のW/L比がそれぞれ「1」、「2」、「4」、「8」、「16」に設定されていることから、カウンタ141の最下位ビット(LSB)がインピーダンス制御信号DRZQP1に割り当てられ、カウンタ141の最上位ビット(MSB)がインピーダンス制御信号DRZQP5に割り当てられる。これにより、レプリカバッファ110, 120のインピーダンスを最小ピッチで変化させることができる。

【0065】

このようなカウントダウンが進むに連れて、レプリカバッファ110, 120のインピーダンスは徐々に低下し、図10に示すように、キャリブレーション端子ZQの電位は徐々に上昇する。そして、レプリカバッファ110のインピーダンスが目的とするインピーダンス(240)未満まで低下すると、キャリブレーション端子の電位が中間電圧(VDD/2)を超えることから、コンパレータ151の出力である比較信号COMP1はハイレベルに反転する。これにより、比較信号COMP1の論理レベルが前回の論理レベルに対して変化したことから、カウンタ141はカウント動作を停止する。

【0066】

但し、図10に示すように、比較信号COMP1の論理レベルが前回の論理レベルに対して変化した後、調整ステップを引き続き行っても構わない。

【0067】

一方、コンパレータ151の出力である比較信号COMP1がハイレベルであるとする、カウンタ141は制御信号ACT1に連動してカウントアップを進め、これに連動してトランジスタ111～115のオン/オフ状態を切り替える。このようなカウントアップが進むに連れて、レプリカバッファ110, 120のインピーダンスは徐々に上昇し、図11に示すように、キャリブレーション端子ZQの電位は徐々に低下する。そして、レプリカバッファ110のインピーダンスが目的とするインピーダンス(240)未満まで低下すると、キャリブレーション端子の電位が中間電圧(VDD/2)を超えることから、コンパレータ151の出力である比較信号COMP1はローレベルに反転する。これにより、比較信号COMP1の論理レベルが前回の論理レベルに対して変化したことから、カウンタ141はカウント動作を停止する。

10

20

30

40

50

【 0 0 6 8 】

この場合も、図 1 1 に示すように、比較信号 C O M P 1 の論理レベルが前回の論理レベルに対して変化した後も、調整ステップを引き続き行っても構わない。

【 0 0 6 9 】

本実施形態では、このようなレプリカバッファ 1 1 0 , 1 2 0 に対するキャリブレーション動作と並行して、レプリカバッファ 1 3 0 に対するキャリブレーション動作が同時に実行される。

【 0 0 7 0 】

レプリカバッファ 1 3 0 に対するキャリブレーション動作においては、制御信号 A C T 2 のクロッキングに連動してカウンタ 1 4 2 がカウント動作を行うことにより、レプリカバッファ 1 3 0 のインピーダンスをレプリカバッファ 1 2 0 の値に近づける。この時、レプリカバッファ 1 2 0 についてもキャリブレーション動作中であることから、レプリカバッファ 1 3 0 に対するキャリブレーション動作は、レプリカバッファ 1 2 0 の直前のインピーダンス (=レプリカバッファ 1 1 0 の直前のインピーダンス) に基づいて行われることになる。

10

【 0 0 7 1 】

この様子は図 9 の矢印で示されており、制御信号 A C T 1 の i 番目のアクティブエッジに 응답して調整されたインピーダンスが、制御信号 A C T 2 の $i + 1$ 番目のアクティブエッジに 응답したインピーダンス調整に用いられることになる。但し、制御信号 A C T 2 の 1 番目のアクティブエッジに 응답したインピーダンス調整には、前回のキャリブレーションコマンドに 응답した動作のうち、制御信号 A C T 1 の最後のアクティブエッジ (図 9 に示す例では 8 番目のアクティブエッジ) に 응답して調整されたインピーダンスが用いられることになる。

20

【 0 0 7 2 】

ここで、レプリカバッファ 1 1 0 , 1 2 0 の直前のインピーダンスは、キャリブレーション動作中のインピーダンスであることから、所望のインピーダンスから多少ずれている可能性がある。しかしながら、ショートキャリブレーションコマンド (Z Q C S) は、通常動作時において頻繁に発行されることから、レプリカバッファ 1 1 0 , 1 2 0 のインピーダンスが所望の値から大きく外れていることはほとんどない。このため、本実施形態のように、調整中のインピーダンスを参照してレプリカバッファ 1 3 0 のキャリブレーション動作を行っても、ほぼ正しいインピーダンス調整を行うことが可能である。

30

【 0 0 7 3 】

以上がショートキャリブレーション動作である。このようなキャリブレーション動作によって確定したインピーダンス制御信号 D R Z Q P , D R Z Q N は、図 6 に示す前段回路 2 3 0 に供給される。このため、前段回路 2 3 0 によって制御される出力バッファ 2 1 0 についても、レプリカバッファの設定内容が反映される。

【 0 0 7 4 】

このように、本実施形態では、ショートキャリブレーションコマンド Z Q C S が発行される度に、プルアップ側であるレプリカバッファ 1 1 0 , 1 2 0 に対するキャリブレーション動作と、プルダウン側であるレプリカバッファ 1 3 0 に対するキャリブレーション動作が同時に実行される。このため、1 回のキャリブレーション期間に実行可能な調整ステップ数が少ない場合であっても、より確実なインピーダンス調整を行うことが可能となる。

40

【 0 0 7 5 】

但し、1 回のキャリブレーション期間中に実行可能な調整ステップ数については、従来のキャリブレーション回路と変わらない。しかしながら、既に説明したように、通常、1 回目の調整ステップではインピーダンスの更新はできない。これは、キャリブレーション回路に含まれるカウンタは、一般に、コンパレータの出力値が前回の出力値に対して変化したか否かに基づいてインピーダンスの更新を行うタイプだからである。このため、従来のキャリブレーション回路のように、1 回のショートキャリブレーション期間を前半と後

50

半に分割すると、実際にインピーダンスを更新可能な回数がかなり少なくなってしまう。これに対し、本実施形態では、1回のショートキャリブレーション期間をプルアップ側及びプルダウン側に全て割り当てていることから、従来に比べ、インピーダンスを更新可能な回数を増やすことが可能となる。

【0076】

しかも、従来のキャリブレーション回路では、インピーダンス更新数が少ないことから、プルアップ側のレプリカバッファを1回のショートキャリブレーション動作で目標値に調整できない状態が多く発生する。このような場合、プルダウン側のレプリカバッファについては、本来の目標値からずれたインピーダンスが目標値として設定されてしまう。したがって、場合によっては、インピーダンスが本来の目標値からずれる方向に調整する

10

【0077】

次に、ロングキャリブレーション動作について説明する。

【0078】

図12は、ロングキャリブレーション動作を説明するためのタイミング図である。

【0079】

図12に示すように、ロングキャリブレーションコマンドZQCLが発行されると、制御信号ZQCOMbがローレベルからハイレベルに変化する。このため、制御信号ACT1がクロッキングを行う。これにより、カウンタ141はカウント動作を行い、レプリカバッファ110のインピーダンスを外部抵抗Rの値に近づける。このとき、制御信号ACT2はクロッキングせず、したがって、レプリカバッファ130のインピーダンスは固定される。

20

【0080】

その後、キャリブレーション期間が半分経過すると、制御信号ZQCOMbがハイレベルからローレベルに変化するとともに、制御信号ZQCOMcがローレベルからハイレベルに変化する。これにより、制御信号ACT1のクロッキングが停止し、制御信号ACT2がクロッキングを行うことになる。これにより、今度はカウンタ142がカウント動作を行い、レプリカバッファ130のインピーダンスをレプリカバッファ120の値に近づける。

30

【0081】

したがって、ロングキャリブレーション期間を512クロックとし、分周数を8とすると、キャリブレーション期間の前半部分において、プルアップ側のレプリカバッファ110に対して最大32回の調整ステップが実行され、キャリブレーション期間の後半部分において、プルダウン側のレプリカバッファ130に対して最大32回の調整ステップが実行されることになる。

【0082】

このように、調整ステップ数を十分に確保することが可能なロングキャリブレーション動作においては、ショートキャリブレーション動作とは異なり、キャリブレーション期間を前半と後半に分けている。つまり、1回のロングキャリブレーション動作において、プルアップ側のレプリカバッファ110に対するキャリブレーション動作と、プルダウン側のレプリカバッファ130に対するキャリブレーション動作を交互に行うことにより、より正確なキャリブレーション動作が可能となる。

40

【0083】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0084】

例えば、レプリカバッファ110, 120, 130を構成するトランジスタのサイズと

50

しては、出力バッファ 210 を構成するトランジスタのサイズと同一である必要はなく、インピーダンスが実質的に同じである限り、シュリンクしたトランジスタを用いても構わない。

【0085】

また、上記実施形態では、出力バッファやレプリカバッファを構成する並列回路として、5つのトランジスタからなる並列回路を用いているが、並列接続するトランジスタ数としてはこれに限定されるものではない。

【0086】

また、上記実施形態では、ロングキャリアレーション時のキャリアレーション期間を前半と後半に分け、プルアップ側のキャリアレーション動作とプルダウン側のキャリアレーション動作を交互に行っている。しかしながら、ロングキャリアレーション時においても、ショートキャリアレーション時と同様、プルアップ側のキャリアレーション動作とプルダウン側のキャリアレーション動作を同時に行っても構わない。これによれば、ロングキャリアレーション時の動作とショートキャリアレーション時の動作が同じとなることから、設計がより容易となる。

【図面の簡単な説明】

【0087】

【図1】本発明の好ましい実施形態によるキャリアレーション回路100の回路図である。

【図2】レプリカバッファ110の回路図である。

【図3】レプリカバッファ130の回路図である。

【図4】制御信号生成回路160の回路図である。

【図5】分周数の設定基準を説明するための図である。

【図6】キャリアレーション回路100を備える半導体装置200の主要部を示すブロック図である。

【図7】出力バッファ210の回路図である。

【図8】前段回路230の回路図である。

【図9】ショートキャリアレーション動作を説明するためのタイミング図である。

【図10】キャリアレーション端子ZQの電位変化の一例を示すグラフである。

【図11】キャリアレーション端子ZQの電位変化の他の例を示すグラフである。

【図12】ロングキャリアレーション動作を説明するためのタイミング図である。

【符号の説明】

【0088】

100 キャリレーション回路
 110, 120, 130 レプリカバッファ
 111 ~ 115, 211p ~ 215p PチャンネルMOSトランジスタ
 119, 139, 171, 172, 218, 219 抵抗
 131 ~ 135, 211n ~ 215n NチャンネルMOSトランジスタ
 141, 142 カウンタ
 151, 152 コンパレータ
 160 制御信号生成回路
 161 分周回路
 162, 163, 301 ~ 305 OR回路
 164, 165, 311 ~ 315 AND回路
 200 半導体装置
 210 出力バッファ
 220 入力バッファ
 230 前段回路
 240 出力制御回路

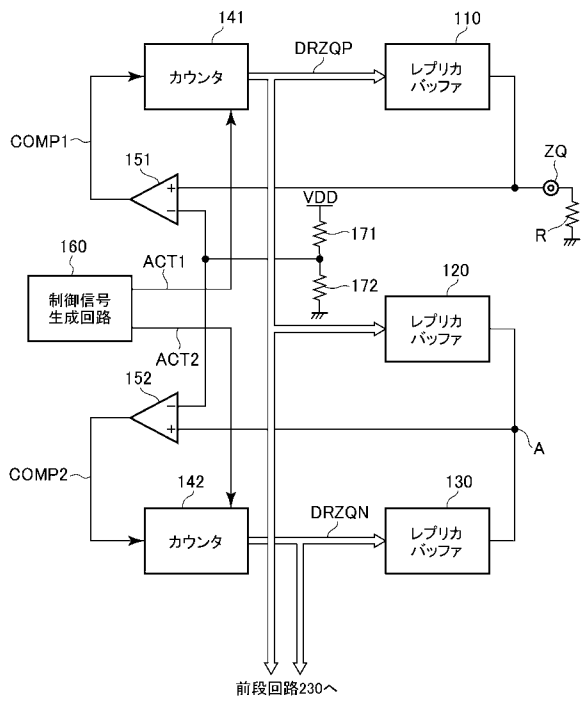
10

20

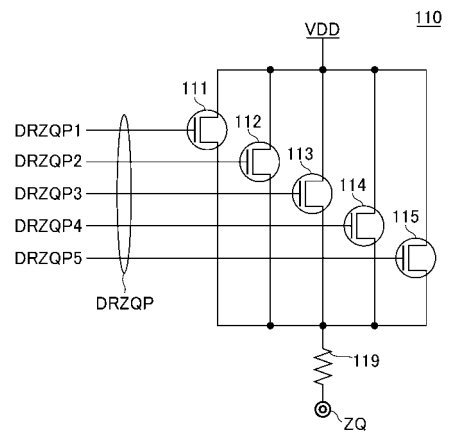
30

40

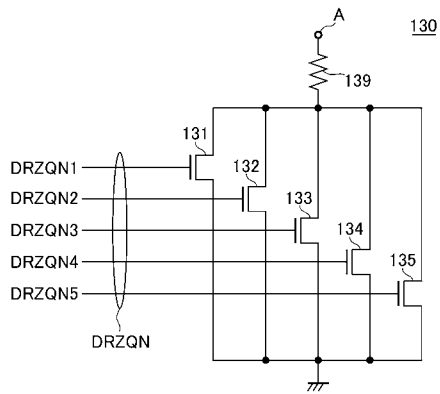
【図1】



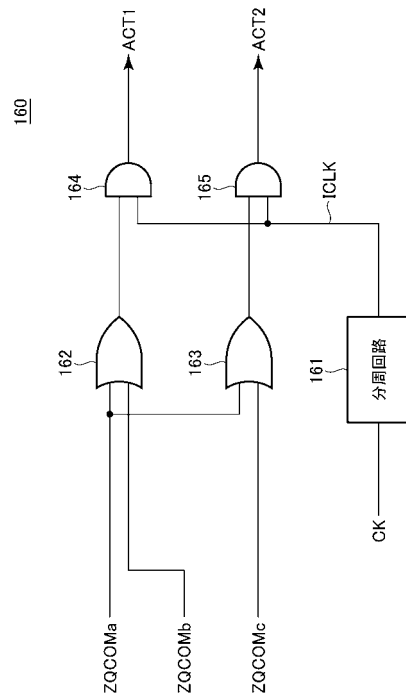
【図2】



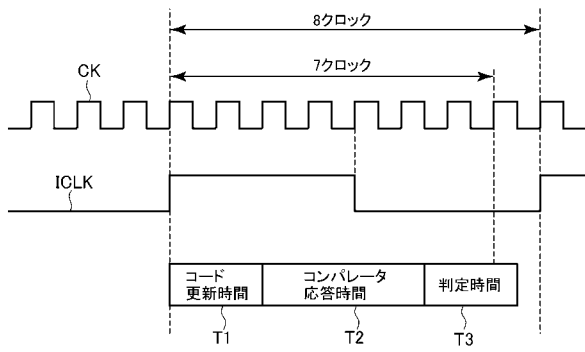
【図3】



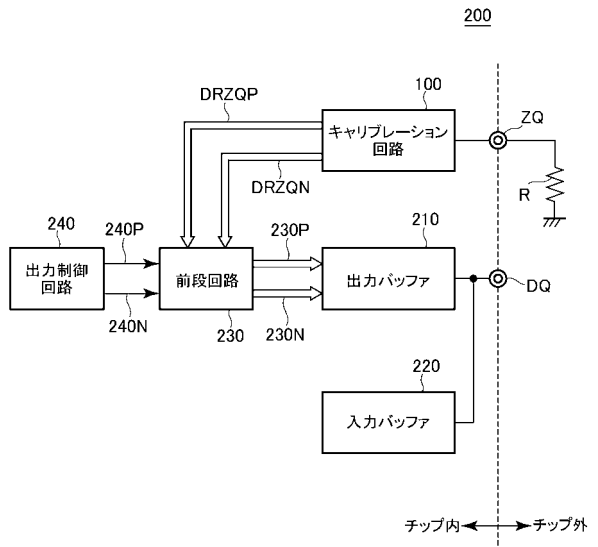
【図4】



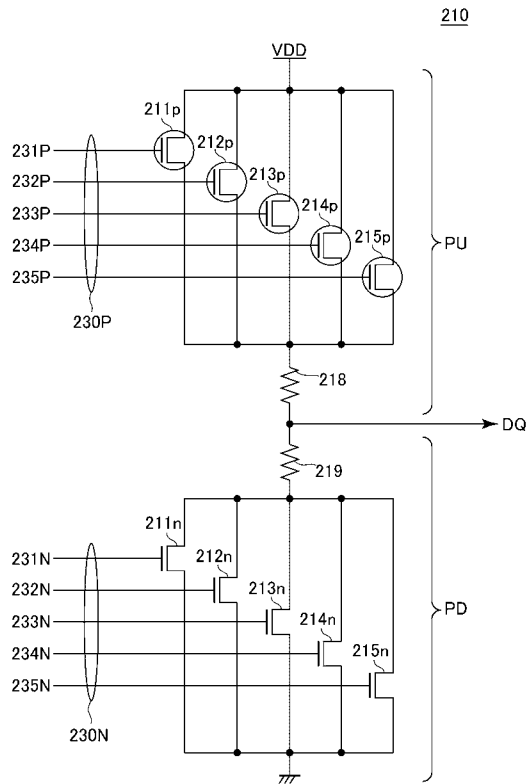
【図5】



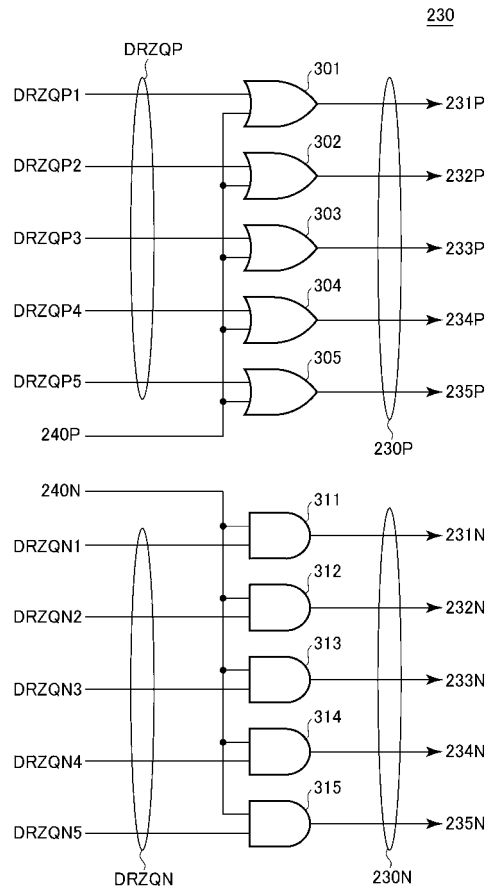
【図6】



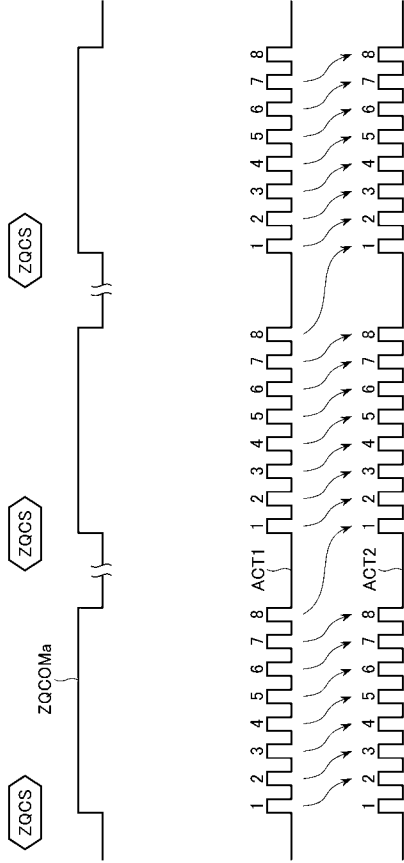
【図7】



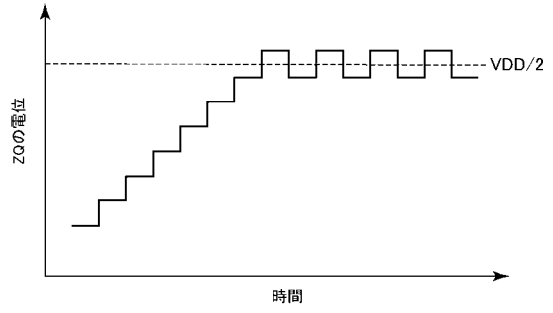
【図8】



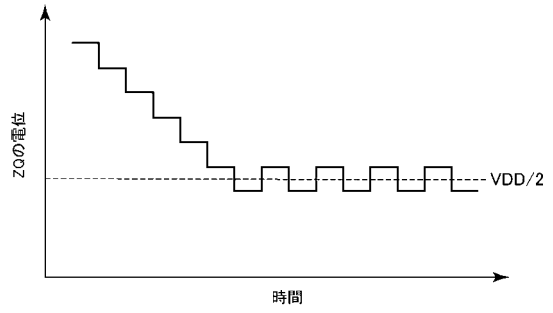
【図 9】



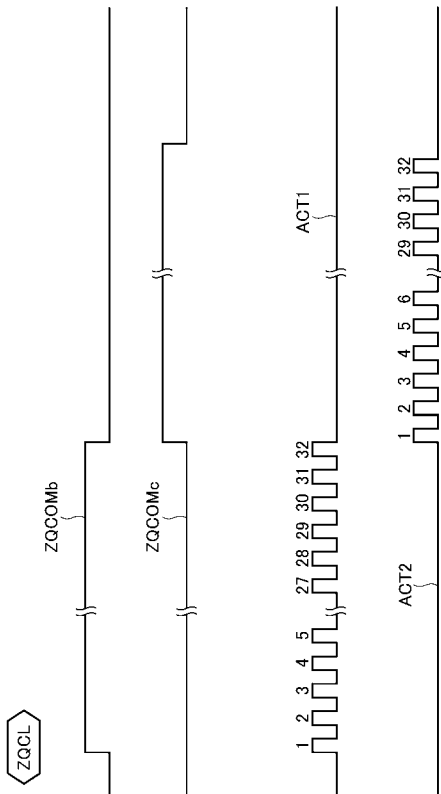
【図 10】



【図 11】



【図 12】



フロントページの続き

- (56)参考文献 特開2006-203405(JP,A)
特開平11-027132(JP,A)
特開2003-198357(JP,A)
特開2000-059202(JP,A)
特開2005-159702(JP,A)
特開2007-123987(JP,A)
特開2008-048361(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096