

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-529378

(P2004-529378A)

(43) 公表日 平成16年9月24日(2004.9.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO3F 1/08	GO3F 1/08 A	2H095
GO6F 17/50	GO6F 17/50 658M	5B046
HO1L 21/027	HO4N 1/387	5C076
HO4N 1/387	HO1L 21/30 502P	

審査請求 未請求 予備審査請求 未請求 (全 43 頁)

(21) 出願番号 特願2002-572505 (P2002-572505)
 (86) (22) 出願日 平成13年3月8日 (2001.3.8)
 (85) 翻訳文提出日 平成15年9月8日 (2003.9.8)
 (86) 国際出願番号 PCT/US2001/007413
 (87) 国際公開番号 WO2002/073312
 (87) 国際公開日 平成14年9月19日 (2002.9.19)
 (81) 指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

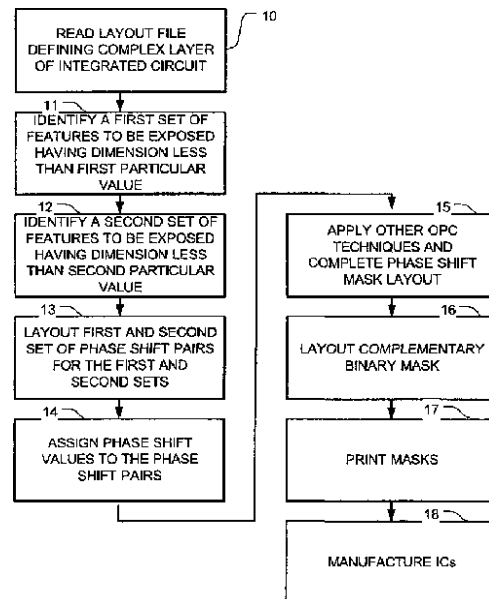
(71) 出願人 503326786
 ニューメリカル テクノロジーズ インコーポレイテッド
 アメリカ合衆国 カリフォルニア州 94043 マウンテン ビュー イースト ミドルフィールド ロード 700
 (74) 代理人 100059959
 弁理士 中村 稔
 (74) 代理人 100067013
 弁理士 大塚 文昭
 (74) 代理人 100082005
 弁理士 熊倉 禎男
 (74) 代理人 100065189
 弁理士 穴戸 嘉一

最終頁に続く

(54) 【発明の名称】 多重レベルのマスクング解像度用の交番位相偏移マスクング

(57) 【要約】

本発明の方法及びシステムは、多重造形クラスに対する多重位相偏移マスク解像度レベル用の交番位相偏移マスクを製作する。本方法は、層を定義するフォトリソグラフィ・マスク用の、前記層内の第1及び第2造形クラスの造形を定義するパターンを処理する段階と；第1造形解像度レベル用の位相偏移ウィンドウ対に関する第1レイアウト寸法と、第2造形解像度レベル用の位相偏移ウィンドウ対に関する第2レイアウト寸法とを定義する段階と；前記第1造形クラスに対して前記位相偏移ウィンドウ対に関する第1レイアウト寸法を使用する段階と、前記第2造形クラスに対して前記位相偏移ウィンドウ対に関する第2レイアウト寸法を使用する段階とを含む、複数の位相偏移ウィンドウ対をレイアウトする段階と；前記複数の位相偏移ウィンドウ対内の位相偏移ウィンドウに第1及び第2位相偏移値を割り当てる段階から構成されている。このプロセスは、集積回路又は他の工作物内の材料の層を定義するためのマスクのセットを製作する結果となる。前記マスクのセットは、それぞれの位相偏移ウィンドウが定義した層内の構造を定義するための



【特許請求の範囲】

【請求項 1】

層を定義するフォトリソグラフィ・マスク用の、前記層内の第 1 及び第 2 造形クラスの造形を定義するパターンを処理する段階と、

第 1 造形解像度レベル用の位相偏移ウィンドウ対に関する第 1 レイアウト寸法と、第 2 造形解像度レベル用の位相偏移ウィンドウ対に関する第 2 レイアウト寸法とを定義する段階と、

前記第 1 造形クラスに対して前記位相偏移ウィンドウ対に関する第 1 レイアウト寸法を使用する段階と、前記第 2 造形クラスに対して前記位相偏移ウィンドウ対に関する第 2 レイアウト寸法を使用する段階とを含む、複数の位相偏移ウィンドウ対をレイアウトする段階と、

10

前記複数の位相偏移ウィンドウ対内の位相偏移ウィンドウに第 1 及び第 2 位相偏移値を割り当てる段階と、から成ることを特徴とする方法。

【請求項 2】

前記処理する段階は、前記パターン内の造形の寸法を識別するレイアウトファイルを読む段階と、前記レイアウトファイルを処理して前記第 1 及び第 2 造形クラス内の造形を識別する段階と、を含んでいることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記第 1 造形クラス内の造形は、第 1 線幅を有する線セグメントを有し、前記第 2 造形クラス内の造形は、第 2 線幅を有する線セグメントを有しており、前記第 1 線幅は前記第 2 線幅より狭いことを特徴とする請求項 1 に記載の方法。

20

【請求項 4】

前記第 1 造形クラス内の造形は、第 1 幅を有するトランジスタゲートに対応する線セグメントであり、前記第 2 造形クラス内の造形は、第 2 幅を有する相互接続線に対応する線セグメントであり、前記第 1 幅は前記第 2 幅より狭いことを特徴とする請求項 1 に記載の方法。

【請求項 5】

前記層は、ポリシリコンを含んでいることを特徴とする請求項 1 に記載の方法。

【請求項 6】

前記第 1 及び第 2 位相偏移値は、 θ 度位相偏移と $(180 + \theta)$ 度位相偏移を含んでいることを特徴とする請求項 1 に記載の方法。

30

【請求項 7】

前記位相偏移ウィンドウ対は、更に、前記対になった第 1 及び第 2 ウィンドウの間に配置された不透明領域を含んでいることを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記第 1 及び第 2 ウィンドウの間の不透明領域は、前記第 1 クラスの位相偏移ウィンドウ対内の第 1 幅と、前記第 2 クラスの位相偏移ウィンドウ対内の第 2 幅とを有していることを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記層内に追加の造形を定義する不透明領域と透明領域とを備えた相補形マスクをレイアウトする段階を含んでいることを特徴とする請求項 1 に記載の方法。

40

【請求項 10】

前記相補形マスクは二進マスクを備えていることを特徴とする請求項 9 に記載の方法。

【請求項 11】

前記位相偏移マスクと前記相補形マスクのレイアウトを定義する機械読み取り可能レイアウトファイルを製作する段階を含んでいることを特徴とする請求項 9 に記載の方法。

【請求項 12】

前記位相偏移マスクと前記相補形マスクを製作する段階を含んでいることを特徴とする請求項 9 に記載の方法。

【請求項 13】

50

前記位相偏移マスクと前記相補形マスクを使用して集積回路を製作する段階を含んでいることを特徴とする請求項 1 2 に記載の方法。

【請求項 1 4】

前記第 1 レイアウト寸法は第 1 レイアウト幅を含み、前記第 2 レイアウト寸法は第 2 レイアウト幅を含んでおり、前記第 1 レイアウト幅は前記第 2 レイアウト幅より大きいことを特徴とする請求項 1 に記載の方法。

【請求項 1 5】

集積回路内の材料の層を定義するためのマスクのセットにおいて、それぞれの位相偏移ウィンドウが定義した層内の構造を定義するための、不透明分野内の複数の位相偏移ウィンドウ対を有する第 1 マスクであって、前記複数の位相偏移ウィンドウ内の位相偏移ウィンドウは、それぞれの第 1 及び第 2 クラスのウィンドウを備えており、前記第 1 クラスは、第 1 レイアウト幅に基づく幅寸法を有しており、前記第 2 クラスは、第 2 レイアウト幅に基づく幅寸法を有しており、前記第 1 レイアウト幅は前記第 2 レイアウト幅よりも大きくなっている、第 1 マスクと、第 2 の不透明な区域と透明な区域とを有する第 2 マスクであって、前記複数の位相偏移ウィンドウが定義した構造を相互接続し、前記位相偏移ウィンドウが定義した構造の除去を防ぐための、前記層内の相互接続構造を定義する第 2 マスクと、を備えていることを特徴とするマスクのセット。

10

【請求項 1 6】

前記層は、ポリシリコンを含んでいることを特徴とする請求項 1 5 に記載のマスクのセット。

20

【請求項 1 7】

前記第 1 及び第 2 クラスのウィンドウ内の一对のウィンドウに対して位相偏移値を割り当てることを含んでおり、前記一对のウィンドウの一方のウィンドウは 度の位相偏移を有し、前記一对のウィンドウの他方のウィンドウは $(180 + \quad)$ 度の位相偏移を有していることを特徴とする請求項 1 5 に記載のマスクのセット。

【請求項 1 8】

前記一对のウィンドウは、更に、前記一方のウィンドウと前記他方のウィンドウの間に配置された不透明区域を含んでいることを特徴とする請求項 1 7 に記載のマスクのセット。

【請求項 1 9】

前記不透明区域は、前記第 1 クラスのウィンドウの一对のウィンドウの間に第 1 幅を有し、前記第 2 クラスのウィンドウの一对のウィンドウの間に第 2 幅を有していることを特徴とする請求項 1 8 に記載のマスクのセット。

30

【請求項 2 0】

命令を記憶するメモリを含んでいるデータ処理システムを備えている装置において、前記命令は、実行する際に、

層を定義するリソグラフィ・マスク用の、前記層内の第 1 及び第 2 造形クラス内の造形を定義する、パターンを処理し

第 1 造形解像度レベル用の位相偏移ウィンドウ対に関する第 1 レイアウト寸法と、第 2 造形解像度レベル用の位相偏移ウィンドウ対に関する第 2 レイアウト寸法を定義し、

40

前記第 1 造形クラスに対して前記位相偏移ウィンドウ対に関する第 1 レイアウト寸法を使用し、前記第 2 造形クラスに対して前記位相偏移ウィンドウ対に関する第 2 レイアウト寸法を使用して、複数の位相偏移ウィンドウ対をレイアウトし、

前記複数の位相偏移ウィンドウ対の位相偏移ウィンドウに第 1 及び第 2 位相偏移値を割り当てる、コマンドを含んでいることを特徴とする装置。

【請求項 2 1】

前記命令は、前記パターン内の造形の寸法を識別するレイアウトファイルを読み、前記レイアウトファイルを処理して前記第 1 及び第 2 造形クラス内の造形を識別するコマンドを含んでいることを特徴とする請求項 2 0 に記載の装置。

【請求項 2 2】

50

前記第 1 造形クラス内の造形は、第 1 線幅を有する線セグメントを有し、前記第 2 造形クラス内の造形は、第 2 線幅を有する線セグメントを有しており、前記第 1 線幅は前記第 2 線幅より狭いことを特徴とする請求項 20 に記載の装置。

【請求項 23】

前記第 1 造形クラス内の造形は、第 1 幅を有するトランジスタゲートに対応する線セグメントであり、前記第 2 造形クラス内の造形は、第 2 幅を有する相互接続線に対応する線セグメントであり、前記第 1 幅は前記第 2 幅より狭いことを特徴とする請求項 20 に記載の装置。

【請求項 24】

前記層は、ポリシリコンを含んでいることを特徴とする請求項 20 に記載の装置。

10

【請求項 25】

前記第 1 及び第 2 位相偏移値は、 θ 度位相偏移と $(180 + \theta)$ 度位相偏移を含んでいることを特徴とする請求項 20 に記載の装置。

【請求項 26】

前記位相偏移ウィンドウ対は、更に、前記対になった第 1 及び第 2 ウィンドウの間に配置された不透明区域を含んでいることを特徴とする請求項 20 に記載の装置。

【請求項 27】

前記第 1 及び第 2 ウィンドウの間の不透明区域は、前記第 1 クラスの位相偏移ウィンドウ対内の第 1 幅と、前記第 2 クラスの位相偏移ウィンドウ対内の第 2 幅とを有していることを特徴とする請求項 20 に記載の装置。

20

【請求項 28】

前記命令は、前記層内に追加の造形を定義する不透明領域と透明領域とを備えた相補形マスクをレイアウトするためのコマンドを含んでいることを特徴とする請求項 20 に記載の装置。

【請求項 29】

前記相補形マスクは二進マスクを備えていることを特徴とする請求項 20 に記載の装置。

【請求項 30】

前記命令は、前記位相偏移マスクと前記相補形マスクのレイアウトを定義する機械読み取り可能レイアウトファイルを製作するためのコマンドを含んでいることを特徴とする請求項 29 に記載の装置。

30

【請求項 31】

前記第 1 レイアウト寸法は第 1 レイアウト幅を含み、前記第 2 レイアウト寸法は第 2 レイアウト幅を含んでおり、前記第 1 レイアウト幅は前記第 2 レイアウト幅より大きいことを特徴とする請求項 20 に記載の装置。

【請求項 32】

命令を記憶する機械読み取り可能な記憶媒体を備えている製造の物品において、前記命令は、実行する際に、

層を定義するリソグラフィ・マスク用の、前記層内の第 1 及び第 2 造形クラス内の造形を定義する、パターンを処理し

第 1 造形解像度レベル用の位相偏移ウィンドウ対に関する第 1 レイアウト寸法と、第 2 造形解像度レベル用の位相偏移ウィンドウ対に関する第 2 レイアウト寸法を定義し、

40

前記第 1 造形クラスに対して前記位相偏移ウィンドウ対に関する第 1 レイアウト寸法を使用し、前記第 2 造形クラスに対して前記位相偏移ウィンドウ対に関する第 2 レイアウト寸法を使用して、複数の位相偏移ウィンドウ対をレイアウトし、

前記複数の位相偏移ウィンドウ対の位相偏移ウィンドウに第 1 及び第 2 位相偏移値を割り当てる、コマンドを含んでいることを特徴とする物品。

【請求項 33】

前記命令は、前記パターン内の造形の寸法を識別するレイアウトファイルを読み、前記レイアウトファイルを処理して前記第 1 及び第 2 造形クラス内の造形を識別するコマンドを含んでいることを特徴とする請求項 32 に記載の物品。

50

【請求項 3 4】

前記第 1 造形クラス内の造形は、第 1 線幅を有する線セグメントを有し、前記第 2 造形クラス内の造形は、第 2 線幅を有する線セグメントを有しており、前記第 1 線幅は前記第 2 線幅より狭いことを特徴とする請求項 3 2 に記載の物品。

【請求項 3 5】

前記第 1 造形クラス内の造形は、第 1 幅を有するトランジスタゲートに対応する線セグメントであり、前記第 2 造形クラス内の造形は、第 2 幅を有する相互接続線に対応する線セグメントであり、前記第 1 幅は前記第 2 幅より狭いことを特徴とする請求項 3 2 に記載の物品。

【請求項 3 6】

通信媒体上で送信される、命令を含む信号を備えている機械読み取り可能な通信において、前記命令は、実行する際に、

層を定義するリソグラフィ・マスク用の、前記層内の第 1 及び第 2 造形クラス内の造形を定義する、パターンを処理し

第 1 造形解像度レベル用の位相偏移ウィンドウ対に関する第 1 レイアウト寸法と、第 2 造形解像度レベル用の位相偏移ウィンドウ対に関する第 2 レイアウト寸法を定義し、

前記第 1 造形クラスに対して前記位相偏移ウィンドウ対に関する第 1 レイアウト寸法を使用し、前記第 2 造形クラスに対して前記位相偏移ウィンドウ対に関する第 2 レイアウト寸法を使用して、複数の位相偏移ウィンドウ対をレイアウトし、

前記複数の位相偏移ウィンドウ対の位相偏移ウィンドウに第 1 及び第 2 位相偏移値を割り当てる、コマンドを含んでいることを特徴とする通信。

【請求項 3 7】

前記命令は、前記パターン内の造形の寸法を識別するレイアウトファイルを読み、前記レイアウトファイルを処理して前記第 1 及び第 2 造形クラス内の造形を識別するコマンドを含んでいることを特徴とする請求項 3 6 に記載の通信。

【請求項 3 8】

前記第 1 造形クラス内の造形は、第 1 線幅を有する線セグメントを有し、前記第 2 造形クラス内の造形は、第 2 線幅を有する線セグメントを有しており、前記第 1 線幅は前記第 2 線幅より狭いことを特徴とする請求項 3 6 に記載の通信。

【請求項 3 9】

前記第 1 造形クラス内の造形は、第 1 幅を有するトランジスタゲートに対応する線セグメントであり、前記第 2 造形クラス内の造形は、第 2 幅を有する相互接続線に対応する線セグメントであり、前記第 1 幅は前記第 2 幅より狭いことを特徴とする請求項 3 6 に記載の通信。

【請求項 4 0】

層を定義するリソグラフィ・マスク用の、前記層内の第 1 及び第 2 造形クラス内の造形を定義する、パターンを処理するための手段と、

第 1 造形解像度レベル用の位相偏移ウィンドウ対に関する第 1 レイアウト寸法と、第 2 造形解像度レベル用の位相偏移ウィンドウ対に関する第 2 レイアウト寸法を定義するための手段と、

前記第 1 造形クラスに対して前記位相偏移ウィンドウ対に関する第 1 レイアウト寸法を使用し、前記第 2 造形クラスに対して前記位相偏移ウィンドウ対に関する第 2 レイアウト寸法を使用することを含み、複数の位相偏移ウィンドウ対をレイアウトするための手段と、前記複数の位相偏移ウィンドウ対の位相偏移ウィンドウに第 1 及び第 2 位相偏移値を割り当てるための手段と、を含んでいることを特徴とする装置。

【請求項 4 1】

前記処理するための手段は、前記パターン内の造形の寸法を識別するレイアウトファイルを読むための手段と、前記レイアウトファイルを処理して前記第 1 及び第 2 造形クラス内の造形を識別するための手段と、を含んでいることを特徴とする請求項 4 0 に記載の装置。

10

20

30

40

50

【請求項 4 2】

前記第 1 造形クラス内の造形は、第 1 線幅を有する線セグメントを有し、前記第 2 造形クラス内の造形は、第 2 線幅を有する線セグメントを有しており、前記第 1 線幅は前記第 2 線幅より狭いことを特徴とする請求項 4 0 に記載の装置。

【請求項 4 3】

前記第 1 造形クラス内の造形は、第 1 幅を有するトランジスタゲートに対応する線セグメントであり、前記第 2 造形クラス内の造形は、第 2 幅を有する相互接続線に対応する線セグメントであり、前記第 1 幅は前記第 2 幅より狭いことを特徴とする請求項 4 0 に記載の装置。

【請求項 4 4】

前記層は、ポリシリコンを含んでいることを特徴とする請求項 4 0 に記載の装置。

10

【請求項 4 5】

前記第 1 及び第 2 位相偏移値は、 θ 度位相偏移と $(180 + \theta)$ 度位相偏移を含んでいることを特徴とする請求項 4 0 に記載の装置。

【請求項 4 6】

前記位相偏移ウィンドウ対は、更に、前記対になった第 1 及び第 2 ウィンドウの間に配置された不透明区域を含んでいることを特徴とする請求項 4 0 に記載の装置。

【請求項 4 7】

前記第 1 及び第 2 ウィンドウの間の不透明区域は、前記第 1 クラスの位相偏移ウィンドウ対内の第 1 幅と、前記第 2 クラスの位相偏移ウィンドウ対内の第 2 幅とを有していることを特徴とする請求項 4 6 に記載の装置。

20

【請求項 4 8】

前記層内に追加の造形を定義する不透明領域と透明領域とを備えた相補形マスクをレイアウトするための手段を含んでいることを特徴とする請求項 4 0 に記載の装置。

【請求項 4 9】

前記相補形マスクは二進マスクを備えていることを特徴とする請求項 4 8 に記載の装置。

【請求項 5 0】

前記位相偏移マスクと前記相補形マスクのレイアウトを定義する機械読み取り可能レイアウトファイルを製作するための手段を含んでいることを特徴とする請求項 4 8 に記載の装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フォトリソグラフィ・マスクを使って、集積回路のような対象物の小寸法の造形を製造することに関する。より厳密には、本発明は、集積回路及び同様な対象物用の複雑なレイアウトに対する位相偏移マスクングの用途に関する。

【背景技術】

【0002】

位相偏移マスクング (phase shift masking) は、米国特許第 5,858,580 号に記載されているように、集積回路内の小寸法造形を作り出すために使用されてきた。通常、これらの造形は、小さく際どい寸法を有する、設計の選択された要素に限定されてきた。集積回路内に小寸法造形を製造することは、速度と性能を改善する結果となってきたが、その様なデバイスの製造において位相偏移マスクングをもっと広範に適用することが望ましい。しかしながら、位相偏移マスクングをより複雑な設計に拡大した結果、マスクレイアウト問題の複雑さが大幅に増してきた。例えば、高密度設計に位相偏移区域をレイアウトするときには、位相競合が起きることになる。位相競合の 1 つの型式は、同じ位相を有する 2 つの位相偏移領域が、例えば、露光パターン内に隣接する線を引くために位相偏移領域を重複させるなど、マスクによって露光されることになる造形の近傍にレイアウトされる、レイアウト内の位置選定である。位相偏移領域同士が同じ位相を有している場合、それらは所望の効果を作り出すのに必要な光学的干渉を生じることにならない。従って、

40

50

位相競合する位相偏移領域の不注意なレイアウトを防ぐ必要がある。Wu他による「交番 P S M 設計と、その設計から製造までの流れ」S A M E、2000年10月26日、を参照されたい。

【0003】

小寸法造形に依存する複雑な設計のレイアウトに関するもう1つの問題は、露光されない領域又は線の間には狭い寸法を有する孤立した露光される空間の故に生じる。

【0004】

位相偏移マスキングを使って複雑なパターンをレイアウトするプロセスに難しさを追加する1つの要因は、位相偏移領域の幅が、逆の位相領域の間の辺に直交する方向において、結果として生じる画像に重大な影響を及ぼすために生じる。幅が狭すぎると、結果として生じる画像の線幅が広くなることがある。幅が広すぎると、或る造形に対する位相偏移器のサイズが、レイアウト内の隣接する造形と干渉し始める。更に、隣接する造形も位相偏移領域を使用する場合、位相偏移領域の辺に沿って望ましくない位相競合が起こる場合がある。

10

【0005】

以上及びこの他の複雑さの故に、複雑な設計に位相偏移マスキング技法を適用するには、位相偏移マスクの設計に対する取り組みを改善し、新しい位相偏移レイアウト技法を確立する必要がある。

【0006】

【特許文献1】

米国特許第5,858,580号

20

【非特許文献1】

「交番 P S M 設計と、その設計から製造までの流れ」Wu他、S A M E、2000年10月26日

【発明の開示】

【課題を解決するための手段】

【0007】

本発明は、多重造形クラスに対し多重位相偏移マスク解像度レベルを使用する交番位相偏移マスクを製造するための方法とシステムを提供する。或る実施形態における方法は、層を定義するフォトリソグラフィ・マスク用の、層内の第1及び第2造形クラスの造形を

30

定義するパターンを処理する段階と、第1造形解像度レベル用の位相偏移ウィンドウ対に関する第1レイアウト寸法と、第2造形解像度レベル用の位相偏移ウィンドウ対に関する第2レイアウト寸法とを定義する段階と、

前記第1造形クラスに対して位相偏移ウィンドウ対に関する第1レイアウト寸法を使用する段階と、前記第2造形クラスに対して位相偏移ウィンドウ対に関する第2レイアウト寸法を使用する段階とを含む、複数の位相偏移ウィンドウ対をレイアウトする段階と、前記複数の位相偏移ウィンドウ対内の位相偏移ウィンドウに第1及び第2位相偏移値を割り当てる段階と、で構成されている。

40

【0008】

或る実施形態では、前記処理する段階は、パターン内の造形の寸法を識別するレイアウトファイルを読む段階と、前記レイアウトファイルを処理して第1及び第2造形クラス内の造形を識別する段階と、を含んでいる。第1造形クラス内の造形は、第1線幅を有する線セグメントを有し、例えば、トランジスタゲートに対応しており、第2造形クラス内の造形は、第2線幅を有する線セグメントを有し、例えば、小さなトランジスタゲートに接続するための狭い相互接続線に対応しており、前記第1線幅は前記第2線幅より狭い。別の例では、僅かに異なるチャンネル幅で特徴付けられた2つのクラスのトランジスタを形成するためのトランジスタゲート双方である。

【0009】

本発明のある実施形態では、上記プロセスを実行するための手段を備えた装置が提供され

50

ている。

【0010】

或る実施形態のプロセスは、集積回路又は他の工作物内の材料の層を定義するためのマスクのセットを製作する結果となる。前記マスクのセットは、それぞれの位相偏移ウィンドウが定義した層内の構造を定義するための、不透明分野内の複数の位相偏移ウィンドウ対を有する第1マスクを備えている。前記第1マスクは、それぞれの位相偏移ウィンドウが定義した前記層内の構造を定義するための、不透明分野内の複数の位相偏移ウィンドウを有している。前記複数の位相偏移ウィンドウ内の位相偏移ウィンドウは、それぞれの第1及び第2クラスのウィンドウを備えており、前記第1クラスは、第1レイアウト幅に基づく幅寸法を有しており、前記第2クラスは、第2レイアウト幅に基づく幅寸法を有しており、前記第1レイアウト幅は前記第2レイアウト幅よりも大きい。

10

【0011】

位相偏移ウィンドウは、オーバレイの後、位相偏移ウィンドウが他の造形を使ってレイアウトするときには、レイアウト幅に基づく幅寸法を有しており、位相偏移区域が他の位相偏移区域と重なる場合には、位相偏移区域の少なくとも1つのセグメントの幅はレイアウト幅に等しい幅を有している。

【0012】

マスクのセットは、第2の不透明な区域と透明な区域とを有する第2マスクを含んでおり、前記第2の不透明な区域は、前記層内の相互接続構造を定義し、複数の位相偏移ウィンドウが定義した構造を相互接続し、位相偏移ウィンドウが定義した構造の消去を防ぐためのものである。

20

【0013】

この様にして、第1クラスの位相偏移ウィンドウ対によって露光された画像は、第2クラスの位相偏移ウィンドウ対によって露光された画像よりも小さな寸法を有している。本発明は、異なる幅、又は他の特性によって特徴付けられたどの様な数の位相偏移ウィンドウのクラスに対しても拡張可能であり、異なる特性のクラスの結果として、異なる解像度を有する複数の造形のクラスの画像を提供する。

【0014】

或る実施形態では、本発明は、層を定義するリソグラフィ・マスクのために、露光された領域と露光されていない領域とを定義しているパターンを処理する段階を含む方法である。第1造形のサイズよりも小さな寸法を有するパターン内の露光された領域は、第1クラスの造形と識別される。第2造形のサイズよりも小さく、第1造形のサイズよりも大きな寸法を有するパターン内の露光された領域は、第2クラスの造形と識別される。複数の位相偏移ウィンドウ対が、第1マスクに対して上記のようにレイアウトされる。複数の位相偏移ウィンドウ対のそれぞれの第1及び第2位相偏移ウィンドウに対して、位相偏移値が割り当てられる。

30

【0015】

もう1つの実施形態によれば、本発明は、上記のように、複数の造形のクラスに関わる多重位相偏移マスク解像度レベルを備えた位相偏移マスクをレイアウトするプロセスを実行するための命令及び他のリソースを含んでいるデータ処理システムを備えている。又別の実施形態では、本発明は、上記のように、複数の造形のクラスに関わる多重位相偏移マスク解像度レベルを備えた位相偏移マスクをレイアウトするプロセスを実行するための命令を記憶する機械読み取り可能な記憶媒体を含む製造の物品を備えている。更に別の実施形態では、本発明は、上記のように、複数の造形のクラスに関わる多重位相偏移マスク解像度レベルを備えた位相偏移マスクをレイアウトするプロセスを実行するための命令を含む機械読み取り可能な通信を備えている。

40

【0016】

本発明は、集積回路又は非常に細かな造形を備えた他の工作物を製造するための、多重位相偏移解像度レベルを備えた位相偏移マスクングを使用することを特徴とする、設計者の柔軟性を増す方法及びツールを提供する。本発明のこの他の態様と利点は、添付図面、詳

50

細な説明、及び特許請求の範囲を参照すれば理解できるであろう。

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照しながら本発明の実施形態を詳細に説明する。図1は、複数の造形のクラスに関わる多重位相偏移解像度レベルを備えた交番位相偏移マスクを使用して、位相偏移マスクをレイアウトし、相補形マスクを製作し、その様なマスクを印刷し、集積回路を製造するための、コンピュータシステムと製造システムによって実行されるプロセスを示している。

【0018】

このプロセスは、本例では、集積回路の複雑な層を定義するレイアウトファイルを読むこと
10
とで始まる(ステップ10)。例えば、或るその様な複雑な層は、トランジスタゲート構
造を含むポリシリコン相互接続層を備えているかもしれない。次に、プロセスは、第1造
形クラスのメンバーである第1セットの造形を識別する。例えば、第1特定値より小さな
寸法を有する造形は、トランジスタゲートのような第1造形クラスのメンバーと識別さ
れる(ステップ11)。次いで、第2造形クラスで露光されるべき第2セットの造形が識
別される。例えば、第1造形クラスを特徴付けた第1特定値より大きな第2特定値より
小さな寸法を有する造形が、識別される(ステップ12)。第1及び第2レイアウト寸法
を有する位相偏移ウィンドウで構成される第1及び第2セットの偏移ウィンドウ対が、第
1及び第2セットの造形に対してレイアウトされる(ステップ13)。第1及び第2セッ
トの偏移ウィンドウ寸法は、位相遷移の辺に直交する寸法のレイアウト幅を変えること
20
によって特徴付けられる。他の位相偏移ウィンドウのレイアウト寸法は、例えば対になっ
ている位相偏移ウィンドウの間の位相遷移に沿う不透明な区域の幅の様な、様々な造形ク
ラスに対する複数の解像度レベルを提供するために、変えられる。次に、位相偏移ウィンド
ウ対に対する位相偏移値が、割り当てられ、又は「色付け」され(ステップ14)、各対
の第1ウィンドウは 度の位相偏移を有し、各対の第2ウィンドウは $(180 + \quad)$ 度の
位相偏移を有することになるが、 \quad は、或る実施形態では公称ゼロ度である。他の光学的
近接度修正技法、又は他のマスクレイアウトプロセスが、当技術分野では既知のように、
位相偏移マスクレイアウトプロセスを完成するために実行される(ステップ15)。この
時点で、多重造形クラス用の位相偏移構造を含む機械読み取り可能レイアウトファイルが
30
作成される。相補形二進マスクがレイアウトされ、それにより不透明分野偏移マスクを使
って露光された造形が層内で相互接続される(ステップ16)。続くステップでは、大型
回路のような工作物の製造の間に材料の層を露光するのに使用するため、マスクが印刷さ
れ、或いは別の方法で製造される(ステップ17)。最後に、好適なシステムでは、位相
偏移マスクを使って集積回路が製造される(ステップ18)。

【0019】

図2Aから2Dは、第1クラスの造形用の位相偏移マスクのレイアウトを示しており、こ
の例では、例えば0.12ミクロン以下のトランジスタ用のチャネル長さを定義する幅の
ような、第1特定値より小さな寸法を有するトランジスタゲート用のものである。図2A
は、造形を定義するレイアウトファイルの外観である。この様に、集積回路上の層は、ボ
ックス100内で定義される。トランジスタゲートは、ポリシリコンの線101によって
40
定義される。植え込み領域102は、トランジスタのソースとドレインを提供し、線10
1によって定義されるトランジスタゲートの下にトランジスタの活性領域を作る。本発明
によれば、位相偏移ウィンドウは、活性領域内に線101を定義することになる領域を露
光するようにレイアウトされることになる。この様に、図2Bでは、トランジスタの活
性領域上にトランジスタゲートを定義する領域105が識別される。図2Cは、領域105
に隣接してレイアウトされた位相偏移ウィンドウ106及び107を示す。位相偏移ウィ
ンドウ106及び107は、定義されることになる造形105に平行な長さLを有してい
る。このクラスの造形では、位相偏移ウィンドウ106及び107は、レイアウト幅W1
を有しているが、この幅は、位相競合が領域105の露光を引き起こすかもしれない位相
偏移ウィンドウ106及び107の辺に直交している。図2Dは、位相偏移ウィンドウ1
50

06及び107が「色付け」された後、即ちそれぞれ0度と180度の位相偏移キャラクタを割り当てられた後の、位相偏移ウィンドウ106及び107を示している。位相偏移ウィンドウ106及び107は、位相偏移マスクを定義するため、不透明分野108にレイアウトされている。図示していないが、相補形二進マスクが、デバイスの層に相互接続部とその他の必要な構造を設けるために作られる。

【0020】

図3Aから3Dは、第2クラスの造形用の位相偏移マスクのレイアウトを示しており、この例では、図2Aから2Dを参照しながら説明したトランジスタゲートの幅を特徴付けた第1特定値より大きな第2特定値よりも小さな寸法を有する狭い相互接続部である。例えば、第1特定値が0.12ミクロン以下の場合、第2特定値は0.16ミクロン以下である。この様に、図3Aは、相互接続造形121を有する集積回路の層120を示している。相互接続造形121は、第2特定値未満の幅を有するように定められる。従って、これは、この第2クラスの造形に関する位相偏移マスクのレイアウトのためには、限界造形である。この様に、限界造形122は、図3Bで定義される。図3Cは、造形122の互いに反対側にある位相偏移ウィンドウ123及び124のレイアウトを示している。この例では、位相偏移ウィンドウ123及び124は、図2Cに示すシーケンスで使用されたレイアウト幅より狭いレイアウト幅W2を有している。図3Dは、位相偏移領域123及び124にそれぞれ相対位相偏移値0度及び180度が割り当てられた後の、位相偏移領域123及び124を示している。位相偏移領域123及び124は、不透明分野125にレイアウトされている。相補形二進マスク（図示せず）は、位相偏移に依存しない層内の相互接続部及び他の造形に使用される。

10

20

【0021】

この様に、図2Aから2D、図3Aから3Dで分かるように、複数のクラスの位相偏移造形が定義される。結果として露光されたパターンの幅は、位相偏移ウィンドウのレイアウト幅W1及びW2に基づいている。本発明によれば、異なるレイアウト幅を有する位相偏移ウィンドウ対を使って複数の造形クラスが収容された単一の位相偏移マスクが実現されている。このやり方で、狭い位相偏移ウィンドウを使って実現することのできる、幅広の寸法を有する造形を、狭い寸法を有し幅広の位相偏移ウィンドウを使って実現しなければならない造形を備えた単一のマスク上に組み合わせることができる。更に、組み合わせられた位相領域の色付けは、単一幅広又は単一クラスの位相偏移造形に依存するシステム上に単純化される。

30

【0022】

図4Aから4Dは、単一のマスク上に複数の造形クラスを有するパターンのレイアウトを示している。図4Aは、ポリシリコンゲート造形140と、セグメント141及び142を含むポリシリコン相互接続造形とを有する集積回路の層150を示している。植え込み151は、ゲート造形140の下に活性チャンネル領域を有するトランジスタのソース及びドレイン領域を表す造形で示されている。図4Bに示すプロセスの第1ステップでは、レイアウトのゲートセルが識別され、位相偏移セル153及び154が、第1造形クラス用に定義されたレイアウト幅を使ってゲート領域152を定義するやり方でレイアウトされる。図4Cに示す次のステップでは、特定値よりも小さいがゲート幅よりも大きい幅を有する相互接続構造として定義される限界造形セルが識別される。位相偏移セル156及び157は、第2造形クラス用に定義されたレイアウト幅を使って、位相偏移セル153及び154にオーバレイし、造形155の辺に沿ってレイアウトされる。本例では、第1造形クラス用のレイアウト幅は、第2造形クラス用のレイアウト幅より大きい。出来上がった位相偏移ウィンドウは、最終ウィンドウ形状において、両造形クラス用のレイアウト幅に基づく幅を有するセグメントを有している。

40

【0023】

図4Dでは、位相偏移ウィンドウ160及び162が、それぞれ図示のように0度と180度の位相偏移角で色付けされている。この様に色づけされた位相偏移ウィンドウは、不透明分野161内に実現される。位相偏移ウィンドウは、互いに隣接し、ウィンドウの間

50

の位相遷移に沿って間隔を定義するクロムのような不透明材料で位相遷移を実現する。通常、0度位相ウィンドウから180度位相ウィンドウへの遷移は、ウィンドウ間の不透明な帯の中央にある。しかしウィンドウ間の不透明な帯は他のレイアウトも許容する。

【0024】

相補形二進マスク（図示せず）が、先に論じたように、工作物の層を実現するのに使うため追加される。この様にして、位相偏移セル156及び157は、領域142がレイアウトのために必要な幅を取るのを妨げないやり方で実現される。同様に、狭い位相偏移ウィンドウ156 - 157を使うと、隣り合う位相偏移セルとの位相競合の機会を減ずることにより、全体として集積回路のレイアウトが単純化される。

【0025】

図5Aから5Dは、代替プロセスフローによる、単一マスク上に複数の造形クラスを有するパターンのレイアウトを示す。図5Aは、ポリシリコンゲート造形140と、セグメント141及び142を含むポリシリコン相互接続造形とを有する集積回路の、図4Aにおけるような層150を示している。植え込み151は、ゲート造形140の下に活性チャネル領域を有するトランジスタのソース及びドレイン領域を表す造形で示されている。図5Bに示す代替プロセスの第1ステップでは、レイアウトのゲートセル152とレイアウトの限界相互接続セル155が識別される。図5Cに示す次のステップでは、第1クラスの造形（ゲート）と第2クラスの造形（限界幅相互接続線）の両方用の組合せ型位相偏移セル158及び159がレイアウトされる。この結果、基本的には図4Cに示す組合せ型セルと同じレイアウトになる。図5Dに示す最終ステップでは、図示のように、位相偏移ウィンドウ160と162は、それぞれの位相偏移角度0度及び180度で色付けされる。この様に色付けされた位相偏移セルは、不透明分野161で実現される。相補形二進マスク（図示せず）が、先に論じたように、工作物の層を実現するのに使うため追加される。

【0026】

図4D及び5Dに示す不透明分野161では、不透明造形が、位相偏移領域の間にレイアウトされる。位相偏移領域の間の不透明造形の幅は、位相偏移ウィンドウそれ自体の幅の調整に加えて、調整することができる。この様に、位相偏移ウィンドウの幅と、位相偏移ウィンドウの間の不透明造形の幅は、操作して偏移マスクのレイアウト用の複数の造形クラスを定義することができる。

【0027】

複雑なマスク上に位相偏移領域をレイアウトすることには、重なっている位相偏移区域と、位相偏移区域のレイアウト寸法にオーバーレイするように或る角度で切断される線のような層内の他の造形の形状とを解像することが含まれている。この様にして出来上がったマスクは、単純な矩形ではなく、複雑な多角形状を有する位相偏移ウィンドウを有することになる。しかしながら、本発明のある実施形態では、第1及び第2造形クラス用の位相偏移ウィンドウは、異なるレイアウト幅に基づく幅寸法を有している。位相偏移ウィンドウは、オーバーレイの後、位相偏移ウィンドウが他の造形を使ってレイアウトするときには、レイアウト幅に基づく幅寸法を有しており、位相偏移区域が他の位相偏移区域と重なる場合には、位相偏移区域の少なくとも1つのセグメントの幅はレイアウト幅に等しい幅を有している。

【0028】

複雑な構造用の位相偏移マスクを生成するのは、些細な処理の問題ではない。図6は、その様なタスクのデータ処理システムを示している。図6のマシン250は、ユーザー入力回路254からのユーザー信号を表示するデータを受信し、ディスプレイ256に画像を定義するデータを提供するために接続されているプロセッサ252を含んでいる。プロセッサ252は、更に、作成中のマスクレイアウトと、マスクを使って露光することになる材料の層に関するレイアウトとを定義するマスク及び層レイアウトデータ258にアクセスするように接続されている。プロセッサ252は、更に、命令入力回路262を通して命令を表示する命令データ260を受信するように接続されており、命令入力回路262

10

20

30

40

50

は、図示のように、メモリ 264、記憶媒体アクセス装置 266 又はネットワーク 268 への接続から受信した命令を提供することができる。

【0029】

命令データ 260 により表示されたコマンドを実行する際には、プロセッサ 252 は、レイアウトデータ 258 を使って、マスク用のレイアウトと、随意的にはマスクレイアウトの画像を定義するデータをディスプレイ 256 に提供し、レイアウトの見本を表示させる。

【0030】

上記のように、図 6 は、命令入力回路 262 が命令を表示するデータを受信できる 3 つの可能なソース、即ち、メモリ 264、記憶媒体アクセス装置 266、及びネットワーク 268 を示している。 10

【0031】

メモリ 264 は、ランダムアクセスメモリ (RAM) 又は読み取り専用メモリ (ROM) を含む、マシン 250 内のどの様な従来型のメモリでもよいし、どの様な種類の周辺又は遠隔メモリ装置でもよい。

【0032】

記憶媒体アクセス装置 266 は、記憶媒体 270 にアクセスするための、駆動又は他の適切な装置又は回路でもよく、記憶媒体 270 としては、例えば、1 つ又は複数のテープ、ディスク又はフレキシブルディスクのセットのような磁気媒体、1 つ又は複数の CD-ROM のセットのような光学媒体、又はデータを記憶するための何らかの適切な媒体が挙げられる。記憶媒体 270 は、マシン 250 の一部でもよいし、サーバー又は他の周辺又は遠隔メモリ装置の一部でもよいし、ソフトウェア製品であってもよい。何れの場合でも、記憶媒体 270 は、マシン 250 で使用することのできる製造の物品である。データユニットは、記憶媒体アクセス装置 266 が、データユニットにアクセスして、それらを命令入力回路 262 を通して順にプロセッサ 252 に供給できるように、記憶媒体 270 に配置しておくことができる。順に供給されると、データユニットは命令データ 260 を形成し、図示のように命令を表示する。 20

【0033】

ネットワーク 268 は、マシン 280 からの通信として受信した命令データ 260 を供給することができる。マシン 280 のプロセッサ 282 は、ネットワーク 268 上で、ネットワーク接続回路 284 及び命令入力回路 262 を介してプロセッサ 252 と接続を確立することができる。どちらのプロセッサも、接続を開始することができ、接続は、どの様な適切なプロトコルで確立してもよい。すると、プロセッサ 282 は、メモリ 286 に記憶されている命令データにアクセスして、命令データをネットワーク 268 経由でプロセッサ 252 に伝送することができるので、プロセッサ 252 は、ネットワーク 268 から命令データ 260 を受信することができる。次に、プロセッサ 252 は、命令データ 260 をメモリ 264 か何処かに記憶し、実行することができるようになる。 30

【0034】

得られたレイアウトデータは、機械読み取り可能な形で記憶されるか、遠隔システムとの通信に表示される。 40

【0035】

この例では、位相偏移領域の自動割り当て、及び上記のような光学的近接度修正造形の追加が提供され、処理が容易になる。例えば図 6 に示すようなデータ処理システムにおいて、設計規則チェック・プログラミング言語 (例えば、Cadence 設計システム社が提供する Vampier 設計規則チェッカー) を使って実行される、本プロセスによる位相偏移マスクレイアウトの生成における 3 つの段階には、入力層の定義、出力層の生成、及び位相偏移領域の色付け、が含まれている。

【0036】

設計規則チェッカを利用して、最小造形寸法より小さなサイズを有する、或いは多重位相偏移解像度レベルを使って本発明に従って実行される造形クラスの特性を有する入力レイ 50

アウトの全ての露出造形（即ち、線）を識別することができる。或る実施形態では、異なる最小造形寸法が、複数の造形クラスに適用される。この様に、最小造形構造は、線に関する最小造形寸法の1/2より少し多くを、元のサイズの入力構造から差し引くことによって識別することができる。この結果、最小寸法より小さな寸法を有する全ての構造が除去される。次いで、残りの構造は、最小寸法の1/2より少し多くを加え戻すことにより再構成することができる。すると、最小寸法構造は、元の入力構造を取り、再構成のステップで得られた全ての構造を差し引くことによって識別することができる。このプロセスは、小さい寸法の造形を除去するためにサイズダウン操作を実行し、次いで残りのエッジにサイズアップ操作を行って計算されたレイアウトを製作するものとして特徴付けることができる。次に、小さな寸法の造形は、元のレイアウトのAND NOTと計算されたレイアウトとの間で「AND NOT」操作を実行することによって識別される。

10

【0037】

位相偏移領域は、単純な場合は、各造形クラスの入力構造をコピーし、得られた多角形の幅を各造形クラス用の所望のレイアウト幅に調整し、位相偏移ウィンドウ対に対応する多角形を造形位置に配置することによって形成される。位相の「色付け」を、得られた位相偏移ウィンドウ対に自動的に、又は手動で適用することができるので、0度及び180度領域が正しくレイアウトされる。

【0038】

上記単純な例は、位相偏移ウィンドウのレイアウト幅に基づいて、多重解像度レベル用の位相偏移ウィンドウをレイアウトするための代替プロセスフローを提供する。このプロセスは、特定のレイアウト問題の必要性に合わせて、3解像度レベル以上を伴う複雑なレイアウトにも容易に拡張することができる。解像度における非常に細かな等級は、位相偏移ウィンドウの幅とその間の間隔を細かにチューニングすることによって実現することができる。

20

【0039】

総括すると、集積回路及びその他の細かな造形の工作物を製造するのに用いられる交番位相偏移マスクを定義するために、本発明の多重解像度クラスを使えば、レイアウトされた造形の形状に亘って優れた制御を行い、位相競合による問題も殆ど起きることはない。

【0040】

本発明の様々な実施形態に関する上記説明は、解説と説明を目的に提示したものである。上記説明は、本発明を、開示した形態そのものに限定する意図はない。当業者には自明であるように、多くの修正を加え、等価な構造を導くこともできる。

30

【図面の簡単な説明】

【0041】

【図1】本発明による、多重位相偏移マスク解像度レベルに関わるレイアウトプロセスのフローチャートである。

【図2】図2Aから2Dは、トランジスタゲート又は他の造形クラスに関する位相偏移ウィンドウ対をレイアウトするための従来型プロセスを示す。

【図3】図3Aから3Dは、図2に示す以外の造形クラスの造形に関する位相偏移ウィンドウ対をレイアウトするためのプロセスを示す。

40

【図4】図4Aから4Dは、本発明の或る実施形態による、1つのパターン内に複数の造形クラスをレイアウトする際に行われるステップを示す。

【図5】図5Aから5Dは、本発明の別の実施形態による、1つのパターン内に複数の造形クラスをレイアウトする際に行われるステップを示す。

【図6】集積回路又は他の工作物内の1つの層に使用されるフォトリソグラフィ・マスク用のパターンのような1つのパターンに複数の造形クラスをレイアウトするプロセスを実行するためのデータ処理システムを示す。

【 図 1 】

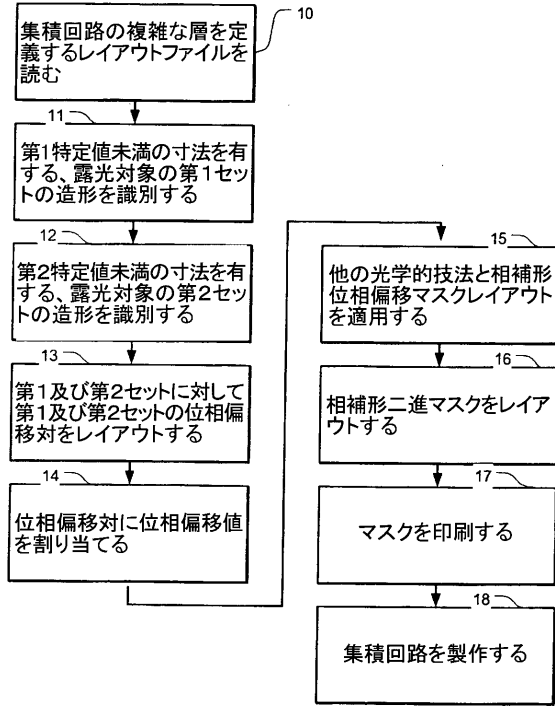


FIG. 1

【 図 6 】

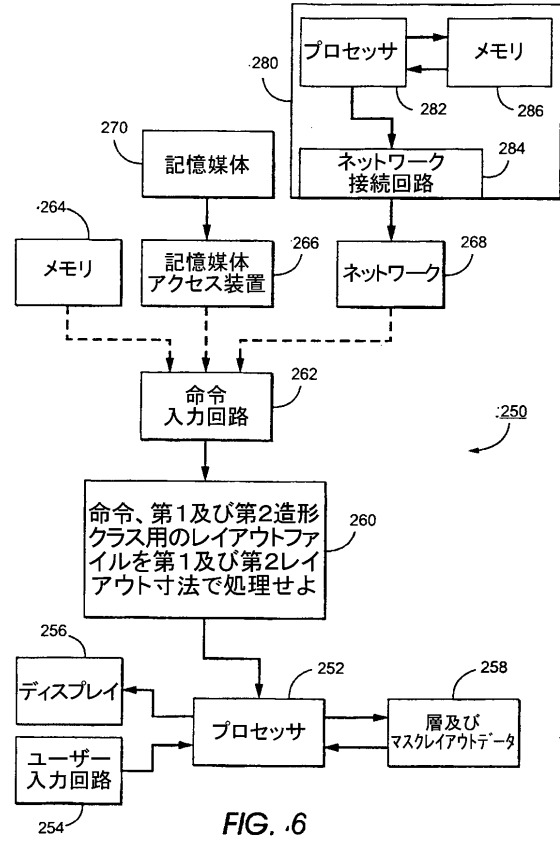


FIG. 6

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
19 September 2002 (19.09.2002)

PCT

(10) International Publication Number
WO 02/073312 A1

(51) International Patent Classification: G03F 1/00

(81) Designated States (national): AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GH, GI, GM, HR, HU, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SI, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(21) International Application Number: PCT/US01/07413

(22) International Filing Date: 8 March 2001 (08.03.2001)

(25) Filing Language: English

(26) Publication Language: English

(71) Applicant (for all designated States except US): NUMERICAL TECHNOLOGIES, INC. [US/US]; 70 West Plumeria Drive, San Jose, CA 95134-2134 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CI, CG, CL, CM, GA, GN, GW, MI, MR, NI, SN, TD, TG).

(72) Inventor; and
(75) Inventor/Applicant (for US only): WU, Shao-Po [US]; 8 Berenda Way, Portola Valley, CA 94028 (US).

Published: — with international search report

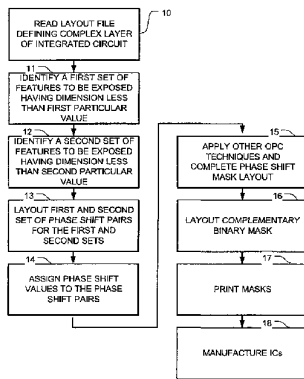
(74) Agent: HAYNES, Mark, A.; Haynes & Belfel LLP, P.O. Box 366, Half Moon Bay, CA 94019 (US).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 02/073312 A1

(54) Title: ALTERNATING PHASE SHIFT MASKING FOR MULTIPLE LEVELS OF MASKING RESOLUTION



(57) Abstract: A method and system produce alternating phase shift masks multiple phase shift mask resolution levels for multiple feature classes. The method comprises: processing a pattern for a photolithographic mask that defines a layer, wherein said pattern defines features in first and second feature classes in the layer, defining first layout dimensions for phase shift window pairs for a first feature resolution level, and second layout dimensions for phase shift window pairs for a second feature resolution level; laying out a plurality of phase shift window pairs, including using said first layout dimensions for phase shift window pairs for the first feature class, and using said second layout dimensions for phase shift window pairs for the second feature class; and assigning first and second phase shift values to phase shift windows in the plurality of phase shift window pairs. The process results in the production of set of masks for defining a layer of material in an integrated circuit or other work piece. The set of masks comprises a first mask having a plurality of phase shifting window pairs in an opaque field for defining respective phase shift window defined structures in the layer. The first mask has a plurality of phase shifting windows in an opaque field for defining respective phase-shift window defined structures in said layer. The phase shift windows in said plurality comprise respective first and second classes of windows, the first class having a width dimension based upon a first layout width, and the second class having a width dimension based on a second layout width, said layout width being greater than said second layout width.

WO 02/073312

PCT/US01/07413

One factor which adds difficulty to the process of laying out complex patterns with phase shift masking arises because the width of the phase shift regions, in a direction orthogonal to the side between opposing phase regions, has a significant effect on the resulting image. If the width is too small, the line width of the resulting image may increase. If the width is too great, the size of the phase shifters for one feature begins to interfere with adjacent features in the layout. Further, if the adjacent features also involve the use of phase shift regions, unwanted phase conflicts may occur along the sides of the phase shift regions.

Because of these and other complexities, implementation of a phase shift masking technology for complex designs will require improvements in the approach to the design of phase shift masks, and new phase shift layout techniques.

SUMMARY OF THE INVENTION

The present invention provides a method and system for producing alternating phase shift masks using multiple phase shift mask resolution levels for multiple feature classes. The method in one embodiment, comprises:

processing a pattern for a photolithographic mask that defines a layer, wherein said pattern defines features in first and second feature classes in the layer;
defining first layout dimensions for phase shift window pairs for a first feature resolution level, and second layout dimensions for phase shift window pairs for a second feature resolution level;
laying out a plurality of phase shift window pairs, including using said first layout dimensions for phase shift window pairs for the first feature class, and using said second layout dimensions for phase shift window pairs for the second feature class; and
assigning first and second phase shift values to phase shift windows in the plurality of phase shift window pairs.

In one embodiment said processing includes reading a layout file which identifies dimensions of the features in the pattern, and processing the layout file to identify features in the first and second feature classes. The features in the first feature class have line segments having a first line width, and correspond for example to transistor gates, and features in the second feature class have line segments having a second line width and correspond for example to narrow interconnect lines for connection to small transistor gates, the first line width being less

WO 02/073312

PCT/US01/07413

than the second line width. In alternative examples the features may both be transistor gates for forming two classes of transistors characterized by slightly different channel lengths.

In one embodiment of the invention, an apparatus comprising the means for executing the process described above is provided.

5 The process in one embodiment results in the production of set of masks for defining a layer of material in an integrated circuit or other work piece. The set of masks comprises a first mask having a plurality of phase shifting window pairs in an opaque field for defining respective phase shift window defined structures in the layer. The first mask has a plurality of phase shifting windows in an opaque field for defining respective phase-shift window defined
10 structures in said layer. The phase shift windows in said plurality comprise respective first and second classes of windows, the first class having a width dimension based upon a first layout width, and the second class having a width dimension based on a second layout width, said first layout width being greater than said second layout width.

A phase shift window has a width dimension based upon a layout width, when after
15 overlying the phase shift window layouts with other features, and accounting for overlapping of phase shift areas with other phase shift areas, at least one segment of the width of the phase shift area has a width equal to the layout width.

The set of masks includes a second mask having second opaque areas and clear areas,
20 said second opaque areas for defining an interconnect structure in said layer for interconnecting a plurality of the phase-shift window defined structures, and for preventing erasure of the phase-shift window defined structures.

In this manner, the images exposed by phase shift window pairs in a first class may have a smaller dimension than images exposed by the phase shift window pairs in a second class. The present invention is expandable to any number of classes of phase shift window characterized by
25 differing widths, or other characteristics, and as a result of the differing characteristics, provides for the imaging of multiple classes of features with different resolutions.

In one embodiment, the present invention is a method that comprises processing a
30 pattern for a photolithographic mask that defines a layer, wherein the pattern defines exposed regions and unexposed regions. Exposed regions in the pattern having a dimension less than a first feature size are identified as a first class of feature. Exposed regions in the pattern having a dimension less than a second feature size, larger than the first feature size are identified as a second class of feature. The plurality of phase shift window pairs are laid out for a first mask, as

WO 02/073312

PCT/US01/07413

described above. Phase shift values for the respective first and second phase shift windows in the plurality of the phase shift window pairs are assigned.

According to another embodiment, the present invention comprises a data processing system including instructions and other resources for executing the process of laying out phase shift masks with multiple phase shift mask resolution levels for multiple feature classes as described above. In another embodiment, the present invention comprises an article of manufacture including a machine readable storage medium storing instructions for executing the process of laying out phase shift masks with multiple phase shift mask resolution levels for multiple feature classes as described above. In yet another embodiment, the present invention comprises a machine readable communication including instructions for executing the process of laying out phase shift masks with multiple phase shift mask resolution levels for multiple feature classes as described above.

The present invention provides methods and tools which increased flexibility of designers for manufacturing integrated circuits or other work pieces with very fine features characterized by the use of phase shift masking with multiple phase shifting resolution levels. Other aspects and advantages of the present invention can be seen upon review the figures, the detailed description and claims which follow.

BRIEF DESCRIPTION OF THE FIGURES

Fig. 1 the flow chart of a layout process involving multiple the shift mask resolution levels according to the present invention.

Figs. 2A-2D illustrate a conventional process for laying out a phase shift window pair for a transistor gate, or other feature class.

Figs. 3A-3D illustrate the process for laying out a phase shift window pair for a feature of a feature class other than that shown in Fig. 2.

Figs. 4A-4D show the steps involved in laying out multiple feature classes in a single pattern, according to one embodiment of the present invention.

Figs. 5A-5D show the steps involved in laying out multiple feature classes in a single pattern, according to another embodiment of the present invention.

Fig. 6 illustrates a data processing system for executing the processes of laying out multiple feature classes in a single pattern, such as a pattern for photolithographic mask used for a single layer in an integrated circuit, or other work piece.

WO 02/073312

PCT/US01/07313

DETAILED DESCRIPTION

A detailed description of embodiments of the present invention is provided with respect to the figures. Fig. 1 illustrates the process executed by computer system and manufacturing system for laying out phase shift masks, producing complementary masks, printing such masks, and manufacturing integrated circuits using alternating phase shift masks with multiple phase shift resolution levels for multiple feature classes.

The process begins in this example with reading a layout file defining a complex layer of integrated circuit (step 10). For example, one such complex layer may comprise a polysilicon interconnect layer including transistor gate structures. Next, the process identifies a first set of features which are members of a first feature class. For example, features which have a dimension less than a first particular value are identified as a member of the first feature class, such as transistor gates (step 11). Next, a second set of features to be exposed in a second feature class is identified. For example features having a dimension less than a second particular value which is greater than the first particular value which characterized the first feature class are identified (step 12). First and second sets of a shift window pairs which consist of phase shift windows having first and second layout dimensions are laid out for the first and second sets of features (step 13). The first and second sets of a shift window dimensions are characterized by differing layout widths in a dimension orthogonal to sides of the phase transitions. Other layout dimensions of the phase shift windows may be varied to provide multiple resolution levels for the various feature classes, such as for example the widths of opaque areas along the phase transitions between phase shift windows in a pair. Next, phase shift values for the phase shift window pairs are assigned, or "colored" (step 14), providing that a first window in each pair has a θ degree phase shift and the second window in each pair has a $(180 + \theta)$ degree phase shift, where θ is nominally zero degrees in one embodiment. Other optical proximity correction techniques, or other mask layout processes are executed to complete the phase shift mask layout process as known in the art (step 15). At this point, a machine readable layout file including phase shifting structures for multiple feature classes is produced. The complementary binary mask is laid out by which features exposed using the opaque field phase shift mask are interconnected in the layer (step 16). In a following step, the masks are printed or otherwise manufactured for use in exposing layers of material during manufacturing of the work piece

WO 02/073312

PCT/US01/07413

such as the great circuit (step 17). Finally in a preferred system, integrated circuits are manufactured using the phase shift masks (step 18).

Figs. 2A through 2D illustrate the layout of phase shift masks for a first class of features, in this example for transistor gates, which have a dimension less than the first particular value, such as a width which defines a channel length for a transistor of 0.12 microns or less in one example. Fig. 2A shows the appearance of a layout file defining the feature. Thus, the layer on integrated circuit is defined within box 100. The transistor gate is defined by a line 101 of polysilicon. An implant region 102 provides the source and drain of the transistor and creates an active region of the transistor beneath the transistor gate defined by line 101. According to the present invention, phase shift windows are to be laid out to expose the region which will define the line 101 within the active region. Thus, in Fig. 2B, the region 105 which defines the transistor gate over the active region of the transistor, is identified. Fig. 2C shows phase shift windows 106 and 107 laid out adjacent the region 105. The phase shift windows 106 and 107 have a length L which is parallel to the feature 105 to be defined. For this class of feature, the phase shift windows 106 and 107 have a layout width W1, which is orthogonal to the side of the phase shift windows 106 and 107 at which the phase conflict is to induce exposure of the region 105. Fig. 2D shows the phase shift windows 106 and 107 after they have been "colored" or assigned phase shift characters of 0 degrees and 180 degrees respectively. The phase shift windows 106 and 107 are laid out in an opaque field 108 to define the phase shift mask. A complementary binary mask, not shown, is implemented to provide interconnect and other necessary structures for the layer of the device.

Figs. 3A through 3D illustrate the layout of phase shift masks for a second class of features, in this example narrow interconnects, which have a dimension less than a second particular value, that may be greater than the first particular value which characterized the width of the transistor gates described respect to Figs. 2A through 2D. For example, where the first particular value is 0.12 microns, or less, the second particular value may be 0.15 microns or less. Thus, Fig. 3A shows a layer 120 of an integrated circuit with an interconnect feature 121. The interconnect feature 121 is determined to have a width of less than the second particular value. It is therefore a critical feature for the purposes of layout of phase shift masks for this second class of features. Thus, the critical feature 122 is defined in Figure 3B. Fig. 3C shows layout of the phase shift windows 123 and 124 on opposing sides of the feature 122. In this example, the phase shift windows 123 and 124 have a layout width W2 which is less than the layout width

WO 02/073312

PCT/US01/07413

W1 used in the sequence shown in Fig. 2C. Fig. 3D shows the phase shift regions 123 and 124 after they have been assigned relative phase shift values of 0 degrees and 180 degrees respectively. The phase shift regions 123 and 124 are laid out in an opaque field 125. A complementary binary mask (not shown) is used for interconnect and other features in the layer that do not rely on phase shifting.

Thus, with respect to Figs. 2A through 2D and Figs. 3A through 3D, it can be seen that multiple classes of phase shift features are defined. The widths of the resulting exposed patterns are based on the layout widths W1 and W2 of the phase shift windows. According to the present invention, a single phase shift mask is implemented in which multiple feature classes are accommodated using phase shift window pairs which have differing layout widths. In this manner, features which have wider dimensions, that can be implemented using narrower phase shift windows, can be combined on a single mask with features that have narrower dimensions and must be implemented using wider phase shift windows. Furthermore, the coloring of the combined the shift regions is simplified over systems which rely on the single wider width or single class of phase shift feature.

Figs. 4A through 4D illustrate the layout of a pattern which has multiple feature classes on a single mask. Fig. 4A shows a layer 150 of integrated circuit which has a polysilicon gate feature 140 and a polysilicon interconnect feature that includes segments 141 and 142. An implant 151 is shown in the figure representing the source and drain regions of a transistor having active channel region beneath the gate feature 140. In a first step of the process shown in Fig. 4B, the gate cell of the layout is identified and phase shift cells 153 and 154 are laid out in a manner that will define a gate region 152 using a layout width defined for the first feature class. In a next step shown in Fig. 4C, the critical feature cells which are defined as interconnect structures having a width less than a particular value, but greater than a gate width are identified. Phase shift cells 156 and 157 are laid out using a layout width defined for the second feature class overlying the phase shift cells 153 and 154, and along the sides of the feature 155. In this example, the layout width for the first feature class is greater than the layout width for the second feature class. The resulting phase shift windows have segments having widths which are based upon the layout widths for both of the feature classes, in the final window shape.

In Fig. 4D, the phase shift windows 160 and 162 are colored with their respective phase shift angles of zero degrees in 180 degrees as shown. The phase shift windows so colored are implemented in an opaque field 161. The phase shift windows are adjacent one another

WO 02/073312

PCT/US01/07413

providing a phase transition, with opaque material such as chrome defining a spacing along the phase transition between the windows. Typically, the transition from the 0 degree to the 180 degree phase windows lies in the middle of the opaque strip between the windows. But the opaque strip between the windows allows other layouts.

5 A complementary binary mask (not shown) is added as discussed above for use in implementation of the layer of the work piece. In this manner, the phase shift cells 156 and 157 are implemented in a manner that does not prevent the region 142 from achieving necessary widths for the purposes of the layout. Likewise, the use of the narrower phase shift windows 156-157 simplifies the layout of the integrated circuit as a whole by reducing the chance of
10 phase conflict with neighboring phase shift cells.

Figs. 5A through 5D illustrate the layout of a pattern which has multiple feature classes on a single mask according to alternate process flow. Fig. 5A shows the layer 150 as in Fig. 4A of integrated circuit which has a polysilicon gate feature 140 and a polysilicon interconnect feature that includes segments 141 and 142. An implant 151 is shown in the figure representing the source and drain regions of a transistor having active channel region beneath the gate feature
15 140. In a first step of the alternate process shown in Fig. 5B, the gate cell 152 of the layout and the critical interconnect cells 155 of the layout are identified. In a next step shown in Fig. 5C, combined phase shifter cells 158 and 159 for both the first class of feature (gates) and the second class of feature (critical width interconnect lines) are laid out. This results in essentially the
20 same layout as the combined cells shown in Fig. 4C. The final step shown in Fig. 5D, the phase shift windows 160 and 162 are colored with their respective phase shift angles of zero degrees and 180 degrees as shown. The phase shifter cells, so colored, are implemented in opaque field 161. A complementary binary mask (not shown) is added as discussed above for use in implementation of the layer of the work piece.

25 In the opaque field 161 shown in Figs. 4D and 5D, an opaque feature is laid out between the phase shift regions. The widths of the opaque feature between phase shift regions is adjustable, in addition to the adjustment of the widths of the phase shift windows themselves. Thus, the widths of the phase shift windows and the widths of the opaque feature between the phase shift windows can be manipulated to define multiple feature classes for layout of a shift
30 masks.

Layout of phase shift regions on a complex mask involve resolving overlapping phase shift areas, and the shapes of other features on the layer, such as lines which are cut at angles so

WO 02/073312

PCT/US01/07313

that they overlay the layout dimensions of the phase shift areas. Thus the resulting mask will have phase shift windows that are not simple rectangles, but rather have complex polygon shapes. However, in one embodiment of the present invention, the phase shift windows for the first and second feature classes have width dimensions which are based upon different layout widths. A phase shift window has a width dimension based upon a layout width, when after
5 overlying the phase shift window layouts with other features, and accounting for overlapping of phase shift areas with other phase shift areas, at least one segment of the width of the phase shift area has a width equal to the layout width.

The generation of phase shift masks for a complex structure is a non-trivial processing
10 problem. Fig. 6 illustrates a data processing system for such task. Machine 250 in Fig. 6 includes processor 252 connected for receiving data indicating user signals from user input circuitry 254 and for providing data defining images to display 256. Processor 252 is also connected for accessing mask and layer layout data 258, which define a mask layout under construction and a layout for a layer of material to be exposed using the mask. Processor 252 is
15 also connected for receiving instruction data 260 indicating instructions through instruction input circuitry 262, which can illustratively provide instructions received from connections to memory 264, storage medium access device 266, or network 268.

In executing the commands indicated by instruction data 260, processor 252 uses layout data 258 to provide data defining a layout for a mask, and optionally an image of the mask
20 layout to display 256 to cause it to present a representation of the layout.

In executing the instructions indicated by instruction data 260, processor 252 also receives user signal data from user input device 254, as necessary for control of, or interaction with, the process.

As noted above, Fig. 6 illustrates three possible sources from which instruction input
25 circuitry 262 could receive data indicating instructions: memory 264, storage medium access device 266, and network 268.

Memory 264 could be any conventional memory within machine 250, including random access memory (RAM) or read-only memory (ROM), or could be a peripheral or remote memory device of any kind.

Storage medium access device 266 could be a drive or other appropriate device or
30 circuitry for accessing storage medium 270, which could, for example, be a magnetic medium such as a set of one or more tapes, diskettes, or floppy disks; an optical medium such as a set of

WO 02/073312

PCT/US01/07413

one or more CD-ROMs; or any other appropriate medium for storing data. Storage medium 270 could be a part of machine 250, a part of a server or other peripheral or remote memory device, or a software product. In each of these cases, storage medium 270 is an article of manufacture that can be used in machine 250. Data units can be positioned on storage medium 270 so that storage medium access device 266 can access the data units and provide them in a sequence to processor 252 through instruction input circuitry 262. When provided in the sequence, the data units form instruction data 260, indicating instructions as illustrated.

Network 268 can provide instruction data 260 received as a communication from machine 280. Processor 282 in machine 280 can establish a connection with processor 252 over network 268 through network connection circuitry 284 and instruction input circuitry 262. Either processor could initiate the connection, and the connection could be established by any appropriate protocol. Then processor 282 can access instruction data stored in memory 286 and transfer the instruction data over network 268 to processor 252 so that processor 252 can receive instruction data 260 from network 268. Instruction data 260 can then be stored in memory 264 or elsewhere by processor 252, and can be executed.

The resulting layout data is stored in a machine readable form, or presented in a communication to a remote system.

Automatic assignment of phase shift regions, and addition of optical proximity correction features, as described above are provided in this example to facilitate processing.

Three stages in the generation of phase shift mask layouts according to the process which is implemented using a design rule checking programming language (e.g. Vampire (TM) Design Rule Checker provided by Cadence Design Systems, Inc.) in a data processing system, like, for one example that of Fig. 6, include definition of input layers, generation of output layers, and coloring of the phase shifting regions.

A design rule checker can be utilized to identify all exposed features (i.e. lines) of an input layout that have a size less than a minimum feature dimension, or otherwise have characteristics of feature classes to be implemented according to the present invention using multiple phase shift resolution levels. Different minimum feature dimensions are applied to the multiple feature classes in one embodiment. Thus, minimum feature structures can be identified by subtracting slightly more than $\frac{1}{2}$ of a minimum feature dimension for lines from the original size of an input structure. This results in eliminating all structures which have a dimension less than the minimum dimension. The remaining structures can then be reconstituted by adding

WO 02/073312

PCT/US01/07413

slightly more than $\frac{1}{2}$ of the minimum dimension back. Minimum dimension structures can then be identified by taking the original input structure and subtracting all structures which result from the reconstitution step. This process can be characterized as performing a size down operation to eliminate small dimension features followed by a size up operation on remaining edges to produce a calculated layout. The small dimension features are then identified performing an "AND NOT" operation between the original layout AND NOT and the calculated layout.

Phase shift regions are formed in a simple case, by copying the input structures in the respective feature classes, adjusting the width of the resulting polygons to the desired layout width for the respective feature classes, and placing the polygons corresponding to a phase shift window pair in the feature location. The phase "coloring" can be applied to the resulting phase shift window pairs automatically or manually, so that the zero and 180 degree regions are properly laid out.

The simple examples described above provide alternate process flows for laying out phase shift windows for multiple resolution levels, based on the layout widths of the phase shift windows. The process is readily extended to complex layouts involving more than 2 resolution levels as suits the needs of a particular layout problem. Very fine gradations in resolution can be implemented, by fine-tuning the widths of the phase shift windows, and a spacing between them.

Overall, greater control over the shape of laid out features, and lesser problems with phase conflict occur using the multiple resolution classes of the present invention for defining alternating phase shift masks used for the manufacture of integrated circuits and other fine featured work pieces.

The foregoing description of various embodiments of the invention have been presented for purposes of illustration and description. The description is not intended to limit the invention to the precise forms disclosed. Many modifications and equivalent arrangements will be apparent to people skilled in the art.

WO 02/073312

PCT/US01/07413

CLAIMS

What is claimed is:

- 5 1. A method, comprising:
 processing a pattern for a photolithographic mask that defines a layer, wherein said
 pattern defines features in first and second feature classes in the layer;
 defining first layout dimensions for phase shift window pairs for a first feature resolution
 level, and second layout dimensions for phase shift window pairs for a second feature resolution
0 level;
 laying out a plurality of phase shift window pairs, including using said first layout
 dimensions for phase shift window pairs for the first feature class, and using said second layout
 dimensions for phase shift window pairs for the second feature class; and
 assigning first and second phase shift values to phase shift windows in the plurality of
5 phase shift window pairs.
2. The method of claim 1, said processing includes reading a layout file which
 identifies dimensions of the features in the pattern, and processing the layout file to identify
 features in the first and second feature classes.
3. The method of claim 1, wherein features in said first feature class have line
0 segments having a first line width, and features in the second feature class have line segments
 having a second line width, the first line width being less than the second line width.
4. The method of claim 1, wherein features in said first feature class are line
 segments corresponding to transistor gates having a first width, and features in the second
 feature class are line segments corresponding to interconnect lines having a second width, the
5 first width being less than the second width.
5. The method of claim 1, wherein the layer includes polysilicon.
6. The method of claim 1, wherein the first and second phase shift values include θ
0 degree phase shifts and $(180 + \theta)$ phase shifts.

WO 02/073312

PCT/US01/07413

- 5 7. The method of claim 1, wherein the phase shift window pairs also include opaque areas positioned between first and second windows in the pair.
8. The method of claim 7, wherein the opaque area between the first and second windows has a first width in said first class of phase shift window pairs and a second width in
10 the second class of phase shift window pairs.
9. The method of claim 1, including laying out a complementary mask comprising opaque regions and transparent regions defining additional features in said layer.
- 15 10. The method of claim 9, wherein said complementary mask comprises a binary mask.
11. The method of claim 9, including producing a machine readable layout file defining the layout of the phase shift mask and of the complementary mask.
- 20 12. The method of claim 9, including producing the phase shift mask and the complementary mask.
13. The method of claim 12, including producing an integrated circuit using the
25 phase shift mask and the complementary mask.
14. The method of claim 1, wherein said first layout dimensions include a first layout width, and the second layout dimensions include a second layout width, said first layout width being greater than said second layout width.
- 30 15. A set of masks for defining a layer of material in an integrated circuit, said set of masks comprising:
 a first mask having a plurality of phase shifting windows in an opaque field for defining
 respective phase-shift window defined structures in said layer, the phase shift windows in said
35 plurality comprising respective first and second classes of windows, the first class having a
 width dimension based upon a first layout width, and the second class having a width dimension

WO 02/073312

PCT/US01/07413

- 5 based on a second layout width, said first layout width being greater than said second layout width; and
- a second mask having second opaque areas and clear areas, defining an interconnect structure in said layer for interconnecting a plurality of the phase-shift window defined structures, and for preventing erasure of the phase-shift window defined structures.
- 0
16. The set of masks of claim 15, wherein the layer includes polysilicon.
17. The set of masks of claim 15, including assigning phase shift values to a pair of windows in the first and second classes of windows, wherein one window in the pair of windows has a θ degree phase shift and the other window in the pair of windows has a $(180 + \theta)$ phase shifts.
- 5
18. The set of masks of claim 17, wherein the pair of windows also includes an opaque area positioned between the one window and the other window.
- .0
19. The set of masks of claim 18, wherein the opaque areas have a first width between pairs of windows in said first class of windows and a second width between pairs of windows in said second class of windows.
- 5
20. An apparatus comprising:
- a data processing system, including memory storing instructions, said instructions including commands which upon execution
- process a pattern for a photolithographic mask that defines a layer, wherein said pattern defines features in first and second feature classes in the layer;
- 0 define first layout dimensions for phase shift window pairs for a first feature resolution level, and second layout dimensions for phase shift window pairs for a second feature resolution level;
- lay out a plurality of phase shift window pairs, using said first layout dimensions for phase shift window pairs for the first feature class, and using said second layout
- 5 dimensions for phase shift window pairs for the second feature class; and

WO 02/073312

PCT/US01/07413

5 assign first and second phase shift values to phase shift windows in the plurality of phase
shift window pairs.

21. The apparatus of claim 20, wherein said instructions include commands to read a
layout file which identifies dimensions of the features in the pattern, and to process the layout
0 file to identify features in the first and second feature classes.

22. The apparatus of claim 20, wherein features in said first feature class have line
segments having a first line width, and features in the second feature class have line segments
having a second line width, the first line width being less than the second line width.

5 23. The apparatus of claim 20, wherein features in said first feature class are line
segments corresponding to transistor gates having a first width, and features in the second
feature class line are line segments corresponding to interconnect lines having a second width,
the first width being less than the second width.

0 24. The apparatus of claim 20, wherein the layer includes polysilicon.

25. The apparatus of claim 20, wherein the first and second phase shift values include
 θ degree phase shifts and $(180 + \theta)$ phase shifts.

5 26. The apparatus of claim 20, wherein the phase shift window pairs also include
opaque areas positioned between first and second windows in the pairs.

0 27. The apparatus of claim 20, wherein the opaque area between the first and second
windows has a first width in said first class of phase shift window pairs and a second width in
the second class of phase shift window pairs.

5 28. The apparatus of claim 20, wherein said instructions include commands to lay out
a complementary mask comprising opaque regions and transparent regions defining additional
features in said layer.

WO 02/073312

PCT/US01/07413

5 29. The apparatus of claim 20, wherein said complementary mask comprises a binary
mask.

 30. The apparatus of claim 29, wherein said instructions include commands to
produce a machine readable layout file defining the layout of the phase shift mask and of the
0 complementary mask.

 31. The apparatus of claim 20, wherein said first layout dimensions include a first
layout width, and the second layout dimensions include a second layout width, said first layout
width being greater than said second layout width.

5 32. An article of manufacture, comprising:
a machine readable storage medium storing instructions, said instructions including
commands which upon execution
process a pattern for a photolithographic mask that defines a layer, wherein said pattern
0 defines features in first and second feature classes in the layer;
define first layout dimensions for phase shift window pairs for a first feature resolution
level, and second layout dimensions for phase shift window pairs for a second
feature resolution level;
lay out a plurality of phase shift window pairs, using said first layout dimensions for
5 phase shift window pairs for the first feature class, and using said second layout
dimensions for phase shift window pairs for the second feature class; and
assign first and second phase shift values to phase shift windows in the plurality of phase
shift window pairs.

0 33. The article of claim 32, wherein said instructions include commands to read a
layout file which identifies dimensions of the features in the pattern, and to process the layout
file to identify features in the first and second feature classes.

 34. The article of claim 32, wherein features in said first feature class have line
5 segments having a first line width, and features in the second feature class have line segments
having a second line width, the first line width being less than the second line width.

WO 02/073312

PCT/US01/07413

- 5 35. The article of claim 32, wherein features in said first feature class are line segments corresponding to transistor gates having a first width, and features in the second feature class line are line segments corresponding to interconnect lines having a second width, the first width being less than the second width.
- 0 36. A machine readable communication, comprising:
a signal transmitted on a communication medium, the signal including instructions, said instructions including commands which upon execution
process a pattern for a photolithographic mask that defines a layer, wherein said pattern defines features in first and second feature classes in the layer;
5 define first layout dimensions for phase shift window pairs for a first feature resolution level, and second layout dimensions for phase shift window pairs for a second feature resolution level;
lay out a plurality of phase shift window pairs, using said first layout dimensions for phase shift window pairs for the first feature class, and using said second layout
10 dimensions for phase shift window pairs for the second feature class; and
assign first and second phase shift values to phase shift windows in the plurality of phase shift window pairs.
37. The communication of claim 36, wherein said instructions include commands to
15 read a layout file which identifies dimensions of the features in the pattern, and to process the layout file to identify features in the first and second feature classes.
38. The communication of claim 36, wherein features in said first feature class have line segments having a first line width, and features in the second feature class have line
0 segments having a second line width, the first line width being less than the second line width.
39. The communication of claim 36, wherein features in said first feature class are line segments corresponding to transistor gates having a first width, and features in the second feature class line are line segments corresponding to interconnect lines having a second width,
5 the first width being less than the second width.

WO 02/073312

PCT/US01/07413

- 5 40. An apparatus, comprising:
 means for processing a pattern for a photolithographic mask that defines a layer, wherein
said pattern defines features in first and second feature classes in the layer;
 means for defining first layout dimensions for phase shift window pairs for a first feature
resolution level, and second layout dimensions for phase shift window pairs for a second feature
0 resolution level;
 means for laying out a plurality of phase shift window pairs, including using said first
layout dimensions for phase shift window pairs for the first feature class, and using said second
layout dimensions for phase shift window pairs for the second feature class; and
 means for assigning first and second phase shift values to phase shift windows in the
5 plurality of phase shift window pairs.
41. The apparatus of claim 40, said means for processing includes means for reading
a layout file which identifies dimensions of the features in the pattern, and means for processing
the layout file to identify features in the first and second feature classes.
- 0 42. The apparatus of claim 40, wherein features in said first feature class have line
segments having a first line width, and features in the second feature class have line segments
having a second line width, the first line width being less than the second line width.
- 5 43. The apparatus of claim 40, wherein features in said first feature class are line
segments corresponding to transistor gates having a first width, and features in the second
feature class are line segments corresponding to interconnect lines having a second width, the
first width being less than the second width.
- 0 44. The apparatus of claim 40, wherein the layer includes polysilicon.
45. The apparatus of claim 40, wherein the first and second phase shift values include
 θ degree phase shifts and $(180 + \theta)$ phase shifts.
- 5 46. The apparatus of claim 40, wherein the phase shift window pairs also include
opaque areas positioned between first and second windows in the pair.

WO 02/073312

PCT/US01/07413

5

47. The apparatus of claim 46, wherein the opaque area between the first and second windows has a first width in said first class of phase shift window pairs and a second width in the second class of phase shift window pairs.

0

48. The apparatus of claim 40, including means for laying out a complementary mask comprising opaque regions and transparent regions defining additional features in said layer.

49. The apparatus of claim 48, wherein said complementary mask comprises a binary mask.

5

50. The apparatus of claim 48, including means for producing a machine readable layout file defining the layout of the phase shift mask and of the complementary mask.

WO 02/073312

PCT/US01/07413

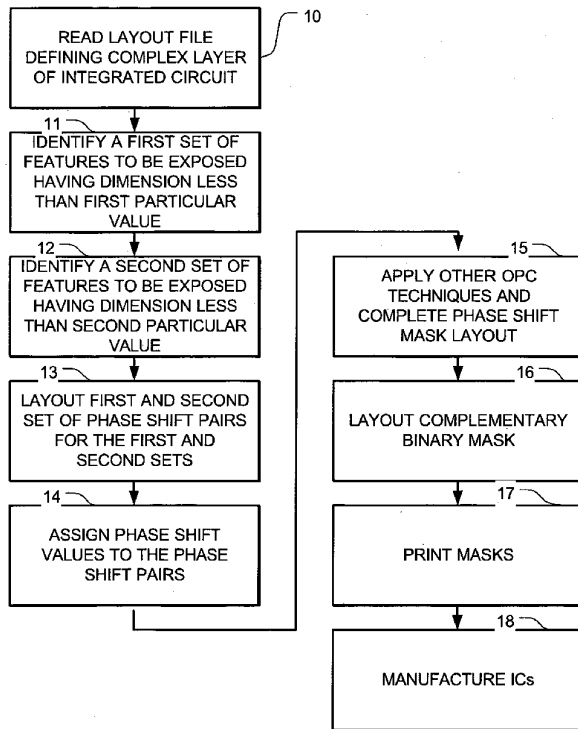


FIG. 1

WO 02/073312

PCT/US01/07413

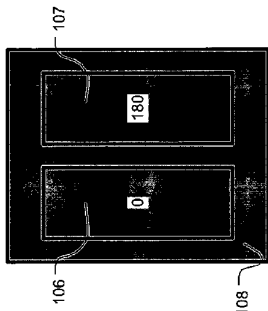


FIG. 2D

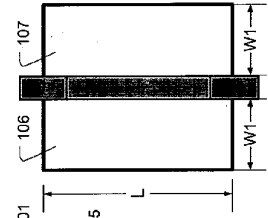


FIG. 2C



FIG. 2B

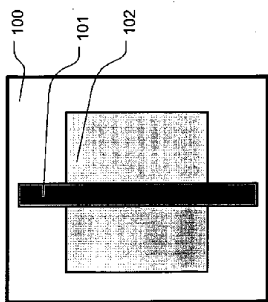


FIG. 2A

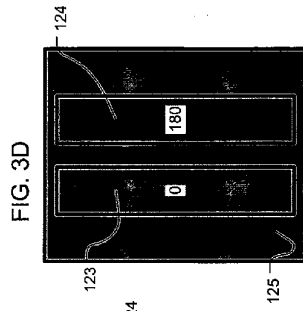


FIG. 3D

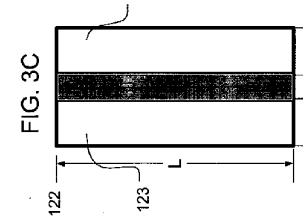


FIG. 3C



FIG. 3B

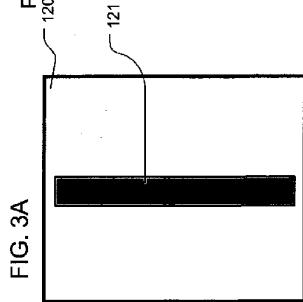
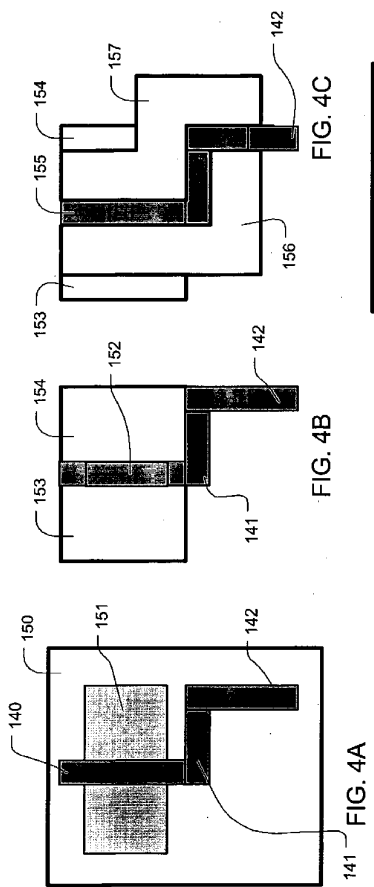


FIG. 3A

WO 02/073312

PCT/US01/07413



3/5

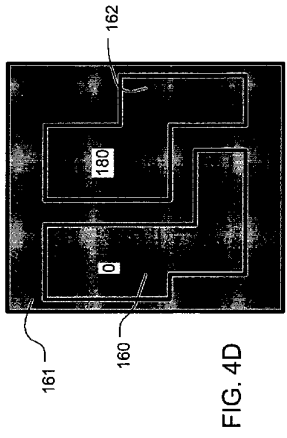
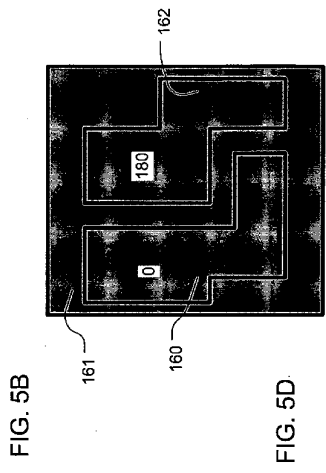
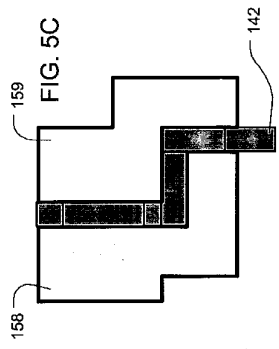
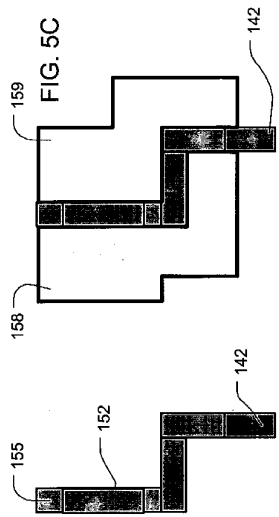
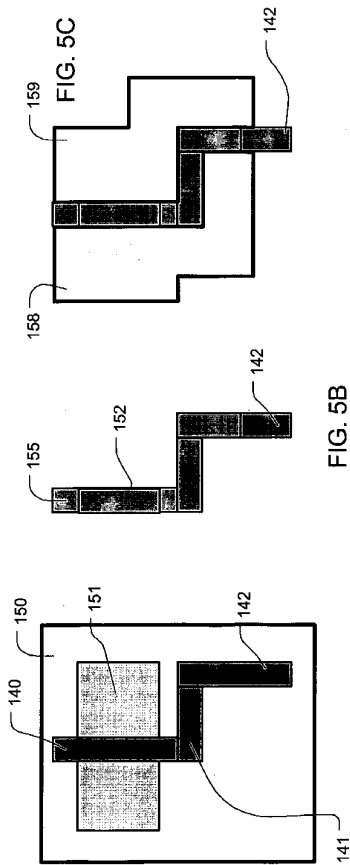


FIG. 4D

WO 02/073312

PCT/US01/07413



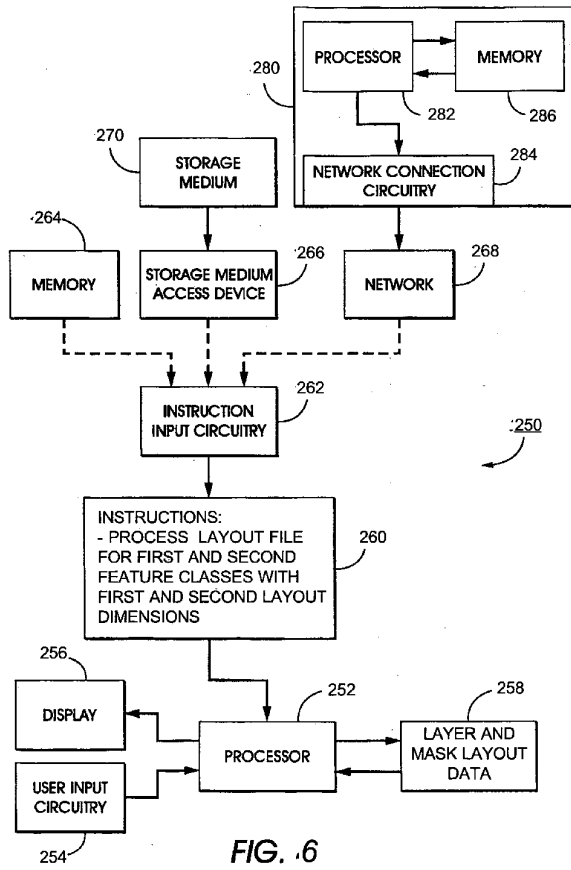


FIG. 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 01/07413
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G03F1/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) INSPEC, EPO-Internal, IBM-TDB, COMPENDEX, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 858 580 A (WANG YAO-TING ET AL) 12 January 1999 (1999-01-12) cited in the application the whole document ---	1-50
Y	HIDEYUKI JINBO ET AL: "IMPROVEMENT OF PHASE-SHIFTER EDGE LINE MASK METHOD" JAPANESE JOURNAL OF APPLIED PHYSICS, PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, JP, vol. 30, no. 11B PART 1, 1 November 1991 (1991-11-01), pages 2998-3003, XP000263404 ISSN: 0021-4922 the whole document ---	1-50
A	GB 2 333 613 A (SONY CORP) 28 July 1999 (1999-07-28) ---	
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
19 December 2001	11/01/2002	
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016	Authorized officer Haenisch, U	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 01/07413
C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 144 081 A (HSU LOUIS LU-CHEN ET AL) 7 November 2000 (2000-11-07)	

Form PCT/ISA/210 (continuation of second sheet) (July 1999)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International Application No.
PCT/US 01/07413

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 5858580	A	12-01-1999	AU 4355397 A	14-04-1998
			AU 9396098 A	05-04-1999
			AU 9396198 A	05-04-1999
			AU 9775198 A	05-04-1999
			EP 0927381 A1	07-07-1999
			EP 1023639 A1	02-08-2000
			EP 1023640 A1	02-08-2000
			EP 1023641 A1	02-08-2000
			WO 9812605 A1	26-03-1998
			WO 9914636 A1	25-03-1999
			WO 9914637 A1	25-03-1999
			WO 9914638 A1	25-03-1999
			US 6258493 B1	10-07-2001
			US 2001000240 A1	12-04-2001
US 2001028985 A1	11-10-2001			
GB 2333613	A	28-07-1999	JP 11212247 A	06-08-1999
			FR 2774184 A1	30-07-1999
			GB 2345351 A , B	05-07-2000
US 6144081	A	07-11-2000	EP 0692826 A2	17-01-1996
			JP 3056976 B2	26-06-2000
			JP 8055985 A	27-02-1996
			US 5567553 A	22-10-1996

フロントページの続き

(74)代理人 100074228

弁理士 今城 俊夫

(74)代理人 100084009

弁理士 小川 信夫

(74)代理人 100082821

弁理士 村社 厚夫

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100084663

弁理士 箱田 篤

(72)発明者 ウ シャオ - ポ

アメリカ合衆国 カリフォルニア州 94028 ポートラ ヴァリー ベレンダ ウェイ 8

Fターム(参考) 2H095 BB02 BB03 BB36 BC09

5B046 AA08 BA04 JA02

5C076 AA17 BA06

【要約の続き】

、不透明分野内の複数の位相偏移ウィンドウ対を有する第1マスクを備えている。前記第1マスクは、それぞれの位相偏移ウィンドウが定義した前記層内の構造を定義するための、不透明分野内の複数の位相偏移ウィンドウを有している。前記複数の位相偏移ウィンドウ内の位相偏移ウィンドウは、それぞれの第1及び第2クラスのウィンドウを備えており、前記第1クラスは、第1レイアウト幅に基づく幅寸法を有しており、前記第2クラスは、第2レイアウト幅に基づく幅寸法を有しており、前記第1レイアウト幅は前記第2レイアウト幅よりも大きい。

【選択図】図1