



(21) 申請案號：111134354 (22) 申請日：中華民國 111 (2022) 年 09 月 12 日

(51) Int. Cl. : *H01L21/02 (2006.01)* *H01L29/04 (2006.01)*
H01L29/161 (2006.01) *H01L21/265 (2006.01)*
C30B29/36 (2006.01)

(30) 優先權：2021/09/29 法國 FR2110273

(71) 申請人：法商索泰克公司 (法國) SOITEC (FR)
 法國

(72) 發明人：奧利伯 弗雷德里克 ALLIBERT, FREDERIC (FR)；吉歐 艾力克 GUIOT, ERIC (FR)

(74) 代理人：陳絲倩；郭建中

申請實體審查：無 申請專利範圍項數：8 項 圖式數：2 共 21 頁

(54) 名稱

用於製作在多晶碳化矽載體底材上包括單晶碳化矽薄層之複合結構之方法

(57) 摘要

本發明涉及一種用於製作複合結構之方法，該複合結構包含單晶碳化矽(c-SiC)製的一薄層，該薄層設置於多晶碳化矽(p-SiC)製的一載體底材上，該方法包括：

a) 提供單晶碳化矽製的一初始底材之步驟，b) 在高於 1100°C 的溫度下之一第一沉積步驟，以在初始底材的正面上形成多晶碳化矽製的第一層，該第一層具有小於 1 μm 的厚度，及高於 10¹⁹/cm³ 的摻雜物濃度，c) 穿過第一層進行輕物種離子植入之一步驟，以在初始底材中形成一埋置脆性平面，從而界定出位於所述埋置脆性平面與初始底材的正面的薄層，d) 在低於 900°C 的溫度下之一第二沉積步驟，以在第一層上形成非晶及/或多晶碳化矽製的一第二層，第二層具有大於或等於 10 μm 的厚度，以及與第一層的摻雜物相同類型，高於 10¹⁹/cm³ 的摻雜物濃度，e) 在高於 1000°C 的溫度下之一第三沉積步驟，以在第二層上形成多晶碳化矽製的第三層，第一層、第二層及第三層形成載體底材，沿著埋置脆性平面的分離在第三沉積步驟中發生。

The invention relates to a process for fabricating a composite structure comprising a thin layer made of single-crystal silicon carbide (c-SiC) placed on a carrier substrate made of polycrystalline silicon carbide (p-SiC), the process comprising:

a) a step of provision of an initial substrate made of c-SiC,
 b) a first step of deposition at a temperature above 1100°C to form a first layer made of p-SiC on a front side of the initial substrate, the first layer having a thickness smaller than 1 μm and a dopant concentration higher than 10¹⁹/cm³,
 c) a step of ion implantation of light species through the first layer, to form a buried brittle plane in the initial substrate, delineating the thin layer between said buried brittle plane and the front side of the initial substrate,
 d) a second step of deposition at a temperature below 900°C to form a second layer made of amorphous and/or polycrystalline SiC on the first layer, the second layer having a thickness larger than or equal to 10 μm and a concentration of dopants, of the same type as those of the first layer, higher than 10¹⁹/cm³,

e) a third step of deposition at a temperature above 1000°C to form a p-SiC third layer on the second layer, the first layer, second layer and third layer forming the carrier substrate, a separation along the buried brittle plane taking place in the third deposition step.

【發明摘要】

【中文發明名稱】 用於製作在多晶碳化矽載體底材上包括單晶碳化矽薄層之複合結構之方法

【英文發明名稱】 PROCESS FOR FABRICATING A COMPOSITE

STRUCTURE COMPRISING A THIN LAYER MADE OF SINGLE-CRYSTAL SIC ON A CARRIER SUBSTRATE MADE OF POLYCRYSTALLINE SIC

【中文】本發明涉及一種用於製作複合結構之方法，該複合結構包含單晶碳化矽(c-SiC)製的一薄層，該薄層設置於多晶碳化矽(p-SiC)製的一載體底材上，該方法包括：

a) 提供單晶碳化矽製的一初始底材之步驟，b) 在高於1100°C的溫度下之一第一沉積步驟，以在初始底材的正面上形成多晶碳化矽製的第一層，該第一層具有小於1 μm 的厚度，及高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，c) 穿過第一層進行輕物種離子植入之一步驟，以在初始底材中形成一埋置脆性平面，從而界定出位於所述埋置脆性平面與初始底材的正面之間的薄層，d) 在低於900°C的溫度下之一第二沉積步驟，以在第一層上形成非晶及/或多晶碳化矽製的一第二層，第二層具有大於或等於10 μm 的厚度，以及與第一層的摻雜物相同類型，高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，e) 在高於1000°C的溫度下之一第三沉積步驟，以在第二層上形成多晶碳化矽製的第三層，第一層、第二層及第三層形成載體底材，沿著埋置脆性平面的分離在第三沉積步驟中發生。

【英文】 The invention relates to a process for fabricating a composite structure comprising a thin layer made of single-crystal silicon carbide (c-SiC) placed on a carrier substrate made of polycrystalline silicon carbide (p-SiC), the process comprising:

- a) a step of provision of an initial substrate made of c-SiC,
- b) a first step of deposition at a temperature above 1100°C to form a first layer made of p-SiC on a front side of the initial substrate, the first layer having a thickness smaller than 1 μm and a dopant concentration higher than 10¹⁹/cm³,
- c) a step of ion implantation of light species through the first layer, to form a buried brittle plane in the initial substrate, delineating the thin layer between said buried brittle plane and the front side of the initial substrate,
- d) a second step of deposition at a temperature below 900°C to form a second layer made of amorphous and/or polycrystalline SiC on the first layer, the second layer having a thickness larger than or equal to 10 μm and a concentration of dopants, of the same type as those of the first layer, higher than 10¹⁹/cm³,
- e) a third step of deposition at a temperature above 1000°C to form a p-SiC third layer on the second layer, the first layer, second layer and third layer forming the carrier substrate, a separation along the buried brittle plane taking place in the third deposition step.

【指定代表圖】 (無)

【代表圖之符號簡單說明】

【特徵化學式】

【發明說明書】

【中文發明名稱】 用於製作在多晶碳化矽載體底材上包括單晶碳化矽薄層之複合結構之方法

【英文發明名稱】 PROCESS FOR FABRICATING A COMPOSITE STRUCTURE COMPRISING A THIN LAYER MADE OF SINGLE-CRYSTAL SIC ON A CARRIER SUBSTRATE MADE OF POLYCRYSTALLINE SIC

【技術領域】

【0001】 本發明涉及一種用於微電子元件之半導體領域。其特別是涉及一種用於製作複合結構之方法，該複合結構包含在多晶碳化矽製一載體底材上以單晶碳化矽製作的一薄層，該複合結構並良好地在薄層與載體底材之間垂直導電。

【先前技術】

【0002】 與其常規的矽等效物相比，基於單晶碳化矽的功率元件及整合電源系統能夠管理更高的功率密度，並可使用更小尺寸的主動區來實現。為了進一步限制碳化矽上的功率元件尺寸，製造垂直元件而非橫向元件是有利的。為此，該結構必須允許設置於碳化矽結構正面上的電極與設置於背面上的電極之間的垂直電傳導。

【0003】 用於微電子產業的單晶碳化矽底材仍然昂貴且難以大規模生產，因此使用薄層移轉解決方案來製作通常包括在較便宜的載體底材上之單晶碳化矽製的薄層之複合結構是有利的。一種眾所週知的薄層移轉解決方案是 Smart

Cut™方法，其係以輕離子植入及直接鍵結為基礎。這種方法可使，例如，製作包括單晶碳化矽(c-SiC)製薄層之複合結構成為可能，該薄層與c-SiC製供體底材分離，與多晶碳化矽(p-SiC)製的載體底材直接接觸，並允許垂直電傳導。然而，仍然難以透過分子附著在兩個c-SiC及p-SiC底材之間實現高品質的直接鍵合，因該底材的表面最後處理及粗糙度管理相當複雜，且亦因c-SiC及p-SiC容易具有不同的多種型態。

【0004】 源自該製程的各種方法在先前技術中也屬已知。例如，F. Mu等人(ECS Transactions, 86 (5) 3-21, 2018)在以氬氣轟擊活化待接合表面後實施直接鍵結(SAB：「表面活化鍵結」)；這種在鍵結之前的處理會產生非常高密度的懸空鍵，這會促進在接合處形成共價鍵，從而產生高鍵結能。然而，這種方法的缺點是在單晶SiC製的供體底材表面產生非晶層，這不利地影響了c-SiC製薄層及p-SiC製載體底材之間的垂直電傳導。

【0005】 已有人提出用於解決該問題的方案，特別是文獻EP 3 168 862，其中將摻雜物質植入該非晶層中以恢復其電性能。這種方法的主要缺點是其複雜性及其成本。

【0006】 此外，文獻WO2021/019137已知描述了一種用於製作複合結構之方法，該複合結構包括設置於多晶碳化矽製載體底材上之單晶碳化矽製薄層，該方法包括：提供單晶碳化矽製初始底材之一步驟，在高於1000°C的溫度下之一第一沉積步驟，以在初始底材上形成多晶碳化矽製的中間層，該中間層具有大於或等於1.5微米的厚度，穿過中間層進行輕物種離子植入之一步驟，以在初始底材中形成埋置脆性平面，從而界定出位於該埋置脆性平面與中間層之間的薄層，在高於1000°C的溫度下之一第二沉積步驟，以在中間層上形成多晶碳化矽製的額

外層，該中間層及額外層形成載體底材。在第二沉積步驟中發生沿著埋置脆性平面之分離，從而獲得複合結構。

【0007】然而，穿過p-SiC製的厚中間層進行離子植入仍然相對複雜且昂貴，因其所涉及的植入劑量及能量遠非一般標準。

【發明內容】

【0008】本發明涉及一種先前技術的替代解決方案，其旨在克服所有或部分上述缺陷。具體而言，本發明涉及一種用於製作複合結構之方法，該複合結構包括設置於p-SiC製載體底材上之c-SiC製薄層，並且該複合結構在薄層及載體底材之間垂直導電良好。

【0009】本發明涉及一種用於製作複合結構之方法，該複合結構包括設置於多晶碳化矽製載體底材上之單晶碳化矽製薄層，該方法包括：

- a) 提供單晶碳化矽製的初始底材之一步驟，
- b) 在高於1100°C的溫度下之一第一沉積步驟，以在初始底材的正面上形成多晶碳化矽製的一第一層，該第一層具有小於1 μm 的厚度及高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，
- c) 穿過第一層進行輕物種離子植入之一步驟，以在初始底材中形成埋置脆性平面，從而界定出位於該埋置脆性平面與初始底材的正面之間的薄層，
- d) 在低於900°C的溫度下之一第二沉積步驟，以在第一層上形成非晶及/或多晶碳化矽製的一第二層，該第二層具有大於或等於10 μm 的厚度，以及與第一層的摻雜物相同類型，高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，
- e) 在高於1000°C的溫度下之一第三沉積步驟，以在第二層上形成多晶碳化矽製

的一第三層，第一層、第二層及第三層形成載體底材，沿著埋置脆性平面的分離係在第三沉積步驟中發生。

【0010】 根據本發明的其他有利且非限制性的特徵，其可單獨應用或以任何技術上可行之組合而應用：

第一沉積步驟及第三沉積步驟透過在1100°C至1600°C之間溫度下的化學氣相沉積而進行，優選者為1200°C至1600°C之間，更優選者為1200°C至1400°C之間；

第一層具有高於 $5 \times 10^{19}/\text{cm}^3$ 的摻雜物濃度；

在第一沉積步驟結束時，第一層具有50 nm至500 nm之間，或甚至50 nm至200 nm之間的厚度；

製作方法在第一沉積步驟之前包括製備初始底材之一步驟，其包括對所述初始底材的正面進行至少一次脫氧處理；

製作方法在步驟b)之前包括在初始底材的正面上形成中間層之一步驟a)，以期促進電傳導，接著第一層在步驟b)中形成於所述中間層上；

中間層為矽製；

在步驟e)中形成的第三層具有大於或等於100 μm 的厚度，且至少在其最初一百微米的厚度內具有高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度。

【圖式簡單說明】

【0011】 通過參照附圖閱讀本發明的以下詳細描述，本發明的其他特徵及優點將變得顯而易見，其中：圖1繪示使用根據本發明之製作方法生產的複合結構；圖2a、圖2b、圖2c、圖2d、圖2e、圖2e'及圖2f繪示根據本發明之製作方法的步驟。

【0012】圖式為概要示意圖，且為了便於閱讀，並未按比例繪製。尤其，沿z軸的層的厚度相對於沿x軸及y軸的橫向尺寸未成比例；並且圖式中未如實呈現各層相對於彼此的相對厚度。

【實施方式】

【0013】本發明涉及一種用於製作複合結構1之方法，該複合結構1包括單晶碳化矽製的薄層10，該薄層10設置於多晶碳化矽製的載體底材20上(圖1)。

【0014】該方法首先包括提供單晶碳化矽(c-SiC)製的初始底材11之步驟a)(圖2a)。

【0015】初始底材11優選地採用具有直徑為100 mm、150 mm、200 mm或甚至300 mm，且厚度通常在300微米至800微米之間的晶圓形式。初始底材11具有正面11a及背面11b。正面11a的表面粗糙度有利地選擇為低於1 nm Ra(平均粗糙度)，如透過原子力顯微鏡(AFM)在 $20\ \mu\text{m} \times 20\ \mu\text{m}$ 的掃描中所測得者。

【0016】在本發明的方法結束時，將從初始底材11中形成複合結構1之c-SiC薄層10；因此，初始底材11的晶體定向、晶體品質及摻雜程度被選定成滿足要在薄層10上製作的垂直元件之所需規格。例如，c-SiC初始底材11為4H或6H多型，相對於晶軸 $\langle 11-20 \rangle$ 的斜切角(offcut angle)約為 $4.0^\circ \pm 0.5^\circ$ ，且微管密度(micropipe density)小於或等於 $5/\text{cm}^2$ ，或甚至低於 $1/\text{cm}^2$ 。初始底材為n型(用氮)摻雜，其優選者具有0.015 ohm.cm至0.030 ohm.cm之間的電阻率。有利地，初始底材11可被選定成具有低密度基底面差排(basal plane dislocation, BDP)，並且其BDP密度通常低於或等於 $1500/\text{cm}^2$ ，視目標元件對這些缺陷的靈敏度而定。

【0017】 作為替代方案，初始底材11可在其正面11a上包括表面層，該表面層係例如透過磊晶製作，並在本發明之方法結束時，具有從所述表面層中要形成的薄層10所需之性質。

【0018】 該方法接着包括稱為第一沉積步驟之步驟b)，以在初始底材11之正面11a上形成多晶碳化矽(p-SiC)製的第一層21(圖2b)。應注意的是，在本說明書上下文中，第一層21可直接形成在初始底材11之正面11a上，或通過中間層間接形成在初始底材11之正面11a上，中間層被插入初始底材11與第一層21之間。涉及這種中間層之變化例將於下文描述。

【0019】 第一層21的厚度小於1 μm 。有利地，該第一層21的厚度小於或等於500 nm，並且通常在50 nm至200 nm之間。

【0020】 第一層21還具有高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度。通常會期望摻雜物與未來薄層10的摻雜物相同類型，因此，在此例中，第一層21的摻雜物與初始底材11之摻雜物相同類型；在用於功率應用的碳化矽複合結構中，摻雜物最常被選擇為n型(摻雜氮)。第一層21的摻雜物濃度被選定成在 $10^{19}/\text{cm}^3$ 及數個 $10^{21}/\text{cm}^3$ 之間。具體而言，其摻雜物濃度高於或等於 $5 \times 10^{19}/\text{cm}^3$ ，例如高於或等於 $3 \times 10^{20}/\text{cm}^3$ ，尤其是介於 $4 \times 10^{20}/\text{cm}^3$ 至 $6 \times 10^{20}/\text{cm}^3$ 之間。將多晶碳化矽摻雜至此種程度有助於在薄層10(將從初始底材11中移轉而來)與載體底材20(其尤其包括第一層21)之間獲得良好的電傳導。

【0021】 步驟b)之p-SiC沉積在高於 1100°C 的溫度下進行。其有利地使用化學氣相沉積(CVD)技術，例如基於含氮前驅物的技術，並在 1100°C 至 1600°C 之間的溫度下進行。更有利地，沉積溫度在 1200°C 至 1600°C 之間，尤其在 1200°C 至 1400°C 之間。第一沉積的參數被設定，以使第一層21除了其良好的導電性(這是

由於其高度摻雜及其在多型(有利地為3C)方面的均勻性)之外，還具有高導熱性(通常高於或等於 $200 \text{ W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$)及類似未來薄層10之熱膨脹係數(在室溫下通常在 $3.8^{\text{E}}\text{-}6/\text{K}$ 至 $4.2^{\text{E}}\text{-}6/\text{K}$ 之間)。

【0022】 第一沉積步驟b)，因其係在高溫或甚至非常高的溫度下進行，故可促進形成良好品質且具低應力水平的多晶碳化矽，其結構特徵與目標電性、熱性質及機械性質皆相容。

【0023】 舉例來說，第一層21可能包含111定向及 $1 \mu\text{m}$ 至 $10 \mu\text{m}$ 平均尺寸的3C 碳化矽晶粒，並具有約 $5 \times 10^{20}/\text{cm}^3$ 的n型摻雜物濃度(相當於約 $2 \text{ mohm}\cdot\text{cm}$ 的電阻率)。

【0024】 有利地，在步驟b)之前，本發明之方法包括初始底材11之製備步驟，其包括對所述初始底材11之正面11a的至少一次脫氧程序。例如，該程序可能涉及浸入氫氟酸(HF)浴中、暴露於HF蒸汽或甚至在p-SiC的第一沉積之初步階段在氫氣中退火。製備步驟還可包括清洗程序，以便移除可能存在於初始底材11之面11a、11b上的全部或部分金屬或有機的顆粒污染物。

【0025】 根據一變化例，該方法在步驟b)之前可包括在初始底材11之正面11a上形成中間層以促進電傳導之步驟a')，然後第一層21在步驟b)中形成在該中間層上。

【0026】 此中間層舉例而言可為非晶矽或多晶矽製，並可視需要地與初始底材11為相同類型的高度摻雜。也可設想到使用能夠在第一層21及初始底材11之間形成良好電接觸的其他材料，例如鈦、鎳、鋁、鉬、鈮、鉭、鈷或銅。中間層的厚度保持較小，一般小於 20 nm ，甚至小於 10 nm 。

【0027】 回到一般性描述，根據本發明之方法還包括步驟c)，其涉及穿過第一層21之輕物種離子植入至初始底材11中的給定深度。此種植入在初始底材11中產生埋置脆性平面12(圖2c)。

【0028】 植入的輕物種優選者為氫、氮或這兩種物質共同植入。眾所周知(參見Smart Cut™方法)，這些輕物種將在給定深度周圍形成微腔，微腔分佈在平行於第一層21的自由表面之薄層中，即平行於圖式中的平面(x,y)。為簡要起見，這個薄層以下稱為埋置脆性平面。

【0029】 埋置脆性平面12與初始底材11之正面界定出未來的薄層10。輕物種的植入能量被選定成得以穿過第一層21並在初始底材11中達到給定深度，該深度對應於薄層10之目標厚度。由於第一層21的厚度小，所述植入能量保持在常規的植入能量範圍內。

【0030】 通常，氫離子將以50 keV至210 keV之間的能量及 $5^{E16}/\text{cm}^2$ 至 $1^{E17}/\text{cm}^2$ 之間的劑量植入，以便穿過50 nm至1 μ m厚的第一層21，並界定出約100 nm至1500 nm的薄層10。

【0031】 應注意的是，保護層可在離子植入步驟之前沉積在第一層21之自由面上，並在步驟d)之前，即本發明方法的下一步驟之前，移除。舉例而言，該保護層可由氧化矽或氮化矽的材料製成。

【0032】 本發明的製作方法接着包括步驟d)，稱為第二沉積步驟，以在第一層21上形成第二層22(圖2d)；該第二層22由非晶碳化矽(a-SiC)或多晶碳化矽(p-SiC)或a-SiC與p-SiC的混合物形成。

【0033】 a-SiC或p-SiC的第二沉積在低於或等於900°C，優選者為低於或等於800°C的溫度下進行。第二沉積的熱預算被選定成維持在低於埋置脆性平面12

處起泡或分裂之熱預算。換句話說，用於步驟d)的沉積溫度及沈積時間，可防止埋置脆性平面12中的空腔及微裂縫受熱生長至層堆疊(薄層10、第一層21、第二層22)發生局部變形(起泡)，或防止埋置脆性平面12因為在整個長度上完全分裂而引起部分剝離或分離。

【0034】 第二沉積通常在750°C至800°C下進行，以使第二層22獲得約10 μ m至15 μ m之厚度。其可採用常規的化學氣相沉積(CVD)技術。

【0035】 第二層22的厚度大於或等於10 μ m。此最小厚度被定義為可確保第二層22能發揮強固作用，從而允許在該方法的後續步驟中應用更高的熱預算，以期引起埋置脆性平面12中的空腔及微裂縫受熱生長，其如下述。

【0036】 第二層22更具有與第一層21相同類型的摻雜物濃度，高於10¹⁹/cm³。第二層22的摻雜物濃度有利地選擇在5 × 10¹⁹/cm³至數個10²⁰/cm³，或甚至數個10²¹/cm³之間。目的是確保第一層21與第二層22之間的導電性具有一定連續性，即使第二層22因其沉積溫度相對較低而致其品質較低時亦然。

【0037】 根據本發明之製作方法最後包括一步驟e)，稱為第三沉積步驟，以在第二層22上形成多晶碳化矽製的第三層23(圖2e)。

【0038】 第三沉積在高於1000°C的溫度下進行，以確保足夠的沉積速率。與第一沉積(步驟b)一樣，該第三沉積有利地使用化學氣相沉積(CVD)技術，其在1100°C至1600°C之間，優選者在1200°C至1600°C之間的溫度下進行。第三沉積的參數亦被設定成使得第三層23具有良好的導電性、高導熱性(高於或等於200 W.m⁻¹.K⁻¹)及類似於薄層10之熱膨脹係數。

【0039】 第三沉積的溫度及條件可能與步驟b)中的第一沉積相同或不同。

【0040】 應注意的是，如果在第二沉積步驟之步驟d)中沉積的第二層22全部或部分為非晶碳化矽製，則高溫步驟之步驟e)將導致非晶碳化矽結晶成多晶形式。

【0041】 步驟e)中形成的第三層23通常具有大於或等於 $100\ \mu\text{m}$ ，或甚至大於或等於 $200\ \mu\text{m}$ 之厚度。由第一層21、第二層22和第三層23組成之組件形成複合結構1之p-SiC載體底材20。其主要以第三層23賦予載體底材20厚度，從而賦予其機械特性。第三層23的厚度因此被調整為載體底材20所需的規格。

【0042】 第三層23有利地具有高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，至少在其最初一百微米的厚度內是如此。為了限制層中的應力並簡化沉積，摻雜物濃度在第三層23的整個厚度上可以是均勻的，或者逐漸減少，或在超過一定厚度(例如 $100\ \mu\text{m}$ 、 $150\ \mu\text{m}$ 、 $200\ \mu\text{m}$ 或更大)後突然減少。

【0043】 摻雜物的類型被選定成與第一層21及第二層22的摻雜物相同。

【0044】 在第三沉積步驟，即步驟e)中，由於熱預算應用於由初始底材11、第一層21及第二層22形成之結構及生長額外第三層23，分離將沿著埋置脆性平面12發生(圖2e')。具體而言，存在於埋置脆性平面12中的微腔會生長直到分裂波被啟動，該分裂波將傳播穿過埋置脆性平面12的整個範圍，並導致薄層10及第一層21、第二層22及第三層23形成之組件與初始底材11之剩餘部11'分離。

【0045】 由於第三沉積的熱預算遠高於發生分裂所需的熱預算，因此分離通常發生在第三層23達到其目標厚度之前。無論發生分離時該第三層23的厚度如何，分裂波都將傳播穿過埋置脆性平面12的整個範圍，因為單獨的第二層22就足夠厚以保證強固效果：因此，空腔不會導致層起泡。第二層22的厚度還允許保

持中間複合結構1'(圖2e')之完整性，避免該結構的剝落或變質，直到第三層23生長完成。

【0046】 第三沉積因此可繼續，直到已經達到第三層23的目標厚度，並獲得最終複合結構1(圖2f)。

【0047】 本發明有利的是，雖然前文所述的沉積步驟b)、d)及e)並未提及，但常規的表面製備步驟可在形成第一層21、第二層22及/或第三層23之前進行。

【0048】 根據一有利實施例，本發明之方法包括施加於步驟e)結束時獲得的最終複合結構1之最後修整步驟。這些最後修整步驟尤其旨在改善薄層10之自由表面(最終複合結構1正面)之粗糙度及視需要地，第三層23之自由表面(最終複合結構1之背面)之粗糙度。

【0049】 具體而言，在分離之後，薄層10之自由面通常具有3 nm至6 nm Ra之間的粗糙度(AFM - 20 $\mu\text{m} \times 20 \mu\text{m}$ 掃描)。就元件的後續製作而言，目標是獲得低於1 nm Ra的粗糙度。就最終複合結構1之背面而言，第三沉積結束時的粗糙度通常高於10 nm Ra，甚至高於100 nm Ra；目標通常是將粗糙度降低到小於3 nm Ra。

【0050】 最後修整步驟可採用已知的機械及/或化學機械拋光技術，將其應用於最終複合結構1之正面、背面，或使用雙面拋光設備同時應用於正背兩面。應用於正面的拋光方法可能與應用於背面的拋光方法不同，通常需要不同的耗材來使c-SiC表面及p-SiC表面平滑。

【0051】 最後修整步驟還可包括在高溫或極高溫下進行熱處理，通常在1500°C至1900°C之間，以恢復薄層10的晶質及電氣性能，並增加載體底材20各層21、22、23之結構特徵之均勻性。

【0052】 根據本發明之複合結構1，其在薄層10與載體底材20之間具有良好導電之優點，特別是具有低於 5×10^{-5} ohm.cm²，甚至低於或等於 10^{-5} ohm.cm²的界面電阻率(interface resistivity)。

【0053】 實例

根據實施方式的一種非限制性實例，在本發明之製作方法的第一步驟中提供的初始底材11是4H多型的c-SiC晶圓，相對於軸<11-20>的定向為 $4.0^\circ \pm 0.5^\circ$ ，且直徑為150 mm，厚度為350 μ m，平均電阻率為20 mOhm.cm。

【0054】 常規的清洗程序包括RCA清洗操作(標準清洗1 + 標準清洗2)，接著在卡洛酸(硫酸與過氧化氫之混合物)中進行清洗操作，然後在第一沉積步驟之前於初始底材11上進行HF(氫氟酸)中的清洗操作。基於含氯前驅物的CVD沉積是在1300°C的溫度下，於初始底材11之正面11a上進行，產生厚度為500 nm且n型摻雜物(氮)濃度為 $5 \times 10^{20}/\text{cm}^3$ 的p-SiC第一層21。沉積界面的電阻率約為 10^{-5} ohm.cm²等級。

【0055】 氫離子植入在200 keV的能量及 6^{E16} H⁺/cm²的劑量下穿過第一層21之自由表面而進行。因此埋置脆性平面12在初始底材11中在約1.2 μ m的深度處形成。

【0056】 由RCA + 卡洛酸清洗操作組成之清洗程序在前述結構上進行，以從第一層21之自由面移除潛在的污染物。

【0057】 多晶碳化矽或非晶碳化矽或混合p-SiC/a-SiC結構之第二CVD沉積在800°C的溫度下，在第一層21上進行，以實現第二層22的10 μ m厚度。在沉積期間，濃度為 $5 \times 10^{20}/\text{cm}^3$ 的n型摻雜物(氮)被結合至第二層22中。

【0058】 在得到的結構上進行RCA + 卡洛酸清洗操作組成之新的清洗程序，以從第二層22之自由面移除潛在的污染物。

【0059】 一第三CVD沉積在1300°C的溫度下，在第二層22上進行，以使第三層23的厚度達到350 μm 。第三層23的最初100 μm 是n型摻雜(摻雜氮)，濃度約為 $5 \times 10^{20}/\text{cm}^3$ ，然後隨著生長的進行減少摻雜，在目標厚度350 μm 處達到濃度 $5 \times 10^{18}/\text{cm}^3$ 。

【0060】 第三CVD沉積之熱預算會導致第二層22結晶成為多晶形式。

【0061】 在第三沉積期間，分離於埋置脆性平面12處發生。在第三沉積結束時，由薄層10及載體底材20形成的複合結構1已與初始底材11之剩餘部11'分離。

【0062】 進行機械拋光然後化學機械拋光，以恢復載體底材20之p-SiC背面(第三層23之自由面)之表面粗糙度；通常可能會移除約幾微米至幾十微米厚的p-SiC。進行化學機械拋光以恢復薄層10之表面粗糙度；這會移除約幾十奈米至幾百奈米厚。

【0063】 在前述化學機械拋光之前或之後，使複合結構1於1700°C下施加熱處理30分鐘，其係於薄層10那一側進行。

【0064】 當然，本發明不限於前述的實施例及實例，在不脫離申請專利範圍所界定本發明範疇之情況下，可向其添加變化例實施例。

【0065】 特別地，依據一種可設想的變化例，其第三CVD沉積之熱預算未高到足以導致第二層22 (在第二沉積期間完全或部分地非晶質)整體結晶成多晶形式。在這種情況下，為了引起這種結晶作用，在第三沉積之前或之後可能提供額外的熱處理。

【符號說明】

1: 複合結構

1': 中間複合結構

10: 薄層

11: 初始底材

11': 剩餘部

11a: 正面

11b: 背面

12: 埋置脆性平面

20: 載體底材

21: 第一層

22: 第二層

23: 第三層

【生物材料寄存】

【發明申請專利範圍】

【請求項1】 一種用於製作在多晶碳化矽製之一載體底材(20)上包含單晶碳化矽製之一薄層(10)之一複合結構(1)之方法，該方法包括：

a)提供單晶碳化矽製之一初始底材(11)之一步驟，

b)在高於1100°C的溫度下之一第一沉積步驟，以在該初始底材(11)的正面(11a)上形成多晶碳化矽製之一第一層(21)，該第一層(21)具有小於1 μm 的厚度及高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，

c)穿過該第一層(21)進行輕物種離子植入之一步驟，以在該初始底材(11)中形成一埋置脆性平面(12)，從而界定出位於該埋置脆性平面(12)與該初始底材(11)的正面(11a)之間的該薄層(10)，

d) 在低於900°C的溫度下之一第二沉積步驟，以在該第一層(21)上形成非晶及/或多晶碳化矽製之一第二層(22)，該第二層(22)具有大於或等於10 μm 的厚度，以及與該第一層的摻雜物相同類型，高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度，

e) 在高於1000°C的溫度下之一第三沉積步驟，以在該第二層(22)上形成多晶碳化矽製之一第三層(23)，

該第一層(21)、第二層(22)及第三層(23)形成該載體底材(20)，沿着該埋置脆性平面(12)的分離在該第三沉積步驟中發生。

【請求項2】 如請求項1之方法，其中該第一沉積步驟及該第三沉積步驟係透過在1100°C至1600°C之間溫度下的化學氣相沉積而進行，優選為1200°C至1600°C之間，更優選為1200°C至1400°C之間。

【請求項3】 如請求項1或2之方法，其中該第一層(21)具有高於 $5 \times 10^{19}/\text{cm}^3$ 的摻雜物濃度。

【請求項4】 如請求項1至3任一項之方法，其中在該第一沉積步驟結束時，該第一層(21)具有50 nm至500 nm之間，或甚至50 nm至200 nm之間，的厚度。

【請求項5】 如請求項1至4任一項之方法，其在該第一沉積步驟之前包括製備該初始底材(11)之一步驟，其包括對該初始底材(11)之一正面進行至少一次脫氧處理。

【請求項6】 如請求項1至5任一項之方法，其在步驟b)之前包括在該初始底材(11)的該正面上形成一中間層之一步驟a')，以期促進電傳導，接着該第一層(21)在步驟b)中形成於該中間層上。

【請求項7】 如請求項6之方法，其中該中間層為矽製。

【請求項8】 如請求項1至7任一項之方法，其中在步驟e)中形成的該第三層(23)具有大於或等於100 μm 的厚度，且至少在其最初一百微米的厚度內具有高於 $10^{19}/\text{cm}^3$ 的摻雜物濃度。

(發明圖式)

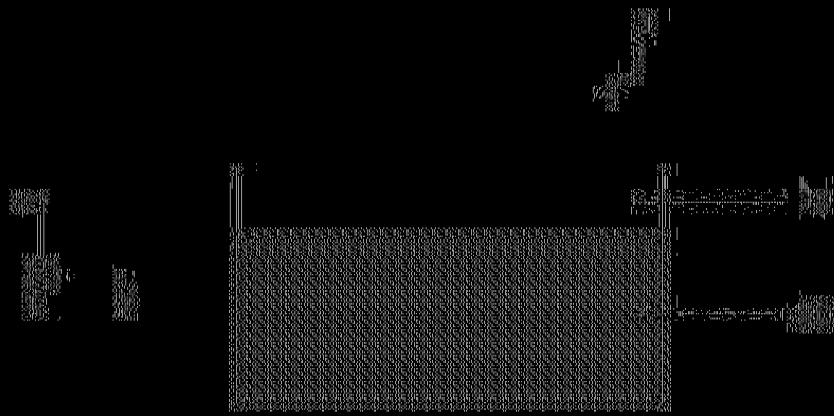


圖1

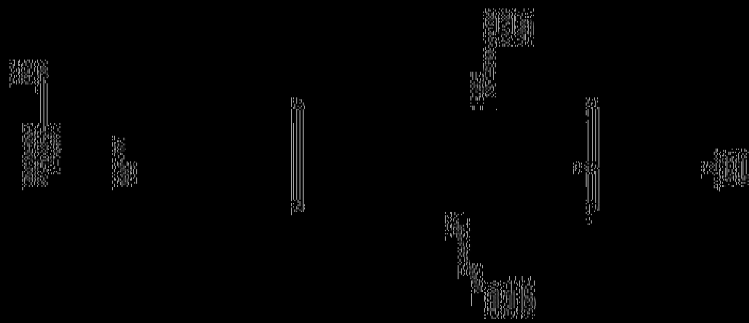


圖2a

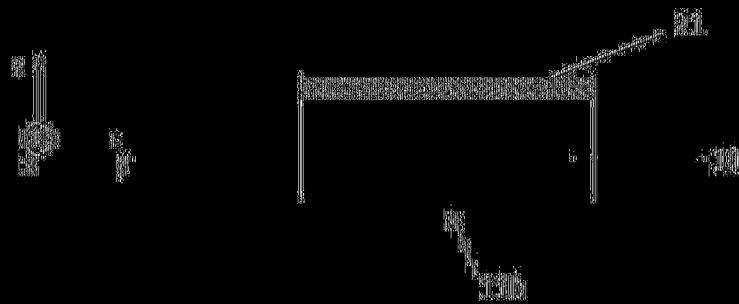


圖2b

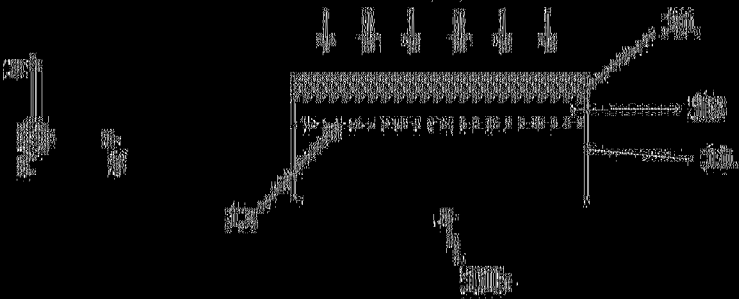


圖2c

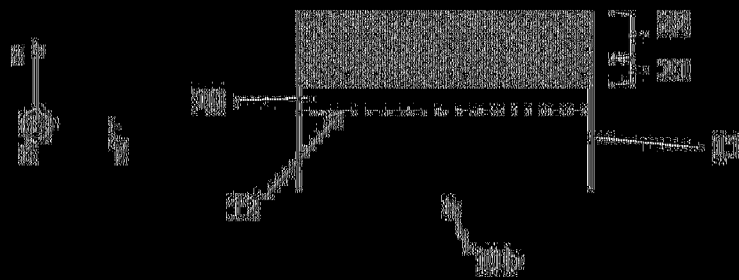


圖2d

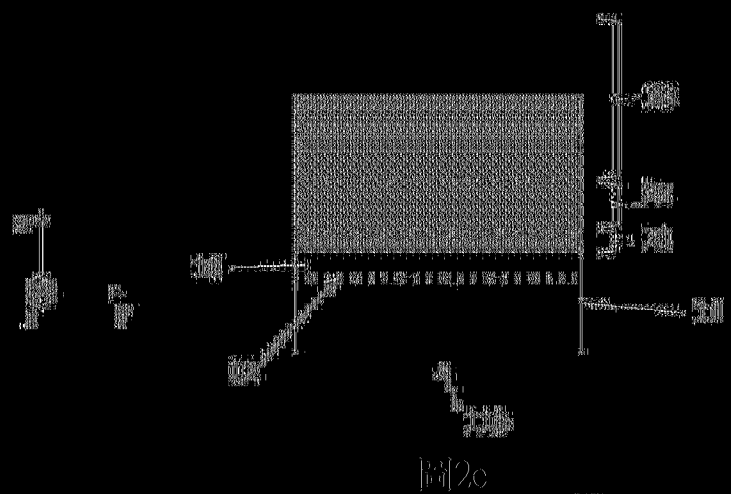


圖2c

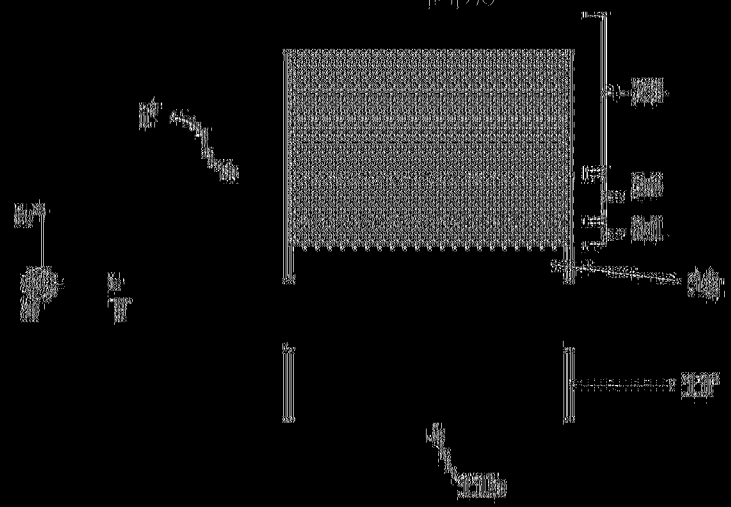


圖2c'



圖2f