

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 7/10 (2006.01)



[12] 发明专利说明书

专利号 ZL 02817581.6

[45] 授权公告日 2008 年 9 月 17 日

[11] 授权公告号 CN 100419901C

[22] 申请日 2002.7.10 [21] 申请号 02817581.6

[30] 优先权

[32] 2001.7.13 [33] US [31] 09/905,004

[86] 国际申请 PCT/US2002/022458 2002.7.10

[87] 国际公布 WO2003/007303 英 2003.1.23

[85] 进入国家阶段日期 2004.3.9

[73] 专利权人 微米技术有限公司

地址 美国爱达荷州

[72] 发明人 J·W·扬岑

[56] 参考文献

US5402389A 1995.3.28

US5513148A 1996.4.30

US5784705A 1998.7.21

US5917760A 1999.6.29

US5903496A 1999.5.11

审查员 李燕东

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨凯 王忠忠

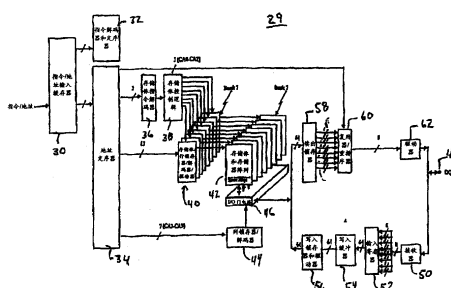
权利要求书 3 页 说明书 9 页 附图 4 页

[54] 发明名称

具有用于读写操作的不同突发顺序寻址的存储器件

[57] 摘要

一种寻址方案及其关联硬件允许进行两种不同类型的存取，一种用于读出，一种用于写入。按照本发明构成的存储器件包括多个存储单元阵列。为从多个存储单元读出信息和向多个存储单元写入信息而提供外围设备。所述外围设备包括：重排序电路，它对某些地址位作出响应而将从多个阵列接收的位排序；以及地址定序器，用于在读出操作时将某些地址位路由到所述重排序电路。本发明的方法包括在从存储器件输出至少一个 n 位字之前，按照某些地址位中的信息把从存储器阵列输出的 n 位字块重排序。



1. 一种存储器件(29), 它包括多个存储单元的阵列(42)和外围设备(30、32、34、36、38、40、44、46、50、52、54、56、58、60、62), 用于从所述多个存储单元中读出信息和向所述多个存储单元写入信息, 改进部分包括: 重排序电路(60), 它对某些地址位作出响应而将从所述多个存储单元的阵列(42)接收的字组排序; 以及地址定序器(34), 用于在读出操作时将某些所述地址位路由到所述重排序电路(60), 在写入操作时则忽略所述某些地址位, 而所述某些地址位识别所述字组中需首先输出的任一个字。

2. 如权利要求1所述的存储器件(29), 其特征在于: 所述地址定序器(34)路由列地址的至少两位最低有效位。

3. 如权利要求1所述的存储器件(29), 其特征在于: 所述重排序电路(60)从所述多个存储单元的阵列(42)接收n位字的块并对所述某些地址位识别特定的n位字作出响应而输出所述特定的n位字。

4. 如权利要求1所述的存储器件(29), 其特征在于: 所述存储器件(29)包括DRAM。

5. 如权利要求1所述的存储器件(29), 其特征在于: 所述地址定序器(34)对指令线和地址线作出响应。

6. 如权利要求1所述的存储器件(29), 其特征在于: 数据小缓冲器对所述重排序电路(60)作出响应。

7. 一种系统, 它包括:

处理器(112);

对所述处理器(112)作出响应的存储器控制器(124);

第一总线(118), 它将所述处理器(112)与所述存储器控制器(124)互连;

多个存储器件(136、136'、137、137'、138、138'、139、139');

以及

第二总线(143)，它将所述存储器控制器(124)与所述多个存储器件(136、136'、137、137'、138、138'、139、139')互连，每个存储器件包括：

多个存储单元的阵列(42)；

对指令和地址信号作出响应的第一组外围设备(30、32、34、36、38、40、44、46)，所述第一组外围设备包括：

第二电路(34)，用于在读出操作中将列地址的至少两位最低有效位路由到电路(60)，其中，所述第二电路(34)在写入操作时忽略某些地址位；以及

对数据作出响应的第二组外围设备(50、52、54、56、58、60、62)，所述第二组外围设备包括：

所述电路(60)，它对某些地址位作出响应而将从所述多个存储单元的阵列接收的字组排序，所述某些地址位识别所述字组中需首先输出的任一个字。

8. 如权利要求 7 所述的系统，其特征在于：所述电路(60)从所述多个存储单元的阵列(42)接收 n 位字的块并对所述某些地址位识别特定的 n 位字作出响应而输出所述特定的 n 位字。

9. 如权利要求 7 所述的系统，其特征在于：所述多个存储器件(29)包括多个 DRAM。

10. 一种方法，所述方法包括以下步骤：

在输出 n 位字的块之前，按照某些地址位中的信息将从存储器的阵列输出的所述 n 位字的块重排序，其中，可以首先输出所述 n 位字中的任一个，并且；

在将至少一个 n 位字输入所述存储器的阵列之前，忽略所述某些地址位。

11. 如权利要求 10 所述的方法，其特征在于还包括检查列地址的至少两个最低有效位，并且所述重排序是对所述检查作出响应。

12. 如权利要求 10 所述的方法，其特征在于还包括：

对行地址和某些列地址位作出响应而从多个存储器的阵列中输出 n 位字的块；其中，所述重排序包括：

对所述列地址的某些其它位作出响应而控制从所述存储器件输出所述 n 位字的次序。

13. 如权利要求 12 所述的方法，其特征在于所述输出还包括：

利用存储体地址输入端上的数值来选择阵列存储体；

利用在输入端 $A_3 - A_i$ 上提供的列地址来识别执行读出或写入访问的起始列地址，其中 i 为最高有效列地址；

利用在输入端 $A_0 - A_2$ 上提供的列地址来识别执行读出访问的突发次序；以及

在写访问时忽略在输入端 $A_0 - A_2$ 上提供的列地址。

具有用于读写操作的不同 突发顺序寻址的存储器件

技术领域

本发明针对存储器件，更具体地说，针对存储器件的信息读出和信息写入的方法和电路。

背景技术

计算机设计人员不断地在寻求允许设计更快的计算机的更快的存储器件。对计算机运行速度的一个重要限制就是在处理器和存储器电路之间传送数据(例如读出或写入数据的传送)所需要的时间。诸如动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)、快闪存储器等存储器件通常包含大量的存储单元，这些存储单元排列成一个或多个阵列，每个阵列由行和列组成。每个存储单元提供一个位置，处理器可以在此位置存储和检索一位数据，有时称为存储位或 mbit。处理器存取存储单元中的数据越快，它利用所述数据进行计算或执行程序就越快。

图 1 部分地示出典型的计算机系统的体系结构。中央处理单元(CPU)或处理器 10 连接到处理器总线 12，处理器总线 12 又连接到系统或存储器控制器 14。存储器控制器 14 还可以连接到扩展总线 16。存储器控制器 14 作为处理器 10 和存储器件 18 之间的接口电路。处理器 10 发出指令和地址，这些指令和地址由存储器控制器 14 接收和翻译。存储器控制器 14 将已翻译的指令信号通过多条指令线 20 加到存储器件 18 上，并且将已翻译的地址通过多条地址线 22 加到存储器件 18 上。这些指令信号在本专业中已众所周知，如果是 DRAM，这些

指令信号包括 RAS (行地址选通)、CAS (列地址选通)、WE (允许写入) 和 OE (允许输出)。还通过 CLK 线 24 提供时钟信号。与所述由处理器发出的指令和地址相对应地, 经由数据通路线 26 在控制器 14 和存储器 18 之间传送数据。

存储器 18 通常包括许多存储器队列 (ranks) 27, 图 2 中示出一个典型的存储器队列。在此实例中, 存储器队列 27 配置成用于 64 位系统, 具有八个 8 位存储器电路 28 (0) - 28 (7)。将指令信号 RAS、CAS 和 WE 加到存储器队列 27 中的所有存储器电路 28 (0) - 28 (7) 上。在具有附加队列的存储器 18 (图 1) 中, 向每个队列提供单独的 CS 指令信号。因此, 指令信号 CS 常称为特定队列的指令信号。地址总线 22 连接到队列 27 中的所有存储器电路 28 (0) - 28 (7) 和存储器 18 的所有其它队列 (未示出) 中的所有其它存储器电路 (未示出), 因此地址总线 22 常称作为全局连接总线。

同步 DRAM (SDRAM) 是一种能依靠内部运行高速地顺序存取某一范围地址的存储器件。在典型的 SDRAM 中, 100 兆字节/秒或更大的读写速率是可能的。为达此高速, SDRAM 的读写是以突发模式进行的。突发模式是一种地址存取模式, 此时不断以 2、4 或 8 位字的块的形式读出或写入具有相同行地址的数据。此外, 要存取块中的这些字, 只需提供所述块的起始地址。随后, 其余的地址则根据其工作模式 (顺序或隔行) 在 SDRAM 中自动生成。工作模式由来自 CPU 的地址序列决定。用于每种突发地址序列方法的地址, 在顺序模式中, 是通过加上突发开始地址和内部计数器的输出的方法来产生的。在隔行模式中, 所述地址是通过对突发开始地址和内部计数器输出进行“异或”运算来产生的。相同卷绕 (same wrap) 模式既用于读操作又用于写操作, 所有的列地址也用于读操作又用于写操作。

随着时钟速度提高到 200MHz 以上 (例如 RDRAM 或 SLDRAM), DRAM 的核心运行并不以同样的速率增加。所以, DRAM 在内部完成对 4 个或 8 个字的读写, 然后顺序地将字输出到外部总线上。由于传送的

是整组的数据字，所以最低有效列地址就不再发送到 DRAM。

这个解决方案对于从控制器到 DRAM 的写入数据很有效，因为能与高速缓存填充对准。但由于在读出时同时传送整块数据字，因此，控制器不能总是最先接收到最关键的字，这就增加了系统的等待时间。因此，需要一种高时钟速率的 DRAM 存储器，它既支持数据字的块传送，同时又能将最关键的字最先发送到控制器。还需要一种在存储器控制器和 DRAM 之间的通信协议来支持这种新特征。

发明内容

根据本发明的一个方面，一种存储器件，它包括多个存储单元的阵列(42)和外围设，用于从所述多个存储单元中读出信息和向所述多个存储单元写入信息，改进部分包括：重排序电路，它对某些地址位作出响应而将从所述多个存储单元的阵列接收的字组排序；以及地址定序器，用于在读出操作时将某些所述地址位路由到所述重排序电路，在写入操作时则忽略所述某些地址位，而所述某些地址位识别所述字组中需首先输出的任一个字。

根据本发明的另一个方面，一种系统，它包括：

处理器；

对所述处理器作出响应的存储器控制器；

第一总线，它将所述处理器与所述存储器控制器互连；

多个存储器件；以及

第二总线，它将所述存储器控制器与所述多个存储器件互连，

每个存储器件包括：

多个存储单元的阵列；

对指令和地址信号作出响应的第一组外围设备，所述第一组外围设备包括：

第二电路，用于在读出操作中将列地址的至少两位最低有效位路由到电路，其中，所述第二电路在写入操作时忽略所述某些地

址位；以及

对数据作出响应的第二组外围设备，所述第二组外围设备包括：

所述电路，它对某些地址位作出响应而将从所述多个存储单元的阵列接收的字组排序，所述某些地址位识别所述字组中需首先输出的任一个字。

根据本发明的又一个方面，一种方法，所述方法包括以下步骤：

在输出 n 位字块之前，按照某些地址位中的信息将从存储器的阵列输出的所述 n 位字块重排序，其中，可以首先输出所述各 n 位字中的任一个，并且；

在将至少一个 n 位字输入所述存储器的阵列之前，忽略所述某些地址位。本发明是一种寻址方案及其关联硬件，用于进行两种不同类型的存取，一种用于读出，一种用于写入。按照本发明构成的存储器件包括多个存储单元阵列。为从多个存储单元读出信息和向多个存储单元写入信息而提供外围设备，所述外围设备包括：

重排序电路，它对某些地址位作出响应而把从多个阵列接收的位重排序；以及

地址定序器，用于在读出操作时将某些地址位路由到所述重排序电路。

本发明的方法包括：在从存储器件输出至少一个 n 位字之前，按照某些地址位中的信息将从存储器阵列输出的 n 位字的块重排序。在示范实施例中，所述方法用于存取 DRAM 并且包括以下步骤：

利用存储体地址输入端上的数值来选择阵列存储体；

利用在输入端 $A_3 - A_i$ 上提供的列地址，其中 i 为最高有效列地址；

利用在输入端 $A_0 - A_2$ 上提供的列地址来识别读访问的突发次序；

在写访问时忽略在输入端 $A_0 - A_2$ 上提供的列地址。

这样，读出时，由最高有效列地址位来识别特定的 8 位突发，

而最低有效位 CA0-CA2 识别最关键字和所述关键字后的读出卷绕序列。写入时，所述突发则由最高有效列地址来识别，CA0-CA2 为“不必关心”位，假定为 000。其它实施方案也是可能的。

从使读访问不同于写访问所得到的一个重要特征就是可以以这样的方式进行读出，使得关键字由存储器控制器所利用，以便支持间插突发模式。另一方面，可以基于起始顺序突发来简化写入，因为可以从高速缓存中保持的数据来产生写入数据。本发明通过将关键字最先提供给存储器控制器来改善系统等待时间。以上以及其它优点和好处从以下对优选实施例的说明中就可一目了然。

附图说明

为使本发明易于理解和便于实施，结合以下附图对本发明加以说明，其目的是作说明而非限制，附图中：

图 1 是计算机系统体系结构的原理框图；

图 2 是存储器电路的存储体的方框图；

图 3 是用于实现本发明的突发读出排序的体系结构的简化方框图；

图 4A、4B 和 4C 分别示出在 512 兆位 x4 部分、x8 部分和 x16 部分中寻址以识别关键字的卷绕起始位置；以及

图 5 是本发明可以用于其中的计算机系统的简化方框图。

具体实施方式

图 3 示出能实现本发明的突发读出排序的 DRAM 的体系结构的简化方框图。DRAM 存储器件 29 包括指令/地址输入缓存器 30，它对指令总线或指令线以及地址总线或地址线作出响应。指令解码器和定序器 32 以及地址定序器 34 各自对指令/地址输入缓存器 30 作出响应。

存储体地址解码器 36 对地址定序器 34 作出响应，而存储体控

制逻辑 38 对存储体地址解码器 36 作出响应。一系列行锁存器/解码器/驱动器 40 对存储体控制逻辑 38 和地址定序器 34 作出响应。为每个存储器阵列 42 提供一个行锁存器/解码器/驱动器 40。图 3 所示为 8 个存储器阵列，标为存储体 0 到存储体 7。相应地，有 8 个行锁存器/解码器/驱动器电路 40，它们各自对存储体 0 到存储体 7 中的一个作出响应。

列地址锁存器/解码器电路 44 对地址定序器 34 作出响应。I/O 门电路 46 对列锁存器/解码器电路 44 作出响应，以便控制每一个存储器阵列 42 中的读出放大器。指令/地址输入缓存器 30、指令解码器和定序器 32、地址定序器 34、存储体地址解码器 36、存储体控制逻辑 38、行锁存器/解码器/驱动器 40、列锁存器/解码器电路 44 以及 I/O 门电路 46 可以认为是对阵列总线和地址总线作出响应的第一组外围设备。将上述元件描述为第一组外围设备是为了对当前的优选实施例提供说明，而不是将本发明的范围限制在仅有上述设备。本专业的普通技术人员会认识到可以使用其它的设备组合来实现所述第一组外围设备。

或者为了写入操作或者为了读出操作，可以通过多个数据小缓冲器 48 访问 DRAM 29。执行写入操作时，数据小缓冲器 48 上的数据由接收器 50 接收并传送到输入寄存器 52。写入缓冲器 54 缓存接收的数据，再将其输入到写入锁存器和驱动器电路 56，通过 I/O 门电路 46 输入到存储器阵列 42。

通过 I/O 门电路 46 把要从存储器阵列 42 读出的数据输出到读出锁存器 58。信息从读出锁存器 58 输入到复用器/重排序器电路 60，所述电路 60 通过驱动器 62 将数据输出到数据小缓冲器 48。接收器 50、输入寄存器 52、写入缓冲器 54、写入锁存器和驱动器电路 56、I/O 门电路 46、读出锁存器 58、复用器/重排序器电路 60 以及驱动器 62 组成对数据作出响应的第二组外围设备。将上述元件描述为第二组外围设备是为了对当前的优选实施例提供说明，而不是将本发

明的范围限制在仅有上述设备。本专业的普通技术人员会认识到可以使用其它设备组合来实现所述第二组外围设备。

一般来说,重排序器电路 60 的目的是按照在某些地址位中的信息将存储器阵列 42 输出的 n 位字的块重排序。如图 3 所示,在复用器/重排序器电路 60 的输入端,有 8 个 8 位字可用。复用器/重排序器电路 60 还接收列地址的三个最低有效位(CA0-CA2)。这三个最低有效位识别 8 个 8 位字块中的最关键字,以便识别应最先输出的字以及卷绕从何处开始,即,所述读出以关键字开始并且如果关键字不是位置 0 的字而是其它字,则所述读出从位置 7 卷绕回位置 1,以便完成所述读出。

更具体地说,按照本发明的一个优选实施例,当接收到读出指令时,存储体地址输入端 BA0 和 BA1(未示出)上的数值选择存储器阵列 42 之一。随后接收到地址信息,所述地址信息识别每个阵列 42 中的一行或多行。设置在输入端 A3 到 A_i (对 x16 部分 i 等于 8,对 x8 部分 i 等于 9,对 x4 部分 i 等于 10)上的地址选择开始列位置。参考图 3,对 x8 部分,输入端 A0 到 A_i 上的数值是 CA3-CA9。把最低有效位(CA0-CA2)中的信息输入到复用器/重排序器电路 60。这些数值在输入端 A0 到 A2 可得到。所述信息识别由复用器/重排序器电路 60 最先输出的最关键字。图 4A、4B 和 4C 分别示出关于 512 兆位 x4 部分, x8 部分和 x16 部分的寻址。

执行写入操作时,存储体的识别方式和在读出操作时相同。同理,也以同样方式识别起始列地址。但在写入操作时,输入端 A0-A2 上的信号被忽略,假定它们是很低的信号。

本发明是一个寻址方案,它使读出可以包括间插突发模式,使得可以向控制器提供关键字,同时把写入简化为起始序列突发。在优选实施例中,总是以 8 位的突发长度访问 DRAM。把所有写入突发都变址为起始位置,等于 CA0=0、CA1=0 和 CA2=0。对于读出,CA0、CA1 和 CA2 规定了从 DRAM 29 读出的第一个数据字。其余 7 个数据字

的读出如表 1 所示。

表 1 写入和读出交插顺序

起始列 (CA0-CA1-CA2)	数据字 写入顺序	数据字 读出顺序
000	0-1-2-3-4-5-6-7	0-1-2-3-4-5-6-7
001	0-1-2-3-4-5-6-7	1-0-3-2-5-4-7-6
010	0-1-2-3-4-5-6-7	2-3-0-1-6-7-4-5
011	0-1-2-3-4-5-6-7	3-2-1-0-7-6-5-4
100	0-1-2-3-4-5-6-7	4-5-6-7-0-1-2-3
101	0-1-2-3-4-5-6-7	5-4-7-6-1-0-3-2
110	0-1-2-3-4-5-6-7	6-7-4-5-2-3-0-1
111	0-1-2-3-4-5-6-7	7-6-5-4-3-2-1-0

图 5 是可以在其中实现本发明的计算机系统 110 的一个实例的方框图。计算机系统 110 包括处理器 112、存储器子系统 114 和扩展总线控制器 116。存储器子系统 114 和扩展总线控制器 116 通过本机总线 118 连接到处理器 112。扩展总线控制器 116 也连接到至少一条扩展总线 120，各种外围设备，诸如大容量存储装置、键盘、鼠标、图形适配器、以及多媒体适配器等都可连接到所述扩展总线 120。可以把处理器 112 和存储器子系统 114 集成在单一芯片上。

存储器子系统 114 包括存储器控制器 124，它通过多条信号线 129、130、129a、130a、129b、130b、129c 和 130c 连接到多个存储器模块 125、126。多条数据信号线 129、129a、129b、129c 由存储器控制器 124 和存储器模块 125、126 用来交换数据 DATA。通过多条地址信号线 132 发送地址 ADDR，通过时钟线 133 施加时钟信号 CLK，并且通过多条指令信号线 134 发送指令 CMD。存储器模块 125、126 包括多个存储器件 136-139、136'-139' 以及寄存器 141、141'。每

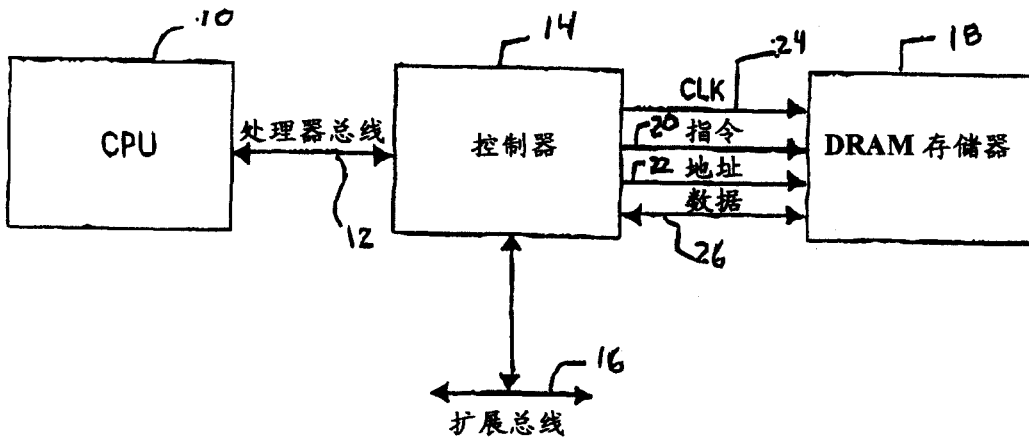
个存储器件 136-139、136'-139'都可以是高速同步存储器件。虽然图 5 中只示出了两个存储器模块 125、126 和关联的信号线 129-129c、130-130c，但是应当指出，可以使用任何数量的存储器模块。

将存储器模块 125、126 连接到存储器控制器 124 的多条信号线 129-129c、130-130c、132、133、134 统称为存储器总线 143。存储器总线 143 还可具有本专业中众所周知的附加信号线，例如芯片选择线，为简明起见未予示出。横跨存储器总线 143 的每一列存储器件 136-139、136'-139'称为存储器队列。一般，单侧存储器模块，例如图 5 所示模块，包括一个存储器队列。但也可使用含有两个存储器队列的双侧存储器模块。

与时钟信号 CLK 同步地顺序地输出读出数据，所述时钟信号被驱动通过多条时钟信号线 130、130a、130b、130c。与时钟信号 CLK 同步地顺序地输入写入数据，所述时钟信号由存储器控制器 124 驱动通过多条时钟信号线 130、130a、130b、130c。也利用时钟信号 CLK 来对指令信号和地址信号计时，所述时钟信号由存储器控制器 124 驱动通过存储器模块 125、126 的寄存器 141、141'到达终端连接器 148。指令、地址和时钟信号线 134、132、133 分别直接连接到存储器模块 125、126 的寄存器 141、141'。寄存器 141、141'缓存这些信号，然后将它们分别分配到存储器模块 125、126 的存储器件 136-139、136'-139'。

虽然已结合优选实施例对本发明作了说明，但本专业的普通技术人员应理解，许多修改和变化是可能的。这些修改和变化仍包括在本发明的范围之内，本发明的范围仅由以下权利要求书所限定。

图 1



512M(x4)寻址

地址管脚	行	列
A13		
A12	行 12	
A11	行 11	
A10	行 10	列 10
A9	行 9	列 9
A8	行 8	列 8
A7	行 7	列 7
A6	行 6	列 6
A5	行 5	列 5
A4	行 4	列 4
A3	行 3	列 3
A2	行 2	
A1	行 1	
A0	行 0	

图 4A

512M(x8)寻址

地址管脚	行	列
A13		
A12	行 12	
A11	行 11	
A10	行 10	列 10
A9	行 9	列 9
A8	行 8	列 8
A7	行 7	列 7
A6	行 6	列 6
A5	行 5	列 5
A4	行 4	列 4
A3	行 3	列 3
A2	行 2	
A1	行 1	
A0	行 0	

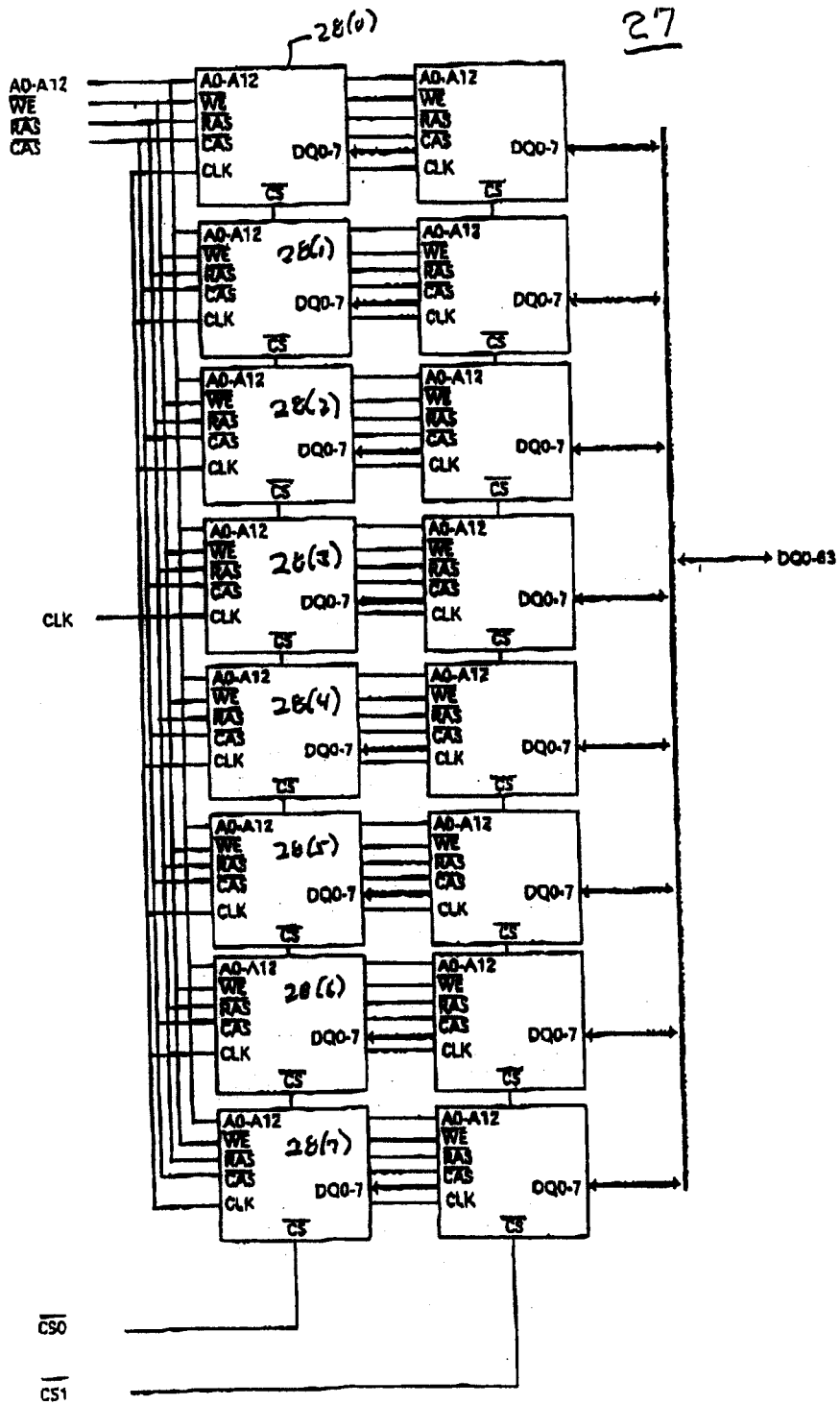
图 4B

512M(x16)寻址

地址管脚	行	列
A13		
A12		
A11	行 11	
A10	行 10	
A9	行 9	列 9
A8	行 8	列 8
A7	行 7	列 7
A6	行 6	列 6
A5	行 5	列 5
A4	行 4	列 4
A3	行 3	列 3
A2	行 2	
A1	行 1	
A0	行 0	

图 4C

图 2



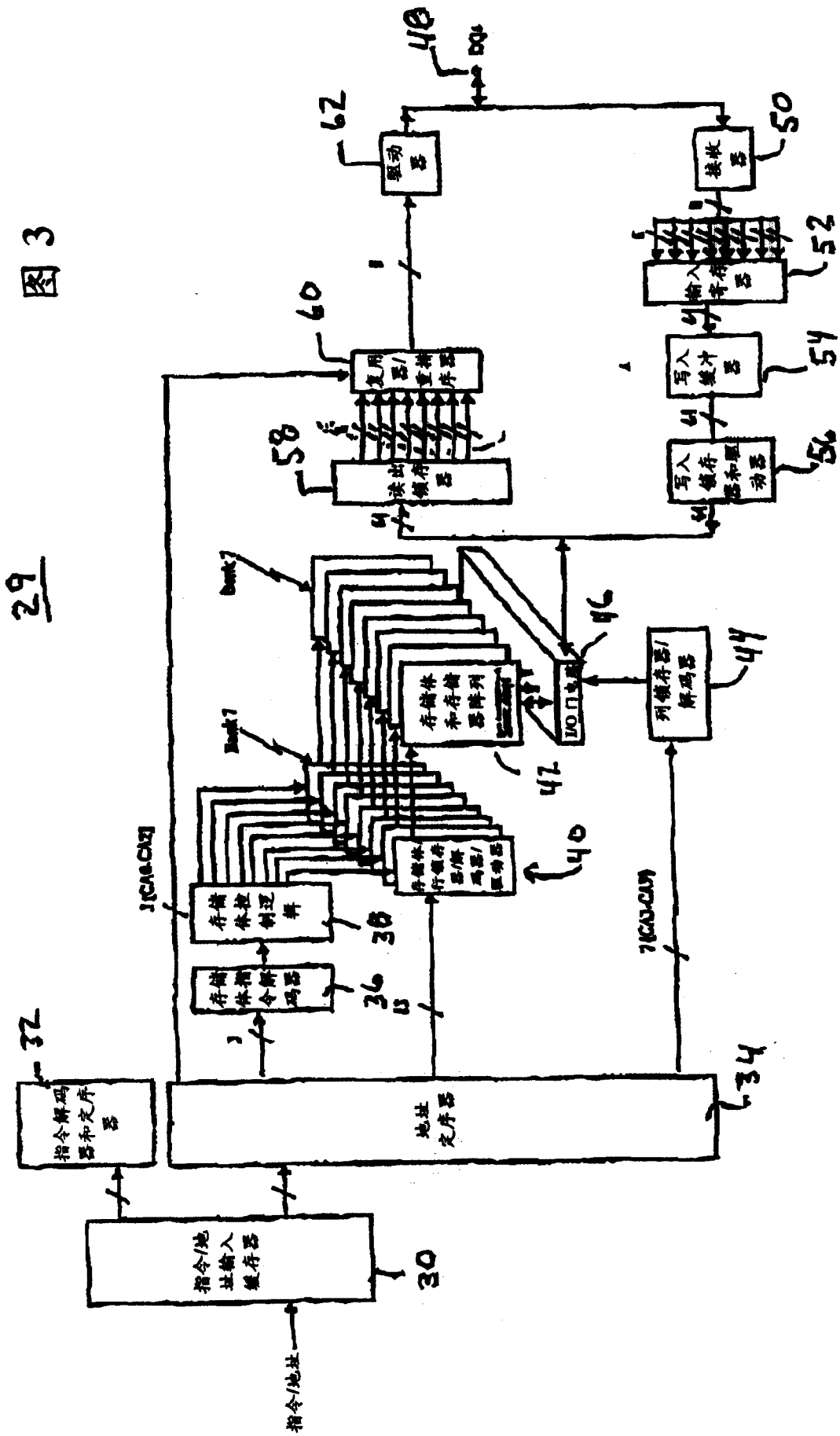


图 3

29

图 5

