

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 2 月 25 日 (25.02.2016)



(10) 国际公布号
WO 2016/026322 A1

- (51) 国际专利分类号:
H01L 29/778 (2006.01) H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2015/077144
- (22) 国际申请日: 2015 年 4 月 22 日 (22.04.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410402668.9 2014 年 8 月 17 日 (17.08.2014) CN
201410403932.0 2014 年 8 月 17 日 (17.08.2014) CN
- (71) 申请人: 复旦大学 (FUDAN UNIVERSITY) [CN/CN];
中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。
- (72) 发明人: 王鹏飞 (WANG, Pengfei); 中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。 刘晓勇 (LIU, Xiaoyong); 中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。 黄泓帆 (HUANG, Hongfan); 中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。 张卫 (ZHANG, Wei); 中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。
- (74) 代理人: 中国商标专利事务所有限公司 (CHINA TRADEMARK & PATENT LAW OFFICE CO., LTD.); 中国北京市西城区月坛南街 14 号月新大厦, Beijing 100045 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: SEMI-FLOATING-GATE POWER DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半浮栅功率器件及其制造方法

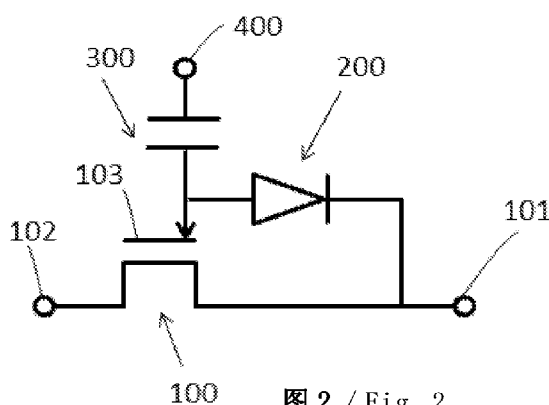


图 2 / Fig. 2

(57) Abstract: A semi-floating-gate power device, comprising a gallium nitride high-electron-mobility transistor (100), a diode (200) and a capacitor (300). An anode of the diode is connected to a gate (103) of the gallium nitride high-electron-mobility transistor, and a cathode of the diode is connected to a source (101) or a channel region of the gallium nitride high-electron-mobility transistor. One end of the capacitor is connected to the gate of the gallium nitride high-electron-mobility transistor, and one end of the capacitor is connected to an external voltage signal. The semi-floating-gate power device is simple in structure, easy to manufacture, and suitable for high-voltage and high-speed operation and has high reliability. By means of the semi-floating-gate power device, the threshold voltage of the semi-floating-gate power device in the work state can be increased, and the semi-floating-gate power device can be better used as a power switching transistor.

(57) 摘要:

[见续页]



WO 2016/026322 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种半浮栅功率器件，包括一个氮化镓高电子迁移率晶体管（100）、一个二极管（200）和一个电容器（300），二极管的阳极与氮化镓高电子迁移率晶体管的栅极（103）连接，二极管的阴极与氮化镓高电子迁移率晶体管的源极（101）或沟道区连接；电容器的一端与氮化镓高电子迁移率晶体管的栅极连接，电容器的一端与外部电压信号连接。半浮栅功率器件结构简单、易于制造，适合高压、高速操作并且具有很高的可靠性，半浮栅功率器件还能够提高半浮栅功率器件在工作状态时的阈值电压，使其能够更好的作为功率开关管使用。

半浮栅功率器件及其制造方法

技术领域

本发明属于半导体功率器件技术领域，特别是涉及半浮栅功率器件及其制造方法。

背景技术

高电子迁移率的宽禁带器件比如氮化镓高电子迁移率晶体管相对于传统的硅器件具有耐高温、高效率、高速度等优点，已被广泛使用。目前，600V 的氮化镓高电子迁移率器件很难做成常关型，即使做成常关型器件，其阈值电压也接近 0V，容易被误开启。因此 600V 的氮化镓功率开关通常由一个常开型氮化镓高电子迁移率晶体管器件和一个常关型硅基器件用共源共栅连接方式组成。

公知的共源共栅的氮化镓功率开关电路如图 1 所示，包括共源共栅配置的常开型氮化镓晶体管(M_{GaN})和常关型硅基 MOS 晶体管(M_{Si})，其中，硅基 MOS 晶体管(M_{Si})主动地被栅极驱动器控制，栅极驱动器产生栅极信号(V_{GM})。氮化镓晶体管(M_{GaN})是间接的通过硅基 MOS 晶体管(M_{Si})控制，因为硅基 MOS 晶体管(M_{Si})的漏极-源极电压等于氮化镓晶体管(M_{GaN})的源极-栅极电压。共源共栅的氮化镓功率开关的优点是可以使用现有标准的栅极驱动器，因此共源共栅的氮化镓功率开关可以被用来直接替换硅基 MOS 晶体管开关。然而共源共栅的氮化镓功率开关由常开型氮化镓晶体管(M_{GaN})和常关型硅基 MOS 晶体管(M_{Si})组成，结构复杂，而且共源共栅的氮化镓功率开关的可靠性不高。首先共源共栅的氮化镓晶体管开关在动态雪崩时，低压的常关型硅基 MOS 晶体管容易被击穿；其次，氮化镓晶体管由于在动态操作中存在电压脉冲，因此也存在被击穿、栅极 pn 结反向导通等问题。

发明内容

本发明的目的是提供一种半浮栅功率器件，能够简化氮化镓功率器件的结构并提高其可靠性。

本发明的目的将通过以下技术方案实现：

一种半浮栅功率器件，包括一个氮化镓高电子迁移率晶体管，还包括：

一个二极管，该二极管的阳极与所述氮化镓高电子迁移率晶体管的栅极连接，该二极管的阴极与所述氮化镓高电子迁移率晶体管的源极或沟道区连接；

一个电容器，该电容器的一端与所述氮化镓高电子迁移率晶体管的栅极连接，该电容器的另一端与外部电压信号连接。

优选的，上述的一种半浮栅功率器件，所述二极管为肖特基二极管。

本发明针对上述半浮栅功率器件还提供了五种优选的采用肖基特二极管的半浮栅功率器件的具体结构：

第一种结构：本发明的半浮栅功率器件包括一个半导体基底，该半导体基底上设有氮化镓阻挡层，该氮化镓阻挡层之上设有氮化镓沟道层，该氮化镓沟道层之上设有氮化镓铝隔离层；所述氮化镓铝隔离层之上设有栅介质层，所述栅介质层之上设有浮栅，所述浮栅之上设有层间介质层，所述层间介质层之上设有控制栅，所述控制栅通过电容耦合作用于所述浮栅，所述控制栅的两侧分别设有位于所述氮化镓沟道层之上的源极和漏极；所述浮栅向所述源极一侧延伸并超出所述栅介质层与所述氮化镓铝隔离层连接。

第二种结构：本发明的半浮栅功率器件包括一个半导体基底，该半导体基底上设有氮化镓阻挡层，该氮化镓阻挡层之上设有氮化镓沟道层，该氮化镓沟道层之上设有氮化镓铝隔离层；所述氮化镓铝隔离层之上设有栅介质层，所述栅介质层之上设有浮栅，所述浮栅之上设有层间介质层，所述层间介质层之上设有控制栅，所述控制栅通过电容耦合作用于所述浮栅，所述控制栅的两侧分别设有位于所述氮化镓沟道层之上的源极和漏极；所述浮栅向所述源极一侧延

伸并超出所述栅介质层和氮化镓铝隔离层与所述氮化镓沟道层连接。

第三种结构：本发明的半浮栅功率器件包括一个半导体基底，该半导体基底上设有氮化镓阻挡层，该氮化镓阻挡层之上设有氮化镓沟道层，该氮化镓沟道层之上设有氮化镓铝隔离层；所述氮化镓铝隔离层之上设有栅介质层，所述栅介质层之上设有浮栅，所述浮栅之上设有层间介质层，所述层间介质层之上设有控制栅，所述控制栅通过电容耦合作用于所述浮栅，所述控制栅的两侧分别设有位于所述氮化镓沟道层之上的源极和漏极；所述浮栅通过所述栅介质层和氮化镓铝隔离层中的第一开孔与所述氮化镓沟道层连接。

第四种结构：本发明的半浮栅功率器件包括一个半导体基底，该半导体基底上设有氮化镓阻挡层，该氮化镓阻挡层之上设有氮化镓沟道层，该氮化镓沟道层之上设有氮化镓铝隔离层；所述氮化镓铝隔离层之上设有栅介质层，所述栅介质层之上设有浮栅，所述浮栅之上设有层间介质层，所述层间介质层之上设有控制栅，所述控制栅通过电容耦合作用于所述浮栅，所述控制栅的两侧分别设有位于所述氮化镓沟道层之上的源极和漏极；所述浮栅下方的栅介质层和氮化镓铝隔离层中设有第一开孔，所述第一开口下方的氮化镓沟道层内设有第一凹槽，该第一凹槽的底部位于所述氮化镓沟道层的任意深度内或者延伸至所述氮化镓沟道层的底部，所述浮栅填满所述第一凹槽。

第五种结构：本发明的半浮栅功率器件包括一个半导体基底，该半导体基底上设有氮化镓阻挡层，该氮化镓阻挡层之上设有氮化镓沟道层，该氮化镓沟道层之上设有氮化镓铝隔离层；所述氮化镓铝隔离层之上设有栅介质层，所述栅介质层之上设有浮栅，所述浮栅之上设有层间介质层，所述层间介质层之上设有控制栅，所述控制栅通过电容耦合作用于所述浮栅，所述控制栅的两侧分别设有位于所述氮化镓沟道层之上的源极和漏极；所述浮栅下方的栅介质层和氮化镓铝隔离层中设有第一开孔，所述浮栅下方的氮化镓铝隔离层中还设有第二开孔；所述第一开口和第二开口下方的氮化镓沟道层内分别设有第一凹槽和

第二凹槽，该第一凹槽和第二凹槽的底部位于所述氮化镓沟道层的任意深度内或者延伸至所述氮化镓沟道层的底部，所述第二凹槽靠近所述漏极一侧且其深度与所述第一凹槽的深度相同，所述栅介质层覆盖所述第二凹槽的内表面且将所述第一凹槽暴露出来，所述浮栅填满所述第一凹槽和第二凹槽。

优选的，上述的五种半浮栅功率器件，所述氮化镓阻挡层与氮化镓沟道层之间还可以设有氮化镓铝阻挡层。

优选的，上述的五种半浮栅功率器件，所述浮栅的材质为铬、或者含镍或含钨的合金、或者掺杂的多晶硅；所述层间介质层为氧化硅、氮化硅、氮氧化硅中的一种或几种；所述控制栅为多晶硅控制栅或者金属控制栅。

基于上述第五种结构的半浮栅功率器件的制造方法，包括在提供的半导体基底上依次形成氮化镓阻挡层、氮化镓沟道层和氮化镓铝隔离层；

还包括：

进行光刻和刻蚀，在所述氮化镓沟道层内形成第一凹槽和第二凹槽；

淀积一层栅介质层并进行光刻和刻蚀，在所述栅介质层中形成一个浮栅开口，该浮栅开口将所述第一凹槽暴露出来；

覆盖上述形成的结构淀积第一层导电薄膜；

在所述第一层导电薄膜之上形成第一层绝缘薄膜；

在所述第一层绝缘薄膜之上形成第二层导电薄膜；

进行光刻并依次刻蚀所述第二层导电薄膜、第二层绝缘薄膜和第一层导电薄膜，形成覆盖所述第一凹槽和第二凹槽的浮栅以及位于浮栅之上的层间介质层和控制栅；

在所述控制栅的两侧分别形成于与所述氮化镓铝隔离层或者氮化镓沟道层接触的源极和漏极。

本发明的半浮栅功率器件是工作原理是：将氮化镓高电子迁移率晶体管管的栅极与源极或沟道区通过一个二极管连接，通过二极管钳位，使得氮化镓高

电子迁移率晶体管的栅极成为半浮栅结构，如果氮化镓高电子迁移率晶体管是常开型晶体管，则半浮栅功率器件在初始状态处于导通状态。同时，由于外部电压信号（ V_{CG} ）通过一个电容器作用于半浮栅之上，当外部电压信号为正电压且器件处于开启状态时，半浮栅内会存入负电荷，使得阈值电压上升，当外部电压信号由正电压变为 0V 时，半浮栅电压为负（时间为纳秒级），半浮栅功率器件处于截止状态。当外部电压信号再次由 0V 变为正电压时，半浮栅功率器件再次处于导通状态。因此通过调节外部电压信号（ V_{CG} ）的脉冲，可以使半浮栅功率器件不断处于开、关状态，组成开关电源电路或者其他电路。

如果氮化镓高电子迁移率晶体管是常关型晶体管，则半浮栅功率器件在初始状态处于关闭状态。由于外部电压信号（ V_{CG} ）通过一个电容器作用于半浮栅之上，当外部电压信号为正电压时，半浮栅内会存入负电荷，也会使得器件阈值电压上升，当外部电压信号由正电压变为 0V 时，半浮栅电压为负（时间为纳秒级），半浮栅功率器件处于截止状态。当外部电压信号再次由 0V 变为正电压时，半浮栅功率器件再次处于导通状态。因此通过调节外部电压信号（ V_{CG} ）的脉冲，可以使半浮栅功率器件不断处于开、关状态，组成开关电源电路或者其他电路。

本发明与现有技术相比其显著优点在于：首先，本发明的半浮栅功率器件采用半浮栅结构，并在半浮栅之上形成控制栅，控制栅通过电容耦合作用于半浮栅，使得一个半浮栅功率器件就可以实现共源共栅连接方式的两个晶体管的功能，简化半导体功率器件的结构。其次，氮化镓高电子迁移率晶体管的栅极与源极或沟道区之间的嵌入式二极管可以钳位，外部电压信号可以通过电容感应控制半浮栅功率器件的瞬间开启，使得半浮栅功率器件适合高压、高速操作并且具有很高的可靠性。最后，这种功率半浮栅器件结构可以提高氮化镓高电子迁移率晶体管在工作状态时的阈值电压，使其能够更好地作为功率开关管使用。

附图说明

图 1 是现有技术的共源共栅的氮化镓功率开关电路示意图；

图 2 是本发明提出的半浮栅功率器件的一个实施例的等效电路示意图；

图 3-图 5 是本发明提出的半浮栅功率器件的第一至第三实施例的结构剖面示意图；

图 6 是本发明如图 3-图 5 所示的第一至第三实施例半浮栅功率器件的一种等效电路图。

图 7-图 9 是本发明提出的半浮栅功率器件的第四至第六实施例的结构剖面示意图；

图 10 是本发明如图 7-图 9 所示的半浮栅功率器件第四至第六实施例的等效电路图。

图 11 至图 14 是本发明的半浮栅功率器件的制造方法的一个实施例的工艺流程图。

具体实施方式

为清楚地说明本发明的具体实施方式，说明书附图中所列示图，放大了本发明所述的层和区域的厚度，且所列图形大小并不代表实际尺寸；附图是示意性的，不应限定本发明的范围。说明书中所列实施例不应仅限于附图中所示区域的特定形状，而是包括所得到的形状如制造引起的偏差等、再如刻蚀得到的曲线通常具有弯曲或圆润的特点，但在本发明实施例中均以矩形表示。同时在下文的描述中，所使用的术语衬底可以理解为包括正在工艺加工中的半导体晶片，可能包括在其上所制备的其它薄膜层。

下面结合附图和实施例对本发明的具体实施方式作进一步详细的说明。

图 2 是本发明提出的半浮栅功率器件的一个实施例的等效电路示意图。如图 2 所示，本发明的半浮栅功率器件包括一个氮化镓高电子迁移率晶体管

100，氮化镓高电子迁移率晶体管包括源极 101、栅极 103 和漏极 102。氮化镓高电子迁移率晶体管的源极 101 和栅极 103 通过一个二极管 200 连接，使得栅极 103 成为一个半浮栅结构，即氮化镓高电子迁移率晶体管的栅极 103 可以作为本发明的半浮栅功率器件的浮栅 103。二极管 200 包括但不限于为肖特基二极管，且二极管 200 的阳极与栅极 103 连接，二极管 200 的阴极与源极 101 连接。外部电压信号 (V_{CG}) 400 通过一个电容器 300 与栅极 103 连接，从而外部电压信号 (V_{CG}) 400 可以通过电容感应控制氮化镓高电子迁移率晶体管 100 开启或者关闭。

可选的，本发明的半浮栅功率器件中，二极管 200 的阴极也可以不与氮化镓高电子迁移率晶体管 100 的源极连接，而与氮化镓高电子迁移率晶体管 100 的沟道区连接。

本发明的半浮栅功率器件可以有多种结构，以下描述的是本发明的半浮栅功率器件的优选实施例。

第一实施例

图 3 是本发明提出的半浮栅功率器件的第一实施例的剖面示意图，如图 3 所示，本发明的半浮栅功率器件包括半导体基底 11 和半导体基底 11 之上的氮化镓阻挡层 12，在氮化镓阻挡层 12 之上还依次形成有氮化镓沟道层 14 和氮化镓铝隔离层 15。在氮化镓铝隔离层 15 之上形成有栅介质层 501，在栅介质层 501 之上形成有氮化镓高电子迁移率晶体管的栅极（即浮栅）103。在浮栅 103 的两侧分别形成有氮化镓高电子迁移率晶体管的源极 101 和漏极 102，源极 101 和漏极 102 形成于氮化镓铝隔离层 15 之上。浮栅 103 向源极 101 的一侧延伸，浮栅 103 延伸后超出栅介质层 501 并与氮化镓铝隔离层 15 接触，由于浮栅 103 通常为含铬、或者含镍、或者含钨的合金或者掺杂后的多晶硅，因此浮栅 103 与氮化镓铝隔离层 15 形成肖特基二极管，也就是在栅极 103 和源极 101 直接形成一个肖特基二极管。通常肖特基二极管的（垂直于纸面）宽度小于有源

区的宽度，这样使得该高电子迁移率器件的沟道区可以有效地连接到源极 101。在浮栅 103 之上形成有层间介质层 502，层间介质层 502 通常为二氧化硅、氮化硅、氧化铪、氧化铝等高介电常数介质或者为它们之间的叠层。在层间介质层 502 之上形成有控制栅 104，控制栅 104 与外部电压信号 400 连接、且通过电容耦合作用于浮栅 103。

第二实施例

图 4 是本发明提出的半浮栅功率器件的第二实施例的剖面示意图，与图 3 所示的半浮栅功率器件相比，图 4 所示的半浮栅功率器件仅是在氮化镓阻挡层 102 与氮化镓沟道层 104 之间设有氮化镓铝阻挡层 103，氮化镓铝阻挡层 103 结构是高电子迁移率晶体管中的常用结构，本发明实施例中不再进行详细描述。

第三实施例

图 5 是本发明提出的半浮栅功率器件的第三实施例的剖面示意图，与图 3 所示的半浮栅功率器件相比，图 5 所示的半浮栅功率器件是刻蚀掉栅介质层 501 两侧的氮化镓铝隔离层 15，使得浮栅 103 向源极 101 的一侧延伸，浮栅 103 延伸后超出栅介质层 501 和氮化镓铝隔离层 15 并与氮化镓铝沟道层 14 接触成肖特基二极管。源极 101 和漏极 102 直接形成于氮化镓沟道层 14 之上。

图 6 为本发明如图 3-图 5 所示的第一至第三实施例的半浮栅功率器件的一种等效电路图。如图 6 所示，本发明的半浮栅功率器件包括一个氮化镓高电子迁移率晶体管 100，氮化镓高电子迁移率晶体管 100 的栅极（即本发明的半浮栅功率器件的浮栅）103 通过一个肖特基二极管 200 与源极 101 连接，从而栅极 103 为一个半浮栅结构，控制栅 400 通过电容耦合作用于浮栅 103 之上。

第四实施例

图 7 为本发明提出的半浮栅功率器件的第四实施例的剖面示意图，，如图 7 所示，本发明的半浮栅功率器件包括半导体基底 11 和半导体基底 11 之上的

氮化镓阻挡层 12，在氮化镓阻挡层 12 之上还依次形成有氮化镓沟道层 14 和氮化镓铝隔离层 15。在氮化镓铝隔离层 15 之上形成有栅介质层 501，在栅介质层 501 之上形成有氮化镓高电子迁移率晶体管的栅极（即浮栅）103。在浮栅 103 的两侧分别形成有氮化镓高电子迁移率晶体管的源极 101 和漏极 102，源极 101 和漏极 102 形成于氮化镓铝沟道层 14 之上。浮栅 103 通过在栅极介质 501 和氮化镓铝隔离层 15 内的第一开孔与氮化镓沟道层 14 接触，由于浮栅 103 通常为含铬、或者含镍、或者含钨的合金或者掺杂后的多晶硅，因此浮栅 103 与氮化镓沟道层 14 形成肖特基二极管，也就是在浮栅 103 和沟道区之间形成一个肖特基二极管。通常肖特基二极管的（垂直于纸面）宽度小于有源区的宽度，这样使得该高电子迁移率器件的沟道区可以有效地连接到源极 101。在浮栅 103 之上形成有层间介质层 502，层间介质层 502 通常为二氧化硅、氮化硅、氧化铪、氧化铝等高介电常数介质或者为它们之间的叠层。在层间介质层 502 之上形成有控制栅 104，该控制栅 104 与外部电压信号 400 连接、且通过电容耦合作用于浮栅 103

第五实施例

图 8 为本发明的半浮栅功率器件的第五实施例的剖面示意图，它是如图 7 所示的半浮栅功率器件的一种优化结构，在氮化镓沟道层 14 内形成有第一凹槽，该凹槽位于栅极介质 501 和氮化镓铝隔离层 15 内的第一开口的下方，且该第一凹槽的底部位于氮化镓沟道层 14 的底部，即该凹槽的底部位于氮化镓阻挡层 12 的表面，浮栅 103 填满所述第一凹槽。进一步可选的，第一凹槽的底部可以位于氮化镓沟道层 14 的任意深度内，通过调整第一凹槽的深度，可以方便的调节浮栅 103 与氮化镓沟道层 14 之间的肖特基二极管的导通电压。第一凹槽深度越深，则导通电压越低；反之第一凹槽深度越浅，则导通电压越高。

第六实施例

图 9 为本发明的半浮栅功率器件的第六实施例的剖面示意图，它是在如图 7 所示的半浮栅功率器件的基础上，在靠近漏极 102 一侧的氮化镓沟道层 14 内形成和所述第一凹槽具有相同深度的第二凹槽，栅介质层 501 覆盖第二凹槽的表面而将第一凹槽暴露出来，浮栅 103 同时填满第一凹槽和第二凹槽。

图 10 展示了图 7 至图 9 所示的第四至第六实施例的半浮栅功率器件的等效电路图，其中氮化镓高电子迁移率晶体管 100 的栅极（即本发明的半浮栅功率器件的浮栅）103 通过一个肖特基二极管 200 与氮化镓高电子迁移率晶体管 100 的沟道区连接，控制栅 400 通过电容耦合作用于浮栅 103 之上。

图 11-图 14 是本发明提出的如图 9 所示的氮化镓半浮栅功率器件的制造方法的一个实施例的工艺流程图。

首先，如图 11 所示，在半导体基底 11 上依次淀积形成氮化镓阻挡层 12、氮化镓沟道层 14 和氮化镓铝隔离层 15，之后进行光刻并依次刻蚀氮化镓铝隔离层 15 和氮化镓沟道层 14，在氮化镓沟道层 14 内形成第一凹槽 701 和第二凹槽 702。

接下来，如图 12 所示，覆盖上述形成的结构淀积一层栅介质层 501 并进行光刻和刻蚀，在栅介质层 501 中形成一个浮栅开口 703，该浮栅开口 703 的开口宽度大于第二凹槽 702 的开口宽度，从而浮栅开口 703 将第二凹槽 702 暴露出来。

接下来，如图 13 所示，覆盖上述形成的结构依次淀积第一层导电薄膜、第一层绝缘薄膜和第二层导电薄膜，之后进行光刻并依次刻蚀所述第二层导电薄膜、第二层绝缘薄膜和第一层导电薄膜，形成覆盖所述第一凹槽和第二凹槽的浮栅 103 以及位于浮栅 103 之上的层间介质层 502 和控制栅 104。

最后，如图 14 所示，在栅极 104 的两侧形成栅极侧墙 60，之后刻蚀掉暴露出的栅介质层 501，然后利用业界所熟知的工艺在控制栅 104 的两侧分别形成于氮化镓沟道层 14 接触的源极 101 和漏极 102。

本发明的具体实施方式中凡未涉到的说明属于本领域的公知技术，可参考公知技术加以实施。

以上具体实施方式及实施例是对本发明提出的半浮栅功率器件技术思想的具体支持，不能以此限定本发明的保护范围，凡是按照本发明提出的技术思想，在本技术方案基础上所做的任何等同变化或等效的改动，均仍属于本发明技术方案保护的范围。

权 利 要 求 书

1、一种半浮栅功率器件，包括一个氮化镓高电子迁移率晶体管，其特征在于，还包括：

一个二极管，该二极管的阳极与所述氮化镓高电子迁移率晶体管的栅极连接，该二极管的阴极与所述氮化镓高电子迁移率晶体管的源极或沟道区连接；

一个电容器，该电容器的一端与所述氮化镓高电子迁移率晶体管的栅极连接，该电容器的另一端与外部电压信号连接。

2、根据权利要求 1 所述的一种半浮栅功率器件，其特征在于所述二极管为肖特基二极管。

3、根据权利要求 2 所述的一种半浮栅功率器件，其特征在于，所述半浮栅功率器件包括一个半导体基底，该半导体基底上设有氮化镓阻挡层，该氮化镓阻挡层之上设有氮化镓沟道层，该氮化镓沟道层之上设有氮化镓铝隔离层；

所述氮化镓铝隔离层之上设有栅介质层，所述栅介质层之上设有浮栅，所述浮栅之上设有层间介质层，所述层间介质层之上设有控制栅，所述控制栅通过电容耦合作用于所述浮栅，所述控制栅的两侧分别设有源极和漏极。

4、根据权利要求 3 所述的一种半浮栅功率器件，其特征在于，所述氮化镓阻挡层与氮化镓沟道层之间设有氮化镓铝阻挡层。

5、根据权利要求 3 或 4 所述的一种半浮栅功率器件，其特征在于，所述浮栅向所述源极一侧延伸并超出所述栅介质层与所述氮化镓铝隔离层连接。

6、根据权利要求 3 或 4 所述的一种半浮栅功率器件，其特征在于，所述浮栅向所述源极一侧延伸并超出所述栅介质层和氮化镓铝隔离层与氮化镓沟道层连接。

7、根据权利要求 3 或 4 所述的一种半浮栅功率器件，其特征在于，所述浮栅通过所述栅介质层和氮化镓铝隔离层中的第一开孔与所述氮化镓沟道层连

接。

8、根据权利要求 7 所述的一种半浮栅功率器件，其特征在于，在所述氮化镓沟道层内设有第一凹槽，该第一凹槽位于所述第一开孔下方且该第一凹槽的底部位于所述氮化镓沟道层的任意深度内或者延伸至所述氮化镓沟道层的底部，所述浮栅填满所述第一凹槽。

9、根据权利要求 8 所述的一种半浮栅功率器件，其特征在于，所述氮化镓铝隔离层中设有第二开孔，所述第二开孔下方的氮化镓沟道层内设有第二凹槽，所述第二凹槽靠近所述漏极一侧且其深度与所述第一凹槽的深度相同，所述栅介质层覆盖所述第二凹槽的内表面，所述浮栅填满所述第一凹槽。

10、根据权利要求 3 所述的一种半浮栅功率器件，其特征在于，所述浮栅的材质为铬、或者含镍或含钨的合金、或者掺杂的多晶硅；所述层间介质层为氧化硅、氮化硅、氮氧化硅中的一种或几种；所述控制栅为多晶硅控制栅或者金属控制栅。

11、如权利要求 9 所述的半浮栅功率器件的制造方法，包括在提供的半导体基底上依次形成氮化镓阻挡层、氮化镓沟道层和氮化镓铝隔离层；

其特征在于还包括：

进行光刻和刻蚀，在所述氮化镓沟道层内形成第一凹槽和第二凹槽；

淀积一层栅介质层并进行光刻和刻蚀，在所述栅介质层中形成一个浮栅开口，该浮栅开口将所述第一凹槽暴露出来；

覆盖上述形成的结构淀积第一层导电薄膜；

在所述第一层导电薄膜之上形成第一层绝缘薄膜；

在所述第一层绝缘薄膜之上形成第二层导电薄膜；

进行光刻并依次刻蚀所述第二层导电薄膜、第二层绝缘薄膜和第一层导电薄膜，形成覆盖所述第一凹槽和第二凹槽的浮栅以及位于浮栅之上的层间介质层和控制栅；

在所述控制栅的两侧分别形成于与所述氮化镓铝隔离层或者氮化镓沟道层接触的源极和漏极。

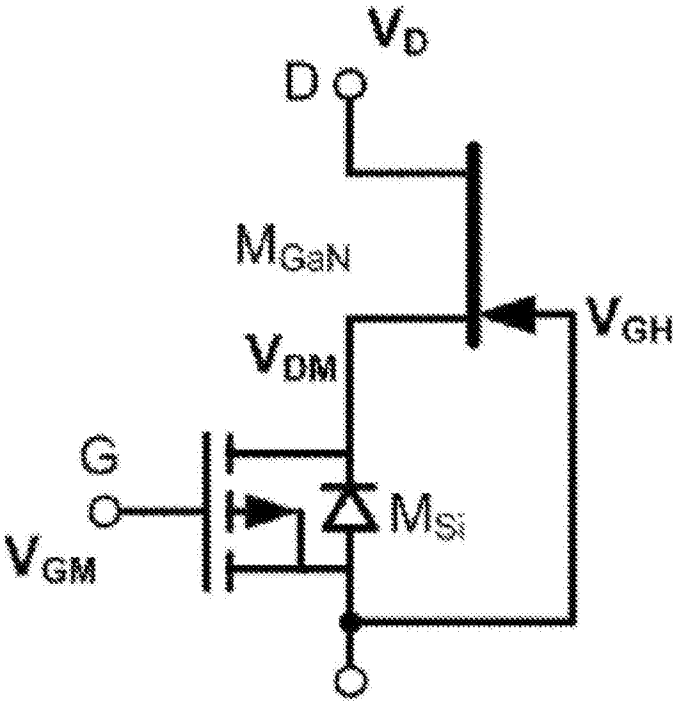


图 1

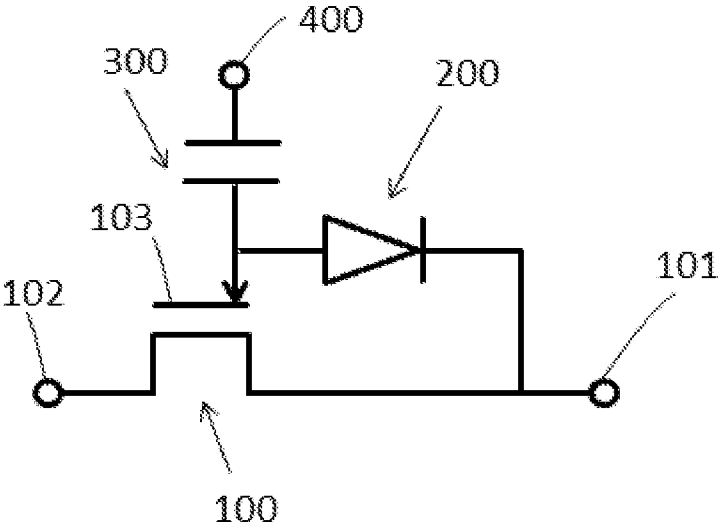


图 2

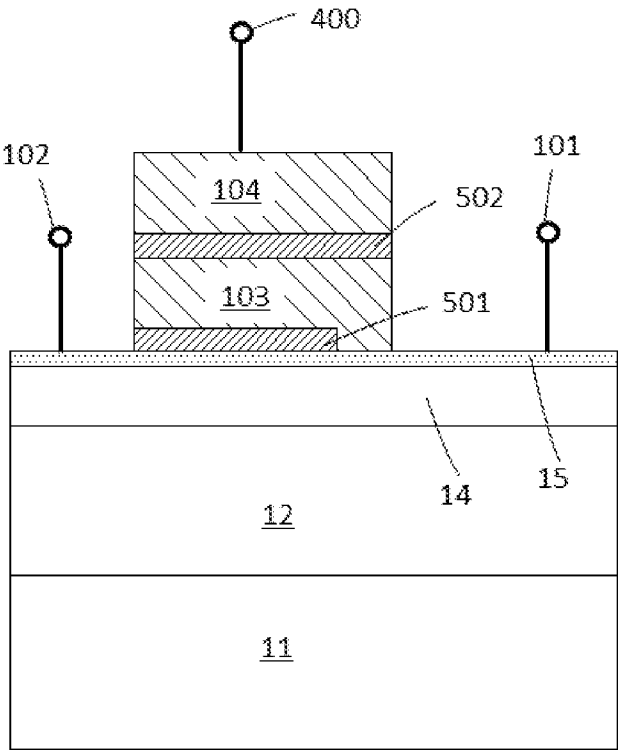


图 3

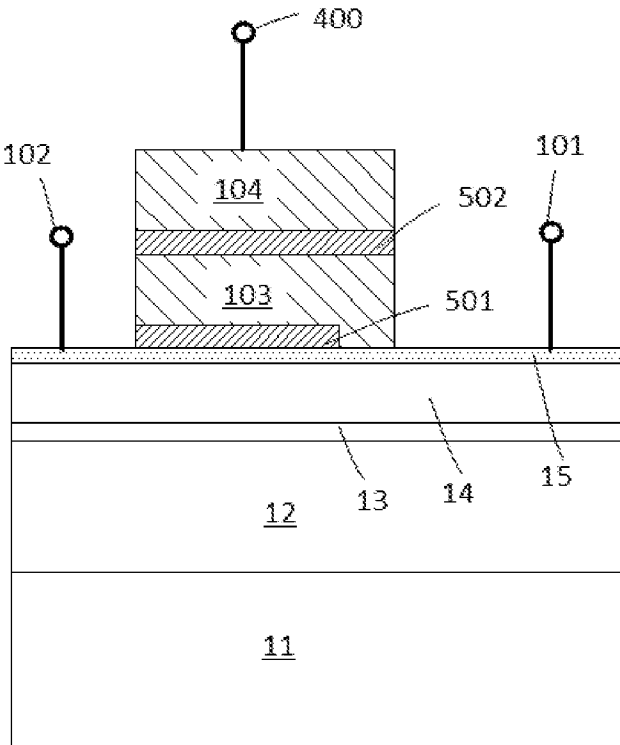


图 4

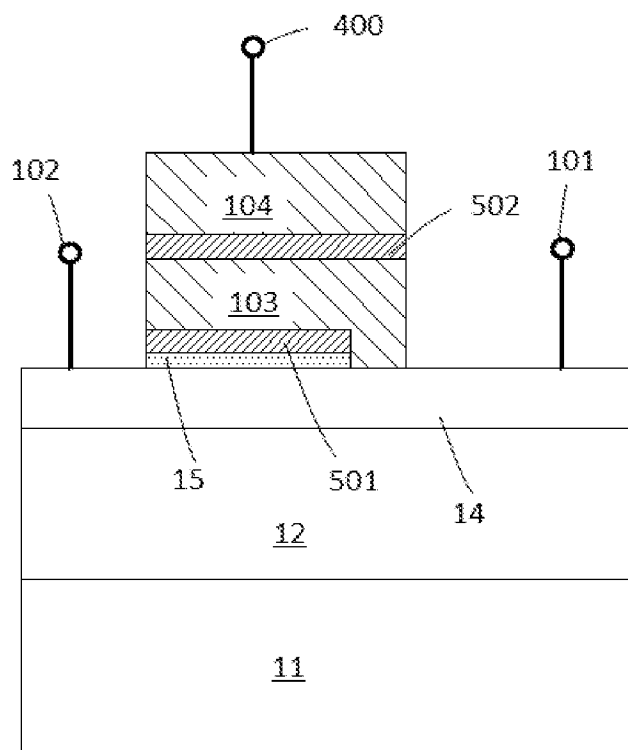


图 5

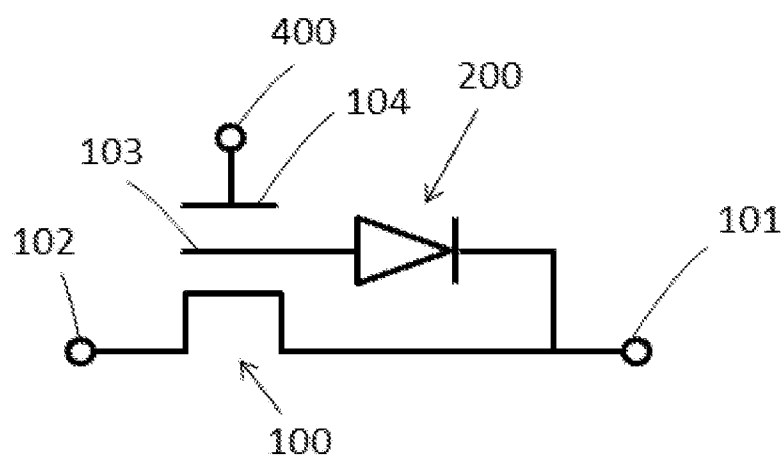


图 6

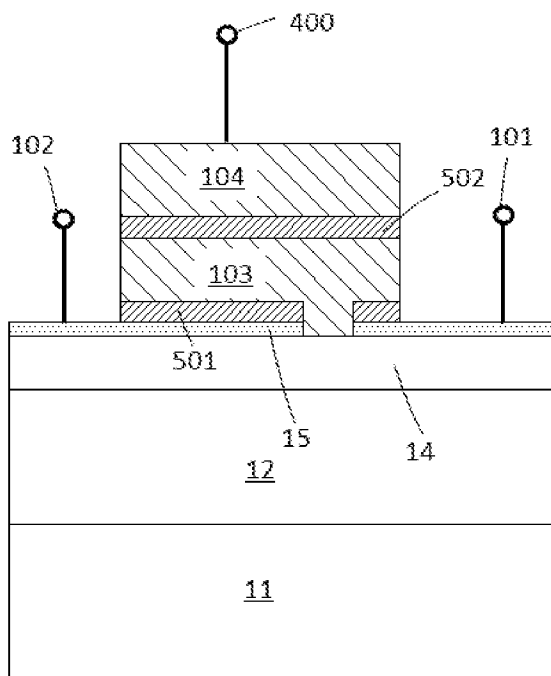


图 7

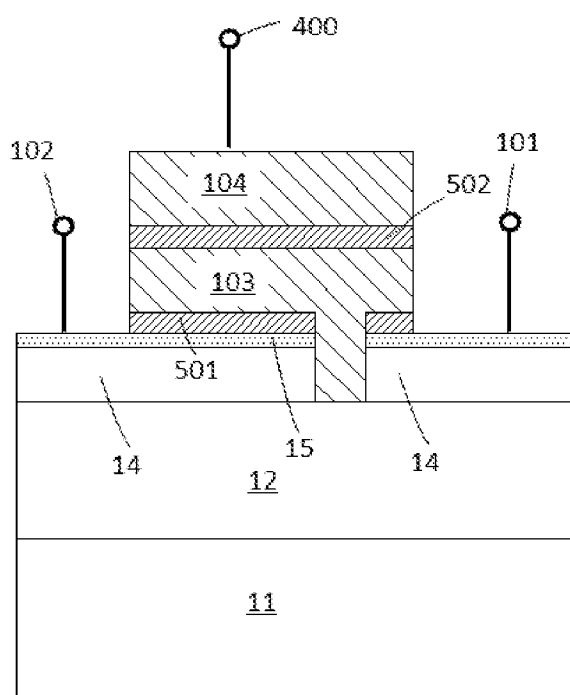


图 8

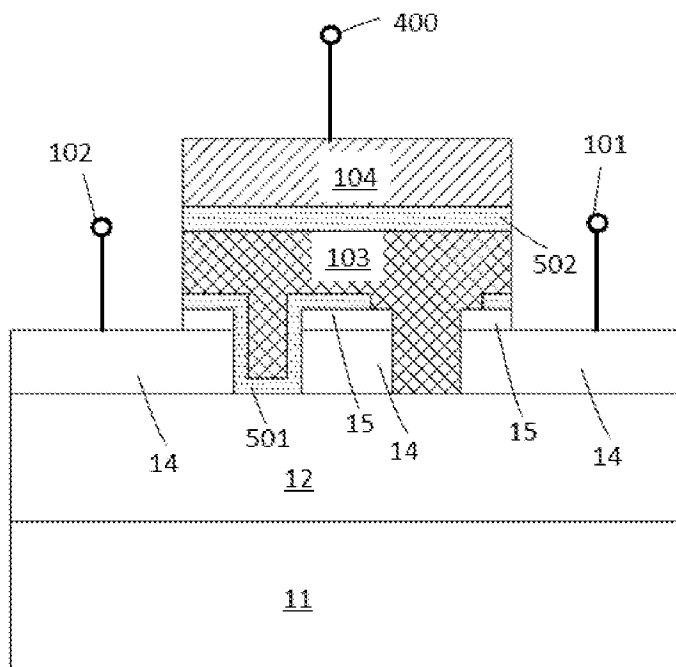


图 9

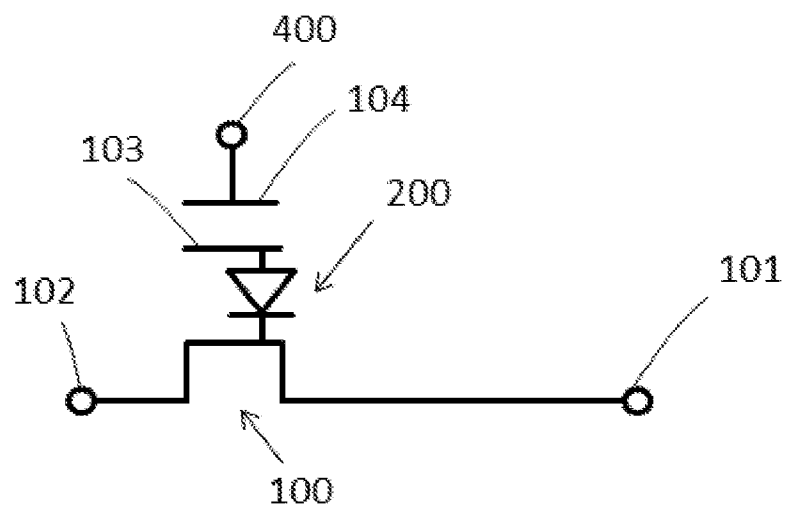


图 10

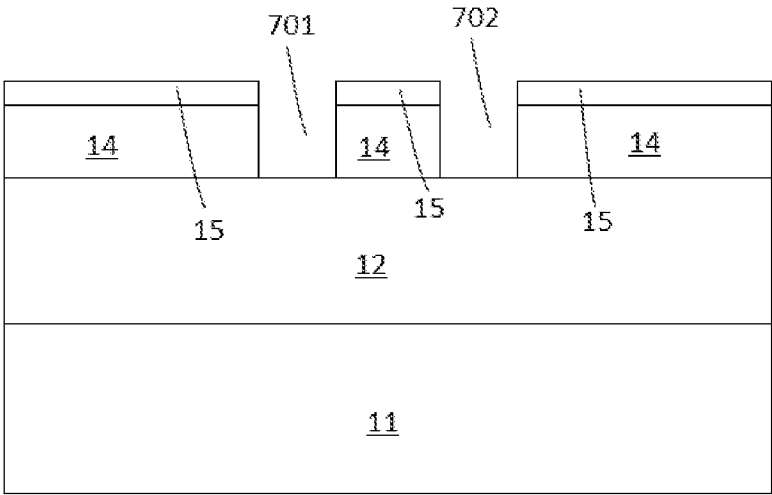


图 11

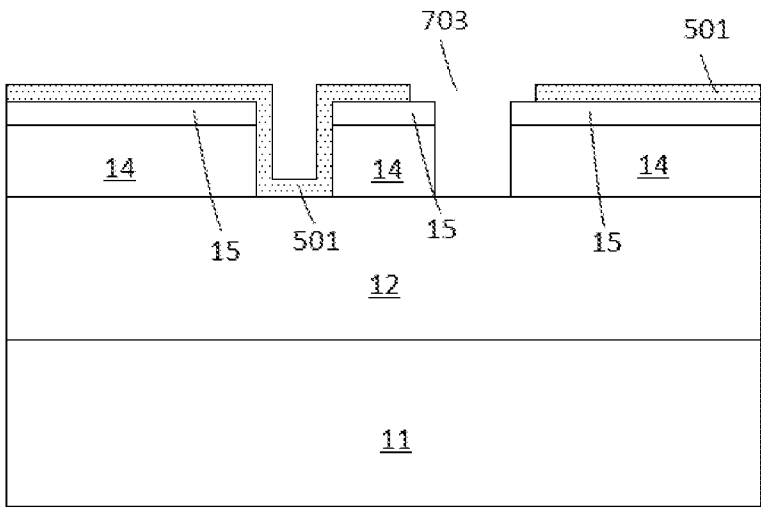


图 12

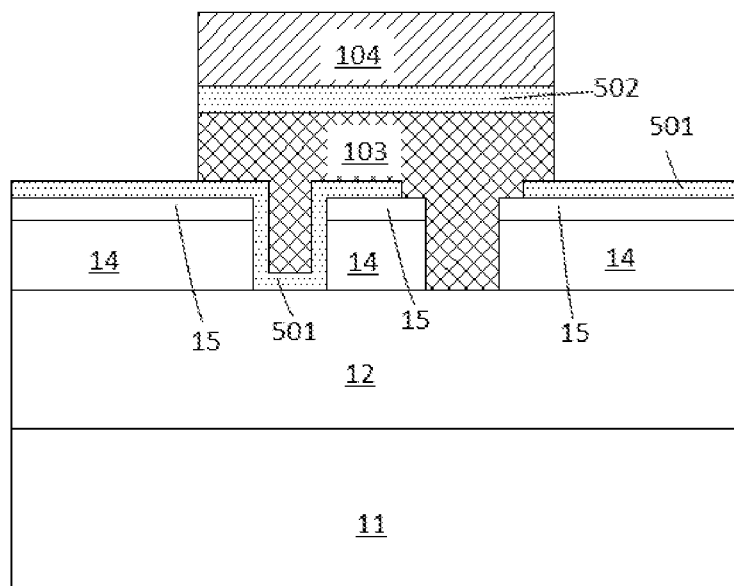


图 13

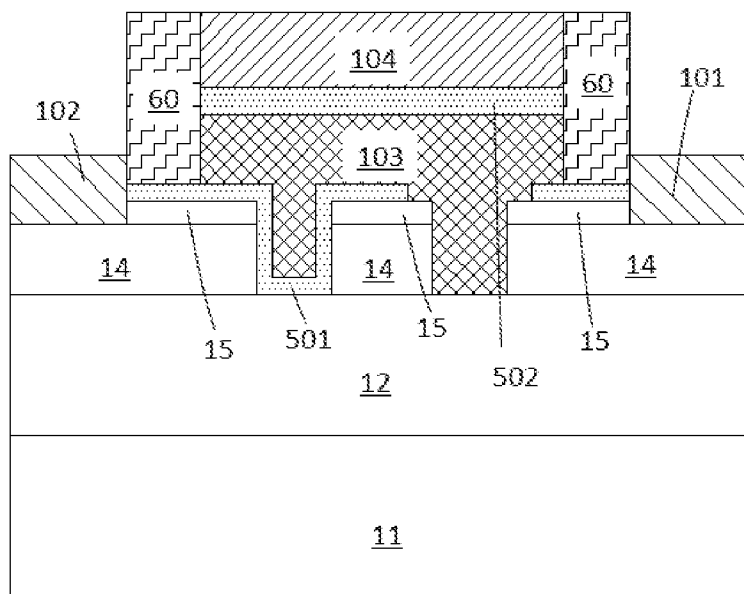


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/077144

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778 (2006.01) i; H01L 29/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX, VEN: semi floating gate, transistor, capacitor, gate, diode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104167450 A (FUDAN UNIVERSITY), 26 November 2014 (26.11.2014), the whole document	1-8
PX	CN 104183651 A (FUDAN UNIVERSITY), 03 December 2014 (03.12.2014), the whole document	9-11
A	CN 103681767 A (SHANGHAI ADVANCED RESEARCH INSTITUTE, CHINESE ACADEMY OF SCIENCES), 26 March 2014 (26.03.2014), description, paragraphs 0066-0096, and figure 4	1-11
A	CN 103594059 A (SHANGHAI ADVANCED RESEARCH INSTITUTE, CHINESE ACADEMY OF SCIENCES), 19 February 2014 (19.02.2014), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 July 2015 (15.07.2015)	Date of mailing of the international search report 29 July 2015 (29.07.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GAO, Mingjie Telephone No.: (86-10) 62411783

International application No.
PCT/CN2015/077144

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2015/077144

A. 主题的分类

H01L 29/778(2006.01)i; H01L 29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, VEN:半浮栅, 晶体管, 电容, 栅, 二极管, semi floating gate, transistor, capacitor, gate, diode

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104167450 A (复旦大学) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-8
PX	CN 104183651 A (复旦大学) 2014年 12月 3日 (2014 - 12 - 03) 全文	9-11
A	CN 103681767 A (中国科学院上海高等研究院) 2014年 3月 26日 (2014 - 03 - 26) 说明书0066-0096段, 附图4	1-11
A	CN 103594059 A (中国科学院上海高等研究院) 2014年 2月 19日 (2014 - 02 - 19) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 7月 15日

国际检索报告邮寄日期

2015年 7月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

高铭洁

电话号码 (86-10)62411783

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/077144

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104167450	A	2014年 11月 26日	无	
CN	104183651	A	2014年 12月 3日	无	
CN	103681767	A	2014年 3月 26日	无	
CN	103594059	A	2014年 2月 19日	无	