



(12) 发明专利申请

(10) 申请公布号 CN 104716171 A

(43) 申请公布日 2015. 06. 17

(21) 申请号 201310674438. 3

(22) 申请日 2013. 12. 11

(71) 申请人 中国科学院微电子研究所

地址 100083 北京市朝阳区北土城西路 3 号

(72) 发明人 朱慧珑 赵治国 张永奎 马小龙

许淼 殷华湘 杨红

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 倪斌

(51) Int. Cl.

H01L 29/423(2006. 01)

H01L 29/10(2006. 01)

H01L 21/336(2006. 01)

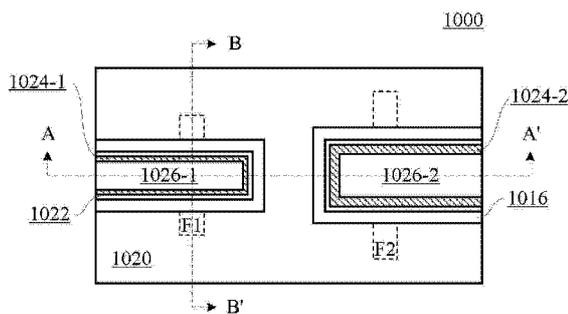
权利要求书2页 说明书6页 附图6页

(54) 发明名称

半导体设置及其制造方法

(57) 摘要

本申请公开了一种半导体设置及其制造方法。一示例半导体设置可以包括:衬底;以及在衬底上形成的第一单元半导体器件和第二单元半导体器件。第一单元半导体器件可以包括第一栅堆叠,第二单元半导体器件可以包括第二栅堆叠。第一栅堆叠可以包括第一功函数调节层,第二栅堆叠可以包括第二功函数调节层。第一栅堆叠的栅长可以小于第二栅堆叠的栅长,且第一功函数调节层的厚度可以小于第二功函数调节层的厚度。



1. 一种半导体设置,包括:  
衬底;以及  
在衬底上形成的第一单元半导体器件和第二单元半导体器件,  
其中,  
第一单元半导体器件包括第一栅堆叠,第二单元半导体器件包括第二栅堆叠,  
第一栅堆叠包括第一功函数调节层,第二栅堆叠包括第二功函数调节层,以及  
第一栅堆叠的栅长小于第二栅堆叠的栅长,且第一功函数调节层的厚度小于第二功函数调节层的厚度。
2. 根据权利要求1所述的半导体设置,其中,第一栅堆叠和第二栅堆叠通过后栅工艺制造。
3. 根据权利要求1所述的半导体设置,其中,对于n型单元半导体器件,功函数调节层包括含Al的金属;对于p型单元半导体器件,功函数调节层包括TiN。
4. 根据权利要求1所述的半导体设置,其中,栅堆叠还包括设于功函数调节层上的金属栅导体。
5. 根据权利要求4所述的半导体设置,其中,金属栅导体包括钨或铝。
6. 根据权利要求1所述的半导体设置,其中,第一单元半导体器件和第二单元半导体器件分别是鳍式场效应晶体管FinFET。
7. 根据权利要求6所述的半导体设置,还包括:在至少一个FinFET的鳍与该FinFET的栅堆叠相交的部分下方形成的穿通阻挡部。
8. 一种制造半导体设置的方法,包括:  
在衬底上形成第一单元半导体器件和第二单元半导体器件,  
其中,  
第一单元半导体器件包括第一栅堆叠,第二单元半导体器件包括第二栅堆叠,  
第一栅堆叠包括第一功函数调节层,第二栅堆叠包括第二功函数调节层,以及  
第一栅堆叠的栅长小于第二栅堆叠的栅长,且第一功函数调节层的厚度小于第二功函数调节层的厚度。
9. 根据权利要求8所述的方法,其中,利用后栅工艺,形成第一单元半导体器件和第二单元半导体器件。
10. 根据权利要求9所述的方法,其中,形成第一单元半导体器件和第二单元半导体器件包括:  
在衬底上分别形成第一牺牲栅堆叠和第二牺牲栅堆叠,其中第一牺牲栅堆叠的栅长对应于第一栅堆叠的栅长,第二牺牲栅堆叠的栅长对应于第二栅堆叠的栅长;  
分别在第一牺牲栅堆叠和第二牺牲栅堆叠的侧壁上形成第一栅侧墙和第二栅侧墙;  
以形成的牺牲栅堆叠和牺牲栅侧墙为掩模,形成源/漏区;  
在衬底上形成层间电介质层,并对其平坦化,以露出牺牲栅堆叠;  
选择性去除第一牺牲栅堆叠和第二牺牲栅堆叠,以分别在第一栅侧墙和第二栅侧墙内侧形成第一栅槽和第二栅槽;以及  
分别在第一栅槽和第二栅槽内形成第一栅堆叠和第二栅堆叠。
11. 根据权利要求10所述的方法,其中,通过同一淀积处理,分别在第一栅槽和第二栅

槽内形成厚度不同的第一功函数调节层和第二功函数调节层。

12. 根据权利要求 10 所述的方法,其中,

第一单元半导体器件和第二单元半导体器件分别是鳍式场效应晶体管 FinFET;

形成第一单元半导体器件和第二单元半导体器件包括:在衬底上分别形成第一鳍和第二鳍;以及

第一牺牲栅堆叠形成为与第一鳍相交,第二牺牲栅堆叠形成为与第二鳍相交。

13. 根据权利要求 12 所述的方法,还包括:在形成第一鳍和第二鳍之后,进行离子注入,以至少在第一鳍和第二鳍之一的下方形成穿通阻挡部。

## 半导体设置及其制造方法

### 技术领域

[0001] 本公开涉及半导体领域,更具体地,涉及能够通过调节功函数来改善短沟道效应的半导体设置及其制造方法。

### 背景技术

[0002] 随着半导体器件的不断小型化,短沟道效应越来越明显。特别是,当栅长小于 25nm 时,短沟道效应愈加难以控制。

[0003] 另一方面,随着器件的小型化,高 K 栅介质 / 金属栅配置代替传统的 SiO<sub>2</sub> / 多晶硅栅配置。与之相适应,后栅 (gate last) 工艺正逐渐替代先栅 (gate first) 工艺。

### 发明内容

[0004] 本公开的目的至少部分地在于提供一种半导体设置及其制造方法,其中可以通过调节栅堆叠的等效功函数来改善短沟道效应。

[0005] 根据本公开的一个方面,提供了一种半导体设置,包括:衬底;以及在衬底上形成的第一单元半导体器件和第二单元半导体器件。第一单元半导体器件可以包括第一栅堆叠,第二单元半导体器件可以包括第二栅堆叠。第一栅堆叠可以包括第一功函数调节层,第二栅堆叠可以包括第二功函数调节层。第一栅堆叠的栅长可以小于第二栅堆叠的栅长,且第一功函数调节层的厚度可以小于第二功函数调节层的厚度。

[0006] 根据本公开的另一方面,提供了一种制造半导体设置的方法,包括:在衬底上形成第一单元半导体器件和第二单元半导体器件。第一单元半导体器件可以包括第一栅堆叠,第二单元半导体器件可以包括第二栅堆叠。第一栅堆叠可以包括第一功函数调节层,第二栅堆叠可以包括第二功函数调节层。第一栅堆叠的栅长可以小于第二栅堆叠的栅长,且第一功函数调节层的厚度可以小于第二功函数调节层的厚度。

[0007] 根据本公开的实施例,对于不同栅长的栅堆叠,可以采用不同厚度的功函数调节层(且因此栅堆叠的等效功函数不同)。例如,栅长越长,功函数调节层可以越厚。这导致了逆短沟道效应,从而可以至少部分地抑制短沟道效应。在后栅工艺中,功函数调节层的厚度改变可以通过栅槽本身的大小不同来实现,从而无需额外的复杂处理。

### 附图说明

[0008] 通过以下参照附图对本公开实施例的描述,本公开的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0009] 图 1-11 是示出了根据本公开实施例的制造半导体设置流程中的部分阶段的示意图。

### 具体实施方式

[0010] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性

的,而非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0011] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0012] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0013] 根据本公开的实施例,提供了一种半导体设置。该半导体设置可以包括多个单元半导体器件,例如晶体管。这些单元半导体器件可以包括平面型器件如金属氧化物半导体场效应晶体管(MOSFET),或立体型器件如鳍式场效应晶体管(FinFET)。半导体设置中的单元半导体器件不限于相同类型,例如一部分单元半导体器件可以是平面型器件,而另一部分单元半导体器件可以是立体型器件。各单元半导体器件可以包括高K栅介质/金属栅配置。金属栅例如可以包括功函数调节层和金属栅导体层的叠层。在这种情况下,这些单元半导体器件可以通过后栅工艺来制造。

[0014] 在这多个单元半导体器件中,至少一部分单元半导体器件,如第一和第二(或更多)单元半导体器件,可以具有不同的栅长(以实现例如不同的驱动能力)。根据本公开的实施例,对于具有不同栅长的单元半导体器件,它们的功函数调节层的厚度可以不同。例如,在第一单元半导体器件的栅长小于第二单元半导体器件的栅长的情况下,第一单元半导体器件的功函数调节层的厚度可以小于第二单元半导体器件的功函数调节层的厚度。这样的配置可以导致逆短沟道效应(reverse short channel effect),从而可以至少部分地抵消短沟道效应的影响。这种配置在后栅工艺中能够容易地实现。具体地,在后栅工艺中,功函数调节层的厚度可以取决于栅长的大小,如以下详细所述。

[0015] 根据本公开的实施例,还提供了一种制造半导体设置的方法。该方法可以包括在衬底上形成多个单元半导体器件如晶体管。各种制造工艺可以适用。例如,可以在衬底上形成栅堆叠。可以栅堆叠为掩模,进行延伸区(extension)注入以及(可选的)晕圈(halo)注入。在栅堆叠的侧壁上,可以形成栅侧墙(spacer)。然后,可以栅堆叠和栅侧墙为掩模,进行源/漏(S/D)注入,以形成源/漏区。在形成平面型器件如MOSFET的情况下,栅堆叠可以形成于衬底(具体地,有源区,例如由衬底中形成的浅沟槽隔离(STI)限定)的表面上;在形成立体型器件如FinFET的情况下,栅堆叠可以形成为与衬底上形成的鳍相交。

[0016] 根据本公开的实施例,可以利用后栅工艺。在这种情况下,上述栅堆叠可以是牺牲栅堆叠,例如包括牺牲栅介质层和牺牲栅导体层。在利用牺牲栅堆叠通过上述制造工艺形成源/漏区之后,可以进行替代栅处理。例如,可以在衬底上形成层间电介质层,并对其进行平坦化处理,以露出牺牲栅堆叠。然后,可以选择性去除牺牲栅堆叠,以在栅侧墙内侧形成栅槽,随后可以在栅槽中形成真正的栅堆叠,例如高K栅介质/金属栅堆叠。

[0017] 这里需要指出的是,本公开不限于具体的单元半导体器件制造工艺。任何现有的

制造工艺或者将来开发的制造工艺均可以适用。以上对制造工艺的描述,仅仅是为了使得本领域的技术人员能够充分理解本公开。本领域技术人员可以设想去除某些步骤、添加附加的步骤和 / 或交换某些步骤的顺序。

[0018] 根据本公开的实施例,在形成栅堆叠时(在后栅工艺的情况下,在向栅槽中填充真正的栅堆叠时),根据不同的栅长来形成不同厚度的功函数调节层。例如,栅长越小,功函数调节层的厚度可以越薄。这在后栅工艺的情况下是特别有利的。因为在后栅工艺的情况下,栅长越小,去除牺牲栅堆叠之后得到的栅槽就越小,向其中填充材料就越困难,因此在大致同等的条件下,在其中形成的材料层的厚度可以越薄。于是,可以单个淀积步骤,可以在不同大小的栅槽中形成不同厚度的功函数调节层。

[0019] 本公开可以各种形式呈现,以下将描述其中一些示例。

[0020] 图 11(图 11(a) 示出了俯视图,图 11(b) 示出了沿图 11(a) 中 AA' 的截面图,图 11(c) 示出了沿图 11(a) 中 BB' 的截面图) 示出了根据本公开实施例的半导体设置 1000。该半导体设置 1000 可以包括多个单元半导体器件,图 11 中示出了其中的两个。在图 11 所示的示例中,单元半导体器件包括 FinFET,它们分别包括各自的鳍(F1 ;F2) 以及与鳍相交的栅堆叠(1022,1024-1,1026-1;1022,11024-2,1026-2)。栅堆叠可以包括高 K 栅介质(1022)、设于高 K 栅介质上的功函数调节层(1024-1 ;1024-2) 以及设于功函数调节层上的金属栅导体(1026-1 ;1026-2)。图中左侧器件的栅长(图中表现为垂直方向上的尺度)(例如,约 10-30nm) 小于右侧器件的栅长(例如,约 12-100nm),且左侧器件的功函数调节层(1024-1)(例如,对于 p 型器件约 0.3-5nm,对于 n 型器件约 0.1-5nm) 薄于右侧器件的功函数调节层(1024-2)(例如,对于 p 型器件约 0.5-5nm,对于 n 型器件约 0.2-5nm)。

[0021] 这种半导体设置例如可以通过如下方法来制造。

[0022] 如图 1 所示,提供衬底 1002。衬底 1002 可以是各种形式的合适衬底,例如体半导体衬底如 Si、Ge 等,化合物半导体衬底如 SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb 等,绝缘体上半导体衬底(SOI) 等。在此,以体硅衬底及硅系材料为例进行描述。但是需要指出的是,本公开不限于此。

[0023] 根据本公开的一些示例,可以在衬底 1002 中形成阱区 1004。例如,对于 p 型器件,可以形成 n 型阱区;而对于 n 型器件,可以形成 p 型阱区。例如,n 型阱区可以通过在衬底 1000 中注入 n 型杂质如 P 或 As 来形成,p 型阱区可以通过在衬底 1000 中注入 p 型杂质如 B 来形成。如果需要,在注入之后还可以进行退火。本领域技术人员能够想到多种方式来形成 n 型阱、p 型阱,在此不再赘述。

[0024] 接下来,可以对衬底 1002 进行构图,以形成鳍状结构。例如,这可以如下进行。具体地,在衬底 1002 上按设计形成构图的光刻胶 1006。通常,光刻胶 1006 被构图为一系列平行的等间距线条。然后,如图 2 所示,以构图的光刻胶 1006 为掩模,对衬底 1002 进行刻蚀如反应离子刻蚀(RIE),从而形成鳍状结构 F1 和 F2。在此,对衬底 1002 的刻蚀可以进行到阱区 1004 中。之后,可以去除光刻胶 1006。

[0025] 这里需要指出的是,通过刻蚀所形成的(鳍状结构 F1、F2 之间的)沟槽的形状不一定是图 2 中所示的规则矩形形状,可以是例如从上到下逐渐变小的锥台形。另外,所形成的鳍状结构的位置和数目不限于图 2 所示的示例。

[0026] 另外,鳍状结构不限于通过直接对衬底进行构图来形成。例如,可以在衬底上外延

生长另外的半导体层,对该另外的半导体层进行构图来形成鳍状结构。如果该另外的半导体层与衬底之间具有足够的刻蚀选择性,则在对鳍状结构进行构图时,可以使构图基本上停止于衬底,从而实现了对鳍状结构高度的较精确控制。

[0027] 因此,在本公开中,表述“在衬底上形成鳍或鳍状结构”包括以任何适当的方式在衬底上形成鳍或鳍状结构,表述“在衬底上形成的鳍或鳍状结构”包括以任何适当的方式在衬底上形成的任何适当鳍或鳍状结构。

[0028] 在通过上述处理形成鳍状结构之后,可以在衬底上形成隔离层。例如,如图 3 所示,可以在衬底上例如通过淀积形成电介质层(例如,可以包括氧化物如氧化硅),然后对淀积的电介质层进行回蚀,来形成隔离层 1008。通常,淀积的电介质层可以完全覆盖鳍状结构 F1、F2,并且在回蚀之前可以对淀积的电介质进行平坦化处理如化学机械抛光(CMP)。

[0029] 在该实施例中,鳍状结构 F1、F2 被隔离层 1008 露出的部分随后充当各单元半导体器件的真正鳍。

[0030] 这里需要指出的是,在图 3 的示例中,将隔离层 1008 的顶面示出为高于阱区 1004 的顶面(在这种情况下,可以如下所述形成穿通阻挡部)。但是,本公开不限于此。例如,隔离层 1008 的顶面可以稍稍低于阱区 1004 的顶面(在这种情况下,甚至可以省略下述穿通阻挡部)。

[0031] 另外还需要指出的是,这种隔离层并不是必须的,特别是在衬底为 SOI 衬底的情况下。

[0032] 为改善器件性能,特别是降低源漏泄漏,根据本公开的一示例,如图 4 中的箭头所示,通过离子注入来形成穿通阻挡部(PTS) 1010。例如,对于 n 型器件而言,可以注入 p 型杂质,如 B、BF<sub>2</sub> 或 In;对于 p 型器件,可以注入 n 型杂质,如 As 或 P。离子注入可以垂直于衬底表面。控制离子注入的参数,使得 PTS 形成于鳍状结构 F1、F2 位于隔离层 1008 表面之下(即,各器件的真正鳍之下)的部分中,并且具有期望的掺杂浓度,例如约 5E17-2E19cm<sup>-3</sup>,并且掺杂浓度可以高于衬底中阱区 1004 的掺杂浓度。应当注意,由于鳍状结构 1004 的形状因子(细长形),一部分掺杂剂(离子或元素)可能从鳍状结构的露出部分散射出去,从而有利于在深度方向上形成陡峭的掺杂分布。可以进行退火如尖峰退火、激光退火和/或快速退火,以激活注入的掺杂剂。这种 PTS 有助于减小源漏泄漏。

[0033] 随后,可以在隔离层 1008 上形成与鳍相交的栅堆叠。例如,这可以如下进行。具体地,如图 5(图 5(a) 示出了与之前的附图相同的截面,图 5(b) 示出了俯视图,其中图 5(a) 是沿图 5(b) 中 AA' 的截面图)所示,例如通过淀积,形成牺牲栅介质层 1012。例如,牺牲栅介质层 1012 可以包括氧化物,厚度为约 0.8-1.5nm。在图 5 所示的示例中,仅示出了“U”形的牺牲栅介质层 1012。但是,牺牲栅介质层 1012 也可以包括在隔离层 1008 的顶面上延伸的部分。然后,例如通过淀积,形成牺牲栅导体层。牺牲栅导体层可以包括多晶硅。牺牲栅导体层可以填充鳍之间的间隙,并可以进行平坦化处理例如 CMP。

[0034] 如图 5(b) 所示,可以根据设计布局,将牺牲栅导体层构图例如 RIE 为针对不同器件的两个部分 1014-1 和 1014-2。在图 5 的示例中,牺牲栅导体层被构图为与鳍状结构相交的条形。根据另一实施例,还可以构图后的牺牲栅导体层为掩模,进一步对牺牲栅介质层 1012 进行构图(以去除牺牲栅介质层 1012 被牺牲栅导体层露出的部分)。如图 5(b) 所示,牺牲栅导体层 1014-1 和 1014-2 具有不同的宽度(图中垂直方向上的尺寸),对应于不

同的栅长。

[0035] 这里需要指出的是,在图 5 的示例中,仅为了图示的方便,将具有不同栅长的牺牲栅堆叠(包括牺牲栅介质层和牺牲栅导体层 1014-1 和 1014-2)示出为相对设置。但是,本公开不限于此。它们的布局可以根据设计而定,并且还可以形成更多具有相同或不同栅长的牺牲栅堆叠。

[0036] 在形成构图的牺牲栅导体之后,例如可以牺牲栅导体为掩模,进行晕圈(halo)注入和延伸区(extension)注入。

[0037] 接下来,如图 6(图 6(a) 示出了俯视图,图 6(b) 示出了沿图 6(a) 中 BB' 的截面图)所示,可以在栅导体层 1014-1 和 1014-2 的侧壁上形成栅侧墙 1016。例如,可以通过淀积形成厚度约为 5-20nm 的氮化物(如氮化硅),然后对氮化物进行 RIE,来形成栅侧墙 1016。本领域技术人员知道多种方式来形成这种侧墙,在此不再赘述。由于尺寸关系(例如,牺牲栅导体层 1014-1 和 1014-2 比鳍状结构 F1、F2 高出较多)以及形状因素(例如,鳍状结构 F1、F2 之间的沟槽为从上到下逐渐变小的锥台形),栅侧墙 1016 基本上可以不形成于鳍状结构 F1、F2 露出的侧壁上。

[0038] 这里需要指出的是,在图 6(b) 中,为了图示的方便,将侧墙 1016 示出为其顶面与牺牲栅导体层 1014-1 的顶面持平。但是,本公开不限于此。例如,侧墙 1016 的顶面可以低于牺牲栅导体层 1014-1 的顶面。

[0039] 在形成栅侧墙之后,如图 7(图 7(a) 示出了沿图 6(a) 中 A1A1' 线的截面图,图 7(b) 示出了沿图 6(a) 中 BB' 线的截面图)所示,可以牺牲栅导体及栅侧墙为掩模,进行源/漏(S/D)注入。在此,如图 7(a) 中的箭头所示,可以进行倾斜(angular)注入。对于 p 型器件,可以注入 p 型杂质,如 B、BF<sub>2</sub> 或 In;对于 n 型器件,可以注入 n 型杂质,如 As 或 P。随后,可以通过退火,激活注入的离子,以形成源/漏区 1018。如图 7(b) 所示,由于牺牲栅堆叠的存在,鳍状结构 F1 与栅堆叠相交部分(沟道区将在其中形成)基本上不会受到 S/D 注入的影响(F2 同样如此)。

[0040] 由于 S/D 注入与 PTS 的杂质类型相反,S/D 注入可以对源/漏区 1018 下方的 PTS 进行补偿,例如将 PTS 中的掺杂剂浓度降低到约  $5E16-1E19cm^{-3}$ 。从而,PTS 大体上位于沟道区下方。尽管附图中仍然示出了源/漏区 1018 下方经补偿后的 PTS,但是在实际中可以认为 PTS 已经不存在于源/漏区 1018 下方。这种补偿可以改善器件性能,特别是降低源/漏区与衬底之间的结电容。

[0041] 随后,如图 8 所示,例如通过淀积,形成层间电介质层 1020。层间电介质层 1020 例如可以包括氧化物。随后,对层间电介质层 1020 进行平坦化处理例如 CMP。该 CMP 可以停止于栅侧墙 1016,从而露出牺牲栅堆叠(具体地,露出牺牲栅导体层 1014-1 和 1014-2)。在图 8 中,为了图示的方便,仅示出了位于栅侧墙 1016 以及牺牲栅导体 1014-1 下方的牺牲栅介质层。

[0042] 接着,如图 9 所示,可以通过选择性刻蚀如 RIE,选择性去除牺牲栅导体层 1014-1(牺牲栅导体层 1014-2 同样如此)。于是,在栅侧墙 1016 内侧形成栅槽 T。

[0043] 随后,可以在栅槽 T 内填充真正的栅堆叠。例如,如图 10(图 10(a) 示出了俯视图,图 10(b) 示出了沿图 10(a) 中 AA' 的截面图,图 10(c) 示出了沿图 10(a) 中 BB' 的截面图)所示,可以在图 9 所示的结构上,例如通过淀积,依次形成栅介质层 1022 和功函数

调节层 (1024-1, 1024-2)。例如, 栅介质层 1022 可以包括高 K 栅介质如  $\text{HfO}_2$  等, 厚度为约 1-3nm; 功函数调节层可以包括 (对于 n 型器件) 含 Al 的金属 (或者 Al 合金) 如 TiAl (厚度为约 0.2-3nm)、(对于 p 型器件) TiN (厚度为约 1-3nm) 等。对于 n 型器件, 还可以形成 TiN (厚度为约 1-3nm)、TaN (厚度为约 1-5nm) 等附加层 (例如, 设于高 K 栅介质层和功函数调节层之间)。本领域技术人员可以设想多种高 K 栅介质 / 金属栅配置。

[0044] 功函数调节层例如可以通过物理气相淀积 (PVD) (例如, 淀积约 0.5-5nm 厚) 或者原子层淀积 (ALD) (例如, 淀积约 0.5-3nm 厚) 和 PVD (例如, 淀积约 0.1-5nm 厚) 的混合方法来形成。对于图中左侧的器件, 其栅长较小, 相应地功函数调节层 1024-1 形成得相对较薄; 对于图中右侧的器件, 其栅长较大, 相应地功函数调节层 1024-2 形成得相对较薄。这种厚度不同的功函数调节层可以通过栅槽 T 本身的大小来实现。具体地, 对于图中左侧的器件, 其栅长较小, 相应地栅槽较小 (例如, 宽度较小); 而对于图中右侧的器件, 其栅长较大, 相应地栅槽较大 (例如, 宽度较大)。由于器件本身的尺度较小, 例如在纳米量级 (例如, 栅长小于 25nm), 因此栅槽本身的大小将影响材料向其中的淀积特性。栅槽尺寸越小, 则材料向其中的淀积越困难, 从而在大致同等的条件下, 在其中形成的材料层的厚度越薄。于是, 可以通过单个淀积步骤, 在不同大小的栅槽中形成不同厚度的功函数调节层。此现象可以用于控制短沟道效应, 改善器件性能。

[0045] 这里需要指出的是, 在图 10 中, 仅为了图示的方便, 并没有示出淀积的栅介质层 1022 和功函数调节层 (1024-1, 1024-2) 在栅槽 T 外的延伸部分。栅槽 T 外的部分可以在随后的处理例如平坦化处理中去除。

[0046] 之后, 可以如图 11 所示, 可以进一步在栅槽中形成栅导体层 1026-1 和 1026-2。栅导体层例如包括金属如 W 或 Al 等, 并可以充满栅槽 T 内的空间。可以对栅导体层进行平坦化处理如 CMP, 平坦化处理可以栅侧墙 1016 为停止点 (也去除了之前形成的栅介质层和功函数调节层在栅槽 T 外的延伸部分)。另外, 在形成栅导体层之前, 可以先通过例如淀积形成扩散阻挡层 (未示出)。扩散阻挡层可以包括 TiN, 厚度为约 2-5nm。

[0047] 在以上的描述中, 对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解, 可以通过各种技术手段, 来形成所需形状的层、区域等。另外, 为了形成同一结构, 本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外, 尽管在以上分别描述了各实施例, 但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0048] 以上对本公开的实施例进行了描述。但是, 这些实施例仅仅是为了说明的目的, 而非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围, 本领域技术人员可以做出多种替代和修改, 这些替代和修改都应落在本公开的范围之内。

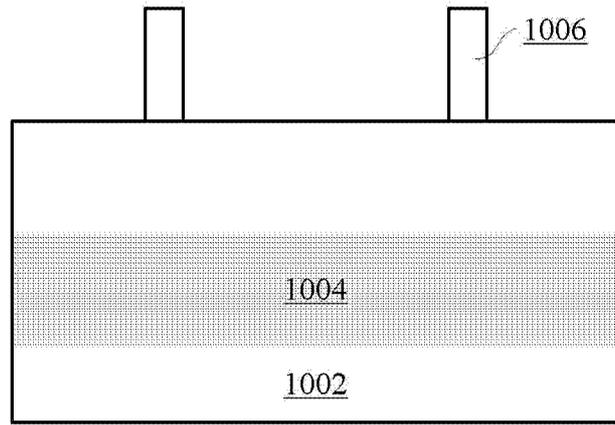


图 1

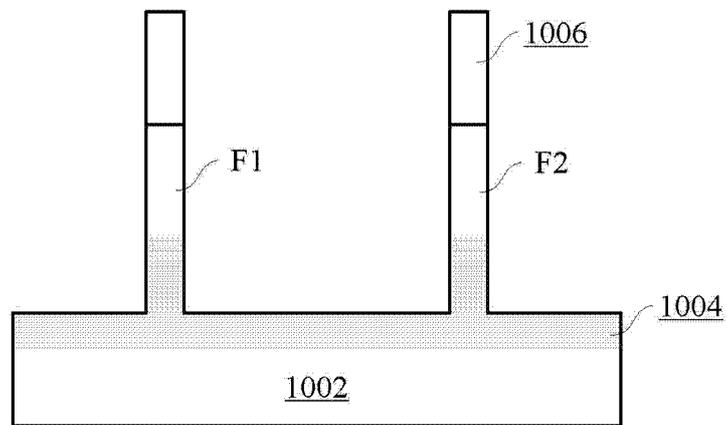


图 2

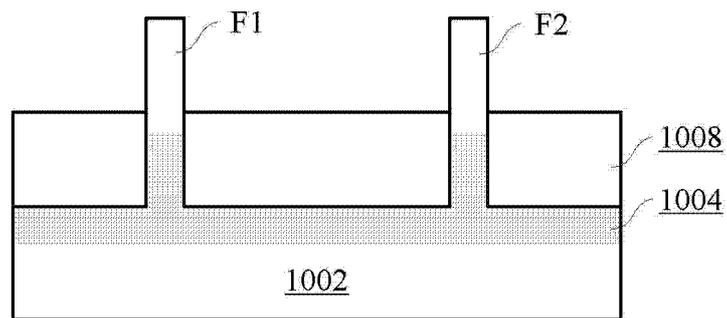


图 3

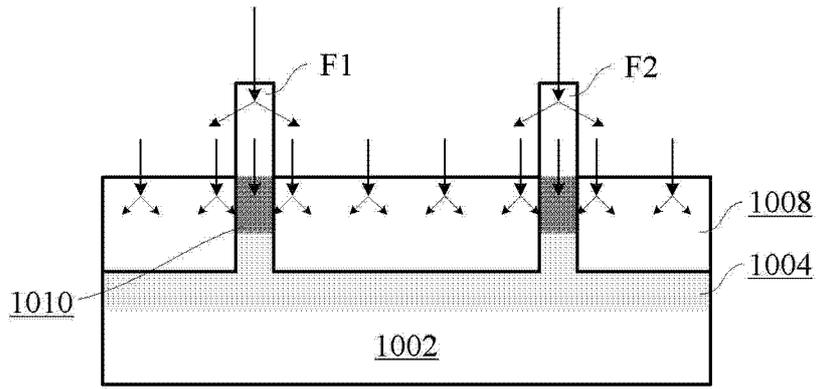


图 4

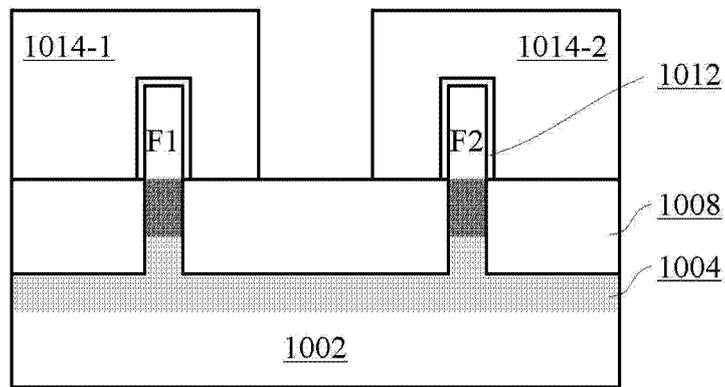


图 5(a)

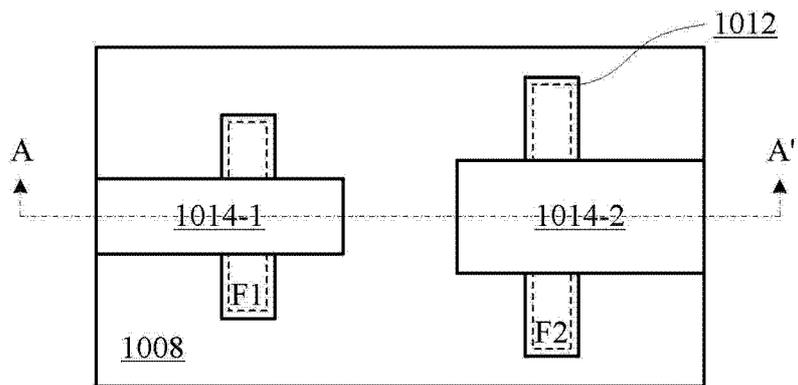


图 5(b)

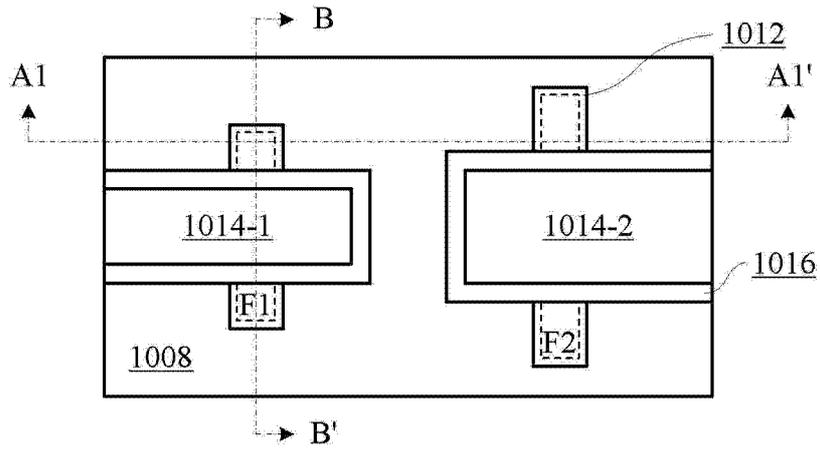


图 6(a)

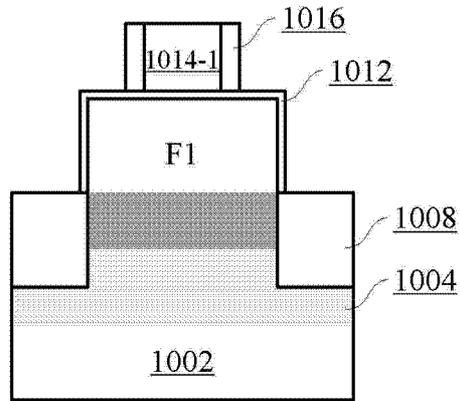


图 6(b)

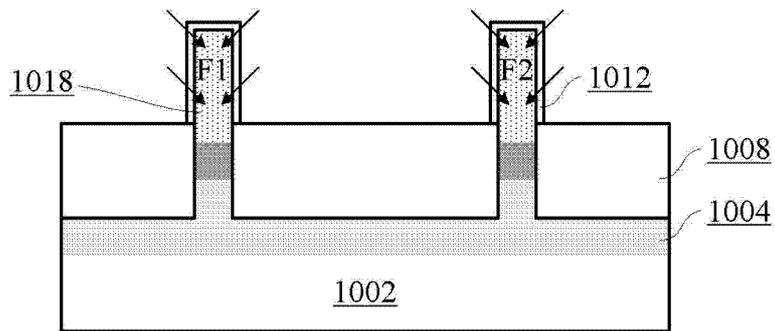


图 7(a)

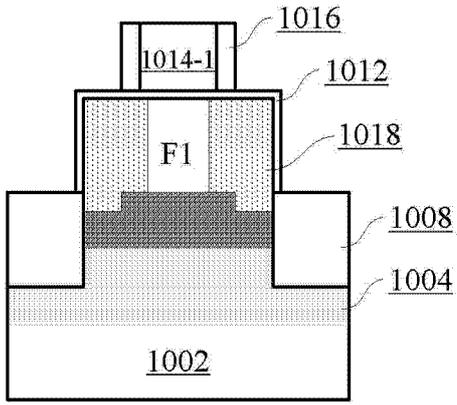


图 7(b)

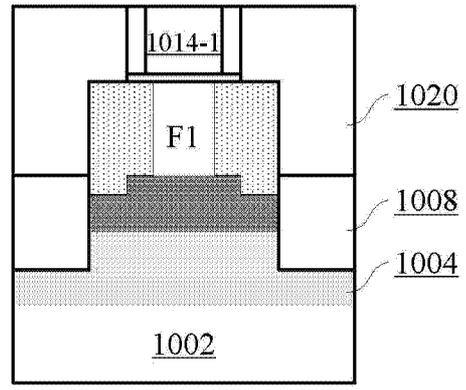


图 8

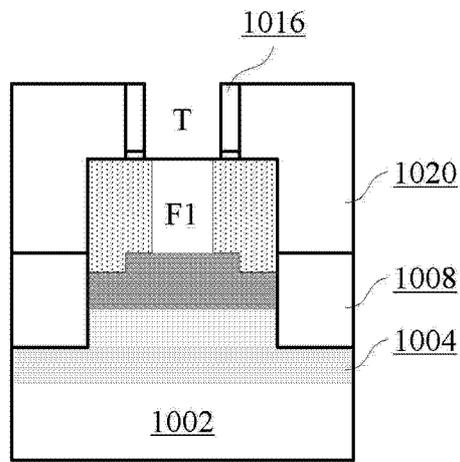


图 9

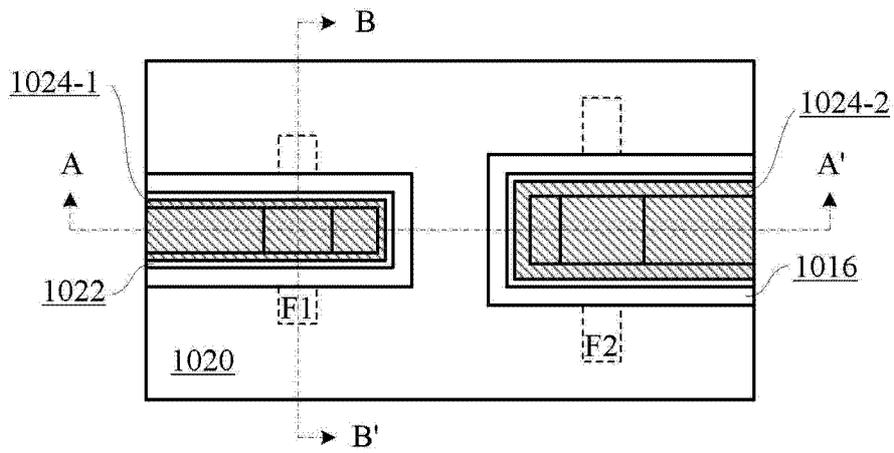


图 10(a)

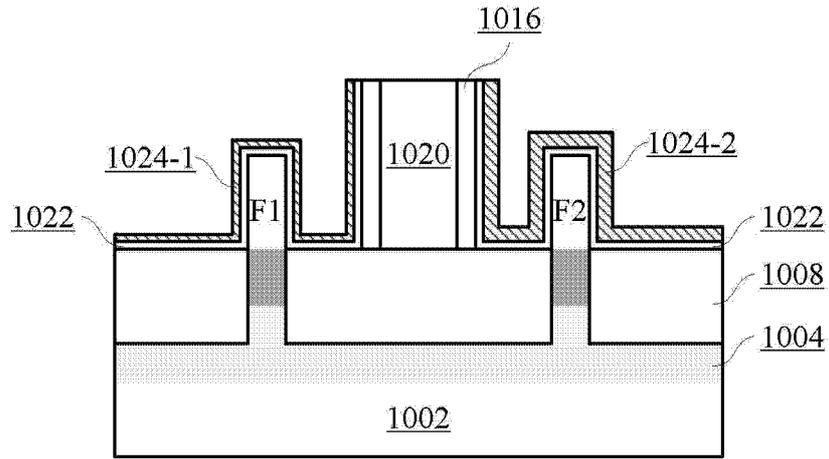


图 10(b)

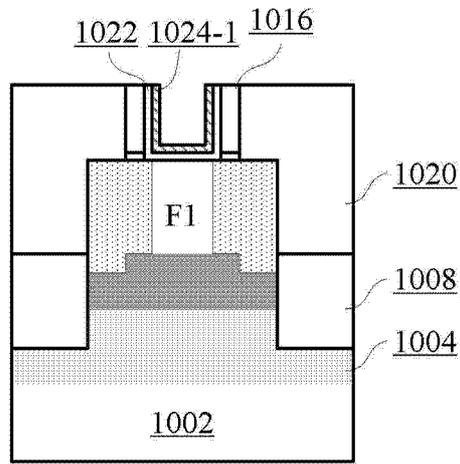


图 10(c)

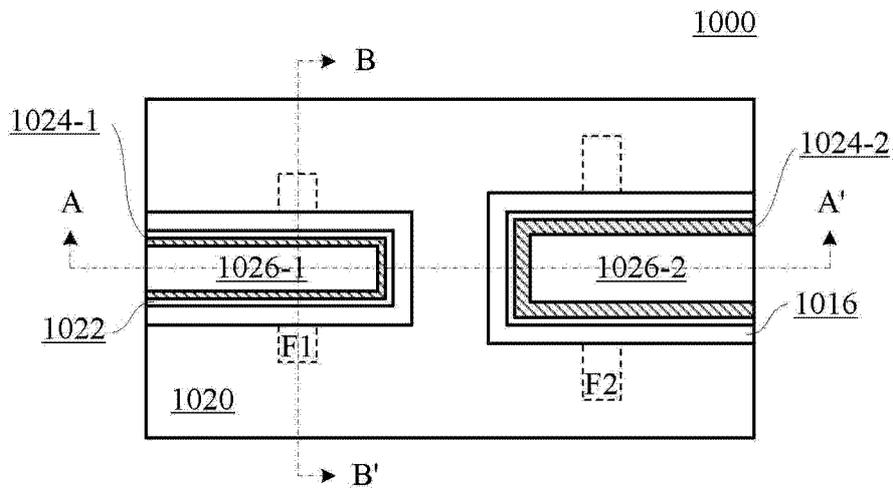


图 11(a)

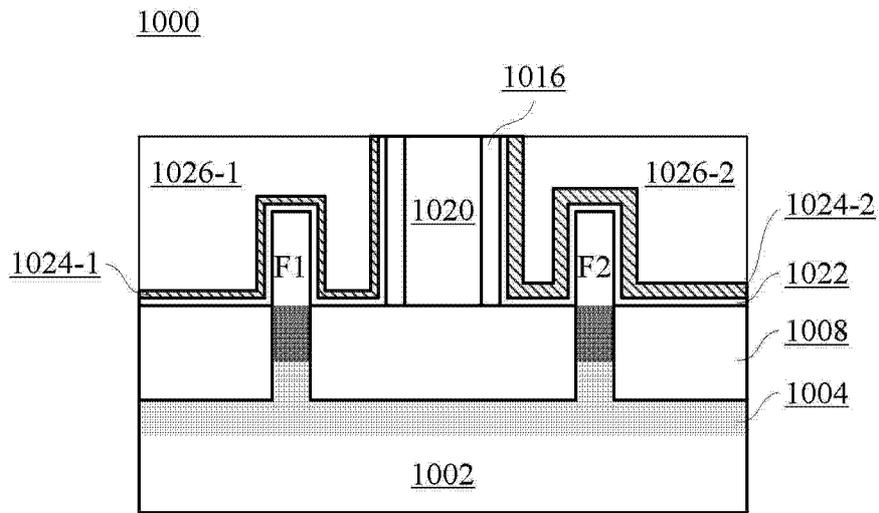


图 11 (b)

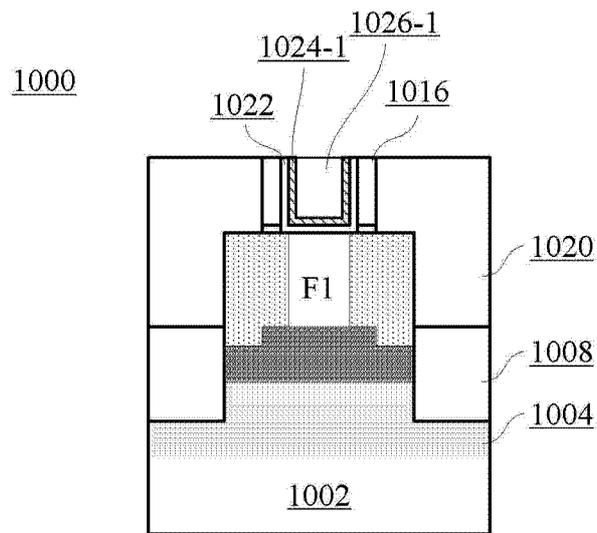


图 11 (c)