

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94136327

※申請日期：94.10.18

※IPC 分類：G11C 19/36, G09G 3/20

一、發明名稱：(中文/英文)

移位暫存器電路及具有移位暫存器電路之影像顯示裝置/SHIFT

REGISTER AND IMAGE DISPLAY APPARATUS CONTAINING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三菱電機股份有限公司/MITSUBISHI DENKI KABUSHIKI KAISHA

代表人：(中文/英文) 野間口有/TAMOTSU NOMAKUCHI

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目 2 番 3 號

國 籍：(中文/英文) 日本/JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 飛田洋一/YOICHI TOBITA

2. 村井博之/HIROYUKI MURAI

國 籍：(中文/英文)

1. 日本/JAPAN

2. 日本/JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本、2005/03/30、2005-097263

2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是關於一種移位暫存器電路，特別是關於一種可以使用於影像顯示裝置之掃描線驅動電路等且由同一導電型之場效電晶體所構成的移位暫存器電路。

【先前技術】

在液晶顯示裝置之類的影像裝置(以下稱「顯示裝置」)中，在複數個畫素排成行列的顯示面板的畫素行(畫素線)上設置閘極線(掃描線)，在顯示訊號的一個水平期間循環一次的周期內依次選取並驅動該閘極線，藉此，進行顯示影像的更新。如此，作為用來依次選取並驅動畫素線亦即閘極線的閘極線驅動電路(掃描線驅動電路)，可使用在一個顯示訊號的一個訊框周期內進行循環一次之移位動作的移位暫存器。

為了減少顯示裝置的製造程序中的製程數，使用於閘極線驅動電路的移位暫存器宜僅使用同一導電型之場效電晶體來構成。因此，各種僅以N型或P型的場效電晶體構成的移位暫存器及安裝此種移位暫存器的顯示裝置被提出來(例如專利文獻1~4)。在場效電晶體方面，使用金氧半(Metal Oxide Semiconductor)電晶體、薄膜電晶體(TFT: Thin Film Transistor)等。

[專利文獻1] 美國專利5222082號公報

[專利文獻2] 特開2002-313093號公報

[專利文獻3] 特開2002-197885號公報

[專利文獻4] 特開2004-103226號公報

【發明內容】

【發明所欲解決的課題】

在過去的移位暫存器中，存在輸出段的電晶體的閘極電極所連接的節點（具體來說，專利文獻1的第2圖中的節點P1及P2）的漏電流所導致的問題。

例如，當連接至移位暫存器的輸出端子及規定其輸出訊號的時鐘端子之間的電晶體的閘極電極節點（P1）上產生漏電流時，輸出端子放電時的該電晶體的阻抗變大，該放電所需要的時間變長。因此，輸出訊號的下降時間變長，變得無法追上輸入至上述時鐘端子的時鐘訊號。結果，若顯示裝置的閘極線驅動電路中的輸出訊號的下降時間變長，複數個閘極線同時被驅動，產生無法正常進行顯示的問題（細節如後述）。

另外，當在連接至移位暫存器的輸出端子和基準電壓端子之間的電晶體的閘極電極節點（P2）產生漏電流時，該電晶體的開啟狀態（導通狀態）中的阻抗變大。亦即，移位暫存器的輸出阻抗升高，所以，輸出端子的電位恐怕變得不穩定。於是，在顯示裝置的閘極線驅動電路的輸出訊號變得不穩定的情況下，也會產生無法正常進行顯示的問題（此細節亦如後述）。

此外，在專利文獻2的移位暫存器上，連接至輸出端子

和電源之間的NMOS電晶體連接至(專利文獻2的電晶體T2)的閘極電極節點(n2)，並設有固定該節點的電位的反向防止電路(電晶體T7, T8)。上述NMOS電晶體必須在輸出線為低準位期間，保持關閉狀態(遮斷狀態)。反向防止電路為在輸出線設定為低準位期間防止上述NMOS電晶體因輸出線的準位的變動而被開啟的電路，其可解決與上述問題不同的課題。

本發明為解決上述的問題，目的在提供一種可防止漏電流所引起之錯誤動作的移位暫存器電路以及安裝該移位暫存器電路的顯示裝置。

【用以解決課題的手段】

本發明的第一種移位暫存器電路包括：輸入端子及輸出端子；分別輸入相位相異之第一及第二時鐘訊號的第一及第二時鐘端子；分別供給第一、第二及第三電壓的第一、第二及第三電壓端子；連接至上述輸出端子和上述第一時鐘端子之間的第一電晶體；連接至上述輸出端子和上述第一電壓端子之間的第二電晶體；上述第一電晶體的控制電極所連接的第一節點；上述第二電晶體的控制電極所連接的第二節點；及驅動部，其和上述第二時鐘訊號同步，對上述第一節點供給上述第一電壓且對上述第二節點供給與上述第三電壓對應的電壓，同時，根據上述輸入端子的輸入訊號，對上述第一節點供給與上述第二電壓對應的電壓且對上述第二節點供給上述第一電壓；其特徵在於：上述驅動部為用來對上述第一節點供給上述第一電壓的電晶

體，包含一邊之主電極連接至上述第一節點且控制電極連接至上述第二節點的第三電晶體，同時，該第三電晶體在遮斷狀態期間，對該第三電晶體另一邊之主電極亦即第三節點施加和上述第一電壓相異的既定電壓。

本發明的第二種移位暫存器電路包括：輸入端子及輸出端子；分別輸入相位相異之第一及第二時鐘訊號的第一及第二時鐘端子；分別供給第一、第二及第三電壓的第一、第二及第三電壓端子；連接至上述輸出端子和上述第一時鐘端子之間的第一電晶體；連接至上述輸出端子和上述第一電壓端子之間的第二電晶體；上述第一電晶體的控制電極所連接的第一節點；上述第二電晶體的控制電極所連接的第二節點；及驅動部，其和上述第二時鐘訊號同步，對上述第一節點供給上述第一電壓且對上述第二節點供給與上述第三電壓對應的電壓，同時，根據上述輸入端子的輸入訊號，對上述第一節點供給與上述第二電壓對應的電壓且對上述第二節點供給上述第一電壓；其特徵在於：上述驅動部包含以串聯方式連接至上述第二節點和上述第一電壓端子之間而且控制電極連接至上述輸入端子的第三及第四電晶體，同時，該第三及第四電晶體在遮斷狀態期間，對該第三及第四電晶體之間的連接節點亦即第三節點施加和上述第一電壓相異的既定電壓。

本發明的第三種移位暫存器電路包括：輸入端子及輸出端子；分別輸入相位相異之第一及第二時鐘訊號的第一及第二時鐘端子；分別供給第一、第二及第三電壓的第一、

第二及第三電壓端子；連接至上述輸出端子和上述第一時鐘端子之間的第一電晶體；連接至上述輸出端子和上述第一電壓端子之間的第二電晶體；上述第一電晶體的控制電極所連接的第一節點；上述第二電晶體的控制電極所連接的第二節點；及驅動部，其和上述第二時鐘訊號同步，對上述第一節點供給上述第一電壓且對上述第二節點供給與上述第三電壓對應的電壓，同時，根據上述輸入端子的輸入訊號，對上述第一節點供給與上述第二電壓對應的電壓且對上述第二節點供給上述第一電壓；其特徵在於：上述驅動部包括補償電路，在上述第二電晶體為導通狀態的期間，其與上述第一時鐘訊號同步，且將上述第二節點充電至維持上述第二電晶體之導通狀態的準位。

【發明效果】

藉由本發明的第一種移位暫存器電路，可抑制移位暫存器電路中的第一節點上的漏電流，並可抑制第一節點充電時的電壓準位下降。結果，輸出端子的活性狀態中的輸出訊號確實可跟上第一時鐘訊號，動作信賴度提高。例如，在將移位暫存器電路作為掃描線驅動裝置來安裝的顯示裝置中，可防止錯誤動作以進行正常的顯示。

藉由本發明的第二種移位暫存器電路，可抑制第二節點上的漏電流，並可抑制第二節點充電時的電壓準位下降。於是，可防止輸出端子的非活性狀態中的第二電晶體的阻抗亦即移位暫存器電路的輸出阻抗上升，動作信賴度提高。例如，在將移位暫存器電路作為掃描線驅動裝置來

安裝的顯示裝置中，可防止錯誤動作以進行正常的顯示。

藉由本發明的第三種移位暫存器電路，在第二電晶體變成導通狀態的輸出端子的非活性狀態中，即使在充電後的第二節點上產生漏電流，也可對其作補償。於是，可防止輸出端子的非活性狀態中的第二電晶體的阻抗亦即移位暫存器電路的輸出阻抗上升，動作信賴度提高。例如，在將移位暫存器電路作為掃描線驅動裝置來安裝的顯示裝置中，可防止錯誤動作以進行正常的顯示。

【實施方式】

下面將一邊參照圖面，一邊說明本發明的實施型態。此外，為避免說明因重複而變得冗長，在各圖中對具有相同或相等功能的元件附加相同的符號。

<第1實施型態>

第1圖為概略方塊圖，表示本發明第1實施型態之顯示裝置的構造，其作為顯示裝置的代表例來表示液晶顯示裝置10的整體構造。

液晶顯示裝置10包括液晶陣列部20、閘極線驅動電路(掃描線驅動電路)30、源極驅動器40。藉由後面的說明可知，本發明實施型態的移位暫存器安裝於閘極線驅動電路30上。

液晶陣列部20包含配置成陣列狀的複數個畫素25。在各個畫素行(以下亦稱為「畫素線」)上，分別配設閘極線GL1, GL2…(總稱為「閘極線GL」)，另外，在各個畫素的

列(以下亦稱為「畫素列」)上，分別設置資料線DL1, DL2…(總稱為「資料線DL」)。在第1圖中，代表性地表示出第一行的第一列及第二列的畫素25以及與此對應的閘極線GL1及資料線DL1, DL2。

各畫素25具有在對應之資料線DL和畫素節點Np之間所設置的畫素開關元件26、在畫素節點Np及共通電極節點NC之間以並聯方式連接的電容器27及液晶顯示元件28。液晶顯示元件28中的液晶的配向性隨著畫素節點Np及共通電極節點NC之間的電壓差而變化，液晶顯示元件28的顯示亮度也對此回應而跟著變化。藉此，透過資料線DL及畫素開關元件26傳送至畫素節點Np的顯示電壓可控制各畫素25的亮度。亦即，藉由將與最大亮度對應的電壓差和與最小亮度對應的電壓差之間的中間電壓差施加於畫素節點Np和共通電極節點NC之間，可得到中間亮度。於是，藉由階段性地設定上述顯示電壓，可得到各個階調的亮度。

閘極線驅動電路30根據既定的掃描周期，依次選取並驅動閘極線GL。畫素開關元件26的閘極電極與分別對應的閘極線GL連接。當特定的閘極線GL被選取時，在連接於其上的各畫素中，畫素開關元件26變成導通狀態，和畫素節點Np所對應的資料線DL連接。然後，傳送至畫素節點Np的顯示電壓藉由電容器27來維持。一般來說，畫素開關元件26藉由和液晶顯示元件28一起形成於同一絕緣體基板(玻璃基板、樹脂基板等)的TFT來構成。

源極驅動器40用來將藉由N位元的數位訊號亦即顯示訊號SIG階段性設定的顯示電壓輸出至資料線DL。在此的一例為，顯示訊號SIG為6位元的訊號，其由顯示訊號位元D0~D5所構成。當其根據6位元的顯示訊號SIG時，在各畫素25中，可作 $2^6=64$ 個階調的階調顯示。再者，若藉由R(Red)、G(Green)、B(Blue)這三個畫素來形成一個彩色顯示單位，可作大約26萬色的彩色顯示。

另外，如第1圖所示，源極驅動器40由移位暫存器50、資料門鎖電路52、54、階調電壓產生電路60、解碼電路79、類比放大器80所構成。

在顯示訊號SIG中，與各個畫素25的顯示亮度對應的顯示訊號位元D0~D5以序列方式來產生。亦即，各時序中的顯示訊號位元D0~D5代表液晶陣列部20中的任一畫素25中的顯示亮度。

移位暫存器50以和顯示訊號SIG的設定切換的周期同步的時序，對資料門鎖電路52指示顯示訊號位元D0~D5的存取。資料門鎖電路52依序存取以序列方式產生的顯示訊號SIG，儲存一個畫素線的顯示訊號SIG。

輸入至資料門鎖電路54的門鎖訊號LT以在資料門鎖電路52中存取一個畫素的顯示訊號SIG的時序被活性化。資料門鎖電路54對此回應，此時，存取儲存於資料門鎖電路52的一個畫素的顯示訊號SIG。

階調電壓產生電路60藉由以串聯方式連接至高電壓VDG及低電壓VDL之間的63個分壓電阻所構成，分別產生64

階段的階調電壓V1~V64。

解碼電路70對儲存於資料門鎖電路54中的顯示訊號SIG進行解碼，根據該解碼結果，從階調電壓V1~V64之中選取並輸出欲輸出至各解碼輸出節點Nd1, Nd2... (總稱為「解碼輸出節點Nd」)的電壓。

結果，在解碼輸出節點Nd上，與儲存於資料門鎖電路54的一個畫素的顯示訊號SIG對應的顯示電壓(階調電壓V1~V64中的其中一個)同時被輸出。此外，在第1圖中，代表性地表示出與第一列及第二列的資料線DL1, DL2對應的解碼輸出節點Nd1, Nd2。

類比放大器80將與從解碼電路70輸出至解碼輸出節點Nd1, Nd2...的各顯示電壓對應的類比電壓分別輸出至資料線DL1, DL2...。

源極驅動器40根據既定的掃描周期，將與一連串的顯示訊號SIG對應的顯示電壓一個畫素一個畫素地反覆輸出至資料線DL，閘極線驅動電路30與該掃描周期同步，藉由依次驅動閘極線GL1, GL2...，在液晶陣列部20作出根據顯示訊號SIG的影像顯示。

此外，在第1圖中，舉例說明了閘極線驅動電路30及源極驅動器40為一體成形的液晶顯示裝置10的構造，有關閘極線驅動電路30及源極驅動器40，亦可將其設置為液晶陣列部20的外部電路。

下面將說明本發明之閘極線驅動電路30的構造的細節。第2圖表示本發明第1實施型態之閘極線驅動電路30的

構造。此閘極線驅動電路30由垂直連接之複數個移位暫存器電路SR1, SR2, SR3, SR4...所構成的移位暫存器所組成(為了說明上的方便, 各個垂直連接的移位暫存器電路SR1, SR2...稱為「單位移位暫存器電路」, 並將其總稱為「單位移位暫存器電路SR」)。各單位移位暫存器電路SR設置於每個畫素亦即每條閘極線GL上。

另外, 如第2圖所示的產生器31用來將三個不同相位的時鐘訊號C1, C2, C3輸入至閘極線驅動電路30的單位移位暫存器電路SR, 此時鐘訊號C1, C2, C3以和顯示裝置的掃描周期同步的時序, 依序被活性化, 以此方式來受到控制。

各單位移位暫存器電路SR具有輸入端子IN、輸出端子OUT、第一及第二時鐘端子A, B。如第2圖所示, 對各單位移位暫存器電路SR的時鐘端子A, B上, 供給時鐘產生器31所輸出的時鐘訊號C1, C2, C3之中的兩個。另外, 對第一段(第一階)的單位移位暫存器電路SR1的輸入端子IN, 輸入稱為起始脈衝的輸入訊號, 對第二段以後的單位移位暫存器電路SR的輸入端子IN, 輸入被輸出至其前段之輸出端子OUT的輸出訊號。各單位移位暫存器電路SR的輸出訊號作為水平(或垂直)掃描脈衝, 輸出至閘極線GL。

藉由此構造的閘極線驅動電路30, 各單位移位暫存器電路SR和時鐘訊號C1, C2, C3同步, 一面移位從前段輸入的輸入訊號(前段的輸出訊號), 一面輸出至對應之閘極線GL以及本身後段之單位移位暫存器電路SR(有關單位移位暫存器電路SR的動作的細節, 後面將會敘述)。結果, 一連

串的單位移位暫存器電路SR作為以根據既定之掃描周期的
時序依序活性化閘極線GL的所謂閘極線驅動單元來運作。

第3圖為電路圖，表示本發明第1實施型態之單位移位
暫存器電路的構造。此外，各單位移位暫存器電路SR的構
造實質上相同，所以，下面將僅代表性地說明一個單位單
位移位暫存器電路SR的構造。另外，構成單位移位暫存器
電路SR的電晶體全為同一導電型的場效電晶體，在本實施
型態中，則全部為N型TFT。

單位移位暫存器電路SR具有輸入端子IN、輸出端子
OUT、第一時鐘端子A、第二時鐘端子B、作為供給第一電壓
之第一電壓端子的基準電壓端子、作為供給既定之第二電
壓之第二電壓端子的第一電源端子s1以及作為供給既定之
第三電壓之第三電壓端子的第二電源端子s2。在本實施型
態中，為了說明上的方便，以移位暫存器的電壓為基準來
表示一個範例，如第3圖所示，基準電壓端子連接至接地端
(GND)(0V準位)，第一電源端子s1及第二電源端子s2一起連
接至電源VDD(亦即，在本實施型態中，第一電壓為0V，第
二及第三電壓為電源VDD的電壓)。但是，在實際使用上，
以畫素的電壓為基準，例如，對第3圖的第一電源端子s1
及第二電源端子s1供給17V的電壓，對基準電壓端子供給
-12V的電壓(亦即，在此實際使用的範例中，第一電壓為
-12V，第二及第三電壓為電源電壓17V)。換言之，在本實
施型態中，為了說明單位移位暫存器電路SR，在選取時將
對應之閘極線GL的電壓準位設定電源VDD的電壓，在非選取

時，設定為0V，但在實際使用上，在選取時，將對應之閘極線GL的電壓準位設定為正電壓（例如17V），在非選取時，設定為負電壓（例如-12V）。

此單位移位暫存器電路SR的輸出段由連接至輸出端子OUT和第一時鐘端子A之間的電晶體T1（第一電晶體）及連接至該輸出端子OUT和接地端GND（基準電壓端子）之間的電晶體T2（第二電晶體）所構成。如第3圖所示，電晶體T1的閘極（控制電極）連接至節點N1（第一節點），電晶體T2的閘極連接至節點N2（第二節點）。另外，在節點N1和第一電源端子s1（電源VDD）之間，連接有電晶體T3，在該節點N1和接地端GND之間，連接有以串聯方式連接的電晶體T4，T7。

電晶體T4，T7是用來對節點N1供給基準電壓（接地端GND的電壓）的電晶體。如第3圖所示，電晶體T4的一邊的主電極亦即汲極連接至節點N1，另一邊的主電極亦即源極連接至電晶體T7。電晶體T7連接至節點N3和接地端GND之間。電晶體T4，T7的閘極一起連接至節點N2。在此，將電晶體T4的源極的節點（在此為電晶體T4，T7之間的連接節點）定義為節點N3。

另外，單位移位暫存器SR具有第三電源端子s3，在該第三電源端子s3和節點N3之間連接有電晶體T8。在本實施型態中，第三電源端子s3連接既定的電源VDM，電晶體T8的閘極連接至節點N1。亦即，當節點N1的電壓準位升高時，電晶體T8變成開啟狀態，對節點N3施加電三電源端子s3的電壓（電壓VDM的輸出電壓）。

在節點N2和第二電源端子s2(電源VDD)之間，連接有電晶體T5，在節點N2和接地端GND(基準電壓端子)之間，連接有電晶體T6。另外，輸入端子IN連接至電晶體T3，T6的閘極，第二時鐘端子B連接至電晶體T5的閘極。藉由以上的方式，構成本實施型態之單位移位暫存器電路SR。

此外，若參照上述的專利文獻1，2，可發現，過去的單位移位暫存器電路在節點N1和基準電壓端子(接地端GND)之間，僅連接一個電晶體(例如，可參照專利文獻1的第2圖所示的電晶體19)。換言之，過去的單位移位暫存器電路的構造從本發明之第3圖所示的電路除去電晶體T7，T8，將電晶體T4的源極(節點N3)直接連接至接地端GND。

在本實施型態中，電晶體T3~T8構成用來驅動單位移位暫存器電路SR的驅動部。此驅動部和輸入至第二時鐘端子B的時鐘訊號同步，對節點N1供給基準電壓端子(接地端GND)的電壓，並且，對節點N2供給第二電源端子s2(電源VDD)的電壓，另外，根據輸入端子IN的輸入訊號，對節點N1供給第一電源端子s1(電源VDD)的電壓，並且，對節點N2供給基準電壓端子(接地端GND)的電壓。下面將說明包含此驅動部的本實施型態之單位移位暫存器電路SR的具體動作。

第4圖為時序圖，用來說明第1實施型態之單位移位暫存器電路SR的正常動作。在此，將說明對單位移位暫存器電路SR的第一時鐘端子A輸入時鐘訊號C1和對第二時鐘端子B輸入時鐘訊號C3的動作(第2圖中的單位移位暫存器電路SR1，SR4等與此相當)。另外，下面將電源VDD及電源VDM

所輸出的電壓準位(以下僅稱為「準位」)分別稱為「VDD」($VDD > 0$)、「VDM」($VMD > 0$)來作說明。

如第4圖所示，在時刻 t_0 ，當時鐘訊號C3(第二時鐘端子B)的準位從0V變成VDD時，電晶體T5變成開啟狀態(導通狀態)。在此時點，輸入端子IN為0V，於是電晶體T6為關閉狀態(遮斷狀態)，所以，節點N2被充電，變成 $VDD - V_{th}$ 的準位(V_{th} ：電晶體的閾值電壓)。伴隨此變化，電晶體T4，T7一起變成開啟狀態，節點N1，N3變成0V。隨著節點N1變成0V，電晶體T1，T8變成關閉狀態。

如此，當驅動部分別對節點N1供給電源VDD的電壓，對節點N2供給接地端GND的電壓時，電晶體T1變成關閉狀態，電晶體T2變成開啟狀態，所以，閘極線GL變成低阻抗的非活性狀態(非選取狀態)。

接著，在時刻 t_1 ，當時鐘訊號C3恢復至0V時，電晶體T5變成關閉狀態，但電晶體T6仍然維持關閉狀態，所以，節點N2的準位維持在 $VDD - V_{th}$ 。

在時刻 t_2 ，對輸入端子IN輸入輸入訊號，當該輸入端子IN的準位變成VDD時，電晶體T3，T6變成開啟狀態。藉此，節點N2被放電，變成0V，電晶體T2，T4，T7變成關閉狀態。由於電晶體T3為開啟狀態，所以，這次節點N1被放電，變成 $VDD - V_{th}$ 的準位。藉此，電晶體T1變成開啟狀態(通常， $VDD \gg V_{th}$ ，所以， $VDD - V_{th} > V_{th}$)。

如此，當驅動部對節點N1供給接地端GND的電壓，對節點N2供給電源VDD的電壓時，電晶體T1變成開啟狀態，電晶

體T2變成關閉狀態。但是，在此時點，時鐘訊號C1(第一時鐘端子A)為0V，所以，輸出端子OUT不會從0V改變其準位。亦即，在此時點，閘極線GL亦為低阻抗的非活性狀態。

在本實施型態中，此時，電晶體T8亦變成開啟狀態，對節點N3供給電源VDM的電壓。電壓準位VDM假定為電晶體T8在非飽和區域中動作時的準位。在此情況下，節點N3的準位變成VDM(當VDM為電晶體T8在飽和區域中動作的準位時，節點N3變成 $VDD-2 \times V_{th}$ 的準位)。

在時刻t3，當輸入端子IN恢復至0V時，電晶體T3，T6變成關閉狀態，但是電晶體T4，T7也變成關閉狀態，所以，(如果可以忽略漏電流)，節點N1的準位仍維持在 $VDD-V_{th}$ 。

然後，在時刻t4，當第一時鐘端子A的時鐘訊號C1從0V變成VDD時，藉由電晶體T1的閘極和通道之間的電容所導致的電容結合，節點N1的準位隨時鐘訊號C1的上升而上升，並上升至 $2 \times VDD-V_{th}$ 的準位。即使在此時鐘訊號C1的上升過程中，電晶體T1的閘極源極間電壓也為 $VDD-V_{th}$ ，該電晶體T1為低阻抗。於是，輸出端子OUT幾乎在時鐘訊號C1上升的同時被充電。亦即，隨著時鐘訊號C1的上升，輸出端子OUT的輸出訊號也跟著上升，變成閘極線GL被活性化的選取狀態。此外，此時的電晶體T1的閘極源極間電壓滿足了使該電晶體T1在非飽和區域中動作的條件，所以，在電晶體T1中，不會發生閾值電壓(V_{th})的電壓下降，輸出端子OUT變成和時鐘訊號C1相同的準位(VDD)。

(若可忽略漏電流)，在時鐘訊號C1的準位恢復至0V之

前，節點N1維持在 $2 \times VDD - V_{th}$ 的準位。於是，即使在時鐘訊號C1的準位下降的過程中，電晶體T1仍為低阻抗，輸出端子OUT的準位隨著時鐘訊號C1的下降而變成0V。此時，節點N1的準位從 $2 \times VDD - V_{th}$ 僅下降至VDD，變成 $VDD - V_{th}$ 。於是，電晶體T1維持在開啟狀態，閘極線GL變成低阻抗的非活性狀態。

從時刻 t_6 以後，反覆上述的動作。但是，閘極線驅動電路30必須在一個訊框期間循環一次的周期中依次將閘極線GL一條一條地活性化，所以，在一個單位移位暫存器電路SR中，於一個訊框期間僅輸入一次輸入訊號。上面的說明為對輸入端子IN輸入輸入訊號時的動作，但是在不輸入輸入訊號的期間，亦可在一定周期內繼續對第一時鐘端子A及第二時鐘端子B分別輸入時鐘訊號C1, C2。因此，節點N2藉由時鐘訊號C3使電晶體T5反覆回到開啟狀態並被充電，維持在 $VDD - V_{th}$ 的準位，藉此，N1維持在0V的準位。亦即，在未輸入輸入訊號的期間，輸出段的電晶體T1維持在關閉狀態，電晶體T2維持在開啟狀態，對應之閘極線GL則維持在低阻抗的非活性狀態。

綜合以上所說明的動作，在單位移位暫存器電路SR中，在未對輸入端子IN輸入訊號的期間，節點N2維持在 $VDD - V_{th}$ 的準位，藉此，輸出端子OUT(閘極線GL)維持在低阻抗的0V。若對輸入端子IN輸入訊號，節點N2變成0V，並且，節點N1被充電至 $VDD - V_{th}$ 。接著，若對第一時鐘端子A輸入時鐘訊號C1，節點N1的準位上升至 $2 \times VDD - V_{th}$ ，輸出端

子OUT變成VDD，閘極線GL被活性化（因此，節點N1有時被稱為「升壓節點」）。之後，若對第二時鐘端子B輸入時鐘訊號C3，再次地，節點N2被重設為 $VDD - V_{th}$ ，節點N1亦被重設為0V，恢復至原來的狀態（因此，節點N2有時被稱為「重設節點」）。

如此動作之複數個單位移位暫存器電路SR如第2圖所示地垂直連接著，當構成閘極線驅動電路30時，輸入至第一段的單位移位暫存器電路SR1的輸入端子IN的輸入訊號如第5圖所示的時序圖，一方面以和時鐘訊號C1，C2，C3同步的時序被移位，一方面依序被傳送至單位移位暫存器電路SR2，SR3…。藉此，閘極線驅動電路30可在既定的掃描周期中依序驅動閘極線GL1，GL2，GL3…。

此外，第4圖的實線所示的電壓波形表示節點N1在沒有漏電流時的理想情況下的波形。在節點N1的漏電流產生的情況下，節點N1及輸出端子OUT的電壓波形變成如第4圖的虛線所示。亦即，在電晶體T3變成關閉狀態的時刻 t_3 以後，節點N1的準位和時間一起下降。因此，在時鐘訊號C1的準位下降的時刻 t_5 ，電晶體T1的阻抗升高，輸出端子OUT隨著時鐘訊號C1的下降而下降。亦即，輸出端子OUT的準位從VDD轉變為0V需要花費時間，如此，輸出訊號亦即閘極線GL的驅動訊號的下降時間變長。

如第4圖的最下段所示，在時刻 t_6 ，下一段的單位移位暫存器電路SR的輸出端子OUT被活性化。於是，當輸出訊號的下降時間變長時，所鄰接的複數個閘極線GL同時被選

取，顯示變得無法正常進行。如前所述，過去的單位移位暫存器電路在節點N1和接地端GND之間僅連接一個電晶體，當該電晶體上產生漏電流時，便會引起問題。

相對於此，在本實施型態中，如第3圖所示，在節點N1和接地端GND之間，連接有以串列方式排列的電晶體T4和電晶體T7這兩者，此外，在兩者之間的節點N3上，連接有連接至電源VDM的電晶體T8。電晶體T4，T7的閘極一起連接至節點N2，所以，電晶體T4，T7以相同的時序來切換成開啟或關閉狀態。另外，電晶體T8的閘極連接至節點N1，所以，當節點N1的準位較高時（亦即當電晶體T4，T7為關閉狀態時），變成開啟狀態。

於是，如以上所說明，在第4圖的時刻 t_2 ，當電晶體T4，T7變為關閉狀態且節點N1的準位變成 $V_{DD}-V_{th}$ 時，電晶體T8變為開啟狀態且節點N3的準位變成VDM。若著眼於此時的電晶體T4，其閘極（節點N2）為0V，汲極（節點N1）為 $V_{DD}-V_{th}$ ，源極（節點N3）為VDM（ $>0V$ ），所以，該電晶體T4的閘極對源極為負向偏壓（以下稱此狀態為「負偏壓狀態」）。此電晶體T4的負偏壓狀態持續到節點N1被重設為0V為止（到第4圖的時刻 t_6 為止）。結果，電晶體T4在節點N1被充電的期間（時刻 $t_2 \sim t_6$ ），變成負偏壓狀態。

第6圖為圖表，表示一般N型電晶體的閘極源極間電壓（ V_{GS} ）和汲極源極間電流（ I_{DS} ）的關係。在第6圖中，縱軸（ I_{DS} ）以對數來表示。N型電晶體在 $V_{GS}=0$ 時為關閉狀態，但是，從第6圖可看出，當 $V_{GS}=0$ 時，產生漏電流 I_{OFF1} 。特別是，在顯

示裝置上所使用的非晶型TFT中的 $V_{GS}=0$ 時的漏電流 I_{OFF1} 比較大，再者，此受到用來進行畫面顯示之背光模組的影響，有比正常顯示增加一位數以上的傾向。

在過去單位移位暫存器電路中，唯一連接至節點N1和接地端GND之間的電晶體的源極為接地端GND的準位，所以，關閉狀態的閘極源極間電壓為0V。於是，在過去的單位移位暫存器電路中，在該電晶體中所產生的漏電流 I_{OFF1} 引起了上述的問題。

相對於此，本實施型態之單位移位暫存器電路SR的電晶體T4在關閉狀態期間，變成負偏壓狀態($V_{GS}<0$)。在N型電晶體中，若 $V_{GS}<0$ ，如第6圖所示，此時的漏電流 I_{OFF2} 變為 $V_{GS}=0$ 時的漏電流 I_{OFF1} 的1/1000。

於是，藉由本實施型態之單位移位暫存器電路SR，電晶體T4的漏電流(亦即節點N1的漏電流)被降低，所以，充電時的節點N1的準位的下降被抑制。於是，可避開輸出端子OUT無法跟隨時鐘訊號C1的準位變化的問題。另外，輸出端子OUT的輸出訊號的下降時間(閘極線GL的放電時間)比過去的閘極線驅動電路短，所以，可加大閘極線GL的驅動動作中的時序預留空間，動作信賴度提高。於是，若將該單位移位暫存器電路SR所構成的閘極線驅動電路安裝在顯示裝置上，可防止錯誤動作，以進行正常的顯示。

此外，在第3圖中，表示將電源VDM連接至第三電源端子s3上的構造，但是亦可將第三電源端子s3連接至和第一電源端子s1相同的電源VDD上。在此情況下，具有可減少所

需要之電源數的好處。但是，根據TFT的種類，表示出第6圖的虛線所指出的 $I_{DS}-V_{GS}$ 特性，所以，若將第三電源端子s3的準位設為VDD這樣的高準位，有時會使電晶體T4的漏電流的降低效果變小，此點必須注意。

另外，在連接至第三電源端子s3的電源VDM方面，可使用將電源VDD之輸出降壓者作為電壓VDM來輸出的電源電路。在第7及第8圖中，表示出此範例。

第7圖為一電源電路，其藉由將電源VDD的輸出電壓分壓於n個作二極體串接之電晶體以串聯方式連接而成的電晶體群DT1和電容元件CA上而產生電壓VDM。連接至電源VDD的電晶體群DT1和連接至接地端GND的電容元件CA的連接節點作為電壓VDM的輸出端子。

在電晶體群DT1中的每一個電晶體上，產生閾值電壓 V_{th} 的電壓下降，所以，在VDM的輸出端子上，得到 $VDM = VDD - n \times V_{th}$ 。電容元件CA對瞬間負荷電流具有穩定VDM的準位的功能。另外，在第3圖的電路構造中，在電源VDM中幾乎沒有直流電流流過，所以，可從第7圖的電路對構成閘極線驅動電路30的所有單位移位暫存器電路供給VDM。

另外，第8圖為將電源VDD的輸出電壓降低且產生電壓VDM的電源電路的其他範例。在電源VDD和接地端GND之間，作二極體串接的3個電晶體以串聯方式連接而成的電晶體群DT2和高電阻元件R1以串聯方式連接著。高電阻元件R1和電晶體群DT2的連接節點N10連接至電晶體TR1的閘極。該電晶體TR1的汲極連接至電源VDD，源極透過電容元件CA連

接至接地端GND。然後，電晶體TR1和電源元件CA的連接節點作為電壓VDM的輸出端。

在第8圖中，節點N10的電壓幾乎為 $3 \times V_{th}$ ，所以，在電壓VDM的輸出端子上，進一步輸出電晶體TR1的閾值電壓下降的 $VDM = 2 \times V_{th}$ 。從這個數學式可知，電壓VDM不隨電源VDD的準位而變動。於是，可得到產生更為穩定VDM之電壓的效果。另外，在此電路中，亦和第7圖的電路相同，可對構成閘極線驅動電路30的所有單位移位暫存器電路SR供給電壓VDM。

此外，在本實施型態中，在第一電源端子s1及第二電源端子s2上，表示出連接相同電源VDD的構造，但本發明的應用不限定於該構造，亦可進一步由不同電源相互連接而構成。亦即，連接至第二電源端子s2的電源若為輸出可開啟電晶體T2, T4, T7之電壓的電源，亦可不為電源VDD。另外，此時，下面的實施型態亦相同。

<第2實施型態>

第9圖為電路圖，表示第2實施型態之單位移位暫存器電路SR的構造。在第1實施型態中，用來對節點N3施加電壓VDM的電晶體T8的閘極連接至節點N1，但在第2實施型態中，此連接至輸出端子OUT。亦即，當電晶體T8在輸出端子OUT的準位變成VDD時，以開啟狀態來動作。

於是，在本實施型態中，僅在第4圖的時序圖中的時刻 $t_4 \sim t_5$ 期間，透過電晶體T8對節點N3施加VDM。但是，在時刻 $t_5 \sim t_6$ 期間，節點N3變成浮動狀態，所以，在該期間維持

在VDM的準位。亦即，在本實施型態中，在時刻 $t_4 \sim t_6$ 期間，電晶體T4變成負偏壓狀態，節點N1的漏電流受到抑制。

防止節點N1之漏電流的期間為於節點N1為被充電狀態下從電晶體T3變成關閉狀態的時刻 t_4 到第一時鐘端子A的時鐘訊號C1下降的時刻 t_5 的期間，但該漏電流尤其容易在節點N1的準位上升至 $2 \times V_{DD} - V_{th}$ 的時刻 $t_4 \sim t_5$ 的期間產生。於是，如本實施型態所示，即使為僅在時刻 $t_4 \sim t_6$ 的期間電晶體T4變成負偏壓狀態的構造，在抑制節點N1的漏電流方面，也可得到和第1實施型態幾乎相同程度的效果。

再者，在本實施型態中，連接至節點N1的電晶體的數目比第1實施型態少，所以，降低了該節點N1的寄生電容。於是，在有效率地形成第一時鐘端子A的時鐘訊號所導致的節點N1的升壓方面，可得到效果。

此外，在本實施型態中，亦可使用第7或第8圖所示之電路來作為電壓準位VDM的產生裝置。

<第3實施型態>

第10圖為電路圖，表示第3實施型態之單位移位暫存器電路SR的構造。在本實施型態中，電晶體1的閘極和節點N1的連接透過電晶體T9而形成。電晶體T9的閘極連接至第四電源端子s4。在本實施型態中，第四電源端子s4和第一電源端子s1及第二電源端子s2相同，連接至電源VDD。在此，將電晶體T1的閘極和電晶體T9的連接節點定義為節點N4。

在本實施型態的單位移位暫存器電路SR中，當對輸入端子IN輸入輸入訊號時，節點N4亦和節點N1一起被充電至

VDD- V_{th} 的準位。之後，當對第一時鐘端子A所輸入的時鐘訊號C1從0V轉變為VDD時，節點N4因電晶體T1的閘極通道間電容所導致的電容結合而被升壓至 $2 \times VDD - V_{th}$ 。但是，節點N1設定為電晶體T9的源極隨耦器動作所決定的電壓準位。在第10圖中，電晶體T9的閘極電壓準位為VDD，所以，節點N1未從VDD- V_{th} 產生變化。

亦即，在本實施型態中，在第3圖的時序圖的時刻 $t_4 \sim t_5$ 的期間，節點N4升壓至 $2 \times VDD - V_{th}$ ，但是節點N1維持在VDD- V_{th} 。於是，在時刻 $t_4 \sim t_5$ 的期間的電晶體T4的汲極源極間電壓比第1實施型態中的小，得到在該期間的電晶體T4的漏電流進一步變得更小的效果。

此外，在本實施型態中，為避免電源個數增加，電晶體T9的閘極亦即第四電源端子s4和第一電源端子s1及第二電源端子s2相同，連接至電源VDD，但是，本發明不限於此構造。作為連接至第四電源端子s4的電源，若能藉由電晶體T9的源極隨耦器動作將節點N1的準位設定為和節點N3的準位(VDM)相近的值，使用其他電源也可以，在此情況下，亦可得到和上述相同的效果。

<第4實施型態>

第11圖為電路圖，表示第4實施型態之單位移位暫存器電路SR的構造。本實施型態為組合第2實施型態和第三實施型態的構造。亦即，電晶體T8的閘極連接至輸出端子OUT，並且，在電晶體T1的閘極和節點N1之間，設有閘極連接至第四電源端子s4的電晶體T9。此外，在本實施型態中，第

四電源端子s4亦連接至電源VDD。

在第3實施型態中，如第10圖所示，在節點N1上，連接4個電晶體，所以，該節點N1的寄生電容恐怕會增加。但是，在本實施型態中，藉由應用第2實施型態，電晶體T8不連接至節點N1，所以，此問題可被控制。節點N1維持在 $VDD-V_{th}$ ，所以，可在使得此時的電晶體T4的汲極源極間電壓變小而抑制漏電流方面，得到效果。

<第5實施型態>

第12圖為電路圖，表示第5實施型態之單位移位暫存器電路SR的構造。該單位移位暫存器電路SR的構造和第4實施型態(第11圖)幾乎相同，不同的是，在電晶體T8所連接的第三電源端子s3上，第一電源端子s1及第四電源端子s4同樣連接電源VDD。

在電晶體T9的閘極所連接的第四電源端子s4上，連接有電源VDD，所以，和第4實施型態相同，即使在節點N4升壓至 $2 \times VDD - V_{th}$ 時，節點N1仍維持在 $VDD - V_{th}$ 。另外，在第三電源端子s3上，連接有電源VDD，所以，此時的節點N3的準位亦為 $VDD - V_{th}$ 。亦即，電晶體T4的汲極源極間電壓幾乎為0V，在該電晶體T4的汲極源極間，沒有漏電流流過。於是造成的結果為，可得到抑制節點N4亦即電晶體T1的閘極電壓準位下降的效果。

此外，在本實施型態中，為避免電源個數增加，第三電源端子s3及第四電源端子s4共同連接至電源VDD，但是，若可將節點N1的準位設定為和節點N3的準位幾乎相同的

值，可使用其他電源。

〈第6實施型態〉

在以上的說明中，如第2圖所示，表示了使用三個相位的時鐘訊號C1, C2, C3來使閘極線驅動電路30的移位暫存器電路SR動作的構造，但是，亦可使用兩個相位的時鐘訊號來動作。第13圖表示在此情況下的閘極線驅動電路30的構造。

在此情況下，閘極線驅動電路30亦藉由於垂直方向連接複數個單位移位暫存器電路SR而構成。但是，時鐘產生器31輸出互為反相的兩個相位的時鐘亦即時鐘訊號C11, C12。在各個單位移位暫存器電路SR的第一時鐘端子A上，於相鄰接之單位移位暫存器電路SR之間輸入互為反相的時鐘訊號，如此，分別輸入該時鐘訊號C11, C12。另外，對各單位移位暫存器電路SR的第二時鐘端子B輸入下一段的單位移位暫存器電路SR的輸出訊號。

第14圖為時序圖，其為使用兩個相位的時鐘訊號C11, C12來使閘極線驅動電路30動作的情況。輸入至第一段的單位移位暫存器電路SR1的輸入端子IN的輸入訊號一邊藉由和時鐘訊號C11, C12同步的時序移位，一邊依序被傳送至單位移位暫存器電路SR2, SR3…。藉此，閘極線驅動電路30可藉由既定的掃描周期依序驅動閘極線GL1, GL2, GL3…。

但是，在第13圖的構造中，輸入至各單位移位暫存器電路SR的第二時鐘端子B的時鐘訊號為下一段的單位移位

暫存器電路SR的輸出訊號，所以，該下一段的單位移位暫存器電路SR若未有至少一次的動作，重設節點（第3圖中的節點N2）不重設為 $VDD - V_{th}$ 的準位，不進行如第14圖所示的正常動作。於是，在正常動作之前，必須進行將假輸入訊號從單位移位暫存器電路SR的第一段傳送至到最後一段的假動作。或者，亦可在重設節點和電源VDD之間，另外設置重設用的電晶體，在正常動作之前，事先進行用來充電該重設節點的重設動作。但是，在此情況下，重設用的訊號線必須另外設置。

在此，將說明用來構成第13圖之閘極線驅動電路30的單位移位暫存器電路SR中的漏電流的問題。為了簡化說明，假設第13圖的各單位移位暫存器電路SR具有第1實施型態（第3圖）的電路構造。

在第14圖的最下段，表示出第13圖的閘極線驅動電路30的單位移位暫存器電路SR1的節點N2中的電壓波形。如上所述，輸入至各單位移位暫存器電路SR的第二時鐘端子B的時鐘訊號為該下一段的輸出訊號，所以，節點N2在一個訊框期間只充電一次。亦即，節點N2在一個訊框期間（約16ms）亦為浮動狀態，必須先儲存好在此期間被充電的電荷。於是，當在節點N2上產生漏電流時，被充電的節點N2的準位無法在一個訊框期間維持住。在此情況下，閘極線GL的非選取狀態的電晶體T2的阻抗亦即閘極線驅動電路30的輸出阻抗升高，產生顯示不穩定的問題。

因此，在第6實施型態中，提出一種可抑制在節點N2

上所產生之漏電流的單位移位暫存器電路SR。

第15圖為電路圖，表示第6實施型態之單位移位暫存器電路SR的構造。在本實施型態中，電晶體T6和接地端GND(基準電壓端子)的連接透過電晶體T10來構成。亦即，在節點N2和接地端GND之間，以串聯方式連接有電晶體T6，T10。電晶體T10的閘極和電晶體T6的閘極同樣連接至輸入端子IN。將電晶體T6和電晶體T10的連接點定義為節點N5。

再者，在本實施型態中，在該節點N5和第五電源端子s5之間，連接有電晶體T11。在第五電源端子s5上，連接有電源VDD，電晶體T11的閘極連接至節點N2。

此外，藉由參照上述之專利文獻1，2可知，過去的單位移位暫存器電路在節點N2和基準電壓端子(接地端GND)之間，僅連接有一個電晶體(例如，專利文獻1的第2圖所示的電晶體21)。換言之，過去的單位移位暫存器電路的構造從第15圖所示的電路除去電晶體T10，T11，電晶體T6的源極直接連接至接地端GND。

相對於此，在本實施型態中，如第15圖所示，在節點N2和接地端GND之間，以串聯方式連接有電晶體T6和電晶體T10這兩個電晶體，此外，在兩者間的節點N5上，連接有連接至電源VDM的電晶體T11。電晶體T6，T10的閘極共同連接至輸入端子IN，所以，電晶體T6和電晶體T10同樣進行開啟或關閉的切換。另外，電晶體T11的閘極連接至節點N2，所以，當節點N2的準位升高時(亦即，電晶體T6，T10為關閉狀態時)，變成開啟狀態。

於是，對單位移位暫存器電路SR的第二時鐘端子B輸入時鐘訊號(下一段的輸出訊號)，當節點N2變成 $VDD-V_{th}$ 時，電晶體T11開啟，對節點N5供給電源VDM的電壓。在對輸入端子IN輸入輸入訊號之前，電晶體T6，T10為關閉狀態，所以，節點N5的準位為VDM。若著眼於此時的電晶體T6，其閘極(輸入端子IN)為0V，汲極(節點N2)為 $VDD-V_{th}$ ，源極(節點N5)為VDM($>0V$)。亦即，該電晶體T6為負偏壓狀態。此狀態根據輸入端子IN的輸入訊號，在節點N2被重設為0V之前都持續著。

如此，藉由本實施型態之單位移位暫存器電路SR，在節點N2被充電的期間，電晶體T6為負偏壓狀態。在此期間，藉由和第1實施型態的電晶體T4相同的理論(參照第6圖)，電晶體T6的漏電流被抑制。於是，被充電的節點N2的準位可長時間維持。於是，如第13圖所示之構造的閘極線驅動電路30所示，在一個較長的訊框期間，當必須維持單位移位暫存器電路SR的重設節點(節點N2)的準位時，其可產生效果。亦即，可防止當閘極線GL在非選取狀態中時閘極線驅動電路30的輸出阻抗上升而產生顯示不穩定的問題。

此外，在本實施型態中，作為電壓準位VDM的產生裝置，亦可使用第7或第8圖所示的電路。

另外，在第五電源端子s5上，亦可連接至和第二電源端子s2相同的電源VDD。在此情況下，在節點N2被充電至 $VDD-V_{th}$ 的期間，節點N5亦被充電至 $VDD-V_{th}$ 。亦即，此時的電晶體T6的汲極源極間的電壓幾乎為0V，所以，在該電

晶體T6中沒有漏電流流過。於是，可得到抑制節點N2亦即電晶體T2的閘極的電壓準位下降的效果。另外，藉由將電源VDM設定為電源VDD，具有可減少所需要之電源數的好處。

此外，在以上的說明中，以第13圖所示之構造的閘極線驅動電路為前提，但是，亦可藉由以第2圖之方式來連接之構造進行正常動作，並且可抑制節點N2的漏電流。關於此點，在之後的實施型態之單位移位暫存器電路SR中皆可相同。但是，在第2圖的構造中，用來對第二時鐘端子B輸入時鐘訊號C1~C3中其中一個時鐘訊號的節點N2以該周期來充電，不會在一個訊框期間為長時間浮動狀態，所以，在第13圖的構造中，節點N2的漏電流幾乎不會變成大問題。

<第7實施型態>

第16圖為電路圖，表示第7實施型態之單位移位暫存器SR電路的構造。在第6實施型態(第15圖)中，將電晶體T11的閘極連接至節點N2，但是，在第7實施型態中，將之連接至第一時鐘端子A。亦即，電晶體T11在第一時鐘端子A的準位變為VDD時，以開啟狀態來動作。

在第15圖的電路構造中，當只是因為在電晶體T6上產生漏電流而導致節點N2的準位下降時，電晶體T11的阻抗隨之變大，所以，節點N5的準位亦跟著下降。結果，有本發明的效果減低且電晶體T6的漏電流增大的疑慮。

相對於此，在第16圖的電路構造圖中，對電晶體T11的閘極輸入比一個訊框周期還短的周期的時鐘訊號(第13圖的時鐘訊號C11, C12的任何一個)。節點N5以該時鐘訊號

的周期被確實充電，所以，該節點N5的準位維持在VDM，可防止本發明的效果減低。

另外，對第13圖的各單位移位暫存器電路SR中的第一時鐘端子A輸入在相鄰接之單位移位暫存器電路SR之間互為反相的時鐘訊號，並且，對輸入端子IN輸入前段的（亦即相鄰接的）單位移位暫存器電路SR的輸出訊號，所以，輸入端子IN和電晶體T11的閘極（第一時鐘端子A）未同時被活性化。於是，電晶體T10，T11沒有同時變成開啟狀態，防止了透過電晶體T10，T11從電源VDM流至接地端GND的擊穿電流。

另外，在本實施型態中，在第五電源端子s5上，亦可連接和第二電源端子s2相同的電源VDD。在此情況下，在節點N2被充電至 $VDD-V_{th}$ 的期間，節點N5亦被充電至 $VDD-V_{th}$ 。電晶體T6的源極汲極間的電壓幾乎為0V，所以，電晶體T6上沒有漏電流流過。另外，藉由將電源VDM設為VDD，具有減少所需要之電源數的好處。

<第8實施型態>

在第6及第7實施型態中，作為單位移位暫存器電路SR的節點N2中的漏電流的問題的對策，表示出抑制電晶體T6的漏電流的構造。相對於此，在本實施型態中，為解決相同的問題，提出一種可補償因漏電流所引起之節點N2之準位變動的單位移位暫存器電路SR。

第17圖為電路圖，表示第8實施型態之單位移位暫存器電路SR的構造。如同一圖所示，該單位移位暫存器電路SR

具有由連接至第六電源端子s6和節點N2之間的電晶體T13、連接至電晶體T13的閘極(定義為節點N6)和節點N2之間的電晶體T12、連接至節點N6和第一時鐘端子A之間的電容元件CB所組成的補償電路。電晶體T12的閘極連接至第七電源端子s7。在本實施型態中，第一電源端子s1、第二電源端子s2、第六電源端子s6及第七電源端子s7全都連接至電源VDD。

此補償電路為對節點N2供給第六電源端子s6(電源VDD)的電壓且對節點N2充電的電路。亦即，其可藉由將比電晶體T6的漏電流還大的電流從第六電源端子s6(電源VDD)通過電晶體T13供給至節點N2，來補償因漏電流而降低的節點N2的準位。

在正常動作時，若對第二時鐘端子B輸入時鐘訊號(下一段的輸出訊號)，節點N2被充電至 $VDD - V_{th}$ 。此時，電晶體T12為開啟狀態，所以，節點N6亦被充電至 $VDD - V_{th}$ 。第二時鐘端子B變成0V後，若第一時鐘端子A的時鐘訊號(C11或C12)從0V變成VDD，節點N6藉由電容元件CB所引起的電容結合而升壓至幾乎為 $2 \times VDD - V_{th}$ 。

此時，電晶體T12的汲極為節點N6，源極為節點N2，所以，電晶體T12的閘極源極間的電壓為 V_{th} (閾值電壓)。於是，電晶體T12幾乎為關閉狀態的高阻抗，在該電晶體T12上幾乎沒有電流流過。於是，當第一時鐘端子A的準位在VDD時，節點N6的準位維持在 $2 \times VDD - V_{th}$ 。另外，在該期間，電晶體T13為開啟狀態，所以，節點N2的準位上升至VDD。

在第13圖的構造中，第二時鐘端子B為0V的狀態延續了大約一個訊框期間的長度，但是，在該狀態的期間，對第一時鐘端子A反覆輸入時鐘訊號。於是，在第二時鐘端子B為0V的期間，電晶體T13反覆變為開啟狀態，對節點N2充電，所以，即使在節點N2上產生漏電流，節點N2的準位仍可受到補償，維持在VDD的準位。亦即，輸出端子OUT可維持在低阻抗的0V。

然後，當因輸入訊號而使輸入端子IN的準位變為VDD時，電晶體T6為開啟狀態，節點N2設定為0V。於是，電晶體T12的閘極源極間的電壓變為VDD，所以，電晶體T12為開啟狀態，節點N6變為低阻抗的0V。於是，在節點N2被設定為0V的期間，即使第一時鐘端子A的準位變為VDD，節點N6的準位幾乎不會上升，電晶體T13仍為關閉狀態，沒有電流通過。亦即，當閘極線GL在選取狀態時，不會因為節點N2的準位的不必要的上升而導致電晶體T2開啟。此外，亦可防止透過電晶體T13及電晶體T6從電源VDD流至接地端GND的擊穿電流。

如此，本實施型態之單位移位暫存器電路SR包括一補償電路，其在節點N2被充電而使電晶體T2開啟的期間，對該節點N2施加維持該開啟狀態的電壓（在此為VDD）並予以充電，所以，即使在電晶體T6上產生漏電流，也可補償節點N2的準位變動。於是，可抑制閘極線GL的非選取狀態下的電晶體T2的阻抗上升。於是，若將該單位移位暫存器電路SR所構成的閘極線驅動電路安裝於顯示裝置，可防止錯

誤動作而進行正常的顯示。

此外，在第17圖中，電晶體T12的閘極亦即第七電源端子s7連接至電源VDD。在此情況下，如上所述，可使節點N2及節點N6被充電不久之後的電晶體T12的閘極源極間的電壓為 V_{th} ，使電晶體T12幾乎為關閉狀態。此時，若完全關閉電晶體T12，第七電源端子s7的電壓準位可為 $VDD-V_{th}$ 或 $VDD-2\times V_{th}$ 等比VDD還要低的準位。

例如，若將第七電源端子s7的準位設為 $VDD-V_{th}$ ，節點N6升壓時的源極(節點N2)電壓為 $VDD-V_{th}$ ，所以，電晶體T12的閘極源極間電壓為0V，完全變成關閉狀態。

又例如，若將第七電源端子s7的準位設為 $VDD-V_{th}$ ，當節點N6升壓時，電晶體T12的閘極源極間電壓為 $-V_{th}$ ，閘極對源極為逆方向的偏壓，所以，變成完全關閉狀態。在此情況下，因第一時鐘端子A的時鐘訊號而升壓的前一個節點N6的準位為 $VDD-3\times V_{th}$ ，但是，當被升壓時，其為 $2\times VDD-3\times V_{th}$ 。亦即，電晶體T13的閘極源極間電壓為 $(2\times VDD-3\times V_{th})-(VDD-V_{th})=VDD-2\times V_{th}$ 。通常， $VDD \gg 2\times V_{th}$ ，所以，足夠使電晶體T13為開啟狀態。

第18及第19圖為連接至第七電源端子s7的電源電路的範例。首先，第18圖為產生電壓準位 $VDD-V_{th}$ 的電源電路，其將電源VDD的輸出藉由作二極體串接之電晶體DT3和高電阻元件R2作分壓輸出。此外，電容元件CA用來穩定其輸出電壓準位。在電晶體DT3上，產生其閾值電壓 V_{th} 的電壓下降的情況，所以，作為此電源電路的輸出電壓準位，得到

$V_{DD}-V_{th}$ 。

另一方面，第19圖為產生電壓準位 $V_{DD}-2\times V_{th}$ 的電源電路的範例，其電源 V_{DD} 的輸出藉由作二極體串接之兩個電晶體所組成的電晶體群DT4和高電阻元件R3作分壓輸出。在構成電晶體群DT4的兩個電晶體上，分別產生閾值電壓 V_{th} 的電壓下降的情況，所以，作為此電源電路的輸出電壓準位，得到 $V_{DD}-V_{th}$ 。在第19圖中，電容元件CA亦可用來穩定其輸出電壓準位。

另外，若在本實施型態中組合第6及第7實施型態，可抑制電晶體T6的漏電流，此外，即使在電晶體T6上產生漏電流，可形成對該漏電流的補償，所以，可作為該電晶體T6的漏電流的對策，進一步得到更好的效果。

<第9實施型態>

第20圖為電路圖，表示第9實施型態之單位移位暫存器電路SR的構造。如同一圖所示，在本實施型態中，作為第8實施型態的第17圖中的電容元件CB，設有連接汲極和源極之電晶體T14的電容元件。如此，使用MOS電晶體來構成的電容元件稱為「MOS電容元件」或「通道電容元件」。

作為第17圖的電容元件，若使用利用電晶體T14來構成的MOS電容元件，當節點N6為0V時，該電晶體T14為關閉狀態，在源極和汲極之間不形成通道，所以，和在節點N6和第一時鐘端子A之間不連接有電容的情況等價。於是，當節點N2，N6為0V時，即使第一時鐘端子A從0V變化為 V_{DD} ，節點N6的準位也可確實維持在0V的狀態。亦即，可在閘極線

GL的選擇狀態時將電晶體T13確實設定為關閉狀態，並可防止節點N2的準位有不必要的上升。亦即，可進一步確實防止閘極線GL的選取狀態時的電晶體T2為開啟狀態。

<第10實施型態>

第21圖為電路圖，表示第10實施型態之單位移位暫存器電路SR的構造。該單位移位暫存器電路SR相對於第3圖的電路構造，使用電晶體T15~T19來取代電晶體T5，T6。亦即，本實施型態之單位移位暫存器電路SR的驅動部由電晶體T3，T4，T7，T8，T15~T19來構成。

電晶體T15，T16以串聯方式連接至第二電源端子s2(電源VDD)和基準電壓端子(接地端GND)之間，兩者間的連接節點連接至節點N2。電晶體T15作二極體串接，具有負荷的功能。另外，電晶體T16的閘極連接至節點N1。

電晶體T17，T18以串聯方式連接至節點N1和基準電壓端子(接地端GND)之間，它們的閘極共同連接至第二時鐘端子B(若為和第二時鐘端子B的時鐘訊號同步的訊號敦子，則可使用其他端子)。將兩者間的連接節點定義為節點N7。電晶體T19連接至該節點N7和第八電源端子s8之間，其閘極連接至節點N1。另外，在本實施型態中，第八電源端子s8連接至電源VDM。

本實施型態中的單位移位暫存器電路SR的驅動部和以上所示的實施型態相比，具有不同的電路構造，但是，其動作幾乎相同。亦即，本實施型態之驅動部亦和輸入至第二時鐘端子B的時鐘訊號同步，對節點N1供給基準電壓端子

(接地端 GND) 的電壓，並且，對節點 N2 供給第二電源端子 s2 (電源 VDD) 的電壓，另外，根據輸入端子 IN 的輸入訊號，對節點 N1 供給第一電源端子 s1 (電源 VDD) 的電壓，並且，對節點 N2 供給基準電壓端子 (接地端 GND) 的電壓。下面將說明其動作。

第 22 圖為時序圖，用來說明第 10 實施型態之單位移位暫存器電路 SR 的動作。在此，和第 4 圖中的說明相同，說明對單位移位暫存器電路 SR 的第一時鐘端子 A 輸入時鐘訊號 C1 和對第二時鐘端子 B 輸入時鐘訊號 C3 的情況。

如第 22 圖所示，在時刻 t_0 ，當時鐘訊號 C3 (第二時鐘端子 B) 的準位從 0V 變為 VDD 時，電晶體 T17, T18 開啟，節點 N1 的準位下降。於是，電晶體 T16 關閉，所以，節點 N2 變成 $VDD - V_{th}$ 的準位，藉此，電晶體 T4, T7 開啟，節點 N1 變為 0V。此時，節點 N3, N7 和節點 N1 共同變為 0V。結果，電晶體 T1 關閉，電晶體 T2 變成開啟狀態，所以，輸出端子 OUT 變成 0V，閘極線 GL 變成低阻抗的非活性狀態 (非選取狀態)。

接著，在時刻 t_1 ，當時鐘訊號 C3 恢復至 0V 時，電晶體 T17, T18 變成關閉狀態，但電晶體 T4, T7 為開啟狀態，電晶體 T16 仍然維持關閉狀態，所以，節點 N1 為 0V，節點 N2 未從 $VDD - V_{th}$ 的準位產生變化。

然後，在時刻 t_2 ，對輸入端子 IN 輸入輸入訊號，當該輸入端子 IN 的準位變成 VDD 時，電晶體 T3 變成開啟狀態，節點 N1 的準位上升。於是，電晶體 T16 開啟，節點 N2 變成 0V，藉此，電晶體 T2, T4, T7 關閉，所以，節點 N1 變成 $VDD - V_{th}$

的準位。

在本實施型態中，此時，電晶體T8，T19變成開啟狀態，分別對節點N3，N7供給電源VDM的電壓，節點N3，N7的準位變為VDM。亦即，電晶體T4，T7一起變成逆偏壓狀態。

然後，在時刻t3，當輸入端子IN恢復至0V時，電晶體T3變成關閉狀態，但是電晶體T4，T7，T17，T18也變成關閉狀態，所以，節點N1變成浮動狀態。此時，電晶體T4，T7一起變成逆偏壓狀態，所以，在節點N1上幾乎不產生漏電流，節點N1的準位可確實持續維持在 $VDD-V_{th}$ 。

然後，在時刻t4，當第一時鐘端子A的時鐘訊號C1從0V變成VDD時，藉由電晶體T1的閘極和通道之間的電容所導致的電容結合，該閘極的準位隨時鐘訊號C1的上升而上升，節點N1上升至 $2 \times VDD - V_{th}$ 的準位。輸出端子OUT隨著時鐘訊號C1的上升而變成VDD的準位，藉此，閘極線GL被活性化。

在時刻t5，時鐘訊號C1變成0V。幾乎不產生節點N1的漏電流，所以，在此之前，節點N1的準位維持在 $2 \times VDD - V_{th}$ ，輸出端子OUT的準位隨著時鐘訊號C1而下降至0V。

在時刻t6以後，反覆上述的動作。但是，閘極線驅動電路30藉由在一個訊框期間循環一次的周期，依序將閘極線GL一個一個活性化，所以，在一個單位移位暫存器電路SR上，於一個訊框期間，僅輸入一次輸入訊號。亦可在未輸入輸入訊號的期間（亦即，閘極線GL的非選取狀態期間），分別對輸入第一時鐘端子A及第二時鐘端子B輸入時鐘訊號C1，C3。在該期間，電晶體T4，T7開啟，電晶體T16

關閉，所以，節點N1變為0V，節點N2維持在 $V_{DD}-V_{th}$ 。於是，在閘極線GL的非選取狀態時，電晶體T1維持在關閉狀態，電晶體T2維持在開啟狀態。

例如，在第1至5實施型態所示之單位移位暫存器電路SR中，在未輸入輸入訊號的期間，當第二時鐘端子B變成0V時，節點N2變成浮動狀態，所以，變產生了若節點N2上產生漏電流則無法維持 $V_{DD}-V_{th}$ 的準位的問題。如前所述，特別是當以第13圖的方式連接複數個單位移位暫存器電路SR來使用時，節點N2變成浮動狀態的期間為一個訊框期間，所以，那變成一個大問題。因此，在本說明書的第6至9實施型態中，提出一種可解決該問題的單位移位暫存器電路SR。

相對於此，在本實施型態的單位移位暫存器電路SR中，一旦節點N1被設定為0V且節點N2被設定為 $V_{DD}-V_{th}$ ，在輸入端子IN接著變成VDD之前的期間，電晶體T4, T7維持在開啟狀態，電晶體T16維持在關閉狀態，所以，節點N2不會變成浮動狀態，而維持在 $V_{DD}-V_{th}$ 的準位。換言之，電晶體T3, T4, T7, T5, T16具有如正反器電路的功能，能將節點N1為0V而節點N2為 $V_{DD}-V_{th}$ 的狀態變成被門鎖的狀態。於是，在本實施型態中，具有不會產生節點N2的漏電流所引起的上述問題的好處。但是，在對輸入端子IN輸入輸入訊號且節點N2被設定為0V的期間(第22圖的時刻 $t_2 \sim t_6$)，有通過電晶體T15, T16從電源VDD流至接地端GND的擊穿電流流過，所以，相較於第1至9實施型態，消耗電力變大。

另外，關於如上所說明的本實施型態之單位移位暫存器電路SR的驅動部，其構造為，在節點N1的準位變成VDD-V_{th}的期間（電晶體T4，T7，T17，T18關閉的期間，在本實施型態中為第22圖的時刻t2~t6），電晶體T8，T19開啟，分別對節點N3，N7施加電源VDD的電壓。亦即，在該期間，介於節點N1和接地端GND之間的電晶體T4，T17變成逆偏壓狀態，所以，節點N1的漏電流減少。

於是，藉由本實施型態，可抑制充電時的節點N1的準位下降。於是，和第1實施型態相同，可避開輸出端子OUT無法追隨時鐘訊號C1的準位的變動的問題。另外，輸出端子OUT的輸出訊號的下降時間（閘極線GL的放電時間）比過去的閘極線驅動電路短，所以，可得到使閘極線GL的驅動動作中的時序預留空間變大的效果。

此外，在第21圖中，表示將電源VDM連接至第三電源端子s3及第八電源端子s8的構造，但是，亦可連接至和第一電源端子s1相同的電源VDD。在此情況下，具有可減少所需要的電源數的好處。但是，根據TFT的種類來顯示第6圖之虛線所示的I_{DS}-V_{GS}特性，所以，當將第三電源端子s3及第八電源端子s8的準位設為VDD這樣的高準位時，有時電晶體T4，T17的漏電流的降低效果會變小，此點必須注意。

另外，在本實施型態中，分別設置用來對節點N3施加電源VDM的電壓的電路（第三電源端子s3及電晶體T8）、對節點N7施加電源VDM的電壓的電路（第八電源端子s8及電晶體T19），但是，如第23圖所示，若以共通方式來連接節點N3

和節點N7，對它們施加電源VDM的電壓的電路只需要一個就好，可縮小電路規模。在第23圖中，電晶體T8對節點N3，N7兩方供給第三電源端子s3的電壓。在電晶體T8變為開啟狀態的期間（節點N1變為VDD-V_{th}的期間），電晶體T4，T7，T17，T18全都是關閉狀態，所以，可進行和上述相同的動作。

<第11實施型態>

第24圖為電路圖，表示第11實施型態之單位移位暫存器電路SR的構造。在第10實施型態中，用來對節點N3，N7施加電壓VDM的電晶體T8，T19的閘極連接至節點N1，但是，在第11實施型態中，將它們連接至輸出端子OUT。亦即，電晶體T8，T19在輸出端子OUT的準位變成VDD時，以開啟狀態來動作。

於是，在本實施型態中，僅在第22圖的時序圖中的時刻t4~t5的期間，對節點N3，N7施加電壓VDM。但是，在時刻t5~t6的期間，節點N3，N7變成浮動狀態，亦在該期間維持在VDM的準位。亦即，在本實施型態中，在時刻t4~t6的期間，電晶體T4，T17變為負偏壓狀態，可抑制節點N1的漏電流。

於是，藉由本實施型態，可得到上述的第2實施型態的效果。亦即，在抑制節點N1的漏電流方面，可得到和第1實施型態相同的效果。另外，藉由第10實施型態，連接至節點N1的電晶體的數目可以變少，所以，可得到一效果，亦即，該節點N1的寄生電容降低且有效率地造成第一時鐘端子A的時鐘訊號所引起的節點N1升壓。

另外，雖然省略了圖示，在本實施型態鐘，亦可以共通方式來連接節點N3和節點N7。在此情況下，對節點N3, N7施加電源VDM的電壓的電路可僅為一個，如此可縮小電路規模。

<第12實施型態>

第25圖為電路圖，表示第12實施型態之單位移位暫存器電路SR的構造。在本實施型態中，在第10實施型態的單位移位暫存器電路SR上應用第3實施型態的技術。亦即，關於本實施型態之單位移位暫存器電路SR的構造，第21圖的電路的電晶體T1的閘極(節點N4)和節點N1的連接是透過電晶體T9來完成。電晶體T9的閘極所連接的第四電源端子s4和第一電源端子s1及第二電源端子s2相同，連接至電源VDD。

在此單位移位暫存器電路SR中，亦在電晶體T1的閘極(節點N4)升壓至 $2 \times VDD - V_{th}$ 的準位的期間(第22圖的時刻 $t4 \sim t5$)，節點N1設定為電晶體T7的源極隨耦器動作所決定的電壓準位。在第25圖中，電晶體T9的閘極電壓準位為VDD，所以，節點N1未從 $VDD - V_{th}$ 產生變化。於是，得到在時刻 $t4 \sim t5$ 的期間的電晶體T4的汲極源極間電壓(節點N1, N3間電壓)及電晶體T17的汲極源極間電壓(節點N1, N7間電壓)比第10實施型態中的小且該期間的電晶體T4的漏電流則更小的效果。

此外，在本實施型態中，電晶體T9的閘極亦即第四電源端子s4和第一電源端子s1及第二電源端子s2相同，連接

至電源VDD，但是，若可藉由電晶體T9的源極隨耦器動作將節點N1的準位設定為和節點N3，N7的準位(VDM)相近的值，則可使用其他電源，在此情況下，亦可得到和上述相同的效果。

<第13實施型態>

第26圖為電路圖，表示第13實施型態之單位移位暫存器電路SR的構造。本實施型態組合了第11實施型態和第12實施型態。亦即，電晶體T8，T19的閘極連接至輸出端子OUT，並且，在電晶體T1的閘極和節點N1之間，設置有閘極連接至第四電源端子s4的電晶體T9。在本實施型態中，第四電源端子s4亦連接至電源VDD。

在上述的第12實施型態中，如第25圖所示，在節點N1上，連接有7個電晶體，所以，有該節點N1的寄生電容增加的疑慮。但是，在本實施型態中，藉由應用第11實施型態，電晶體T8，T19不連接至節點N1，所以，可抑制該問題。另外，和第12實施型態相同，即使當節點N4升壓至 $2 \times VDD - V_{th}$ 時，節點N1仍維持在 $VDD - V_{th}$ ，所以，可得到此時的電晶體T4，T19的汲極源極間電壓變小且可抑制電晶體T4，T19的漏電流的效果。

<第14實施型態>

第27圖為電路圖，表示第14實施型態之單位移位暫存器電路SR的構造。該單位移位暫存器電路的構造在第13實施型態(第26圖)的電路上應用第5實施型態，在第三電源端子s3及第八電源端子s8上，連接有和第一電源端子s1及第

四電源端子s4相同的電源VDD。

在電晶體T9的閘極所連接的第四電源端子s4上，連接有電源VDD，所以，和第13實施型態相同，即使當節點N4升壓至 $2 \times VDD - V_{th}$ 時，節點N1仍維持在 $VDD - V_{th}$ 。另外，在第三電源端子s3及第八電源端子s8上，連接有電源VDD，所以，此時的節點N3的準位亦為 $VDD - V_{th}$ 。亦即，電晶體T4及電晶體T17的汲極源極間電壓一起幾乎為0V，在該電晶體T4, T17的汲極和源極之間，沒有漏電流流過。於是產生的結果為，得到可抑制節點N4亦即電晶體T1的閘極電壓準位下降的效果。

此外，在本實施型態中，避免電源個數的增加，在電三電源端子s3、第四電源端子s4及第八電源端子s8的上連接電源VDD，但是，若可在節點N1升壓時將節點N1, N4, N7的準位設定為幾乎相同的值，可使用其他電源。

<第15實施型態>

例如，在第1實施型態的單位移位暫存器電路SR中，顯示一構造，如第3圖所示，使用連接至第三電源端子s3的電源VDM及電晶體T7, T8，藉由將電晶體T4設定為負偏壓狀態，抑制節點N1的漏電流。在本實施型態中，提出一種不使用它們而可將電晶體T4設定為負偏壓狀態的單位移位暫存器電路SR。

第28圖為電路圖，表示第15實施型態之單位移位暫存器電路SR的構造。在本實施型態中，電晶體T4的源極亦即節點N3連接至輸出端子OUT。如上所述，在此電路中，不需

要第3圖所示的第三電源端子s3(電源VDM)及電晶體T7, T8。

從第3圖可知，在電晶體T2及電晶體T7中，源極都連接至接地端GND，閘極都連接至節點N2，所以，兩者以幾乎相同的時序進行開啟或關閉的切換動作。於是，如第28圖所示，在節點N3和接地端GND之間(取代電晶體T7)，即使連接電晶體T2，也可進行和第3圖的電路相同的正常動作。

但是，在第28圖的單位移位暫存器電路SR中，節點N3連接至輸出端子OUT，所以，當輸出端子OUT的準位為VDD時，節點N3的準位亦變為VDD。亦即，在本實施型態中，在第4圖的時序圖的時刻t4~t5的期間，節點N3的準位以變成VDD的方式來動作。於是，在該期間，電晶體T4變為負偏壓狀態，節點N1的漏電流被抑制。

參照第4圖的時序圖，在防止節點N1的漏電流的期間為在節點N1被充電的狀態下從電晶體T3變成關閉狀態的時刻t4到第一時鐘端子A的時鐘訊號C1下降的時刻t5的期間，但是，該漏電流特別容易在節點N1的準位上升至 $2 \times VDD - V_{th}$ 的時刻t4~t5的期間產生。於是，如本實施型態所示，在構造上，即使僅在時刻t4~t5的期間，電晶體T4變成負偏壓狀態，在抑制節點N1的漏電流方面，也可得到和第1實施型態相同的效果。

另外，在本實施型態中，相較於第1實施型態，可減少所需要的電晶體及電源的數目，所以，可縮小電路規模。另外，連接至節點N1的電晶體的數目亦可變得比第1實施型

態中的少，所以，可得到一效果，亦即，該節點N1的寄生電容降低且更有效率地造成第一時鐘端子A的時鐘訊號所引起的節點N1升壓。

<第16實施型態>

第29圖為電路圖，表示第16實施型態之單位移位暫存器電路SR的構造。在本實施型態中，在第10實施型態的單位移位暫存器電路SR上應用第15實施型態的技術。

在本實施型態中，節點N3(電晶體T4的源極)及節點N7(電晶體T17, T18之間的連接節點)一起連接至輸出端子OUT。在本實施型態中，不需要第21圖所示的第三電源端子s3及第八電源端子s8(電源VDM)和電晶體T7, T8, T19。

在節點N3和接地端GND之間(取代電晶體T7)，即使連接電晶體T2，也不會有動作上的問題，此點已在第15實施型態中說明過。

另一方面，若著眼於第22圖所示的單位移位暫存器電路SR的正常動作中的電晶體T2, T17, T18的作用，當電晶體T17, T18開啟時，電晶體T2亦開啟，並且，當電晶體T2關閉且輸出端子OUT的準位變成VDD時，電晶體T17, T18關閉，所以，即使節點N7連接至輸出端子OUT，也不會產生動作上的問題。

此外，在該正常動作中，必須根據第二時鐘端子B的時鐘訊號，將節點N1設定為0V，所以，無法省略電晶體T18。在節點N1和接地端GND之間，亦連接有電晶體T2，但是，在第10實施型態中曾說明過，節點N1的準位下降，電晶體T16

開啟，節點N2的準位上升，藉此，開該電晶體T2開始開啟，所以，在實質上，無法透過電晶體T2使節點N1放電。

在第29圖的單位移位暫存器電路SR中，節點N3，N7連接至輸出端子OUT，所以，當輸出端子OUT的準位為VDD時，節點N3，N7的準位亦為VDD。亦即，在本實施型態中，在第4圖的時序圖的時刻 $t_4 \sim t_4$ 的期間，節點N3，N7的準位變成VDD來動作。於是，在該期間，電晶體T4，T17變成負偏壓狀態，節點N1的漏電流受到抑制。

參照第22圖的時序圖，在防止節點N1的漏電流的期間為在節點N1被充電的狀態下從電晶體T3變成關閉狀態的時刻 t_4 到第一時鐘端子A的時鐘訊號C1下降的時刻 t_5 的期間，但是，該漏電流特別容易在節點N1的準位上升至 $2 \times V_{DD} - V_{th}$ 的時刻 $t_4 \sim t_5$ 的期間產生。於是，如本實施型態所示，在構造上，即使僅在時刻 $t_4 \sim t_5$ 的期間，電晶體T4變成負偏壓狀態，在抑制節點N1的漏電流方面，也可得到和第15實施型態相同的效果。

另外，在本實施型態中，相較於第10實施型態，可減少所需要的電晶體及電源的數目，所以，可縮小電路規模。另外，連接至節點N1的電晶體的數目亦可變得比第10實施型態中的少，所以，可得到一效果，亦即，該節點N1的寄生電容降低且更有效率地造成第一時鐘端子A的時鐘訊號所引起的節點N1升壓。

<第17實施型態>

在顯示裝置中，閘極線GL和資料線DL之間的寄生電容

結合所引起的來自資料線DL的雜訊等可加入閘極線GL的非選取狀態時的單位移位暫存器電路SR的輸出端子OUT。

例如，在第15實施型態的單位移位暫存器電路SR(第28圖)中，在閘極線GL的非選取狀態時，節點N2的準位為 $V_{DD}-V_{th}$ ，所以，電晶體T4開啟。此時，若對輸出端子OUT加入來自閘極線GL的雜訊，該雜訊通過電晶體T4而被傳送至節點N1。藉此，當電晶體T1開啟時，無論是否為非選取狀態，所對應的閘極線GL都被活性化，有顯示無法正常進行的錯誤動作發生的疑慮。

第30圖為電路圖，表示第17實施型態之單位移位暫存器電路SR的構造。如同一圖所示，在該單位移位暫存器電路SR中，節點N3未連接至輸出端子OUT。

在節點N3和第一時鐘端子A之間，連接有電晶體T21，在節點N3和接地端GND(基準電壓端子)之間，連接有電晶體T22。亦即，電晶體T21，T22這組和電晶體T1，T2這組相互以並聯的方式連接。該電晶體T21的閘極和電晶體T21的閘極相同，連接至節點N1，該電晶體T22的閘極和電晶體T2相同，連接至節點N2。除了這些點之外，其餘為和第28圖相同的構造。

電晶體T21，T22分別進行和電晶體T1，T2相同的動作，所以，節點N3的準位和輸出端子OUT的準位以完全相同的方式變化。結果，第30圖的單位移位暫存器電路SR進行和第15實施型態的單位移位暫存器電路SR相同的動作。亦即，在本實施型態中，亦於第4圖的時序圖的時刻 $t_4 \sim t_5$ 的

期間，電晶體T4為負偏壓狀態，節點N1的漏電流受到抑制。

但是，在本實施型態中，和第15實施型態不同，輸出端子OUT和節點N3之間為分離狀態。於是，即使對輸出端子OUT加入來自閘極線GL的雜訊，也可防止其被傳送至節點N1，如此可避開上述的錯誤動作的問題。

<第18實施型態>

在本實施型態中，在第16實施型態的單位移位暫存器電路SR(第29圖)上應用第17實施型態的技術。

第31圖為電路圖，表示第18實施型態之單位移位暫存器電路SR的構造。如同一圖所示，在該單位移位暫存器電路SR中，節點N3和輸出端子OUT不連接。

和第17實施型態相同，在節點N3和第一時鐘端子A之間，連接有閘極連接至節點N1的電晶體T21，在節點N3和接地端GND(基準電壓端子)之間，連接有閘極連接至節點N2的電晶體T22。除了這些點之外，其餘為和第29圖相同的構造。

電晶體T21，T22分別進行和電晶體T1，T2相同的動作，所以，節點N3的準位和輸出端子OUT的準位以完全相同的方式變動。結果，第31圖的單位移位暫存器電路SR進行和第16實施型態的單位移位暫存器電路SR相同的動作。亦即，在本實施型態中，亦於第4圖的時序圖的時刻 $t_4 \sim t_5$ 的期間，電晶體T4為負偏壓狀態，節點N1的漏電流受到抑制。

但是，在本實施型態中，和第16實施型態不同，輸出端子OUT和節點N3之間為分離狀態，所以，即使對輸出端子

OUT加入來自閘極線GL的雜訊，也可避開上述的錯誤動作的問題。

【圖式簡單說明】

第1圖為概略方塊圖，表示本發明實施型態之顯示裝置的構造。

第2圖為方塊圖，表示第1實施型態之顯示裝置的閘極線驅動電路的構造。

第3圖為電路圖，表示第1實施型態之單位移位暫存器電路的構造。

第4圖為時序圖，用來說明第1實施型態之單位移位暫存器電路的動作。

第5圖為時序圖，表示第1實施型態之顯示裝置的閘極線驅動電路的動作。

第6圖為用來說明第1實施型態的效果的圖。

第7圖表示在第1實施型態中連接至第三電源端子的電源電路的一例。

第8圖表示在第1實施型態中連接至第三電源端子的電源電路的一例。

第9圖為電路圖，表示第2實施型態之單位移位暫存器電路的構造。

第10圖為電路圖，表示第3實施型態之單位移位暫存器電路的構造。

第11圖為電路圖，表示第4實施型態之單位移位暫存器

電路的構造。

第12圖為電路圖，表示第5實施型態之單位移位暫存器電路的構造。

第13圖為方塊圖，表示第6實施型態之顯示裝置的閘極線驅動電路的構造。

第14圖為時序圖，用來說明第6實施型態之顯示裝置的閘極線驅動電路的動作。

第15圖為電路圖，表示第6實施型態之單位移位暫存器電路的構造。

第16圖為電路圖，表示第7實施型態之單位移位暫存器電路的構造。

第17圖為電路圖，表示第8實施型態之單位移位暫存器電路的構造。

第18圖表示在第8實施型態中連接至第七電源端子的電源電路的一例。

第19圖表示在第8實施型態中連接至第七電源端子的電源電路的一例。

第20圖為電路圖，表示第9實施型態之單位移位暫存器電路的構造。

第21圖為電路圖，表示第10實施型態之單位移位暫存器電路的構造。

第22圖為時序圖，用來說明第10實施型態之單位移位暫存器電路的動作。

第23圖為第10實施型態之變形例的單位移位暫存器電

路的電路圖。

第24圖為電路圖，表示第11實施型態之單位移位暫存器電路的構造。

第25圖為電路圖，表示第12實施型態之單位移位暫存器電路的構造。

第26圖為電路圖，表示第13實施型態之單位移位暫存器電路的構造。

第27圖為電路圖，表示第14實施型態之單位移位暫存器電路的構造。

第28圖為電路圖，表示第15實施型態之單位移位暫存器電路的構造。

第29圖為電路圖，表示第16實施型態之單位移位暫存器電路的構造。

第30圖為電路圖，表示第17實施型態之單位移位暫存器電路的構造。

第31圖為電路圖，表示第18實施型態之單位移位暫存器電路的構造。

【主要元件符號說明】

30 開極線驅動電路

SR 單位移位暫存器電路

GL 開極線

T1~T21 電晶體

N1~N7 節點

I289310

A 第一時鐘端子

B 第二時鐘端子

IN 輸入端子

OUT 輸出端子

GND 接地端

VDD, VDM 電源

s1~s8 電源端子

CB 電容元件

10 液晶顯示裝置

20 液晶陣列部

25 畫素

31 產生器

40 源極驅動器

50 移位暫存器

52 資料門鎖電路

60 階調電壓產生電路

70 解碼電路

80 類比放大器

五、中文發明摘要：

〔課題〕 提供一種可防止起因於漏電流之錯誤動作的移位暫存器電路以及具有此移位暫存器電路之顯示裝置。

〔解決手段〕 移位暫存器電路在其輸出段上具有連接至輸出端子 OUT 和第一時鐘端子 A 之間的電晶體 T1、連接至輸出端子 OUT 和接地端 GND 之間的電晶體 T2。在電晶體 T1 的閘極(節點 N1)和接地端 GND 之間，連接有以串聯方式連接的電晶體 T4, T7。電晶體 T4, T7 之間的節點 N3 透過電晶體 T8 連接至電源 VDM。電晶體 T8 的閘極連接至節點 N1，所以，當電晶體 T4, T7 為關閉狀態且節點 N1 的準位上升時，電晶體 T8 為開啟狀態且對節點 N3 施加既定的電壓。

六、英文發明摘要：

A shift register has an output stage formed by a first transistor connected between an output terminal and a first clock terminal and a second transistor connected between the output terminal and a ground. Third and fourth transistors are connected in series between the gate of the first transistor (first node) and the ground. A second node between the third and fourth transistors is connected to a power source via a fifth transistor. The fifth transistor has its gate connected to the first node. Accordingly, when the third and fourth transistors are turned off to raise the first node in level, the fifth transistor is turned on, whereby a predetermined voltage is applied to the second node.

十、申請專利範圍：

1. 一種移位暫存器電路，包括：

輸入端子及輸出端子；

分別輸入相位相異之第一及第二時鐘訊號的第一及第二時鐘端子；

分別供給第一、第二及第三電壓的第一、第二及第三電壓端子；

連接至上述輸出端子和上述第一時鐘端子之間的第一電晶體；

連接至上述輸出端子和上述第一電壓端子之間的第二電晶體；

上述第一電晶體的控制電極所連接的第一節點；

上述第二電晶體的控制電極所連接的第二節點；及

驅動部，其和上述第二時鐘訊號同步，對上述第一節點供給上述第一電壓且對上述第二節點供給與上述第三電壓對應的電壓，同時，根據上述輸入端子的輸入訊號，對上述第一節點供給與上述第二電壓對應的電壓且對上述第二節點供給上述第一電壓；

其特徵在於：

上述驅動部為用來對上述第一節點供給上述第一電壓的電晶體，包含一邊之主電極連接至上述第一節點且控制電極連接至上述第二節點的第三電晶體，同時，該第三電晶體在遮斷狀態期間，對該第三電晶體另一邊之主電極亦即第三節點施加和上述第一電壓相異的既定電壓。

2. 如申請專利範圍第1項之移位暫存器電路，其中，上述驅動部包含：

第四電晶體，其連接至上述第三節點和上述第一電壓端子之間而且控制電極連接至上述第二節點；

第四電壓端子，其供給既定的第四電壓；及

第五電晶體，其連接至上述第四電壓端子和上述第三節點之間。

3. 如申請專利範圍第2項之移位暫存器電路，其中，上述第五電晶體的控制電極連接至上述第一節點。

4. 如申請專利範圍第1項之移位暫存器電路，其中，在上述驅動部中，上述第一電晶體的控制電極和上述第一節點之間的連接透過第六電晶體來構成，上述第六電晶體的控制電極的控制電極連接至供給既定之第五電壓的第五電壓端子。

5. 如申請專利範圍第1項之移位暫存器電路，其中，上述第三節點連接至上述輸出端子。

6. 如申請專利範圍第1項之移位暫存器電路，其中，上述驅動部包含：

第七電晶體，其連接至上述第三節點和上述第一時鐘端子之間而且控制電極連接至上述第一節點；及

第八電晶體，其連接至上述第三節點和上述第一電壓端子之間而且控制電極連接至第二節點。

7. 如申請專利範圍第1項之移位暫存器電路，其中，上述驅動部包含第九及第十電晶體，其以串聯方式連接至上

述第一節點和上述第一電壓端子之間而且控制電極一起連接至與上述第二時鐘訊號同步的訊號端子，同時，該第九及第十電晶體在遮斷狀態期間，對該第九及第十電晶體之間的連接節點亦即第四節點施加和上述第一電壓相異的既定電壓。

8. 如申請專利範圍第7項之移位暫存器電路，其中，上述驅動部包含：

第六電壓端子，其供給既定的第六電壓；及

第十一電晶體，其連接至上述第六電壓端子和上述第四節點之間而且控制電極連接至上述輸出端子。

9. 如申請專利範圍第7項之移位暫存器電路，其中，上述第四節點連接至上述輸出端子。

10. 如申請專利範圍第7項之移位暫存器電路，其中，上述第四節點連接至上述第三節點。

11. 一種移位暫存器電路，垂直連接複數個申請專利範圍第1項之移位暫存器電路所構成。

12. 一種影像顯示裝置，其特徵在於：將申請專利範圍第1項之移位暫存器電路作為掃描線驅動電路。

13. 一種移位暫存器電路，包括：

輸入端子及輸出端子；

分別輸入相位相異之第一及第二時鐘訊號的第一及第二時鐘端子；

分別供給第一、第二及第三電壓的第一、第二及第三電壓端子；

連接至上述輸出端子和上述第一時鐘端子之間的第一電晶體；

連接至上述輸出端子和上述第一電壓端子之間的第二電晶體；

上述第一電晶體的控制電極所連接的第一節點；

上述第二電晶體的控制電極所連接的第二節點；及

驅動部，其和上述第二時鐘訊號同步，對上述第一節點供給上述第一電壓且對上述第二節點供給與上述第三電壓對應的電壓，同時，根據上述輸入端子的輸入訊號，對上述第一節點供給與上述第二電壓對應的電壓且對上述第二節點供給上述第一電壓；

其特徵在於：

上述驅動部包含以串聯方式連接至上述第二節點和上述第一電壓端子之間而且控制電極連接至上述輸入端子的第三及第四電晶體，同時，該第三及第四電晶體在遮斷狀態期間，對該第三及第四電晶體之間的連接節點亦即第三節點施加和上述第一電壓相異的既定電壓。

14. 如申請專利範圍第13項之移位暫存器電路，其中，上述驅動部包含：

第四電壓端子，其供給既定的第四電壓；及

第五電晶體，其連接至上述第四電壓端子和上述第三節點之間。

15. 如申請專利範圍第14項之移位暫存器電路，其中，上述第五電晶體的控制電極連接至上述第二節點。

16. 一種移位暫存器電路，垂直連接複數個申請專利範圍第13項之移位暫存器電路所構成。

17. 一種影像顯示裝置，將申請專利範圍第13項之移位暫存器電路作為掃描線驅動電路。

18. 一種移位暫存器電路，包括：

輸入端子及輸出端子；

分別輸入相位相異之第一及第二時鐘訊號的第一及第二時鐘端子；

分別供給第一、第二及第三電壓的第一、第二及第三電壓端子；

連接至上述輸出端子和上述第一時鐘端子之間的第一電晶體；

連接至上述輸出端子和上述第一電壓端子之間的第二電晶體；

上述第一電晶體的控制電極所連接的第一節點；

上述第二電晶體的控制電極所連接的第二節點；及

驅動部，其和上述第二時鐘訊號同步，對上述第一節點供給上述第一電壓且對上述第二節點供給與上述第三電壓對應的電壓，同時，根據上述輸入端子的輸入訊號，對上述第一節點供給與上述第二電壓對應的電壓且對上述第二節點供給上述第一電壓；

其特徵在於：

上述驅動部包括補償電路，在上述第二電晶體為導通狀態的期間，其與上述第一時鐘訊號同步，且將上述第二

節點充電至維持上述第二電晶體之導通狀態的準位。

19. 如申請專利範圍第18項之移位暫存器電路，其中，上述補償電路包含：

第四及第五電壓端子，其分別供給既定的第四及第五電壓；

第三電晶體，其連接至上述第二節點和上述第四電壓端子之間；

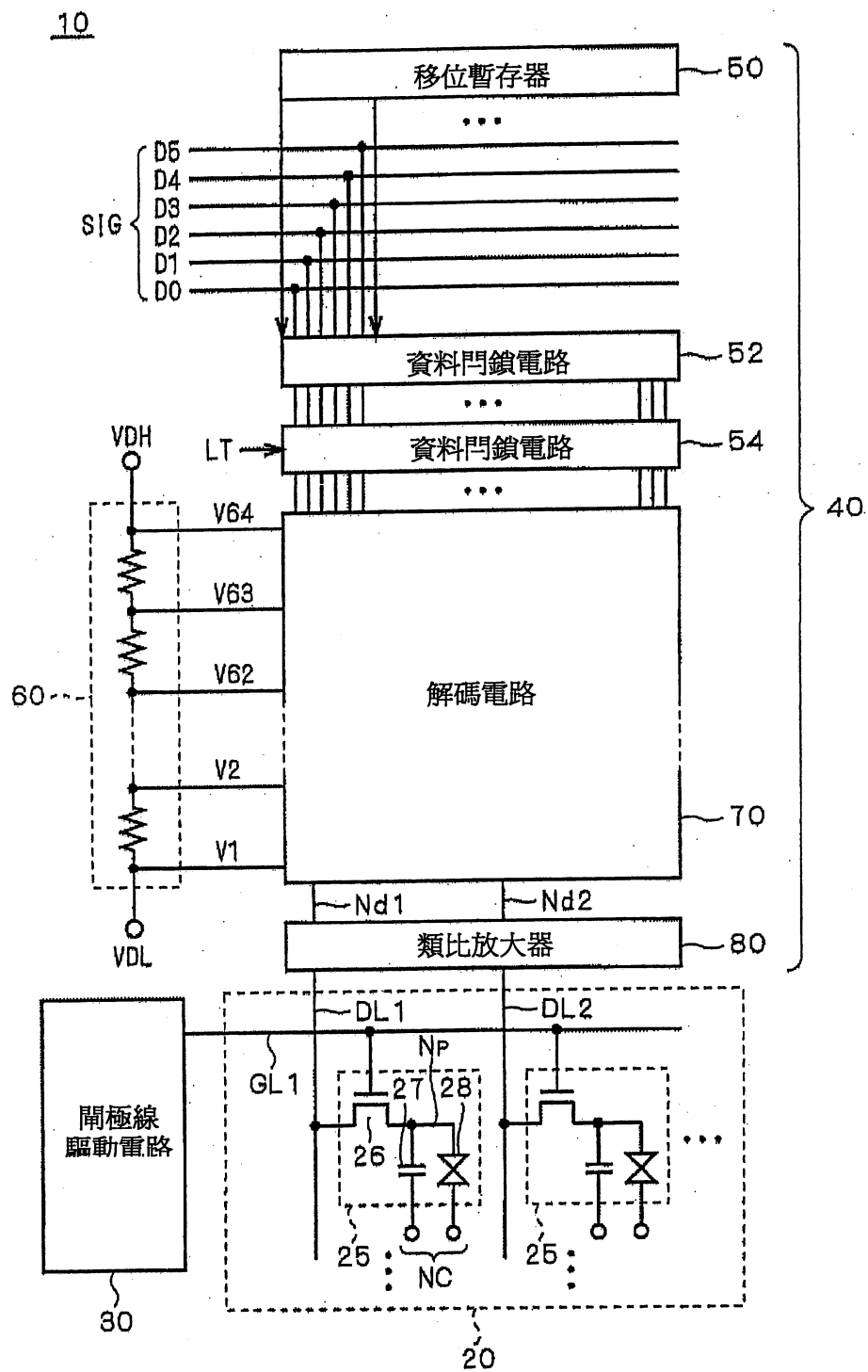
第四電晶體，其連接至上述第三電晶體的控制電及和上述第二節點之間而且控制電極連接至上述第五電壓端子；及

電容元件，其連接至上述第三電晶體的控制電極和上述第一時鐘端子之間。

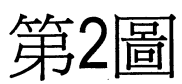
20. 如申請專利範圍第19項之移位暫存器電路，其中，上述電容元件為金氧半(Metal-Oxide Semiconductor)電容元件。

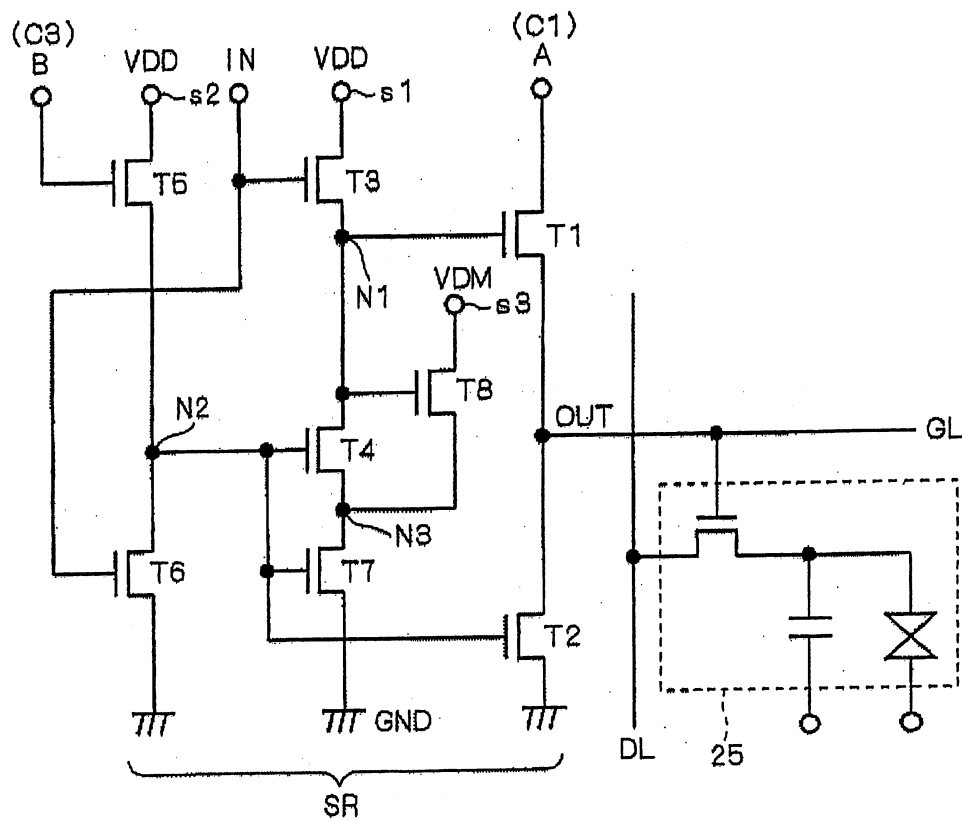
21. 一種移位暫存器電路，垂直連接複數個申請專利範圍第18項之移位暫存器電路所構成。

22. 一種影像顯示裝置，將申請專利範圍第18項之移位暫存器電路作為掃描線驅動電路。

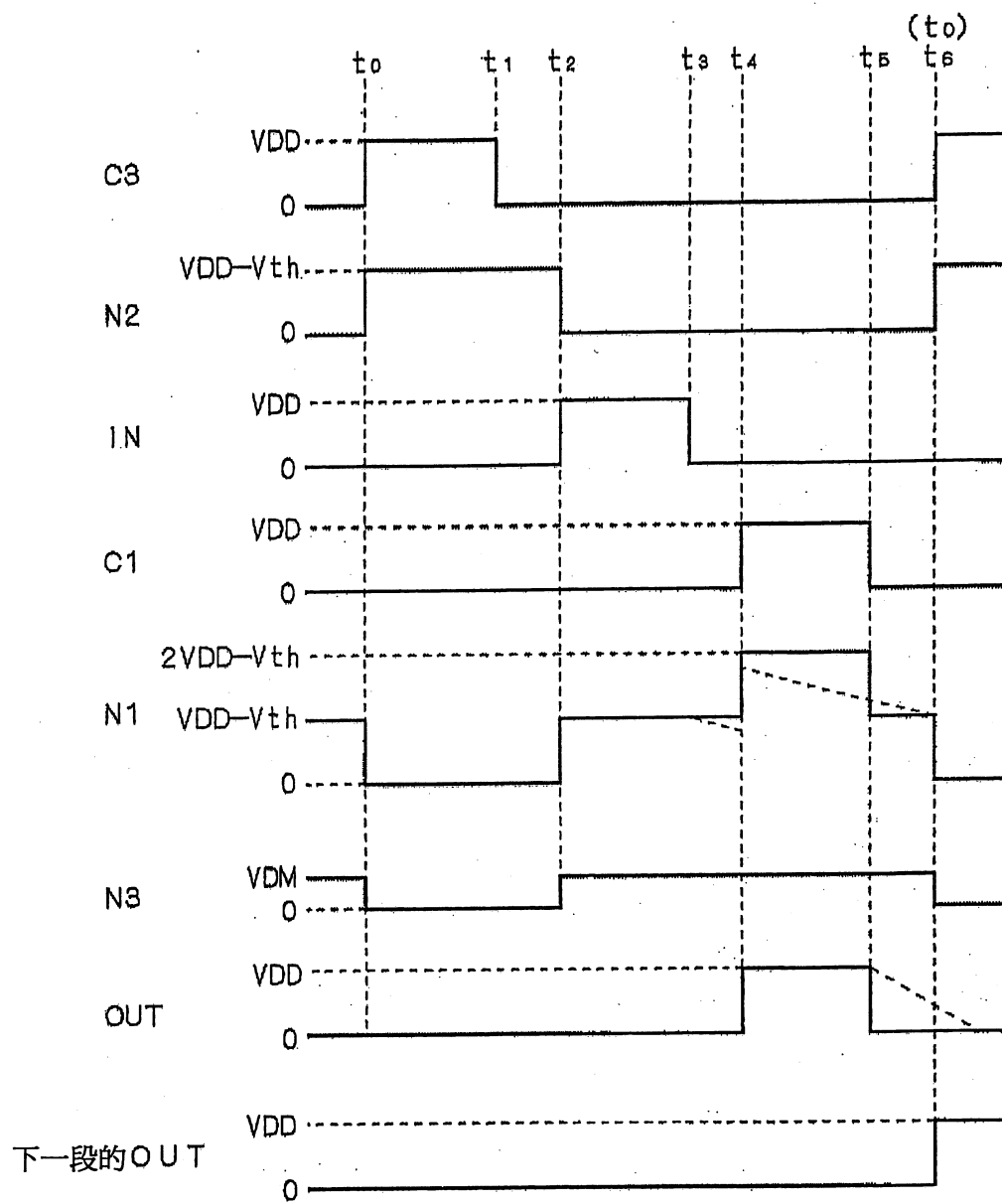


第1圖

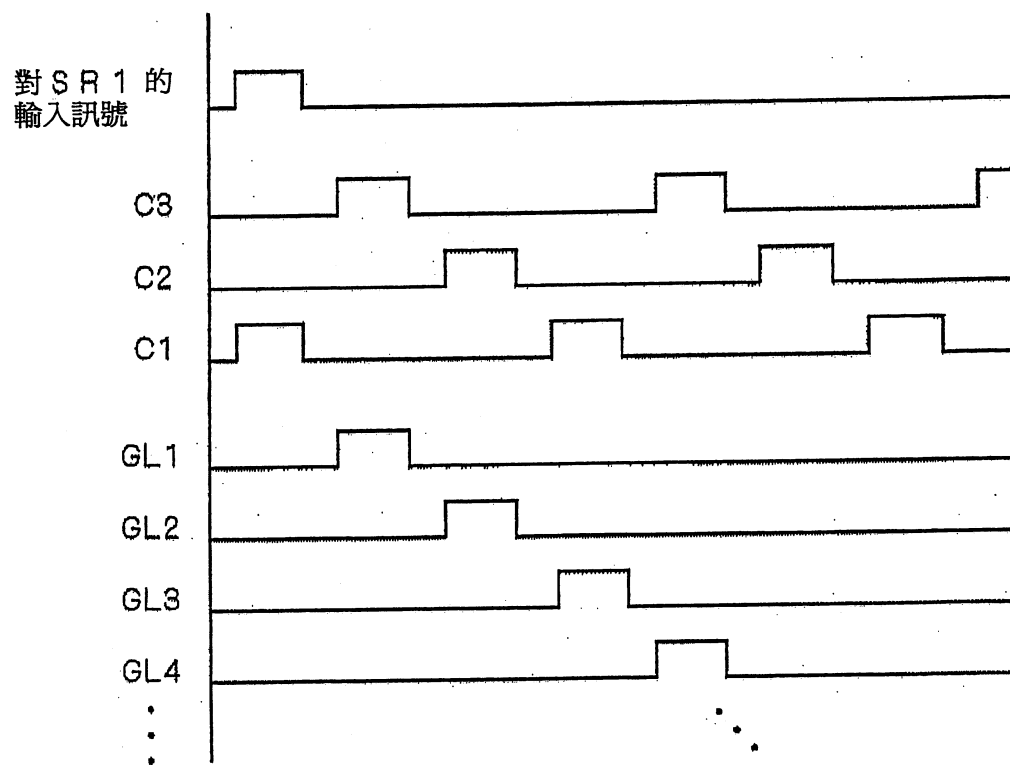




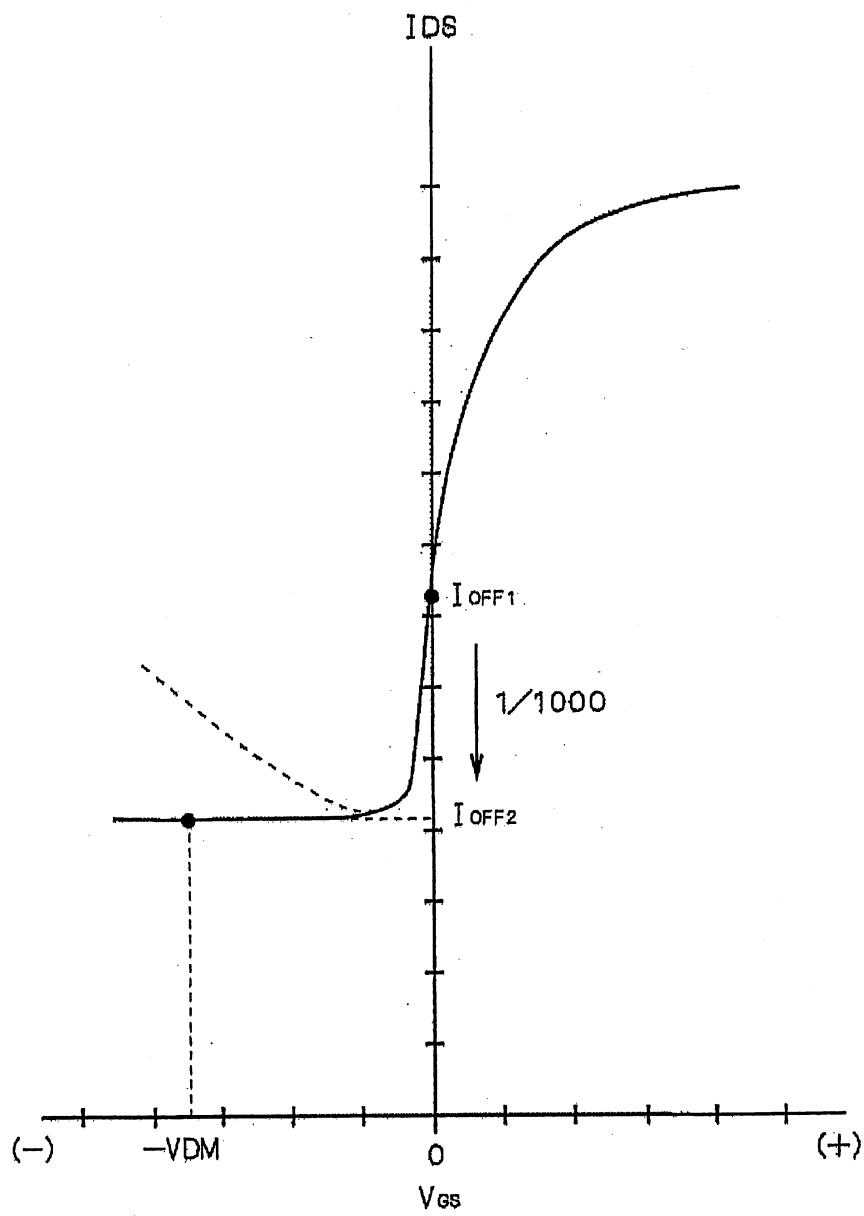
第3圖



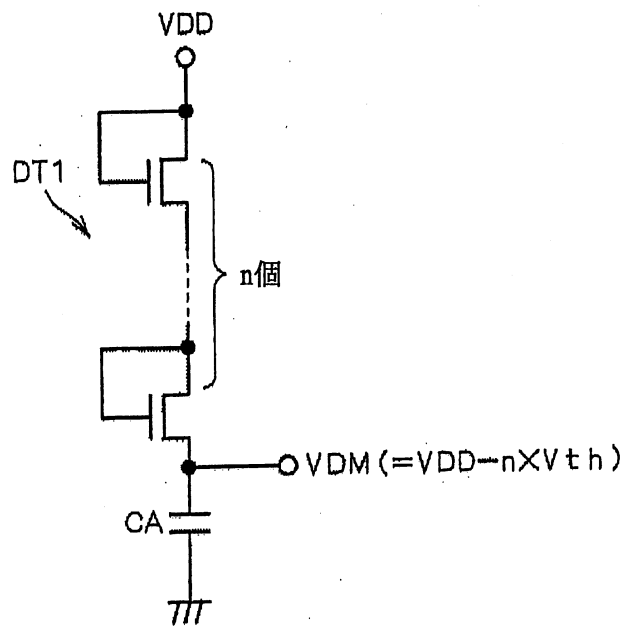
第4圖



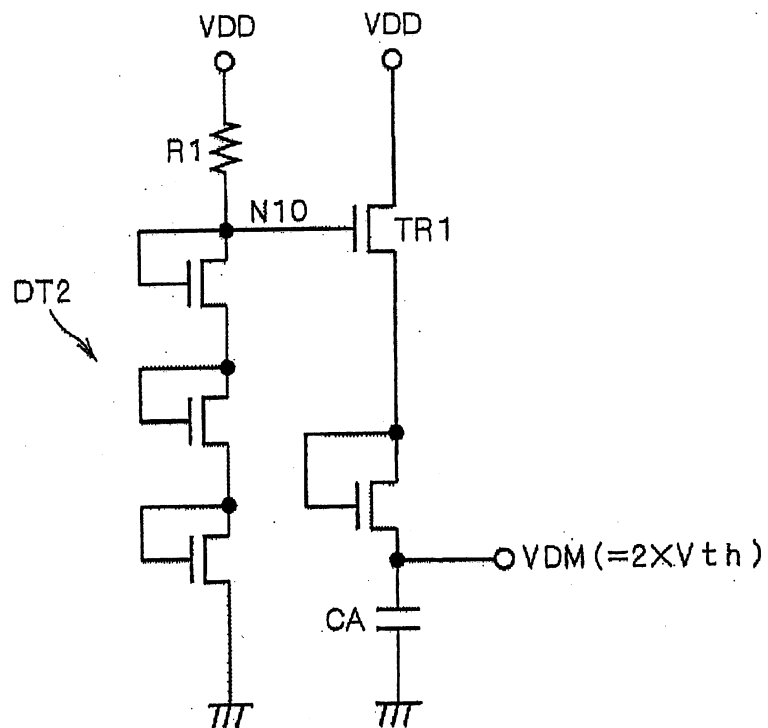
第5圖



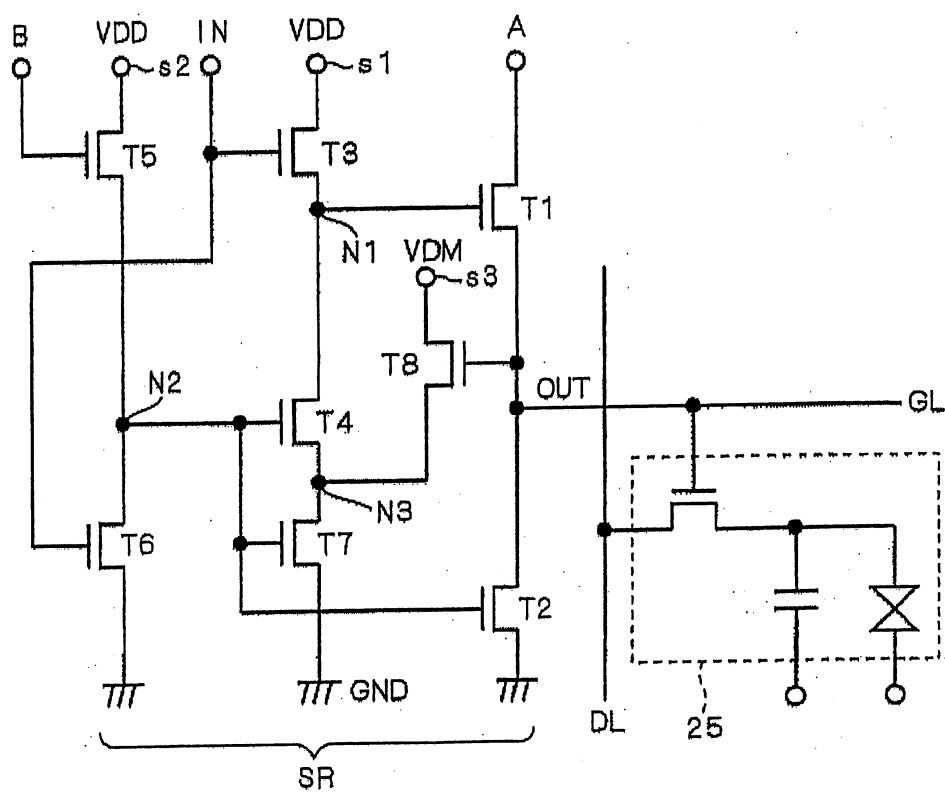
第6圖



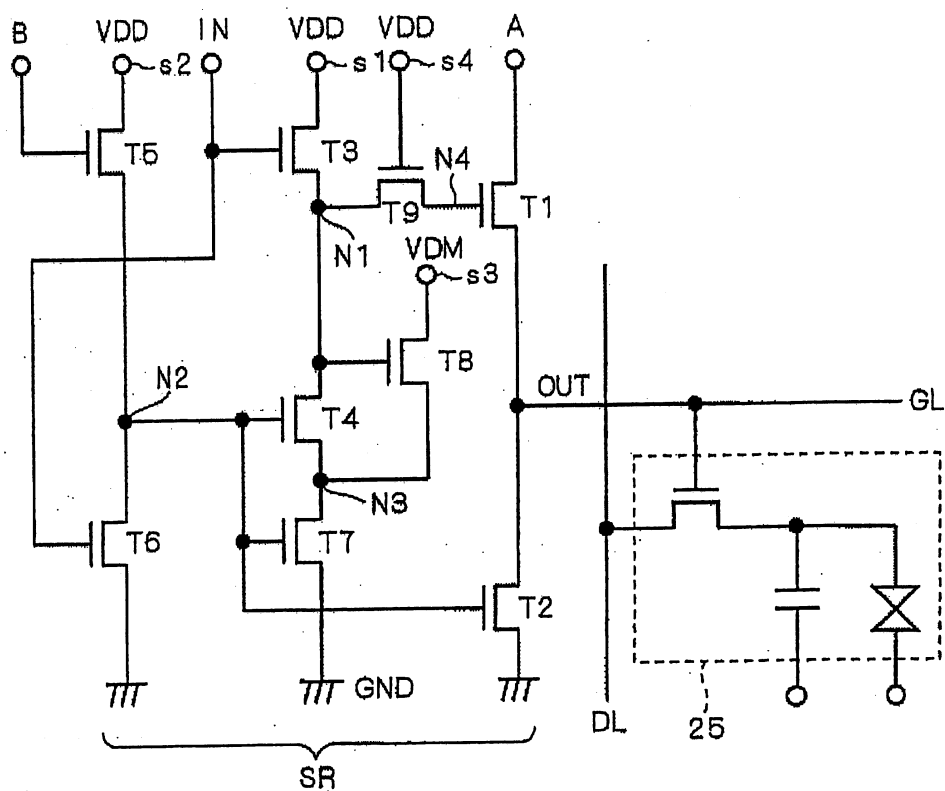
第7圖



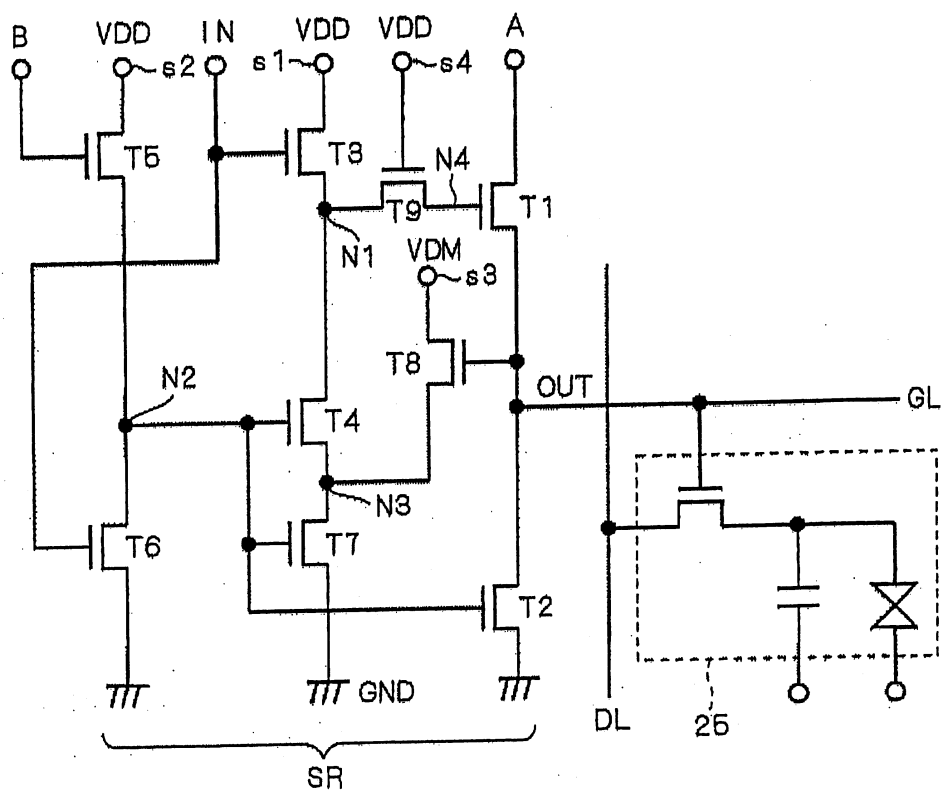
第8圖



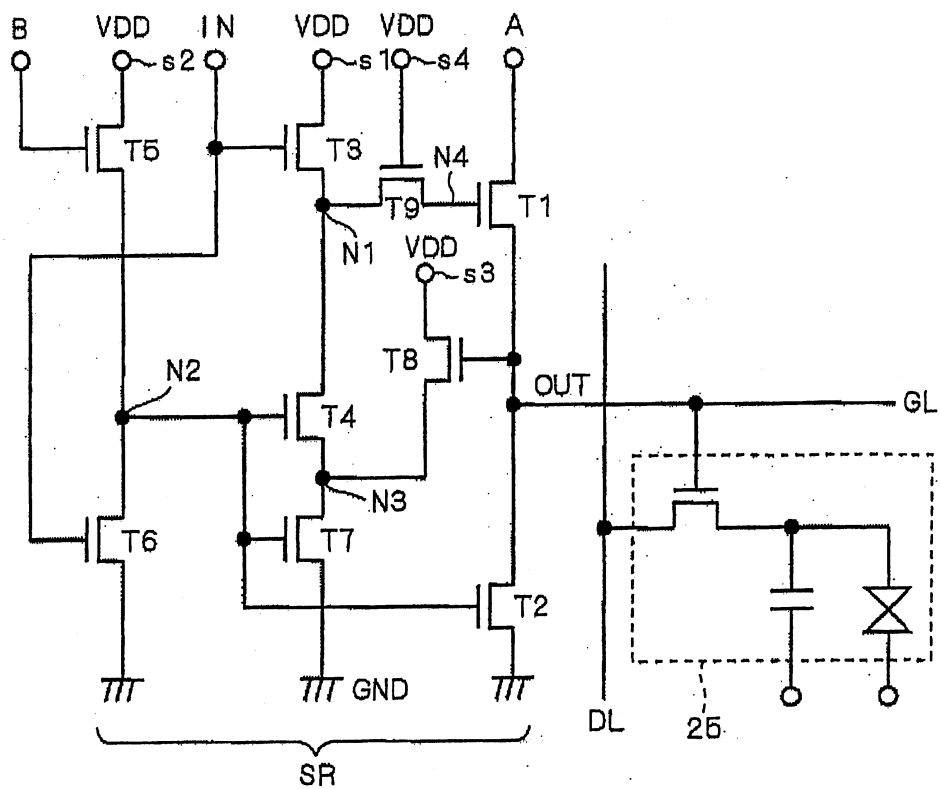
第9圖



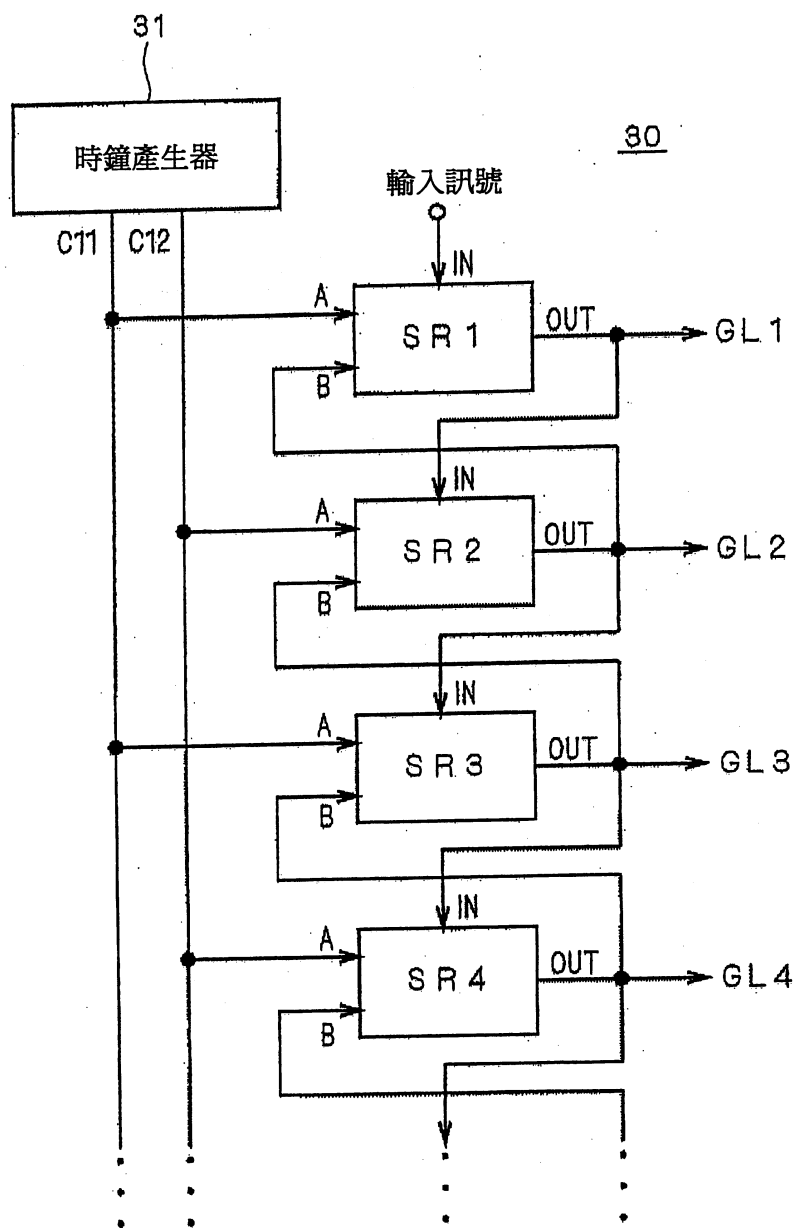
第10圖



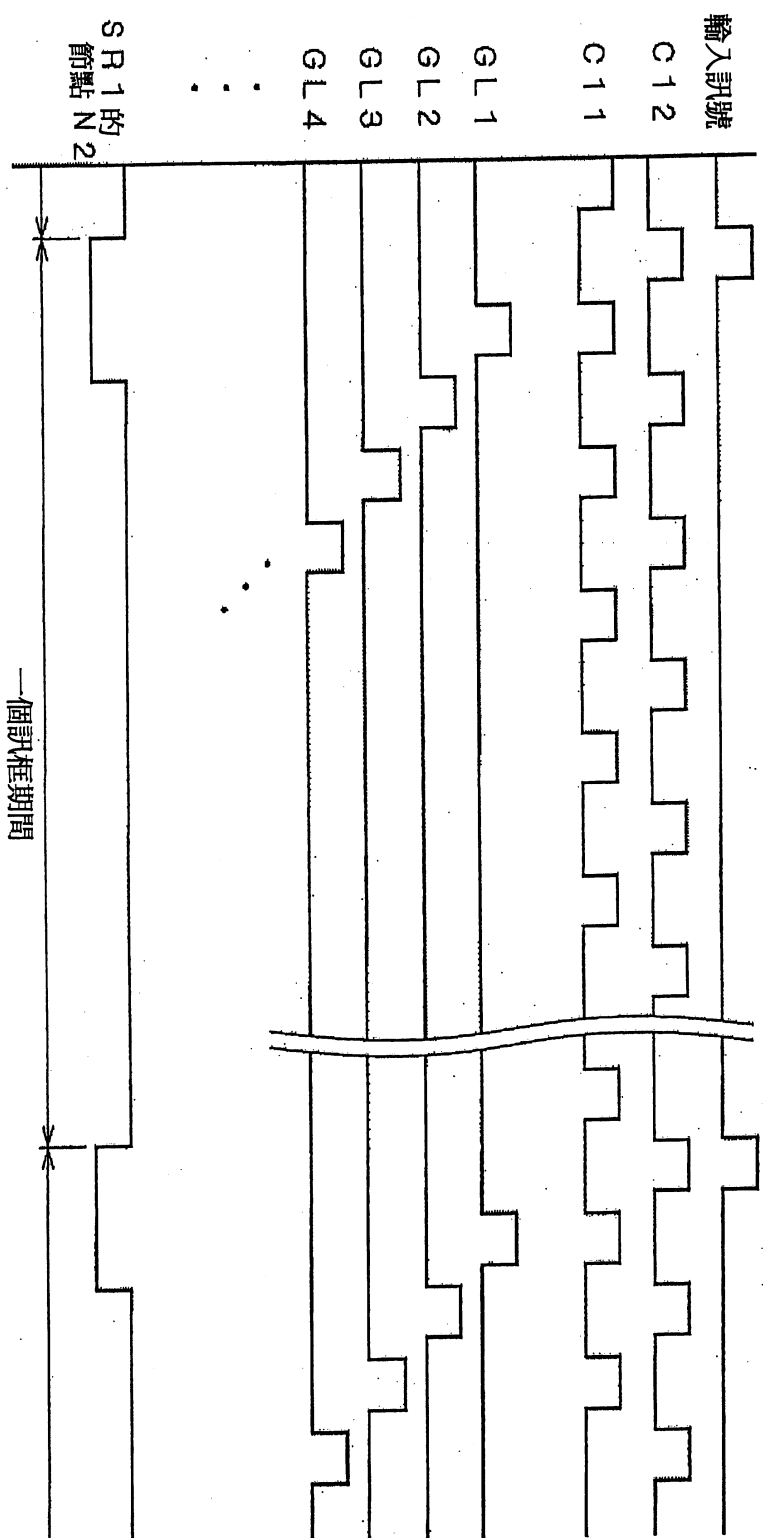
第11圖



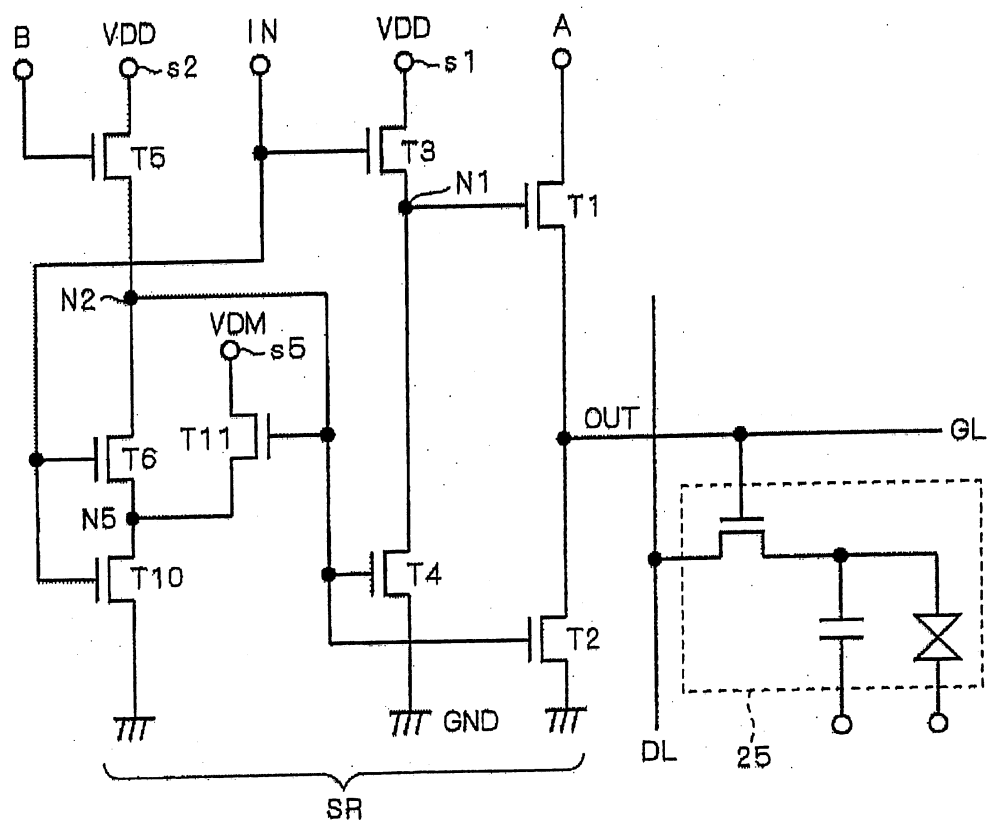
第12圖



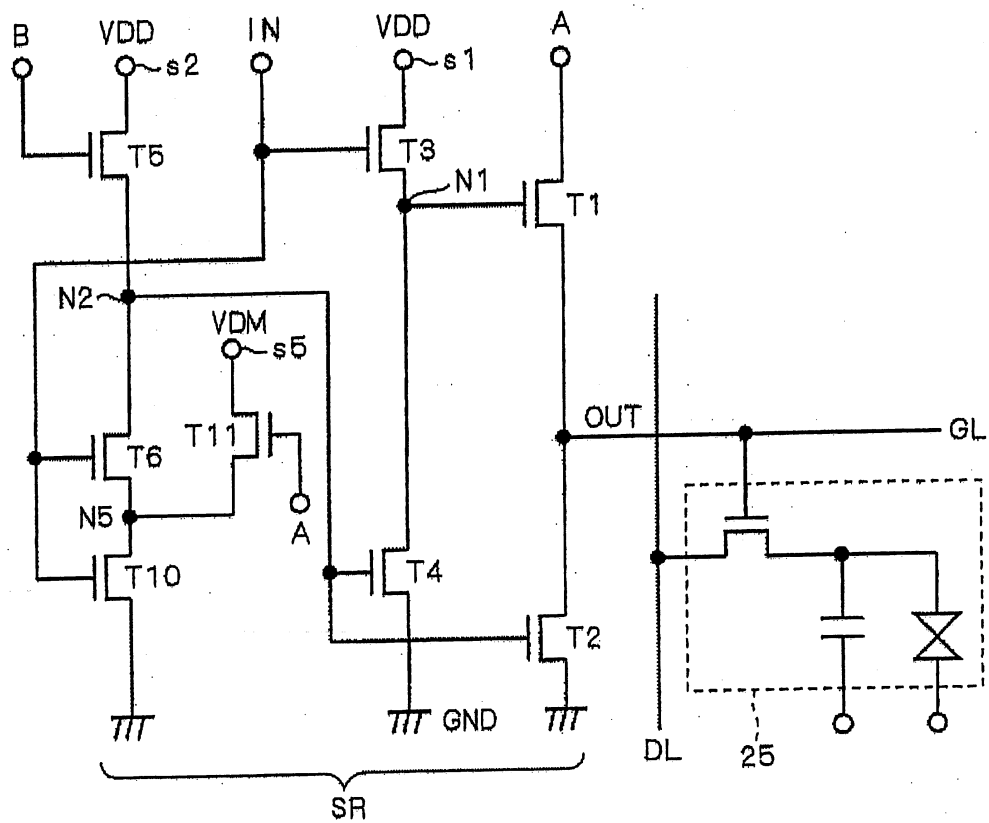
第13圖



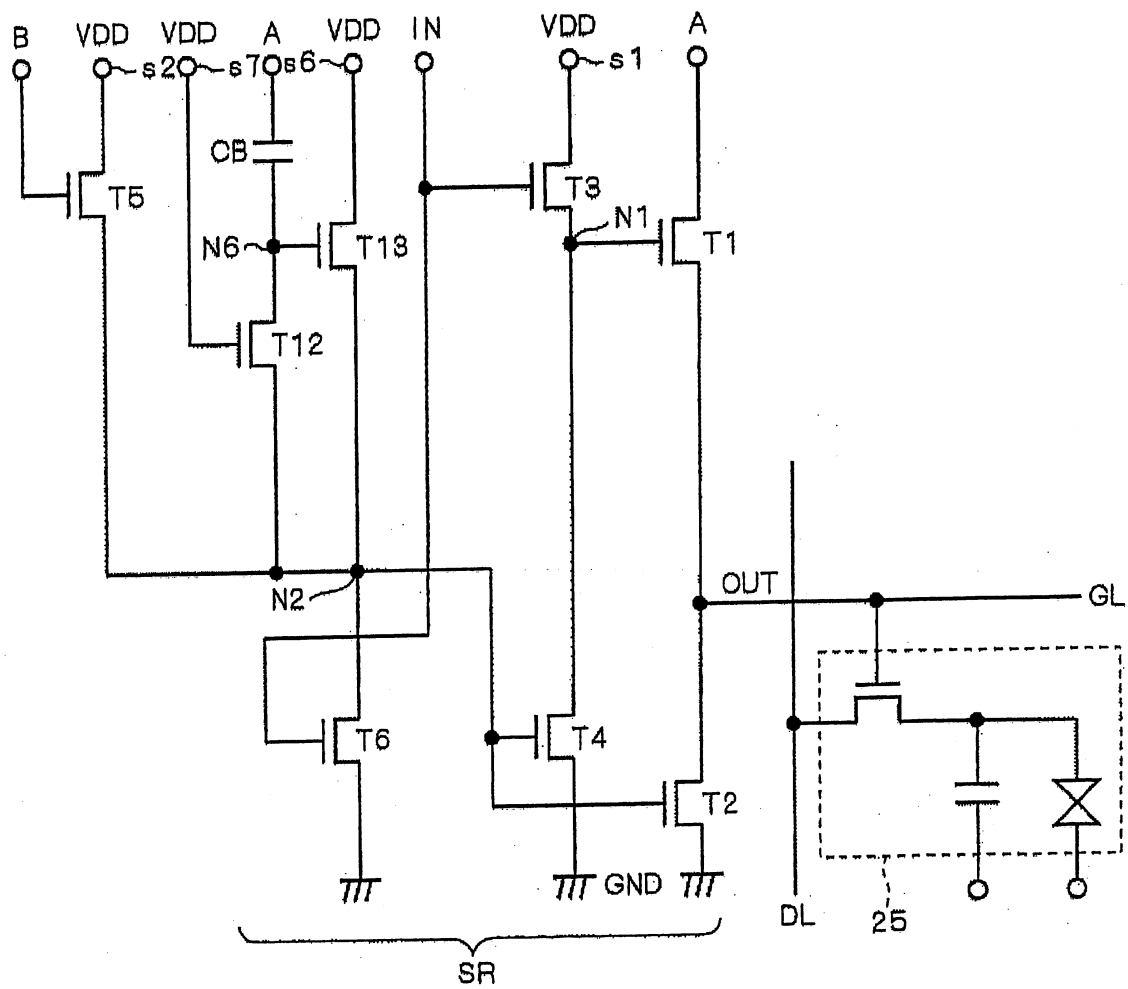
第14圖



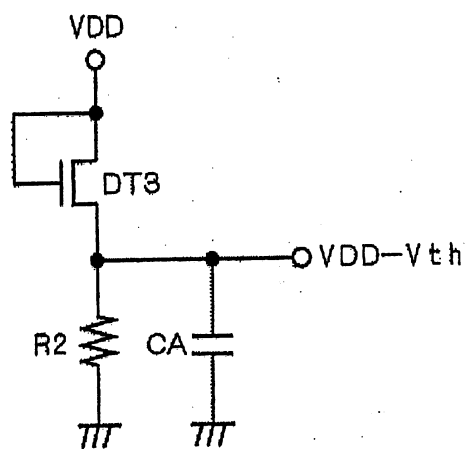
第15圖



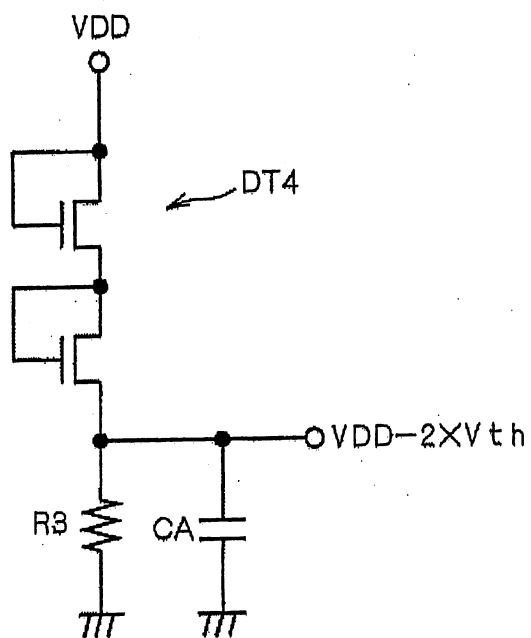
第16圖



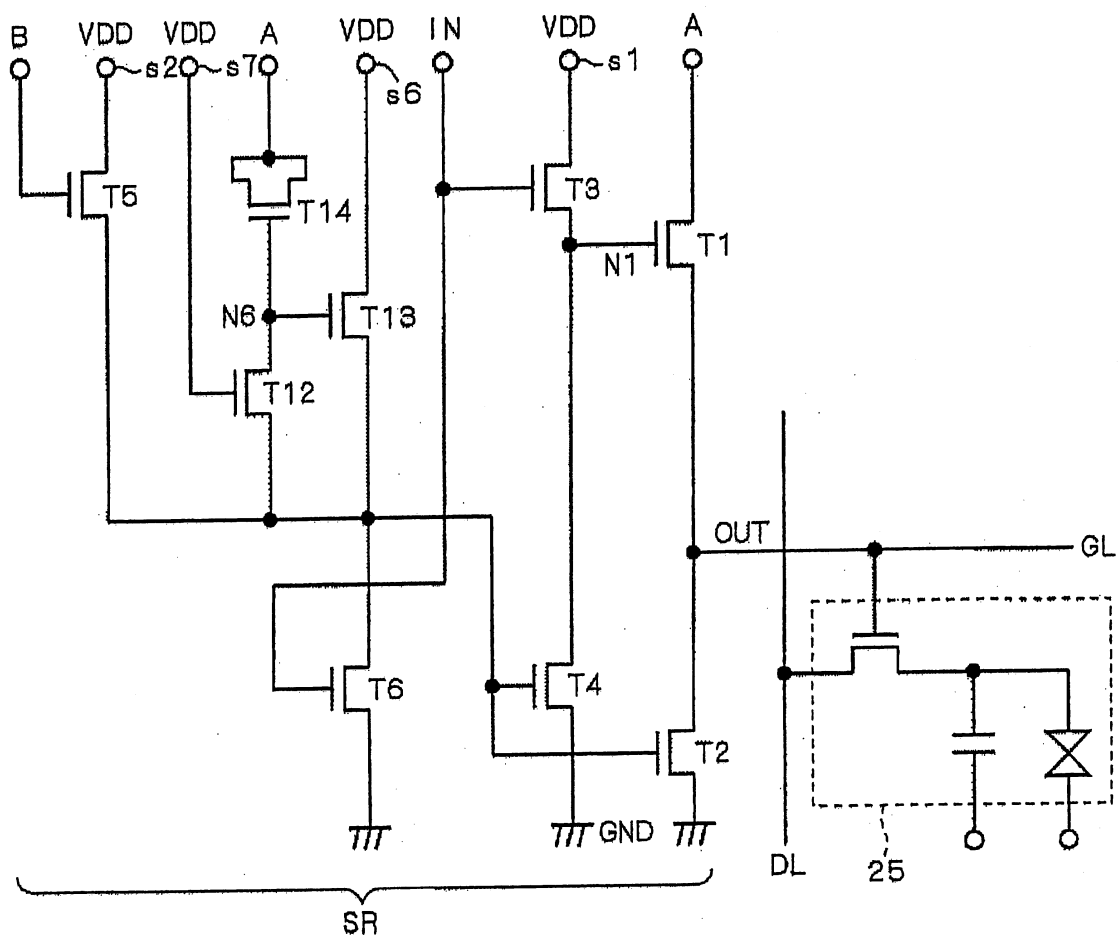
第17圖



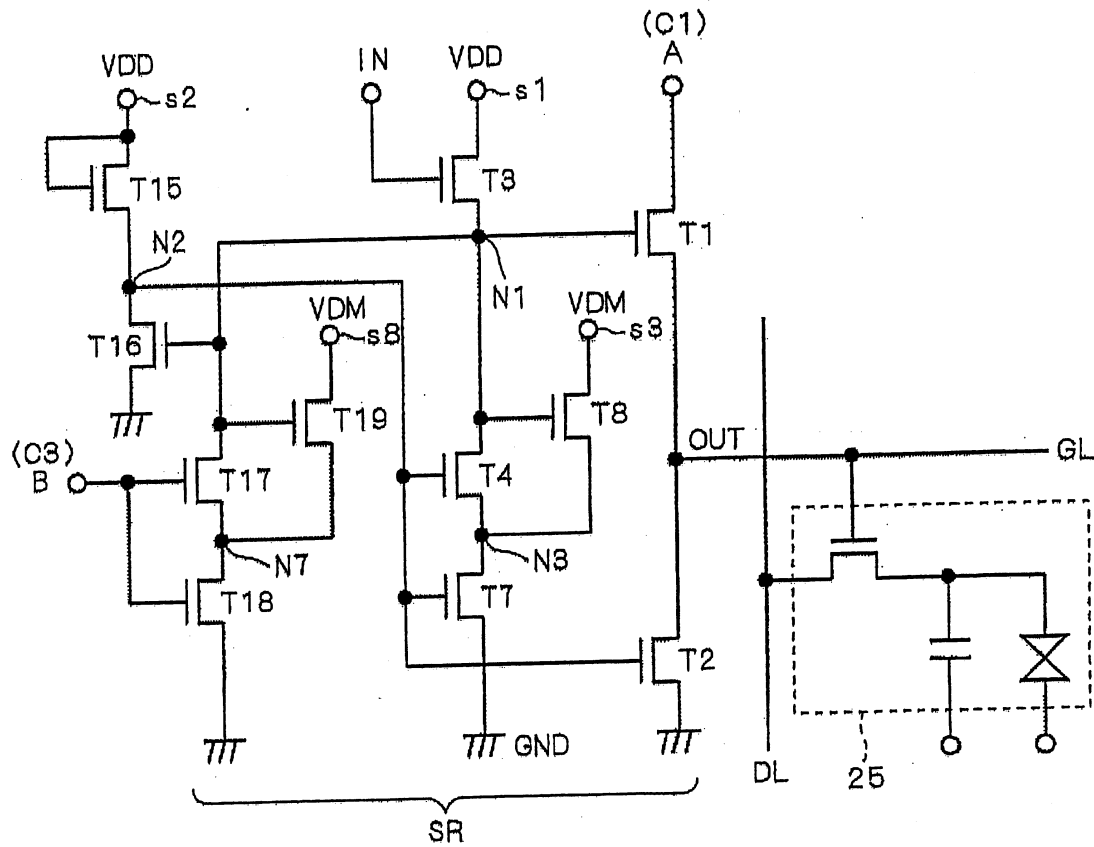
第18圖



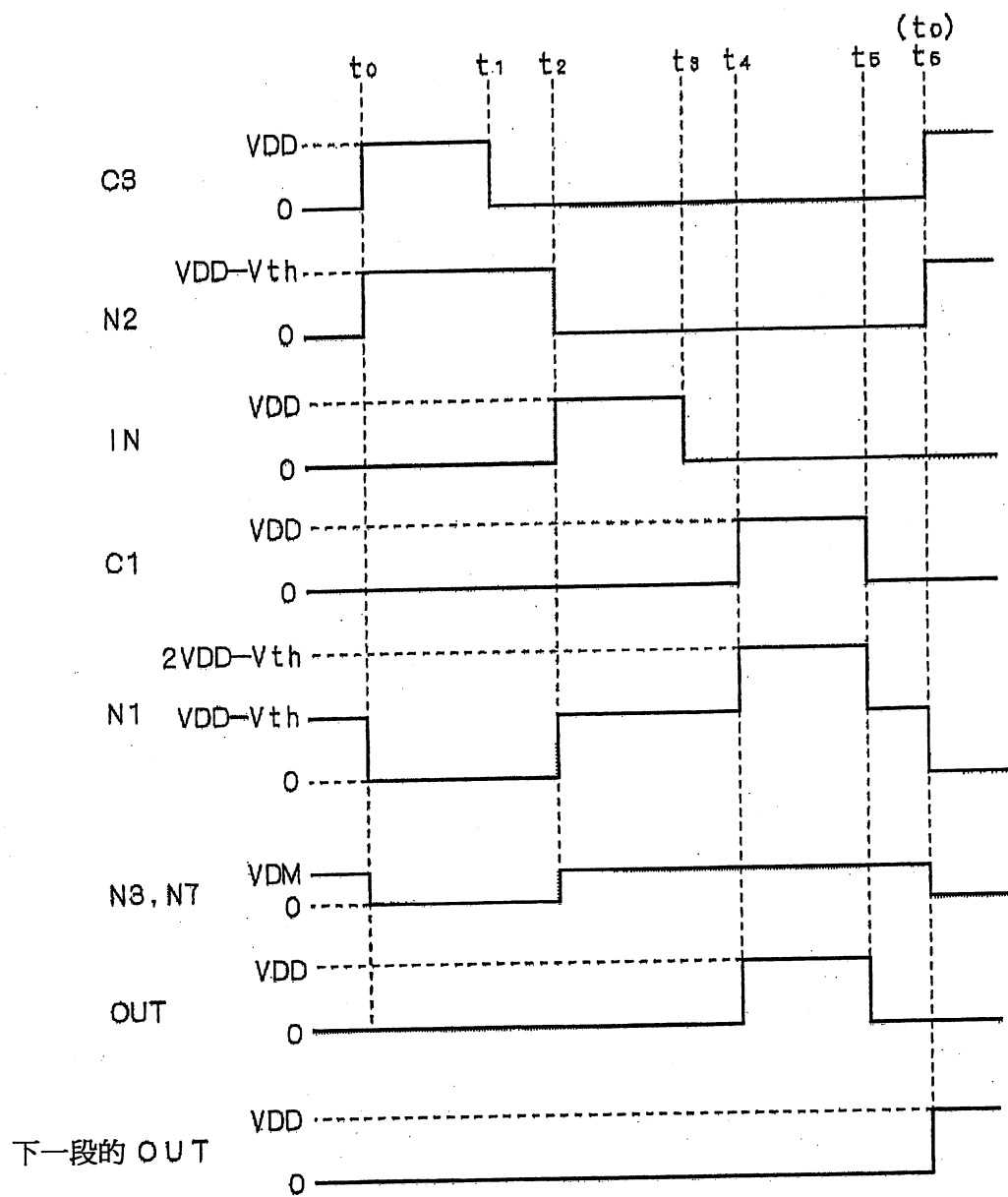
第19圖



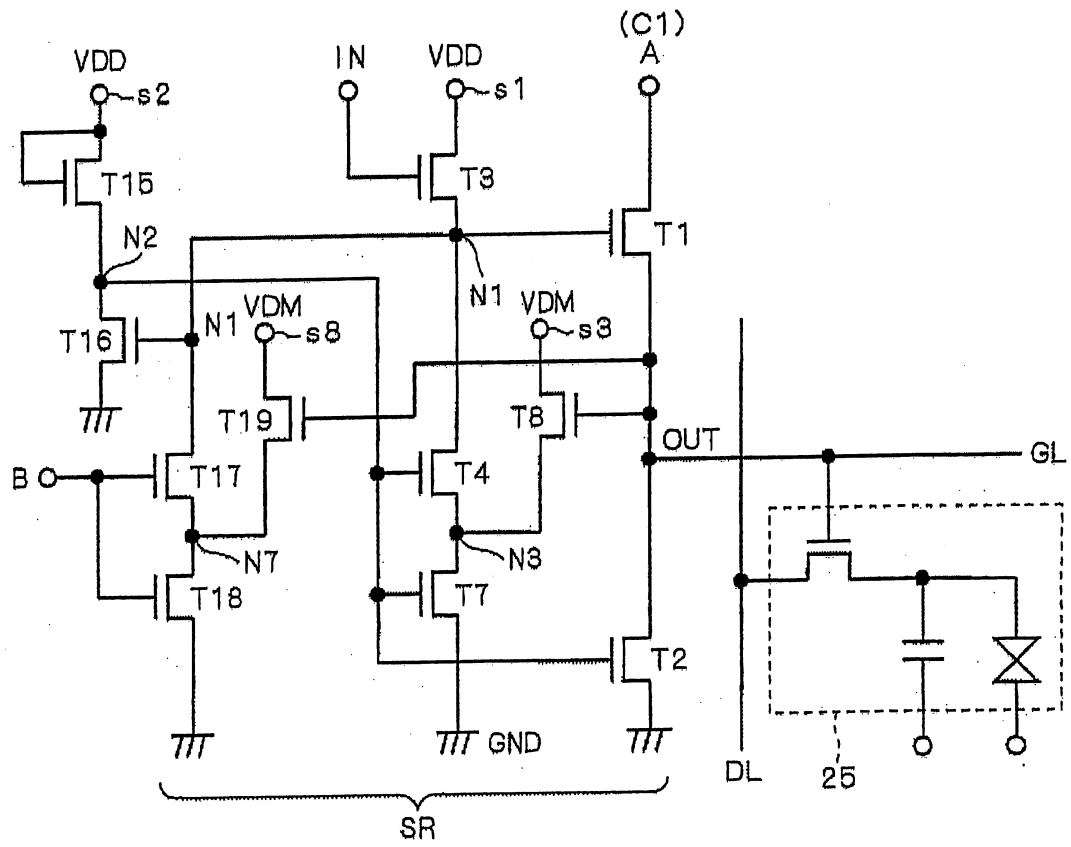
第20圖



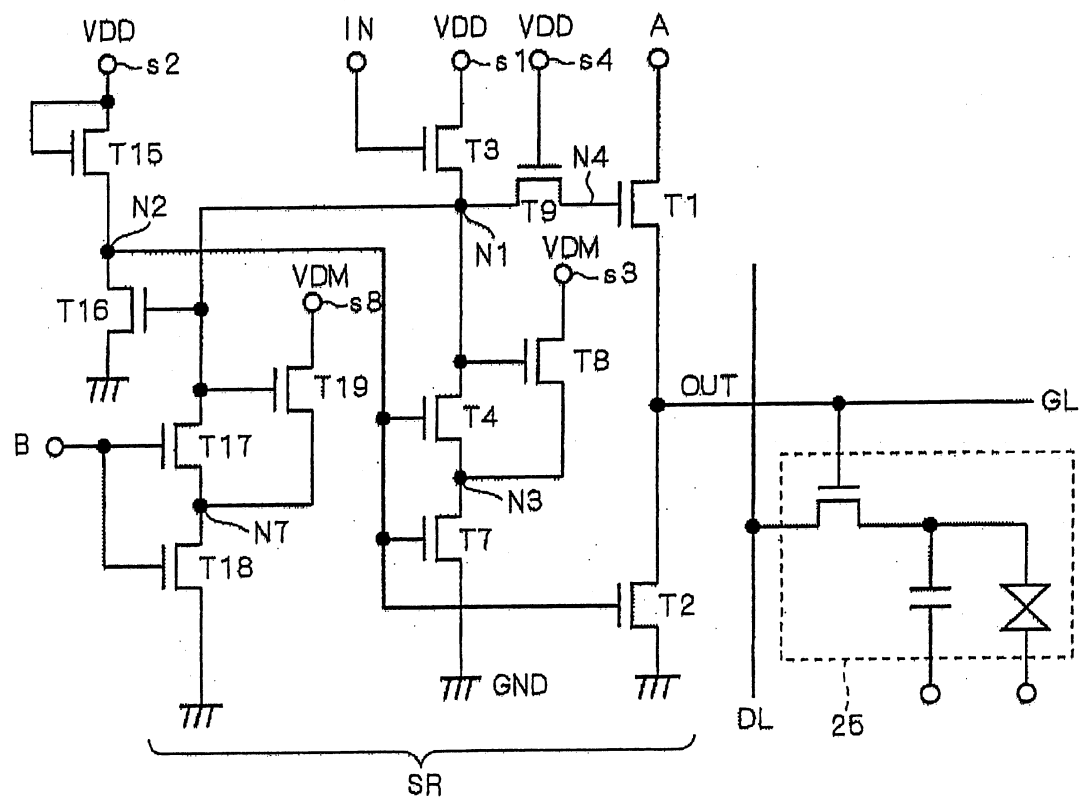
第21圖



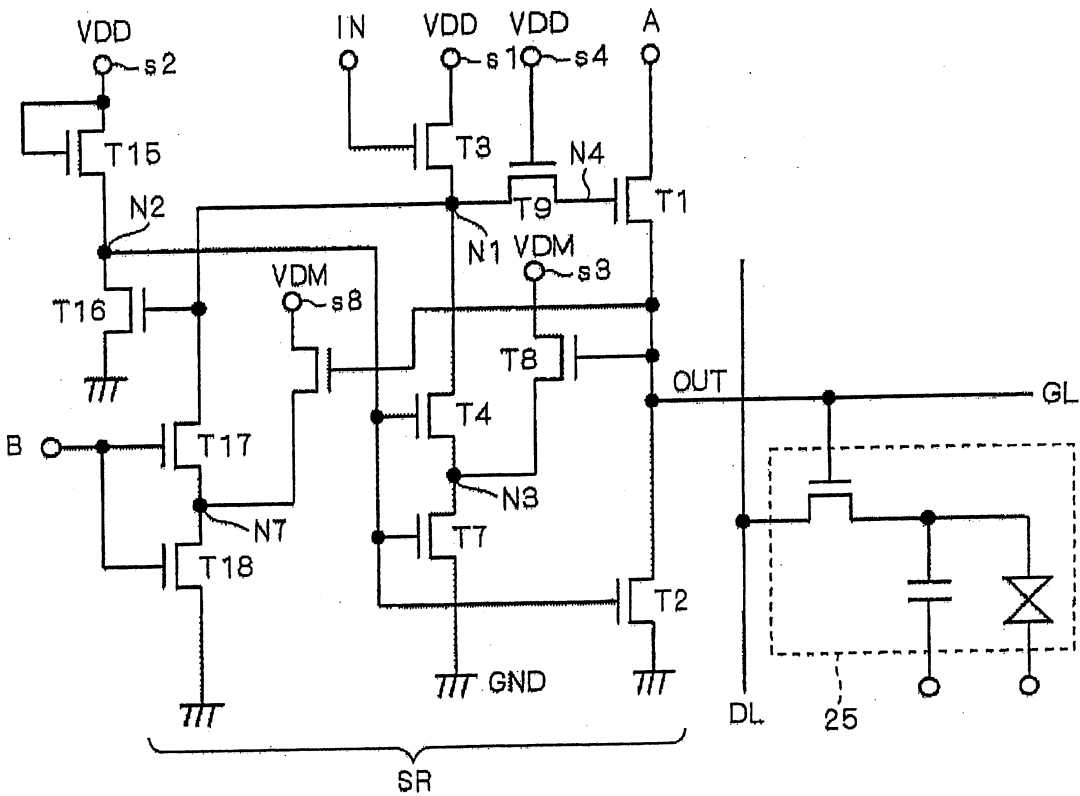
第22圖



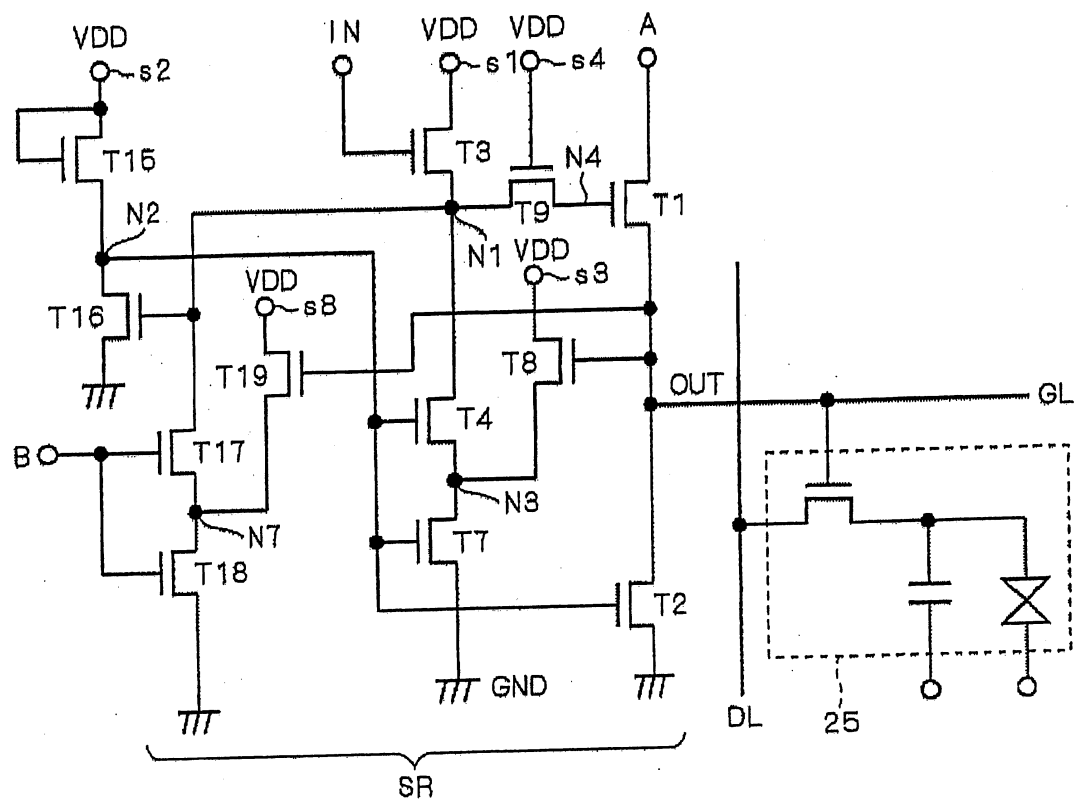
第24圖



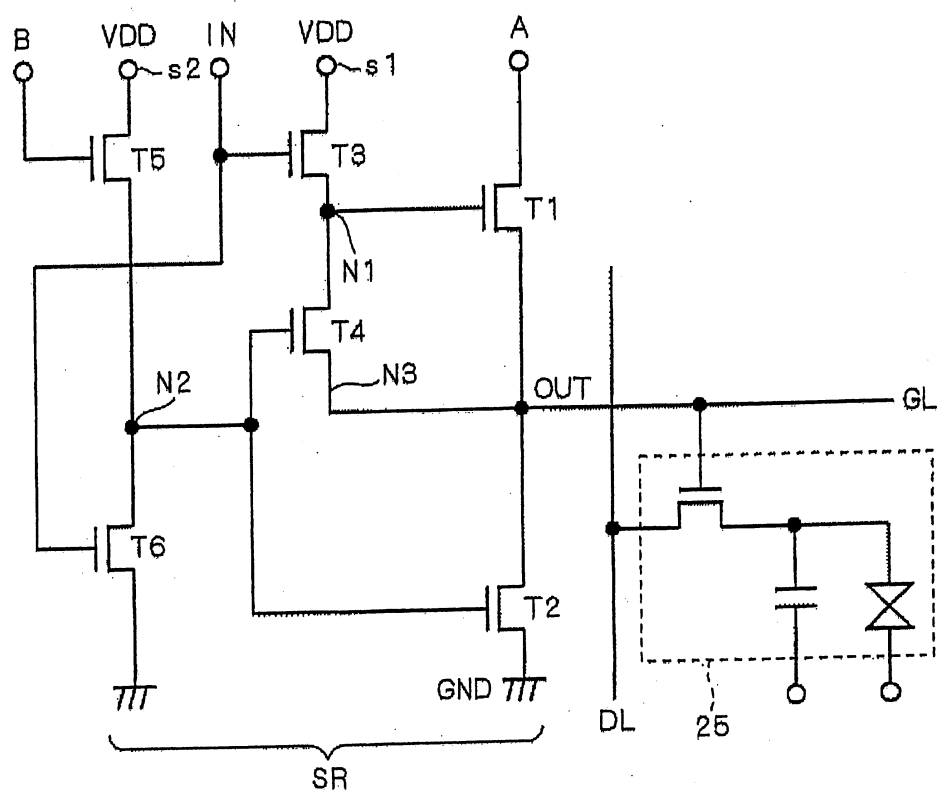
第25圖



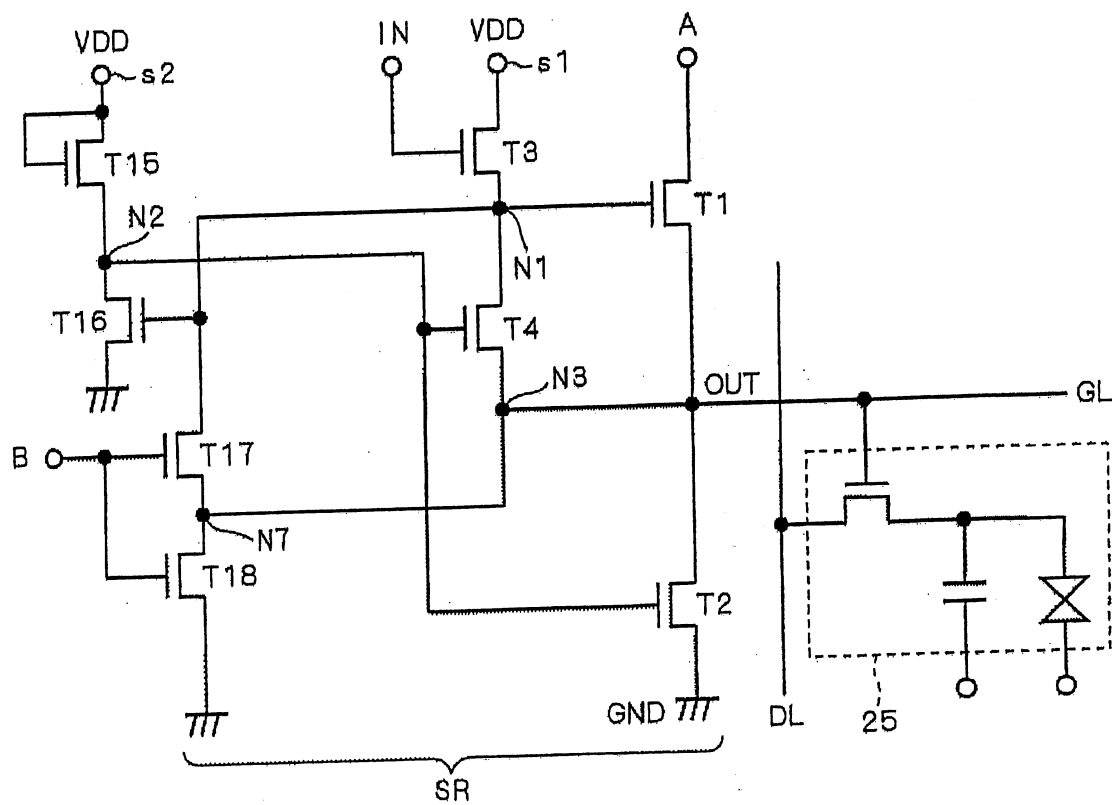
第26圖



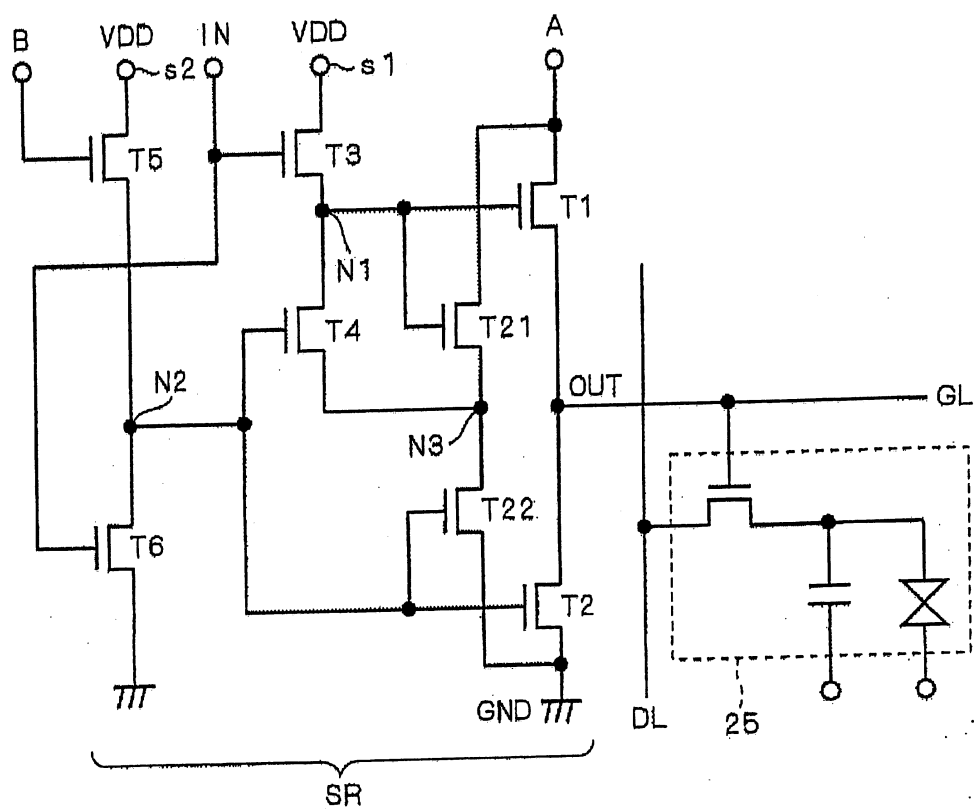
第27圖



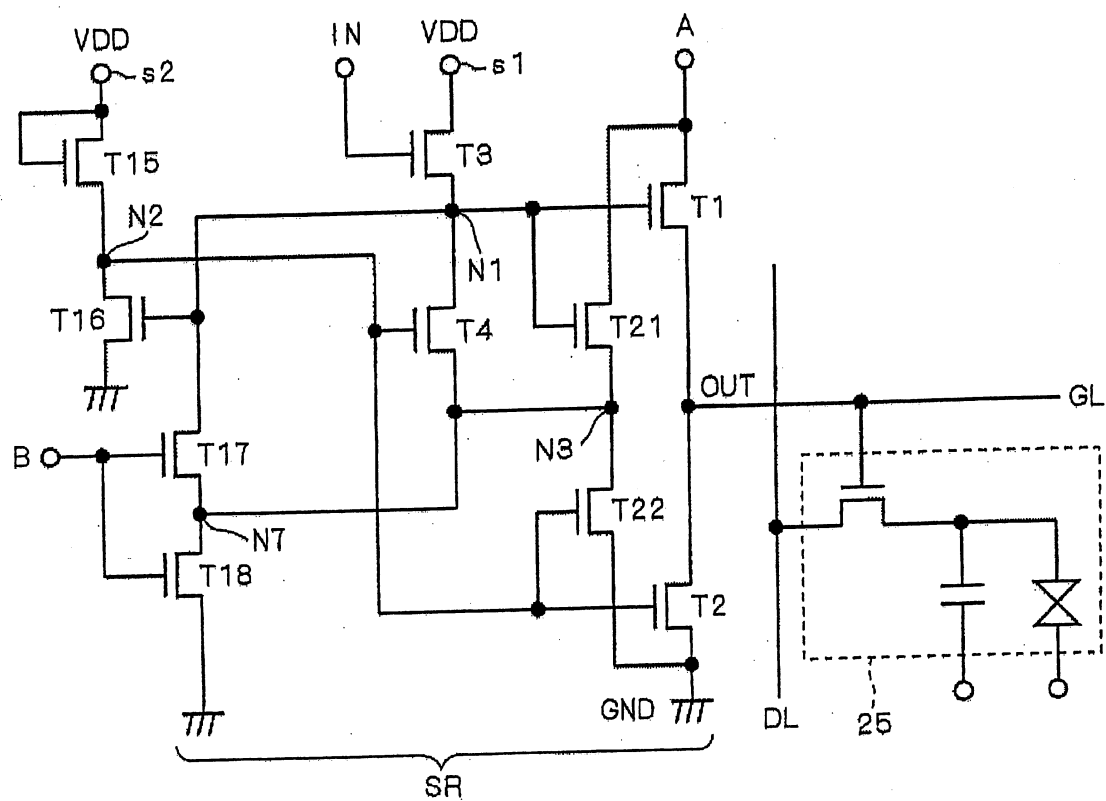
第28圖



第29圖



第30圖



第31圖

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

SR～單位移位暫存器電路；

GL～閘極線；

T1～T8～電晶體；

N1～N7～節點；

A(C3)～第一時鐘端子；

B(C1)～第二時鐘端子；

IN～輸入端子；

OUT～輸出端子；

GND～接地端；

VDD, VDM～電源；

s1～s3～電源端子；

DL～資料線；

25～畫素。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無