



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년08월27일  
 (11) 등록번호 10-1891663  
 (24) 등록일자 2018년08월20일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/1362* (2006.01) *G09G 3/36* (2006.01)  
 (52) CPC특허분류  
*G02F 1/136213* (2013.01)  
*G02F 1/136227* (2013.01)  
 (21) 출원번호 10-2017-0141146(분할)  
 (22) 출원일자 2017년10월27일  
 심사청구일자 2017년10월27일  
 (65) 공개번호 10-2017-0124110  
 (43) 공개일자 2017년11월09일  
 (62) 원출원 특허 10-2010-0075588  
 원출원일자 2010년08월05일  
 심사청구일자 2015년08월04일  
 (56) 선행기술조사문헌  
 JP2003150080 A\*  
 (뒷면에 계속)  
 전체 청구항 수 : 총 9 항

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 김용조  
 서울특별시 서대문구 독립문공원길 17, 극동아파트 103동 1804호 (현저동)  
 김윤장  
 서울특별시 용산구 서빙고로51길 68-14, 금호베스트빌 102-203 (서빙고동)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인가산

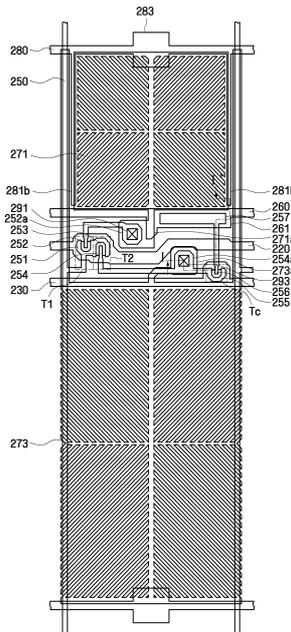
심사관 : 이수한

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치가 제공된다. 본 발명의 일 실시예에 따른 표시 장치는, 제1 방향으로 연장된 제1 게이트 라인, 제1 게이트 라인과 이격되어 제1 방향으로 연장된 제2 게이트 라인, 제1 게이트 라인과 이격되어 제1 방향으로 연장된 제1 스토리지 라인, 제1 스토리지 라인과 이격되어 제1 방향으로 연장된 제2 스토리지 라인, 제1 게이트 라인을 (뒷면에 계속)

대표도 - 도3



통해 인가되는 제1 게이트 신호에 의해 제어되는 제1 및 제2 스위칭 소자, 제1 스위칭 소자와 전기적으로 연결된 제1 서브 화소 전극, 제2 스위칭 소자와 전기적으로 연결된 제2 서브 화소 전극, 제2 게이트 라인을 통해 인가되는 제2 게이트 신호에 의해 제어되는 제3 스위칭 소자, 제3 스위칭 소자와 연결되고 제2 스토리지 라인과 적어도 일부분이 중첩된 커플링 전극을 포함하되, 제1 스토리지 라인 및 제2 스토리지 라인에는 서로 다른 전압이 인가되는 제1 표시 기관, 제1 표시 기관과 대향하며, 공통 전극을 구비하는 제2 표시 기관, 및 제1 표시 기관과 제2 표시 기관 사이에 개재되어 있는 액정층을 포함한다.

(52) CPC특허분류

*G02F 1/136286* (2013.01)

*G09G 3/3614* (2013.01)

*G09G 3/3655* (2013.01)

*G09G 3/3659* (2013.01)

*G09G 2300/0447* (2013.01)

*G09G 2300/0842* (2013.01)

*G09G 2300/0876* (2013.01)

(56) 선행기술조사문헌

JP2008203849 A\*

KR1020090011586 A

KR1020050044258 A\*

KR1020060052509 A\*

JP2001133808 A\*

\*는 심사관에 의하여 인용된 문헌

(72) 발명자

**나중희**

경기도 화성시 동탄반석로 277, 예당마을우미린제  
일풍경채아파트 122동 1201호 (석우동)

**엄윤성**

경기도 용인시 수지구 상현로 27, 상현마을쌍용2차  
아파트216동 1702호 (상현동)

**최영민**

경기도 화성시 병점3로 158, 안화동마을주공7단지  
703동 1502호 (병점동)

**명세서**

**청구범위**

**청구항 1**

제1 게이트 라인;

상기 제1 게이트 라인과 이격되어 배치되는 제2 게이트 라인;

상기 제1 게이트 라인으로부터 제1 게이트 신호를 제공받는 제1 스위칭 소자;

상기 제1 게이트 라인으로부터 상기 제1 게이트 신호를 제공받는 제2 스위칭 소자;

상기 제2 게이트 라인으로부터 제2 게이트 신호를 제공받는 제3 스위칭 소자;

상기 제1 스위칭 소자와 전기적으로 연결되는 제1 서브 화소 전극;

상기 제2 스위칭 소자와 전기적으로 연결되는 제2 서브 화소 전극;

상기 제3 스위칭 소자의 일 전극과 전기적으로 연결되는 커플링 전극; 및

상기 제3 스위칭 소자의 타 전극과 전기적으로 연결되는 신호 라인을 포함하고,

상기 제2 서브 화소 전극은 상기 커플링 전극과 오버랩되며,

상기 제1 내지 제3 스위칭 소자는 상기 제1 서브 화소 전극 및 상기 제2 서브 화소 전극 사이에 배치되는 표시 장치.

**청구항 2**

제1 항에 있어서,

상기 커플링 전극은 상기 제2 서브 화소 전극과 중첩되어 상기 제2 서브 화소 전극의 충전 전압을 하강시키는 표시 장치.

**청구항 3**

제1 항에 있어서,

상기 제1 게이트 라인 및 상기 제2 게이트 라인은 제1 방향으로 연장되고,

상기 제1 방향과 서로 다른 제2 방향으로 연장되는 복수의 데이터 라인을 더 포함하되,

상기 신호 라인은 상기 복수의 데이터 라인과 이격되어 상기 제2 방향으로 연장되는 표시 장치.

**청구항 4**

제1 항에 있어서,

상기 신호 라인은 서로 이격되는 제1 신호 라인 및 제2 신호 라인을 포함하되,

상기 제1 게이트 라인 및 상기 제2 게이트 라인은 제1 방향으로 연장되고,

상기 제1 신호 라인과 상기 제2 신호 라인은 상기 제1 게이트 라인 및 상기 제2 게이트 라인과 이격되어 상기 제1 방향으로 연장되는 표시 장치.

**청구항 5**

제4 항에 있어서,

상기 제1 신호 라인에 인가되는 제1 신호와, 상기 제2 신호 라인에 인가되는 제2 신호는 서로 상보적인 표시 장치.

**청구항 6**

제1 항에 있어서,

상기 제3 스위칭 소자는, 상기 제2 게이트 라인과 적어도 일부분이 중첩되고 상기 신호 라인으로부터 분지된 제1 소오스 전극과, 상기 제2 게이트 라인과 적어도 일부분이 중첩되고 상기 제1 소오스 전극과 이격된 제1 드레인 전극을 포함하고,

상기 커플링 전극은 상기 제1 드레인 전극과 연결된 표시 장치.

**청구항 7**

제1 항에 있어서,

서로 인접하게 배치되는 제1 화소부 및 제2 화소부를 포함하는 제1 표시 기관; 및

상기 제1 표시 기관과 대향되며, 적색, 녹색 및 청색 컬러 필터를 갖는 컬러 필터층이 배치되는 제2 표시 기관을 더 포함하고,

상기 제1 화소부 및 상기 제2 화소부 각각은 상기 제1 서브 화소 전극, 상기 제2 서브 화소 전극, 상기 커플링 전극 및 상기 제1 내지 제3 스위칭 소자를 포함하고,

상기 제1 화소부는 상기 적색 또는 녹색 컬러 필터와 중첩되며, 상기 제2 화소부는 상기 청색 컬러 필터와 중첩되고,

상기 제1 화소부의 상기 커플링 전극의 제1 면적은 상기 제2 화소부의 상기 커플링 전극의 제2 면적보다 큰 표시 장치.

**청구항 8**

제7 항에 있어서,

상기 제1 화소부의 상기 제1 서브 화소 전극은 제1 방향에 대하여 제1 예각으로 기울어진 제1 슬릿 패턴을 포함하고,

상기 제2 화소부의 상기 제1 서브 화소 전극은 상기 제1 방향에 대하여 제2 예각으로 기울어진 제2 슬릿 패턴을 포함하되,

상기 제2 예각의 크기는 상기 제1 예각의 크기보다 작은 표시 장치.

**청구항 9**

제7 항에 있어서,

상기 제1 화소부의 상기 제1 서브 화소 전극은 제1 오픈부와 제1 전극부를 포함하는 제1 슬릿 패턴을 포함하고,

상기 제2 화소부의 상기 제1 서브 화소 전극은 제2 오픈부와 제2 전극부를 포함하는 제2 슬릿 패턴을 포함하되,

상기 제2 오픈부의 너비는 상기 제1 오픈부의 너비보다 큰 표시 장치.

**발명의 설명**

**기술 분야**

본 발명은 표시 장치에 관한 것이다.

**배경 기술**

오늘날과 같은 정보화 사회에 있어서 전자 디스플레이 장치(electronic display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다. 또, 반도체 기술의 급속한 진보에 의해 각종 전자 장치의 고체화, 저전압 및 저전력화와 함께 전자 기기의 소형 및 경량화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판 패널(flat panel)형 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

[0001]

[0002]

[0003] 최근 가장 널리 사용되고 있는 평판 표시 장치 중 하나인 액정 표시 장치는, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 패널은 통상 시야각(대비비 1/10인 각도) 측면에서 자발광 표시 패널에 비해 문제점이 있다. 액정표시 패널의 단점인 시야각 보상을 위해 VA(vertically aligned) 모드는 PVA(patterned VA, 상, 하판 전극 절개 패턴 형성) 모드, MVA(상, 하판 돌기패턴 형성) 모드 또는 Mixed VA(하판 전극 절개패턴과 상판 돌기패턴 형성) 모드로 개발되었다.

**발명의 내용**

**해결하려는 과제**

[0005] 그러나, 상기와 같이 개발된 액정 표시 패널도 보는 각도에 따라 색감이 달라지는 문제점을 여전히 가지고 있다. 색감이 달라지는 이유는 화소로 표현되는 적색, 녹색, 청색이 보는 각도에 따라 서로 다른 감마계조 변화를 갖기 때문이다. 따라서, 각각의 색이 통합되어 하나의 색이 표현될 때, 보는 각도에 따라 색감이 달라지는 문제점이 발생하게 된다.

[0006] 이를 개선하기 위하여서, 하나의 화소 내에서 서로 다른 계조를 표현하기 위해 화소전극을 메인 화소전극과 서브 화소전극으로 나누는 신규 모드가 개발되었다. 상기 신규 모드는 서로 다른 화소전압을 인가하기 위해 메인 화소전극과 서브 화소전극에 각각 연결된 스위칭 소자들을 갖는 구조 또는 스위칭 소자와 메인 화소전극의 연결과 달리 상기 스위칭 소자와 서브 화소전극 사이에 별개의 커패시터를 더 구비한 구조를 가질 수 있다. 이러한 신규 모드는 더 효율적인 방법으로 메인 화소전극과 서브 화소전극에 서로 다른 화소전압을 인가하기 위해 연구되고 있다.

[0007] 본 발명이 해결하려는 과제는 표시 품질이 향상된 표시 장치를 제공하는 것이다.

[0008] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 표시 장치는, 제1 방향으로 연장된 제1 게이트 라인, 상기 제1 게이트 라인과 이격되어 상기 제1 방향으로 연장된 제2 게이트 라인, 상기 제1 게이트 라인과 이격되어 상기 제1 방향으로 연장된 제1 스토리지 라인, 상기 제1 스토리지 라인과 이격되어 상기 제1 방향으로 연장된 제2 스토리지 라인, 상기 제1 게이트 라인을 통해 인가되는 제1 게이트 신호에 의해 제어되는 제1 및 제2 스위칭 소자, 상기 제1 스위칭 소자와 전기적으로 연결된 제1 서브 화소 전극, 상기 제2 스위칭 소자와 전기적으로 연결된 제2 서브 화소 전극, 상기 제2 게이트 라인을 통해 인가되는 제2 게이트 신호에 의해 제어되는 제3 스위칭 소자, 상기 제3 스위칭 소자와 연결되고 상기 제2 스토리지 라인과 적어도 일부분이 중첩된 커플링 전극을 포함하되, 상기 제1 스토리지 라인 및 상기 제2 스토리지 라인에는 서로 다른 전압이 인가되는 제1 표시 기관; 상기 제1 표시 기관과 대향하며, 공통 전극을 구비하는 제2 표시 기관; 및 상기 제1 표시 기관과 상기 제2 표시 기관 사이에 개재되어 있는 액정층을 포함한다.

[0010] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 표시 장치는, 서로 이격되어 배치된 제1 및 제2 게이트 라인, 상기 제1 게이트 라인을 통해 인가되는 제1 게이트 신호에 의해 제어되는 제1 및 제2 스위칭 소자, 상기 제2 게이트 라인에 인가되는 제2 게이트 신호에 의해 제어되는 제3 스위칭 소자와 연결된 신호 라인, 상기 제1 게이트 라인을 통해 인가되는 제1 게이트 신호에 의해 제어되는 제1 및 제2 스위칭 소자, 상기 제1 스위칭 소자와 전기적으로 연결된 제1 서브 화소 전극, 상기 제2 스위칭 소자와 전기적으로 연결된 제2 서브 화소 전극, 상기 제3 스위칭 소자와 연결된 커플링 전극을 포함하되, 상기 제2 서브 화소 전극은 상기 커플링 전극과 오버랩된 제1 표시 기관; 상기 제1 표시 기관과 대향하며, 공통 전극을 구비하는 제2 표시 기관; 및 상기 제1 표시 기관과 상기 제2 표시 기관 사이에 개재되어 있는 액정층을 포함한다.

[0011] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

[0012] 본 발명의 일 실시예에 따른 표시 장치는 표시 품질을 향상시킬 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 본 발명의 실시예들에 따른 표시장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 표시 기관에 사용되는 화소(I)의 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 레이아웃도이다.

도 4는 도 3의 I-I' 선을 따라 절단한 단면도이다.

도 5는 본 발명의 일 실시예에 따른 표시 장치의 제2 스토리지 라인의 전압 변화를 설명하기 위한 그래프이다.

도 6은 본 발명의 다른 실시예에 따른 표시 장치에 사용되는 화소(I)의 등가회로도이다.

도 7은 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 레이아웃도이다.

도 8은 본 발명의 또 다른 실시예에 따른 표시 장치에 사용되는 화소(I)의 등가 회로도이다.

도 9는 본 발명의 또 다른 실시예에 따른 표시 장치를 설명하기 위한 레이아웃도이다.

도 10a 및 도 10b는 본 발명의 또 다른 실시예를 설명하기 위한 도 9의 A1 및 A2 영역을 확대한 부분 확대도이다.

도 11a 및 도 11b는 본 발명의 또 다른 실시예를 설명하기 위한 도 9의 A1 및 A2 영역을 확대한 부분 확대도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0015] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0016] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0017] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0018] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0019] 도 1은 본 발명의 실시예들에 따른 표시장치의 블록도이다.

[0020] 본 발명의 실시예들에 따른 표시 장치는 표시 패널(100) 및 패널 구동부(500)를 포함한다. 표시 패널(100)에는

매트릭스 형태로 배열되어 있는 복수의 화소(I)가 형성될 수 있다. 표시 패널(100)은 예를 들어, 액정 패널로, 제1 표시 기관, 제2 표시 기관 및 양 표시 기관 사이에 개재되어 있는 액정층을 포함할 수 있다. 패널 구동부(500)는 게이트 구동부(510), 구동전압 생성부(520), 데이터 구동부(530) 및 계조전압 생성부(540) 및 이들을 구동하는 신호 제어부(550)를 포함할 수 있다.

- [0021] 구동전압 생성부(520)는 스위칭 소자(T1, T2, Tc)를 턴-온시키는 게이트 온 전압(Von)과 턴-오프시키는 게이트 오프전압(Voff), 그리고 공통전극에 인가되는 공통전압(Vcom) 등을 생성할 수 있다. 계조전압 생성부(540)는 표시장치의 휘도와 관련된 복수의 계조전압(gray scale voltage)을 생성할 수 있다.
- [0022] 게이트 구동부(510)는 게이트 라인(G1~Gm)에 연결되어 구동전압 생성부(520)로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트 라인(G1~Gm)에 인가할 수 있다.
- [0023] 데이터 구동부(530)는 계조전압 생성부(540)로부터 계조전압을 인가받고 신호 제어부(550)의 구동에 따라 선택된 계조전압을 데이터선에 인가한다.
- [0024] 신호 제어부(550)는 외부의 그래픽 구동부(graphic controller)로부터 RGB 신호(R, G, B) 및 이를 제어하는 제어입력신호(input control signal), 예를 들면 수직동기신호(vertical synchronizing signal, Vsync)와 수평동기신호(horizontal synchronizing signal, Hsync), 메인 클럭(main clock, CLK), 데이터 인에이블 신호(data enable signal, DE) 등을 제공받을 수 있다. 신호 제어부(550)는 제어입력신호를 기초로 게이트 제어신호, 데이터 제어신호 및 전압선택제어신호(voltage selection control signal, VSC)를 생성할 수 있다. 게이트 제어신호는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직동기시작신호(vertical synchronization start signal, STV), 게이트 온 펄스의 출력시기를 구동하는 게이트 클럭신호(gate clock) 및 게이트 온 펄스의 폭을 한정하는 게이트 온 인에이블 신호(gate on enable signal, OE) 등을 포함할 수 있다. 데이터 제어 신호는 계조 신호의 입력 시작을 지시하는 수평 동기 시작 신호(horizontal synchronization start signal, STH)와 데이터선에 해당 데이터 전압을 인가하라는 로드신호(load signal, LOAD 또는 TP), 데이터 전압의 극성을 반전시키는 반전 구동 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함할 수 있다.
- [0025] 화소(I)는 독립적으로 색상을 표현하는 기본색상의 최소 단위로, 일반적으로 적색, 청색 또는 녹색을 표현하는 독립적인 최소 단위이다. 예를 들어, 화소(I)는 데이터 선들과 게이트 선들에 의해 둘러싸인 영역으로 정의될 수 있다. 그러나, 이에 한정되지 않는다. 몇몇 다른 실시예에서는, 데이터 선들과 스토리지 선들 또는 데이터 선들, 게이트 선 및 스토리지 선에 의해 둘러싸인 영역으로 정의될 수도 있다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 표시 기관에 사용되는 화소(I)의 등가 회로도이다.
- [0027] 도 2를 참조하면, 화소(I)는 제1 게이트 라인(Gn), 제2 게이트 라인(Gn+1) 및 데이터선(D)과 연결된다. 화소(I)는 제1 서브 화소(SP1), 제2 서브 화소(SP2), 및 제어부(CP)를 포함한다. 2개의 게이트 라인(Gn, Gn+1)은 서로 인접하여 배치되고, 제2 게이트 라인(Gn+1)은 제1 게이트 라인(Gn)에 비해서 후단 게이트 라인일 수 있다. 즉, 제1 게이트 라인(Gn)에 게이트 전압이 인가된 후, 이어서 제2 게이트 라인(Gn+1)에 게이트 전압이 인가될 수 있다. 도면에서는, n과 n+1로 제1 게이트 라인과 제2 게이트 라인이 순차로 배열된 경우를 도시하였으나, 이는 하나의 예시일 뿐이며, 제2 게이트 라인은 제1 게이트 라인에 비해서 둘 이상의 후단 게이트 라인 또는 제3 스위칭 소자(Tc)를 제어하기 위한 전용 게이트 라인일 수 있다. 이하에서, 제1 게이트 라인(Gn)은 메인 게이트 라인으로, 제2 게이트 라인(Gn+1)은 다운 게이트 라인으로 지칭한다.
- [0028] 구체적으로, 제1 서브 화소(SP1)는 제1 액정 커패시터(Cmlc)와, 제1 스토리지 커패시터(Cmst), 및 제1 스위칭 소자(T1)를 포함한다. 여기서, 제1 스위칭 소자(T1)의 제어단은 메인 게이트 라인(Gn)에 연결되고, 입력단은 데이터선(D)에 연결되고, 출력단은 제1 액정 커패시터(Cmlc) 및 제1 스토리지 커패시터(Cmst)에 연결된다.
- [0029] 제2 서브 화소(SP2)는 제2 액정 커패시터(Cslc), 제2 스토리지 커패시터(Csst), 및 제2 스위칭 소자(T2)를 포함한다. 여기서, 제2 스위칭 소자(T2)의 제어단은 메인 게이트 라인(Gn)에 연결되고 입력단은 데이터선(D)에 연결되고 출력단은 제2 액정 커패시터(Cslc) 및 제2 스토리지 커패시터(Csst)에 연결된다.
- [0030] 제어부(CP)는 다운 커패시터(Cd)와, 제3 스위칭 소자(Tc)를 포함한다. 여기서, 제3 스위칭 소자(Tc)의 제어단은 다운 게이트 라인(Gn+1)에 연결되고, 입력단은 제2 스위칭 소자(T2)의 출력단과 연결되고, 출력단은 다운 커패시터(Cd)에 연결된다. 따라서, 제3 스위칭 소자(Tc)는 다운 게이트 라인(Gn+1)에 게이트 전압이 인가될 때 턴온되고, 제2 액정 커패시터(Cslc), 제2 스토리지 커패시터(Csst), 및 다운 커패시터(Cd)는 서로 전하 분배(charge sharing)한다. 이와 같은 과정을 통해서, 제2 액정 커패시터(Cslc)에 충전되어 있는 전압이 변하게 된다.

- [0031] 도 3은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 레이아웃도이다. 도 4는 도 3의 I-I' 선을 따라 절단한 단면도이다. 도 5는 본 발명의 일 실시예에 따른 표시 장치의 제2 스토리지 라인의 전압 변화를 설명하기 위한 그래프이다.
- [0032] 도 3 및 도 4를 참조하면, 화소(I)는 전술한 것과 같이 3 개의 스위칭 소자(T1, T2, Tc)를 포함하며, 제1 스위칭 소자(T1)는 제1 서브 화소 전극(271)을 구동하고, 제2 스위칭 소자(T2)는 제2 서브 화소 전극(273)을 구동하고, 제3 스위칭 소자(Tc)는 제2 서브 화소 전극(273)의 인가 전압을 변화시킨다. 다시 말하면, 제1 스위칭 소자(T1)는 제1 서브 화소 전극(271)과 전기적으로 연결되고, 제2 스위칭 소자(T2)는 제2 서브 화소 전극(273)과 전기적으로 연결되며, 제3 스위칭 소자(Tc)는 커플링 전극(257)과 전기적으로 연결된다. 이 때, 커플링 전극(257)은 제2 스토리지 라인(260)과 적어도 일부분이 중첩된다.
- [0033] 표시 장치는 화소 전극(271, 273)을 포함하는 제1 표시 기관(200)과, 제1 표시 기관(200)과 대향하며 공통 전극(350)을 포함하는 제2 표시 기관(300)과, 제1 표시 기관(200) 및 제2 표시 기관(300) 사이에 개재된 액정층(400)을 포함할 수 있다.
- [0034] 제1 표시 기관(200)은 기관(210) 상에 형성된 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b), 및 제2 스토리지 라인(260, 261)을 포함한다. 기관(210)은 예를 들어, 소다석회유리(soda lime glass) 또는 보로 실리케이트 유리 등의 유리 또는 플라스틱 등으로 이루어질 수 있다.
- [0035] 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280) 및 제2 스토리지 라인(260)은 서로 이격되어 제1 방향, 예를 들어 가로 방향으로 연장된다. 제1 스토리지 라인(280, 283, 281a, 281b) 및 제2 스토리지 라인(260)은 각각 제1 및 제2 화소 전극(271, 273)과 중첩되어 커패시터를 형성할 수 있다. 이 때, 제1 스토리지 라인(280, 283, 281a, 281b)과 제2 스토리지 라인(260)에는 서로 다른 전압이 인가된다.
- [0036] 도 4에 도시된 바와 같이, 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b), 및 제2 스토리지 라인(260, 261)은 동일 레벨에 형성될 수 있다. 여기서, "동일 레벨에 형성된다"는 의미는 동일한 물질로 동일 공정을 통해서 만들어진다는 것을 의미한다. 따라서, 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b), 및 제2 스토리지 라인(260, 261)은 서로 동일한 물질로 이루어질 수 있다. 다만, 경우에 따라서는 서로 다른 레벨에 형성될 수도 있다. 예를 들어, 메인 게이트 라인(220)과 제2 스토리지 라인(260, 261) 사이에 예를 들어, 절연층이 개재될 수 있다.
- [0037] 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b) 및 제2 스토리지 라인(260)은 금속 단일층 또는 다중층일 수 있다. 예를 들어, 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 망간(Mn)과 망간 합금 등 망간 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 이루어질 수 있다. 또한, 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b) 및 제2 스토리지 라인(260)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조를 가질 수 있다. 이 중 하나의 도전막은 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b) 및 제2 스토리지 라인(260)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 산화 아연(ZnO), ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막, 또는 구리망간(CuMn) 합금 하부막과 구리 상부막, 또는 티타늄 하부막과 구리 상부막 등을 들 수 있다.
- [0038] 도 3에 도시된 바와 같이, 메인 게이트 라인(220), 다운 게이트 라인(230), 및 제2 스토리지 라인(260)은 제1 서브 화소 전극(271)과 제2 서브 화소 전극(273) 사이에 배치될 수 있다. 다시 말하면, 메인 게이트 라인(220), 다운 게이트 라인(230), 및 제2 스토리지 라인(260)은 서로 이격하되 인접하여 배치되고, 제1 서브 화소 전극(271)이 제1 스토리지 라인(280, 283, 281a, 281b)과 이들 사이에 배치될 수 있다. 또 다른 관점에서, 제2 서브 화소 전극(273)이 제1 스토리지 라인(280, 283, 281a, 281b)과, 메인 게이트 라인(220), 다운 게이트 라인(230), 및 제2 스토리지 라인(260)이 형성된 영역 사이에 배치될 수 있다.
- [0039] 제1 스토리지 라인(280, 283, 281a, 281b)은, 제1 스토리지 라인(280)으로부터 분지되고 제1 방향과 서로 다른 제2 방향, 예를 들어 세로 방향으로 연장된 서브 스토리지 라인(281a, 281b)을 포함할 수 있다. 이 때, 서브 스토리지 라인(281a, 281b)은 제1 서브 화소 전극(271)과 일부분이 중첩되되, 제2 서브 화소 전극(273)과는 중첩

되지 않을 수 있다. 상술한 바와 같이, 제1 스토리지 라인(280, 283, 281a, 281b)은 제2 스토리지 라인(260)과 이격하여 형성되므로, 서로 분리된 상태로 연장될 수 있다. 나아가, 제1 스토리지 라인(280, 283, 281a, 281b)과 제2 스토리지 라인(260)에 서로 다른 전압이 인가될 수 있다.

[0040] 기판(210) 위에는 게이트 절연층(230)이 메인 게이트 라인(220), 다운 게이트 라인(230), 제1 스토리지 라인(280, 283, 281a, 281b) 및 제2 스토리지 라인(260)을 덮고 있다. 게이트 절연층(230)은 실리콘 산화물(SiO<sub>x</sub>) 등의 무기 절연 물질, BCB(BenzoCycloButene), 아크릴계 물질, 폴리이미드와 같은 유기 절연 물질로 이루어질 수 있다.

[0041] 메인 게이트 라인(220)의 메인 게이트 전극 상의 게이트 절연층(230) 상부에는 수소화 비정질 실리콘 등의 반도체로 이루어진 반도체층(241)이 형성되어 있으며, 반도체층(241)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 비정질 실리콘 등의 물질로 만들어진 저항 접촉층(242)이 형성될 수 있다.

[0042] 게이트 절연층(230), 반도체층(241), 및 저항 접촉층(242) 위에는 데이터 배선(250, 251, 252, 253, 255, 256, 257)이 형성되어 있다. 데이터 배선(250, 251, 252, 253, 255, 256, 257) 역시 금속층으로 이루어진 단일층 또는 다중층일 수 있다. 예를 들어, 데이터 배선(250, 251, 252, 253, 255, 256, 257)은 Ni, Co, Ti, Ag, Cu, Mo, Al, Be, Nb, Au, Fe, Se, Mn 또는 Ta 등으로 이루어진 단일막 또는 다층의 도전막을 포함하는 다중막 구조를 가질 수 있다. 다층의 도전막을 포함하는 다중막 구조의 예로는 Ta/Al, Ta/Al, Ni/Al, Co/Al, Mo(Mo 합금)/Cu, Mo(Mo 합금)/Cu, Ti(Ti 합금)/Cu, TiN(TiN 합금)/Cu, Ta(Ta 합금)/Cu, TiO<sub>x</sub>/Cu, Al/Nd, Mo/Nb, Mn(Mn 합금)/Cu 등과 같은 이중막 구조를 가질 수 있다.

[0043] 데이터 배선(250, 251, 252, 253, 255, 256, 257)은, 세로 방향으로 형성되어 메인 게이트 라인(220), 다운 게이트 라인(230), 및 제2 스토리지 라인(260)과 교차하여 화소(I)를 정의하는 데이터 라인(250), 소스 전극(251, 253, 255), 소스 전극(251, 253, 255)과 분리되어 있으며 소스 전극(251, 253, 255)의 반대쪽에 형성되는 드레인 전극(252, 254, 256)을 포함할 수 있다. 나아가, 커플링 전극(257)은 후술할 제3 드레인 전극(256)과 연결될 수 있다.

[0044] 더욱 구체적으로, 데이터 배선(250, 251, 252, 253, 255, 256, 257)은 메인 게이트 라인(220) 및 다운 게이트 라인(230)과 함께 제1 내지 제3 스위칭 소자(T1, T2, Tc)를 구성할 수 있다.

[0045] 제1 스위칭 소자(T1)는 메인 게이트 라인(220)과 적어도 일부분이 중첩되고 데이터 라인(250)과 연결된 제1 소오스 전극(251)과, 메인 게이트 라인(220)과 적어도 일부분이 중첩되고 제1 소오스 전극(251)과 이격된 제1 드레인 전극(252)을 포함할 수 있다. 제2 스위칭 소자(T2)는 메인 게이트 라인(220)과 적어도 일부분이 중첩되고 제1 소오스 전극(251)과 연결된 제2 소오스 전극(253)과, 메인 게이트 라인(220)과 적어도 일부분이 중첩되고 제2 소오스 전극과 이격된 제2 드레인 전극(254)을 포함할 수 있다. 마찬가지로, 제3 스위칭 소자(Tc)는, 다운 게이트 라인(230)과 적어도 일부분이 중첩되고 제2 드레인 전극(254)과 연결된 제3 소오스 전극(255)과, 다운 게이트 라인(230)과 적어도 일부분이 중첩되고 제3 소오스 전극(255)과 이격된 제3 드레인 전극(256)을 포함할 수 있다.

[0046] 메인 게이트 라인(220)을 통하여 메인 게이트 신호가 인가되면, 메인 게이트 라인(220)과 적어도 일부분이 오버랩된 소오스 전극(251, 253) 및 드레인 전극(252, 254)을 포함하는 제1 스위칭 소자(T1)와 제2 스위칭 소자(T2)는 상기 메인 게이트 신호에 의해 제어된다. 이와 마찬가지로, 다운 게이트 라인(230)을 통해 다운 게이트 신호가 인가되면, 다운 게이트 라인(230)과 적어도 일부분이 오버랩된 소오스 전극(255) 및 드레인 전극(256)을 포함하는 제3 스위칭 소자(Tc)는 상기 다운 게이트 신호에 의해 제어된다. 상술한 바와 같이, 다운 게이트 신호에 의해 제3 스위칭 소자(Tc)가 턴온되면 제2 액정 커패시터(Cs1c)에 충전된 전압이 변화된다.

[0047] 제1 드레인 전극(252)은 제1 서브 화소 전극(271)과 콘택홀(291)을 통하여 전기적으로 연결될 수 있으며, 제2 드레인 전극(254)은 제2 서브 화소 전극(273)과 콘택홀(293)을 통하여 전기적으로 연결될 수 있다. 상기의 전기적 연결이 안정적으로 이루어지도록, 도면에 도시된 바와 같이, 제1 서브 화소 전극(271)과 제2 서브 화소 전극(273)은 각각 확장부(271a, 273a)를 포함할 수 있고, 제1 드레인 전극(252)과 제2 드레인 전극(254)은 각각 확장부(252a, 254a)를 포함할 수 있다.

[0048] 데이터 배선(250, 251, 252, 253, 255, 256, 257)은 상에는 보호층(245)이 형성될 수 있다. 보호층(245) 내에는 콘택홀(291, 293)이 형성될 수 있다. 본 실시예에 따른 보호층(245)은 예를 들어, 유기막, 무기막 또는 유기막과 무기막의 다중막으로 형성될 수 있다. 예를 들어, 도면에 도시하지는 않았으나, 데이터 배선(250, 251, 252, 253, 255, 256, 257) 및 게이트 절연층(230)의 프로파일을 따라 컨포말하게 형성된 무기물층과, 상기 무기

물층 상에 형성된 유기물층을 포함할 수 있다. 유기물층은 평탄화 특성이 높은 물질을 사용할 수 있다.

- [0049] 보호층(245)의 상부에는 화소전극(271, 273)이 형성될 수 있다. 화소전극(271, 273)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어질 수 있다. 화소전극(271, 273)은 제1 드레인 전극(252)과 전기적으로 연결되어 있는 제1 서브 화소 전극(271)과, 제2 드레인 전극(254)과 전기적으로 연결되어 있는 제2 서브 화소 전극(273)을 포함한다. 도면에 도시된 바와 같이, 제1 및 제2 서브 화소 전극(271, 273)은 슬릿 패턴을 포함할 수 있다.
- [0050] 상술한 바와 같이, 제2 스토리지 라인(260)과 커플링 전극(257)의 중첩 영역은 다운 커패시터(Cd)를 형성한다. 즉, 상기 중첩 영역은 제2 서브 화소 전극(273)의 충전 전압을 하강시킬 수 있다. 이 때, 제2 스토리지 라인(260)에 인가되는 전압을 조절하여, 다운 커패시터(Cd)의 커패시턴스를 조절할 수 있다. 제2 스토리지 라인(260)에 인가되는 전압에 따른 제2 서브 화소 전극(273)의 전압 변화에 대해서는 도 5를 참조하여 후술한다.
- [0051] 도 3 및 도 4에 도시된 바와 같이, 제2 스토리지 라인(260)은 커플링 전극(257)과 중첩되는 영역에서 면적이 확장되는 확장부(261)를 포함할 수 있다. 제2 스토리지 라인의 확장부(261)는 커플링 전극(257)과 다운 커패시터(Cd)를 형성하여 제2 서브 화소 전극(273)의 충전 전압을 하강시킬 수 있다.
- [0052] 나아가, 제2 스토리지 라인(260)은 제1 스토리지 라인(280, 283, 281a, 281b)과 분리되어 형성된다. 제1 스토리지 라인의 서브 스토리지 라인(281a, 281b)은, 제1 서브 화소 전극(271)과 일부분이 중첩되도록 형성될 수 있다. 제1 스토리지 라인(280, 283, 281a, 281b)은 두 개 이상의 서브 스토리지 라인(281a, 281b)을 포함할 수 있으며, 데이터 라인(250)에 인접하여 제1 서브 화소 전극(271)과 중첩되어 형성될 수 있다.
- [0053] 도면에 도시된 바와 같이, 제1 스토리지 라인(280, 283, 281a, 281b)이 두 개의 서브 스토리지 라인(281a, 281b)을 포함하여, 제1 서브 화소 전극(271)의 외곽부를 따라 "π"자 형상을 가질 수 있다. 이 때, 제1 스토리지 라인(280, 283, 281a, 281b)은 제2 서브 화소 전극(273)과는 오버랩되지 않을 수 있다. 다만, 상술한 제1 스토리지 라인(280, 283, 281a, 281b)의 형상은 하나의 예시에 해당하며, 제1 서브 화소 전극(271)의 형상에 따라 서브 스토리지 라인(281a, 281b)의 형상이 변경될 수 있음은 물론이다.
- [0054] 또한, 제1 스토리지 라인(280, 283, 281a, 281b)은 제2 스토리지 라인(260)과 분리되어 형성된다. 도 4의 X 부분에 도시된 바와 같이, 제1 스토리지 라인(280, 283, 281a, 281b)의 끝 단은 제2 스토리지 라인(260)과 이격되어 형성된다. 다시 말하면, 제1 스토리지 라인(280, 283, 281a, 281b)과 제2 스토리지 라인(260)은 물리적, 전기적으로 분리되어 형성된다.
- [0055] 이에 따라, 제1 스토리지 라인(280, 283, 281a, 281b)과 제2 스토리지 라인(260)에는 서로 다른 전압이 인가된다. 도면으로 직접 도시하지는 않았으나, 제1 스토리지 라인(280, 283, 281a, 281b)과 제2 스토리지 라인(260)은, 표시 패널(100)의 회로부(미도시)에 형성되고 서로 다른 전압을 인가하는 제1 및 제2 전압 배선과 각각 연결되어 각각 서로 다른 전압을 인가받을 수 있다.
- [0056] 도 5에 도시된 바와 같이, 제2 스토리지 라인(260)에 인가되는 전압을 변화시킬 수 있다. 다시 말하면, 제2 스토리지 라인(260)에 인가되는 전압(V<sub>ss</sub>)은 공통 전극에 인가되는 공통 전압과 다른 전압일 수 있다. 상술한 바와 같이, 제2 서브 화소 전극(273)에 인가된 전압은 다운 커패시터(Cd)에 의해 변화되므로, 제2 스토리지 라인(260)에 인가되는 전압 레벨을 조절함으로써, 다운 커패시터(Cd)의 커패시턴스를 조절할 수 있다. 즉, 제2 서브 화소 전극(273)에 인가된 전압을 셰어링(sharing)하는 전압 레벨을 조절할 수 있다.
- [0057] 도 5를 참조하면, 예를 들어, 제1 및 제2 서브 화소 전극(271, 273)이 반전 구동 방식으로 구동한다고 할 때, 제2 스토리지 라인(260)에 인가되는 스토리지 전압(V<sub>ss</sub>)은 공통 전압(V<sub>com</sub>)을 기준으로 스윙(swing)하는 하이 레벨과 로우 레벨 전압일 수 있다. 다시 말하면, 양의 전압으로 반전 구동하는 경우 공통 전압(V<sub>com</sub>)을 기준으로 하이 레벨의 전압을 스토리지 전압(V<sub>ss</sub>)에 인가하고, 음의 전압으로 반전 구동하는 경우 공통 전압(V<sub>com</sub>)을 기준으로 로우 레벨의 전압을 스토리지 전압(V<sub>ss</sub>)으로 인가할 수 있다.
- [0058] 따라서, 다운 커패시터(Cd)에 의한 차지 셰어링(charge sharing)이 일어나기 전의 제2 서브 화소 전극(273)에 인가되는 데이터 전압(V<sub>sp2a</sub>)은, 차지 셰어링이 일어난 후의 제2 서브 화소 전극(273)의 전압(V<sub>sp2b</sub>)으로 변화될 수 있다. 나아가, 제2 스토리지 라인(260)에 인가되는 스토리지 전압(V<sub>ss</sub>)으로 공통 전압(V<sub>com</sub>)과의 전압차가 큰 전압을 인가할수록, 차지 셰어링이 일어난 후의 제2 서브 화소 전극(273)의 전압(V<sub>sp2b</sub>)은 차지 셰어링이 일어나기 전의 제2 서브 화소 전극(273)의 전압(V<sub>sp2a</sub>)으로부터 크게 감소할 수 있다.
- [0059] 다시 도 4를 참조하면, 제2 표시 기관(300)은 제2 기관(310) 위에 차광층(320)이 형성되어 있다. 차광층(320)은

일반적으로 적색, 녹색 및 청색 필터 사이를 구분하며, 제1 표시 기관(200)에 위치하는 박막트랜지스터로 직접적인 광 조사를 차단하는 역할을 할 수 있다. 차광층(320)은 통상 검은색 안료가 첨가된 감광성 유기물질 또는 크롬/크롬옥사이드(Cr/CrOx)등의 물질을 포함할 수 있다.

- [0060] 컬러 필터층(330)은 차광층(320)을 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성될 수 있다. 컬러 필터층(330)은 백라이트 유닛(도시하지 않음)으로부터 조사되어 액정층(400)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러 필터층(330)은 통상 감광성 유기물질로 이루어져 있다.
- [0061] 컬러 필터층(330)과 차광층(320)의 상부에는 오버코트막(340)이 형성될 수 있다. 오버코트막(340)은 컬러 필터층(330)을 평탄화하면서, 컬러 필터층(330)을 보호하는 역할을 하며 통상 아크릴계 에폭시 재료가 많이 사용되나 이에 한정되지는 않는다.
- [0062] 오버코트막(340)의 상부에는 공통전극(350)이 형성되어 있다. 공통전극(350)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 공통전극(350)은 제1기관(200)의 화소전극(270)과 함께 액정층(400)에 전압을 인가한다. 몇몇 실시예에서, 공통전극(350)에는 공통전극 절개패턴(351)이 형성될 수 있다.
- [0063] 본 발명의 일 실시예에 따른 표시 장치에 의하면, 서로 분리된 제1 스토리지 라인 및 제2 스토리지 라인을 형성하여, 제1 스토리지 라인 및 제2 스토리지 라인에 서로 다른 전압을 인가함으로써, 화소 영역 부근에서 빛샘 현상이나 텍스처(texture)가 발생하는 것을 방지할 수 있다.
- [0064] 이어서, 도 6 및 도 7을 참조하여, 본 발명의 다른 실시예에 따른 표시 장치를 설명한다. 도 6은 본 발명의 다른 실시예에 따른 표시 장치에 사용되는 화소(I)의 등가회로도이다. 도 7은 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 레이아웃도이다.
- [0065] 본 발명의 다른 실시예에 따른 표시 장치는 커플링 게이트 라인에 인가되는 커플링 게이트 신호에 의해 제어되는 제어 스위칭 소자와 연결된 제어 라인을 포함한다는 점에서 상술한 본 발명의 일 실시예에 따른 표시 장치와 구별된다. 이하에서는 이러한 구별점을 중심으로 설명하며, 상술한 구성요소와 실질적으로 동일한 구성 요소에 대한 구체적인 설명은 간략화하거나 생략한다.
- [0066] 도 6을 참조하면, 화소(I)는 제1 및 제2 게이트 라인(Gn, Gn+1), 데이터선(D), 및 제어 라인(C)과 연결된다. 화소는 제1 서브 화소(SP1), 제2 서브 화소(SP2), 및 제어부(CP)를 포함한다. 2개의 게이트 라인(Gn, Gn+1)는 서로 인접하여 배치될 수 있다. 예를 들어, 제2 게이트 라인(Gn+1)은 제1 게이트 라인(Gn)에 비해서 후단 게이트 라인일 수 있다. 즉, 제1 게이트 라인(Gn)에 게이트 전압이 인가된 후, 이어서 제2 게이트 라인(Gn+1)에 게이트 전압이 인가될 수 있다.
- [0067] 특히, 제어부(CP)의 제어 스위칭 소자(Tc)의 입력단은 제어 라인(C)과 연결되고, 제어단은 제2 게이트 라인(Gn+1)에 연결된다. 제어 스위칭 소자(Tc)의 출력단은 커플링 커패시터(Ccp)와 연결된다. 이 때, 제어 스위칭 소자(Tc)의 출력단과, 제2 스위칭 소자(T2)의 출력단에 의해 커플링 커패시터(Ccp)가 형성된다. 여기서, n과 n+1로 제1 게이트 라인과 제2 게이트 라인이 순차로 배열된 경우를 도시하였으나, 이는 하나의 예시일 뿐이며, 제2 게이트 라인은 제1 게이트 라인에 비해서 둘 이상의 후단 게이트 라인 또는 전용 게이트 라인일 수 있다. 이하에서, 제1 게이트 라인(Gn)은 메인 게이트 라인으로, 제2 게이트 라인(Gn+1)은 커플링 게이트 라인으로 지칭한다. 또한, 제어 스위칭 소자(Tc)는 제3 스위칭 소자로, 제어 라인(C)은 신호 라인으로, 제어 전극(296)은 커플링 전극으로 지칭될 수 있다.
- [0068] 도 7을 참조하면, 본 발명의 다른 실시예에 따른 표시 장치는, 제1 표시 기관(200), 제2 표시 기관(도 4의 300 참조) 및 액정층(도 4의 400 참조)을 포함한다.
- [0069] 제1 표시 기관(200)은 기관(210) 상에 형성된 메인 게이트 라인(220), 메인 게이트 라인(220)과 이격되어 배치된 커플링 게이트 라인(240), 및 커플링 게이트 라인(240)에 인가되는 커플링 게이트 신호에 의해 제어되는 제어 스위칭 소자(Tc)와 연결된 제어 라인(290)을 포함한다.
- [0070] 메인 게이트 라인(220) 및 커플링 게이트 라인(240)은 서로 이격되고, 제1 방향, 예를 들어 가로 방향으로 연장된다. 메인 게이트 라인(220)을 통해 인가되는 메인 게이트 신호는 제1 스위칭 소자(T1)와 제2 스위칭 소자(T2)를 제어한다.
- [0071] 커플링 게이트 라인(240)은 제어 스위칭 소자(Tc)를 제어하며, 커플링 게이트 라인(240)에 인가되는 커플링 게

이트 신호는, 예를 들어 후단 게이트 신호일 수 있다.

- [0072] 제1 스위칭 소자(T1)는 제1 서브 화소 전극(271)과 전기적으로 연결되고, 제2 스위칭 소자(T2)는 제2 서브 화소 전극(273)과 전기적으로 연결된다.
- [0073] 제어 라인(290)은 제어 스위칭 소자(Tc)와 연결된 제어 전극(296)을 포함한다. 더욱 구체적으로, 제어 스위칭 소자(Tc)는 커플링 게이트 라인(240)과 적어도 일부분이 중첩되고 제어 라인(290)으로부터 분지된 제어 소오스 전극(292)과, 커플링 게이트 라인(240)과 적어도 일부분이 중첩되고 제어 소오스 전극(292)과 이격된 제어 드레인 전극(294)을 포함할 수 있다. 제어 전극(296)은 제어 드레인 전극(294)과 연결되며, 제어 드레인 전극(294)보다 확장된 면적을 가질 수 있다. 나아가, 제어 전극(296)은 제2 서브 화소 전극(273)의 커플링 영역(273b)과 오버랩된다. 제2 서브 화소 전극(273)의 커플링 영역(273b)과 제어 전극(296)이 중첩된 영역은 제2 서브 화소 전극(273)의 충전 전압을 하강시키는 커플링 커패시터(Ccp)를 형성할 수 있다. 여기서, 커플링 영역( )은 제2 서브 화소 전극(273)의 확장부로 제어 전극(296)과 중첩된 영역을 의미할 수 있다.
- [0074] 도 7에 도시된 바와 같이, 제1 표시 기관(200)은, 제1 방향, 예를 들어 가로 방향과 서로 다른 제2 방향, 예를 들어 세로 방향으로 연장된 복수의 데이터 라인(250)을 포함하며, 제어 라인(290)은 복수의 데이터 라인(250)과 이격되어 제2 방향, 예를 들어 세로 방향으로 연장될 수 있다.
- [0075] 예를 들어, 도면에 도시된 바와 같이, 복수의 데이터 라인(250) 사이에 제어 라인(290)이 형성될 수 있다. 나아가, 복수의 데이터 라인(250)과 제어 라인(290)은 동일 레벨에 형성될 수 있다. 여기서, "동일 레벨에 형성된다"는 의미는 동일한 물질로 동일 공정을 통해서 만들어진다는 것을 의미한다. 따라서, 제어 라인(290)은 데이터 배선(250, 251, 252, 253, 254)과 동일한 물질로 이루어질 수 있다.
- [0076] 나아가, 상술한 실시예들과 마찬가지로, 메인 게이트 라인(220) 및 커플링 게이트 라인(240)은, 제1 서브 화소 전극(271)과 제2 서브 화소 전극(273) 사이에 배치될 수 있다. 즉, 제1 서브 화소 전극(271)과 제2 서브 화소 전극(273)이 배치된 사이의 영역에 메인 게이트 라인(220), 커플링 게이트 라인(240), 제1 스위칭 소자(T1), 제2 스위칭 소자(T2), 제어 스위칭 소자(Tc), 제1 스위칭 소자(T1)와 제1 서브 화소 전극(271)을 전기적으로 연결하는 제1 콘택홀(291), 제2 스위칭 소자(T2)와 제2 서브 화소 전극(273)을 전기적으로 연결하는 제2 콘택홀(293), 및 커플링 커패시터(Ccp)를 형성하기 위한 제2 서브 화소 전극(273)의 커플링 영역(273b)과 제어 전극(296)이 배치될 수 있다.
- [0077] 상술한 바와 같이, 커플링 게이트 라인(240)으로 커플링 게이트 신호가 인가된 후, 제어 라인(290)을 통해 전달된 제어 신호가 제어 스위칭 소자(Tc)를 통해 커플링 커패시터에 인가되며, 상기 커플링 커패시터에 의해 제2 서브 화소 전극(273)의 전압 변화가 유도될 수 있다. 이처럼, 제2 서브 화소 전극(273)의 커플링 영역(273b)과 제어 전극(296)에 의해 커플링 커패시터(Ccp)가 형성되므로, 앞선 실시예에서의 제2 스토리지 라인(도 3의 260 참조)을 생략할 수 있다. 이에 따라, 제1 서브 화소 전극(271)과 제2 서브 화소 전극(273) 사이에 배치되는 구성 요소들, 예를 들어, 메인 게이트 라인(220), 커플링 게이트 라인(240), 제1 및 제2 콘택홀(291, 293)을 배치하는데 무리가 없다. 뿐만 아니라, 제1 서브 화소 전극(271)과 제2 서브 화소 전극(273) 사이의 간격을 감소시킬 수 있어 개구율을 향상시킬 수 있는 장점도 있다.
- [0078] 도 7에 도시된 바와 같이, 인접하는 두 개의 데이터 라인(250) 사이에 제어 라인(290)이 배치되는 경우, 제어 라인(290)과 제어 라인(290)의 일측, 예를 들어 좌측의 데이터 라인(250) 사이에는 제1 스위칭 소자(T1) 및 제2 스위칭 소자(T2)를 배치하고, 제어 라인(290)과, 제어 라인(290)의 타측, 예를 들어 우측의 데이터 라인(250) 사이에는 제어 스위칭 소자(Tc) 및 커플링 커패시터(Ccp)를 배치할 수 있다. 다만, 이는 하나의 실시예에 불과할 뿐, 제어 라인(290)과 데이터 라인(250)의 상대적 배치와, 이들에 의해 형성되는 공간에 대한 구성 요소의 배치는 다양하게 변형될 수 있음은 물론이다.
- [0079] 몇몇 다른 실시예에서는, 도 8에 도시된 바와 같이 제어 라인(290)을 메인 게이트 라인(220) 및 커플링 게이트 라인(240)과 동일한 방향, 예를 들어 가로 방향으로 연장되도록 형성할 수 있다. 도 8은 본 발명의 또 다른 실시예에 따른 표시 장치에 사용되는 화소(I)의 등가 회로도이다.
- [0080] 도 8에 도시된 바와 같이, 제어 라인(290)은 서로 이격된 제1 제어 라인(Ck) 및 제2 제어 라인(Ck+1)을 포함하되, 메인 게이트 라인(Gn) 및 커플링 게이트 라인(Gn+1)과 동일한 제1 방향, 예를 들어 가로 방향으로 연장될 수 있다.
- [0081] 또한, 화소(I)는 제1 서브 화소(SP11, SP21)과 제2 서브 화소(SP21, SP22) 및 제어부(CP1, SP2)를 각각 포함하는 제1 화소부와 제2 화소부를 포함할 수 있다. 제1 화소부의 제어부(CP1)에 포함된 제어 스위칭 소자(Tc)는 제

1 제어 라인(Ck)과 연결되고, 제2 화소부의 제어부(CP2)에 포함된 제어 스위칭 소자(Tc)는 제2 제어 라인(Ck+1)과 연결될 수 있다. 이 때, 제1 제어 라인(290)에 인가되는 제1 제어 신호와, 제2 제어 라인(290)에 인가되는 제2 제어 신호는 서로 상보적일 수 있다.

[0082] 이어서, 도 9 내지 도 11b를 참조하여, 본 발명의 또 다른 실시예에 따른 표시 장치를 설명한다. 도 9는 본 발명의 또 다른 실시예에 따른 표시 장치를 설명하기 위한 레이아웃도이다. 도 10a 및 도 10b는 본 발명의 또 다른 실시예를 설명하기 위한 도 9의 A1 및 A2 영역을 확대한 부분 확대도이다. 도 11a 및 도 11b는 본 발명의 또 다른 실시예를 설명하기 위한 도 9의 A1 및 A2 영역을 확대한 부분 확대도이다.

[0083] 도 9를 참조하면, 제1 표시 기관(도 4의 200 참조)은 제1 서브 화소(271\_1, 271\_2) 및 제2 서브 화소(273\_1, 273\_2)를 각각 포함하는 제1 화소부(PX1) 및 제2 화소부(PX2)를 포함할 수 있다. 제2 표시 기관(도 4의 300 참조)은 적색, 녹색 및 청색 컬러 필터가 형성된 컬러 필터층(도 4의 330 참조)을 포함할 수 있다. 제2 표시 기관(300) 상에는 제1 화소부(PX1)에 대응하여 적색 또는 녹색 컬러 필터가 배치되고, 제2 화소부(PX2)에 대응하여 청색 컬러 필터가 배치될 수 있다. 이 때, 제1 화소부(PX1)의 커플링 전극(257a)이 제1 면적을 가진다고 하고, 제2 화소부(PX2)의 커플링 전극(257b)이 제2 면적을 가진다고 할 때, 제1 면적은 제2 면적보다 크다.

[0084] 도 10a 및 도 10b를 참조하면, 제1 화소부(PX1)의 제1 서브 화소 전극(271\_1)은 제1 방향에 대하여 제1 예각( $\theta_1$ )으로 기울어진 제1 슬릿 패턴(271\_1a, 271\_1b)을 포함하고, 제2 화소부(PX2)의 제1 서브 화소 전극(271\_2)은 제1 방향에 대하여 제2 예각( $\theta_2$ )으로 기울어진 제2 슬릿 패턴(271\_2a, 271\_2b)을 포함할 수 있다. 이 때, 제2 예각( $\theta_2$ )의 크기는 제1 예각( $\theta_1$ )의 크기보다 작다. 예를 들어, 제2 예각( $\theta_2$ )의 크기는 약 35도 이하일 수 있으며, 예를 들어 약 30도 내지 약 35도 일 수 있다. 제1 예각( $\theta_1$ )의 크기는 예를 들어, 약 40도일 수 있다. 다른 실시예에서, 제2 예각( $\theta_2$ )의 크기를 제1 예각( $\theta_1$ )의 크기보다 약 5도 이상 작도록 제1 슬릿 패턴(271\_1a, 271\_1b)과 제2 슬릿 패턴(271\_2a, 271\_2b)을 형성할 수 있다. 이처럼, 청색 컬러 필터에 대응하는 제2 화소부(PX2)의 슬릿 패턴(271\_2a, 271\_2b)의 기울기를 감소시킴으로써, 청색 화소의 휘도를 감소시킨다. 이에 따라, 저계조 범위의 레디시(reddish) 현상을 감소시킬 수 있다.

[0085] 즉, 청색 컬러 필터가 배치된 제2 화소부(PX2)의 커플링 전극(257b)의 제2 면적을, 적색 또는 녹색 컬러 필터가 배치된 제1 화소부(PX1)의 커플링 전극(257a)의 제1 면적보다 작게 형성하여 고계조 범위의 옐로위시(yellowish) 현상을 감소시키고, 이와 함께, 청색 컬러 필터에 대응하는 제2 화소부(PX2)의 제2 슬릿 패턴(271\_2a, 271\_2b)의 기울기를 제1 화소부(PX1)의 제1 슬릿 패턴(271\_1a, 271\_1b)의 기울기보다 작게 형성하여 저계조 범위의 레디시(reddish) 현상을 감소시킬 수 있다. 다시 말하면, 본 발명의 다른 실시예에 따른 표시 장치는 저계조 범위의 레디시 현상과 고계조 범위의 옐로위시 현상을 동시에 감소시킴으로써 표시 품질을 훨씬 향상시킬 수 있다.

[0086] 다른 몇몇 실시예에서, 도 11a 및 도 11b에 도시된 바와 같이, 제1 화소부(PX1)의 제1 서브 화소 전극(271\_1)은 제1 오픈부(271\_1b)와 제1 전극부(271\_1a)를 포함하는 제1 슬릿 패턴(271\_1a, 271\_1b)을 포함하고, 제2 화소부(PX2)의 제1 서브 화소 전극(271\_2)은 제2 오픈부(271\_2b)와 제2 전극부(271\_2a)를 포함하는 제2 슬릿 패턴(271\_2a, 271\_2b)을 포함되, 제2 오픈부(271\_2b)의 너비(D2)는 제1 오픈부(271\_1b)의 너비(D1)보다 크게 형성될 수 있다. 상기 실시예들과 마찬가지로, 제2 표시 기관(300) 상에 제1 화소부(PX1)에 대응하여 적색 또는 녹색 컬러 필터가 배치되고, 제2 화소부(PX2)에 대응하여 청색 컬러 필터가 배치될 수 있다.

[0087] 즉, 도 10a 및 도 10b의 경우, 제1 슬릿 패턴(271\_1a, 271\_1b) 및 제2 슬릿 패턴(271\_2a, 271\_2b)의 기울기에 차이를 줌으로써, 청색 화소의 휘도를 적색 및 녹색 화소의 휘도에 비하여 상대적으로 감소시켰다. 이에 반하여, 도 11a 및 도 11b의 경우에는, 제1 슬릿 패턴(271\_1a, 271\_1b)과 제2 슬릿 패턴(271\_2a, 271\_2b)의 오픈부(271\_1b, 271\_2b)의 너비(D1, D2)에 차이를 줌으로써, 청색 화소의 휘도를 적색 및 녹색 화소의 휘도에 비하여 상대적으로 감소시켰다.

[0088] 다시 말하면, 도 11a 및 도 11b의 다른 몇몇 실시예에서, 청색 컬러 필터가 배치된 제2 화소부(PX2)의 커플링 전극(257b)의 제2 면적을, 적색 또는 녹색 컬러 필터가 배치된 제1 화소부(PX1)의 커플링 전극(257a)의 제1 면적보다 작게 형성하여 고계조 범위의 옐로위시(yellowish) 현상을 감소시키고, 이와 함께, 청색 컬러 필터에 대응하는 제2 화소부(PX2)의 제2 슬릿 패턴의 제2 오픈부(271\_2b)의 너비(D2)를 제1 화소부(PX1)의 제1 슬릿 패턴의 제1 오픈부(271\_1b)의 너비(D1)보다 크게 형성하여 저계조 범위의 레디시(reddish) 현상을 감소시켰다. 다시 말하면, 본 발명의 다른 실시예에 따른 표시 장치는 저계조 범위의 레디시 현상과 고계조 범위의 옐로위시 현상을 동시에 감소시킴으로써 표시 품질을 훨씬 향상시킬 수 있다.

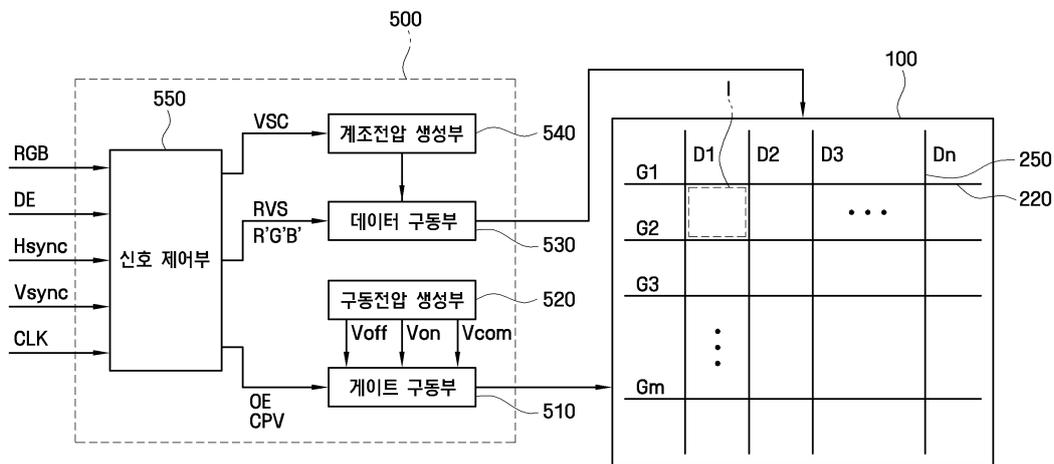
[0089] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

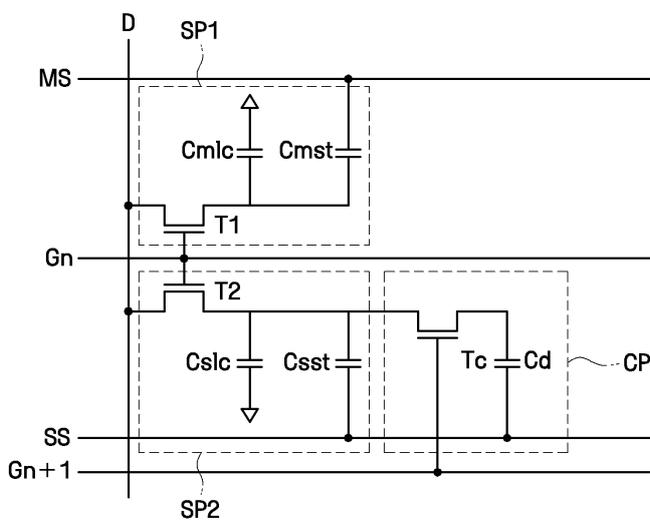
- [0090] 100: 표시 패널;
- 200: 제1 표시 기관;
- 300: 제2 표시 기관;
- 400: 액정층;
- 500: 패널 구동부(500);

**도면**

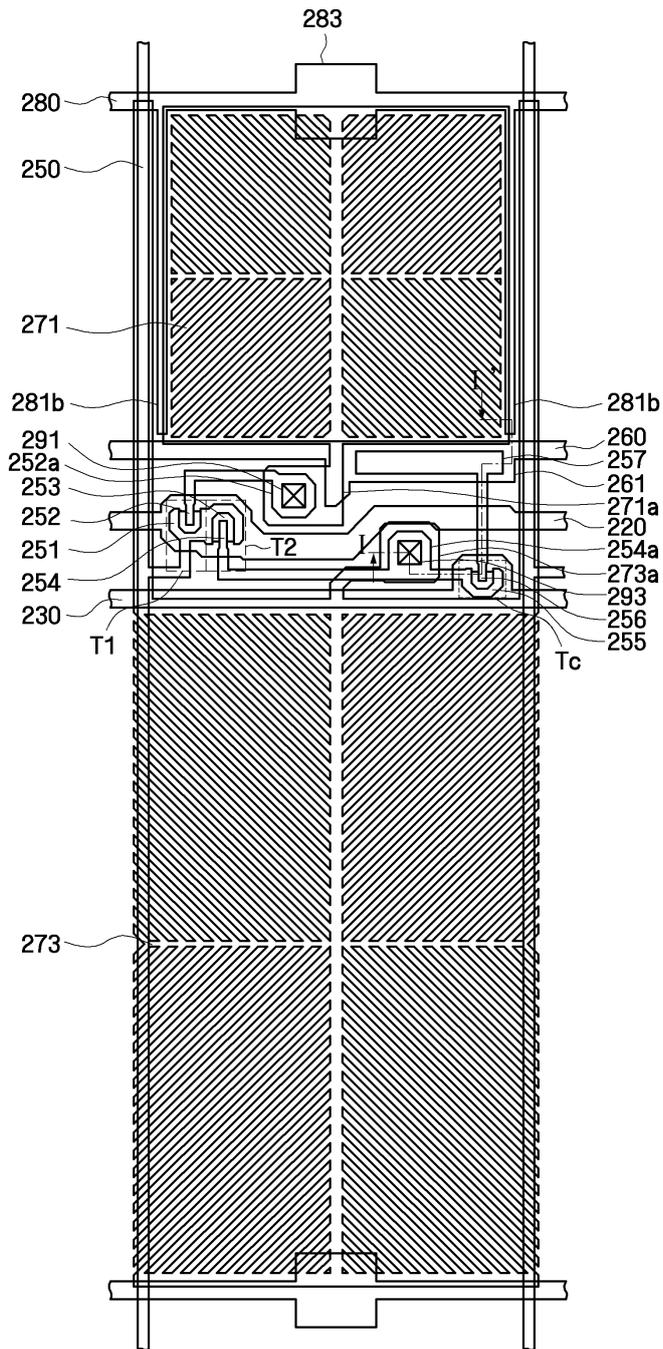
**도면1**



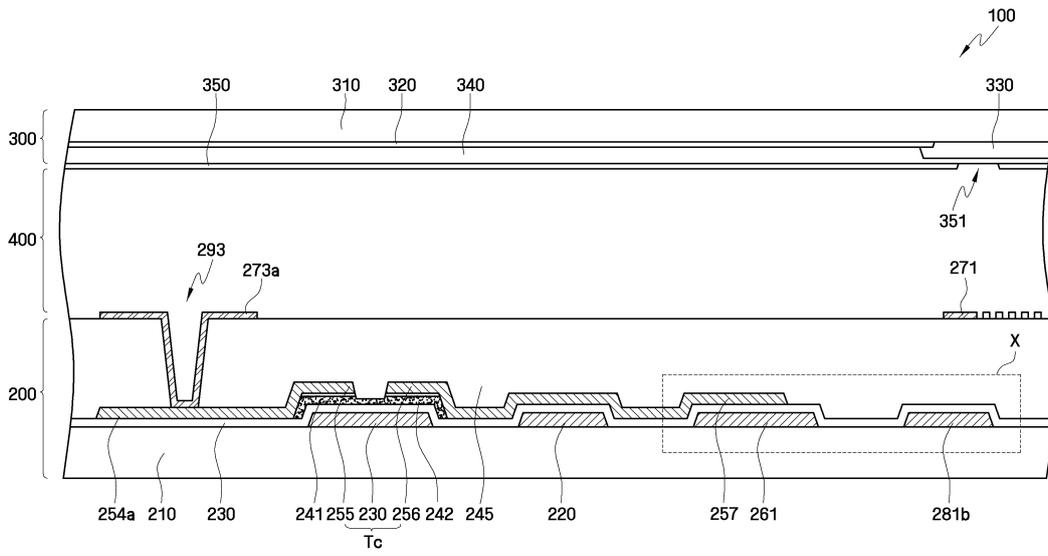
**도면2**



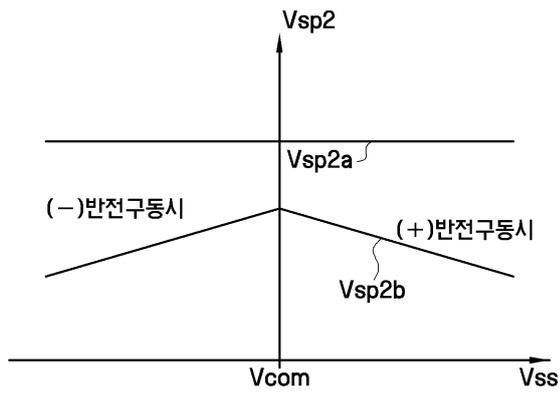
도면3



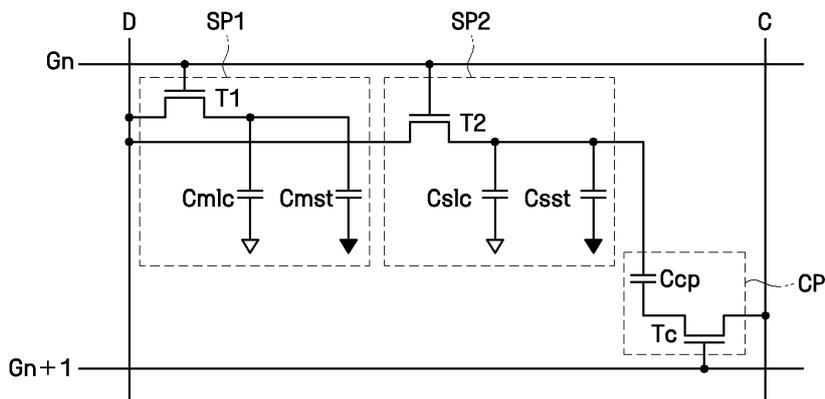
도면4



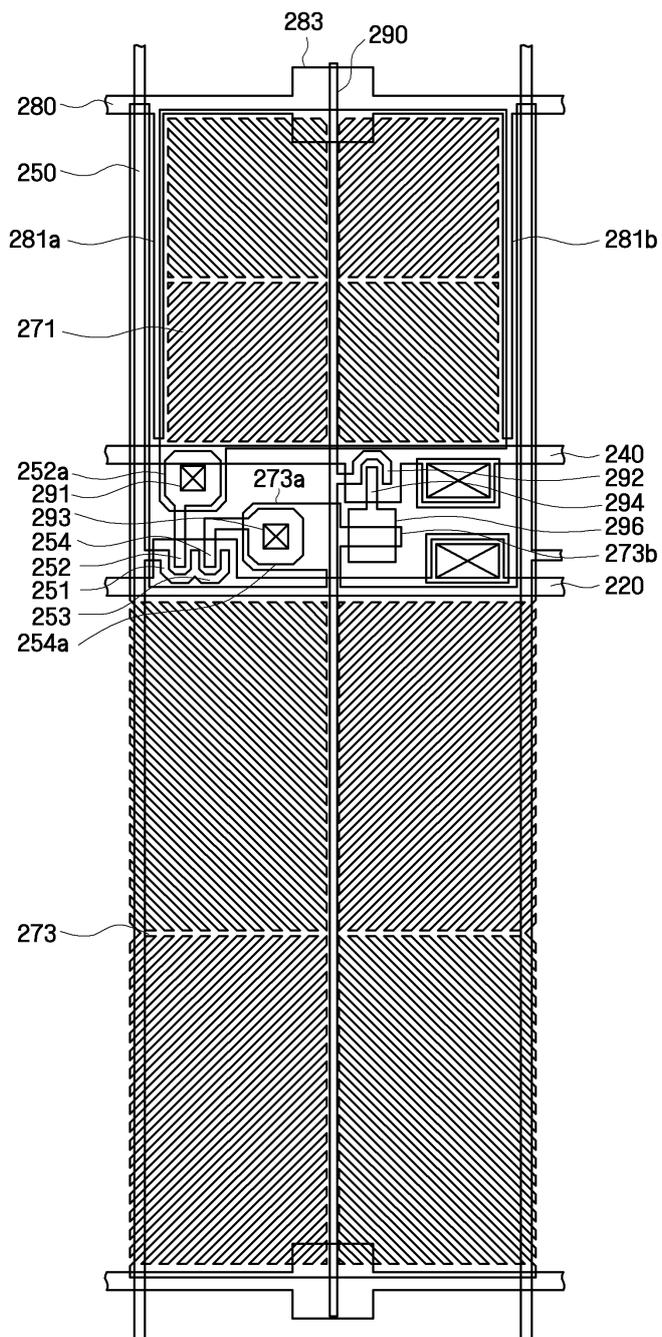
도면5



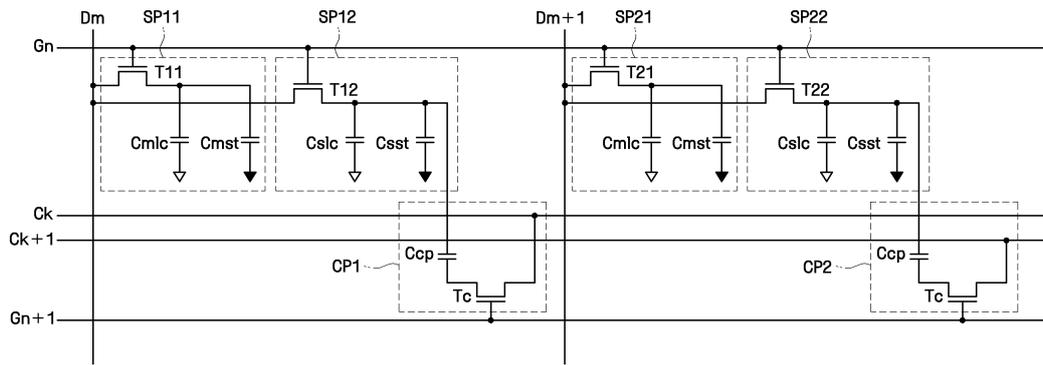
도면6



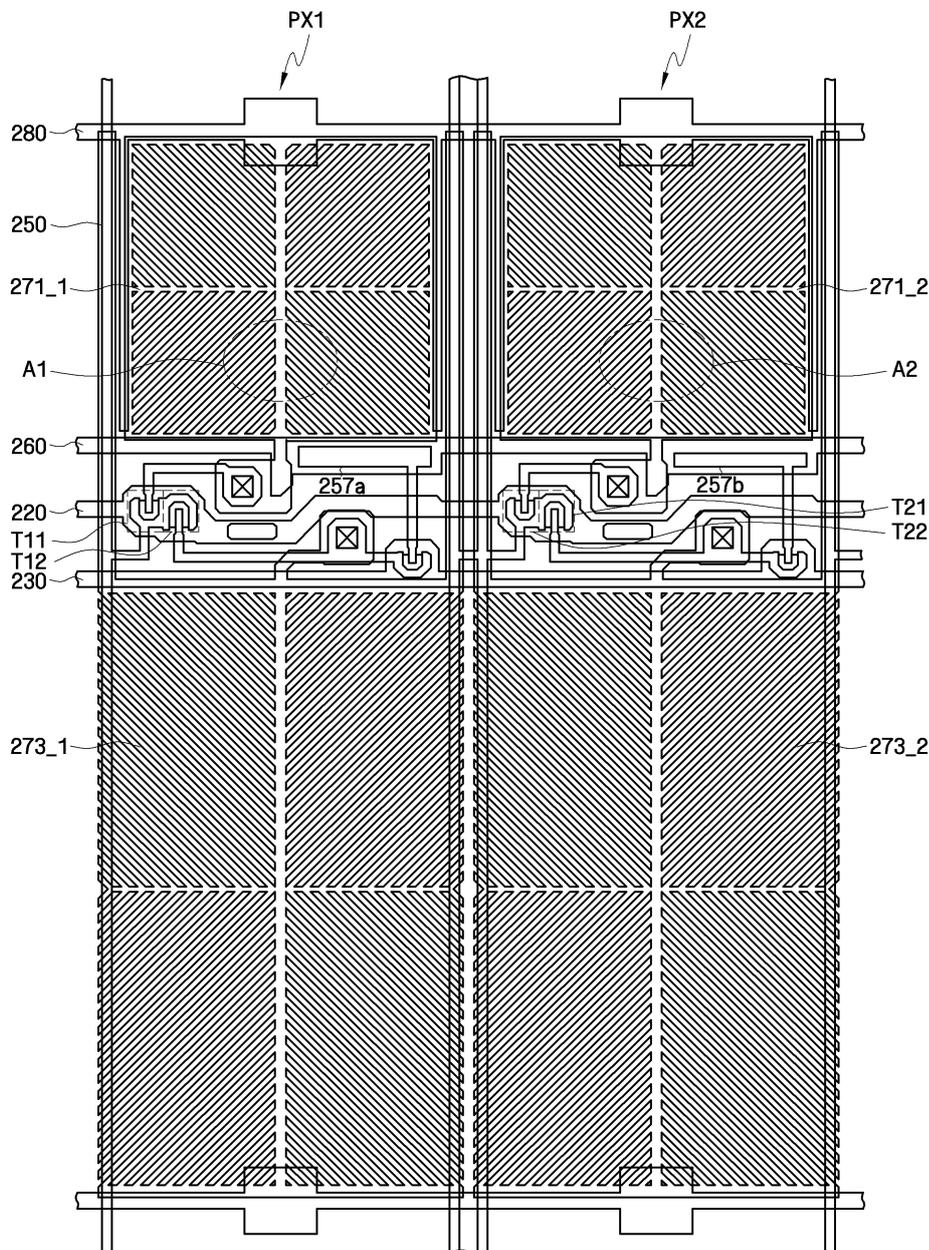
도면7



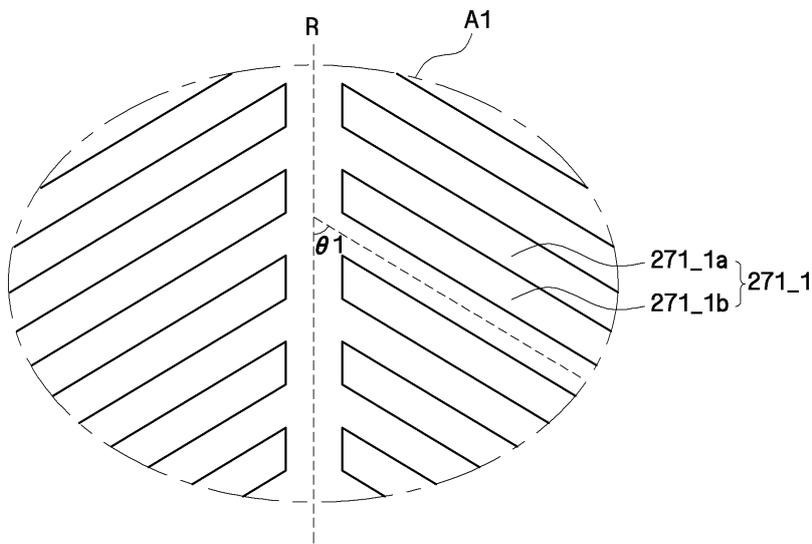
도면8



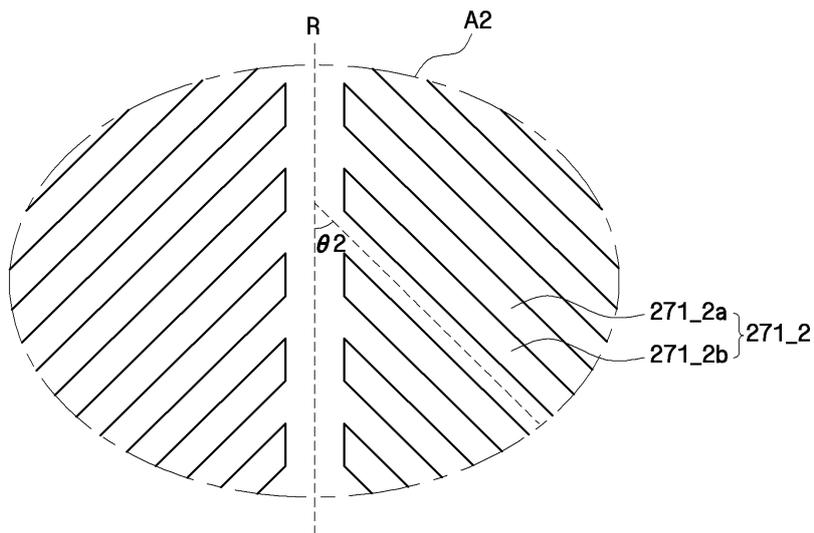
도면9



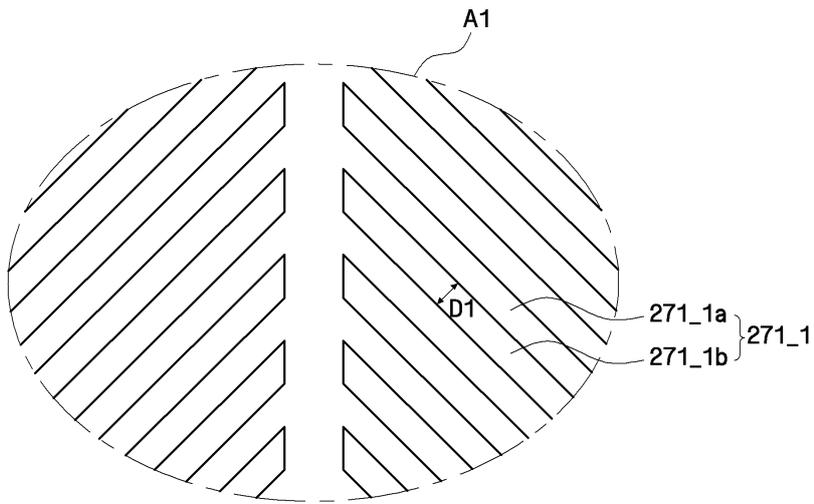
도면10a



도면10b



도면11a



도면11b

