



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I605688 B

(45)公告日：中華民國 106 (2017) 年 11 月 11 日

(21)申請案號：103107186

(22)申請日：中華民國 103 (2014) 年 03 月 04 日

(51)Int. Cl. : **H03M1/12 (2006.01)**

(30)優先權：2013/03/08 美國

61/774,983

(71)申請人：安娜卡敦設計公司 (瑞典) ANACATUM DESIGN AB (SE)

瑞典

(72)發明人：桑德布拉德 羅夫 SUNDBLAD, ROLF (SE)；海傑爾瑪爾森 艾米爾

HJALMARSON, EMIL (SE)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 6392575B1

US 6452518B1

US 6522282B1

WO 00/44099A1

審查人員：陳明德

申請專利範圍項數：15 項 圖式數：5 共 43 頁

(54)名稱

有效率的時間交錯類比至數位轉換器

EFFICIENT TIME-INTERLEAVED ANALOG-TO-DIGITAL CONVERTER

(57)摘要

本發明揭示一種時間交錯類比至數位轉換器，用以將類比輸入訊號轉換成具有取樣比率 R 的數位輸出訊號。該時間交錯類比至數位轉換器包括一由整數 N 個組成類比至數位轉換器所構成的陣列、整數 N 個取樣與保留單元、一或更多個數位輸出處理單元、以及一時序電路。

每一個組成類比至數位轉換器被調適成以類比至數位轉換器操作時脈為基礎來操作，用以在該數位輸出處提供一數位訊號。每一個取樣與保留單元皆被連接至一個別組成類比至數位轉換器的輸入並且被調適成以 M 個時序訊號中的一個別時序訊號為基礎來操作，其中，沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元。

該些數位輸出處理單元被調適成以該些 M 個時序訊號中的該個別時序訊號為基礎提供一組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣。該時序電路被調適成用以產生該類比至數位轉換器操作時脈訊號以及該些 M 個時序訊號，每一個時序訊號皆有週期 M/R ，其中， M 小於或等於 N 。

A time-interleaved analog-to-digital converter for conversion of an analog input signal to a digital output signal having a sample rate R is disclosed. The time-interleaved analog-to-digital converter comprises an array of an integer number N of constituent analog-to-digital converters, an integer number N of sample-and-hold units, one or more digital output processing units, and a timing circuit.

Each constituent analog-to-digital converter is adapted to operate based on an analog-to-digital converter operation clock to provide a digital signal at the digital output. Each sample-and-hold unit is connected to the input of a respective constituent analog-to-digital converter and is adapted to operate based on a

respective one of a number M of timing signals, wherein no timing signal is used to clock two or more of the sample-and-hold units.

The digital output processing units are adapted to provide a sample of the digital output of a constituent analog-to-digital converter as a sample of the digital output signal based on the respective one of the M timing signals. The timing circuit is adapted to generate the analog-to-digital converter operation clock signal and the M timing signals each timing signal having a period of M/R , wherein M is less or equal to N.

指定代表圖：

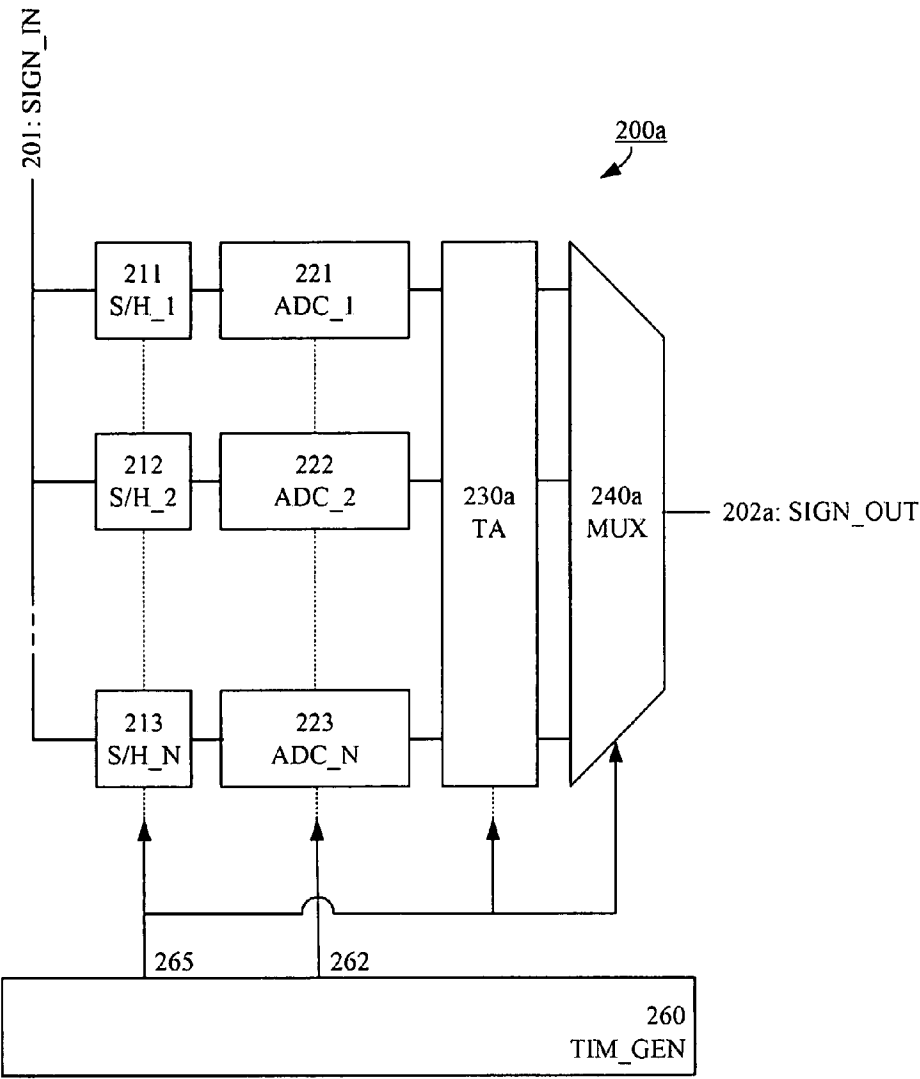


圖2A

符號簡單說明：

200a . . . 時間交錯
類比至數位轉換器(TI
ADC)

201 . . . 輸入

202a . . . 輸出

211 . . . 取樣與保留
單元

212 . . . 取樣與保留
單元

213 . . . 取樣與保留
單元

221 . . . 組成類比至
數位轉換器

222 . . . 組成類比至
數位轉換器

223 . . . 組成類比至
數位轉換器

230a . . . 時間對齊
器

240a . . . 多工器

260 . . . 時序電路

262 . . . ADC 時脈

265 . . . 時序訊號

發明摘要

※ 申請案號：103107186

※ 申請日：103/03/04

※IPC 分類：H03M 1/12 (2006.01)

【發明名稱】(中文/英文)

有效率的時間交錯類比至數位轉換器

Efficient time-interleaved analog-to-digital converter

【中文】

本發明揭示一種時間交錯類比至數位轉換器，用以將類比輸入訊號轉換成具有取樣比率 R 的數位輸出訊號。該時間交錯類比至數位轉換器包括一由整數 N 個組成類比至數位轉換器所構成的陣列、整數 N 個取樣與保留單元、一或更多個數位輸出處理單元、以及一時序電路。

每一個組成類比至數位轉換器被調適成以一類比至數位轉換器操作時脈為基礎來操作，用以在該數位輸出處提供一數位訊號。每一個取樣與保留單元皆被連接至一個別組成類比至數位轉換器的輸入並且被調適成以 M 個時序訊號中的一個別時序訊號為基礎來操作，其中，沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元。

該些數位輸出處理單元被調適成以該些 M 個時序訊號中的該個別時序訊號為基礎提供一組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣。該時序電路被調適成用以產生該類比至數位轉換器操作時脈訊號以及該些 M 個時序訊號，每一個時序訊號皆有週期 M/R ，其中， M 小於或等於 N 。

【英文】

A time-interleaved analog-to-digital converter for conversion of an analog input signal to a digital output signal having a sample rate R is disclosed. The time-interleaved analog-to-digital converter comprises an array of an integer number N of constituent analog-to-digital converters, an integer number N of sample-and-hold units, one or more digital output processing units, and a timing circuit.

Each constituent analog-to-digital converter is adapted to operate based on an analog-to-digital converter operation clock to provide a digital signal at the digital output. Each sample-and-hold unit is connected to the input of a respective constituent analog-to-digital converter and is adapted to operate based on a respective one of a number M of timing signals, wherein no timing signal is used to clock two or more of the sample-and-hold units.

The digital output processing units are adapted to provide a sample of the digital output of a constituent analog-to-digital converter as a sample of the digital output signal based on the respective one of the M timing signals. The timing circuit is adapted to generate the analog-to-digital converter operation clock signal and the M timing signals each timing signal having a period of M/R , wherein M is less or equal to N .

【代表圖】

【本案指定代表圖】：第（ 2A ）圖。

【本代表圖之符號簡單說明】：

200a	時間交錯類比至數位轉換器(TI ADC)
201	輸入
202a	輸出
211	取樣與保留單元
212	取樣與保留單元
213	取樣與保留單元
221	組成類比至數位轉換器
222	組成類比至數位轉換器
223	組成類比至數位轉換器
230a	時間對齊器
240a	多工器
260	時序電路
262	ADC 時脈
265	時序訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

有效率的時間交錯類比至數位轉換器

Efficient time-interleaved analog-to-digital converter

【技術領域】

【0001】 本發明大體上關於類比至數位轉換器的領域。更特別的係，本發明關於時間交錯類比至數位轉換器在矽面積及/或能量方面的效率。

【先前技術】

【0002】 電子設備(例如，舉例來說，電視機以及其它音頻/視訊設備)通常係利用數位技術來施行，而非類比技術。一般來說，數位技術越先進會越需要將類比訊號轉換成適合數位技術施行方式的數位訊號。

【0003】 概念上，類比至數位轉換器(亦表示為 ADC 或 A/D 轉換器)及其基本功能(取樣與保留、量化)係本技術中眾所熟知的並且本文中不會進一步詳盡闡述。

【0004】 對高取樣頻率來說，可能需要使用 ADC 結構，或者至少有好處，該 ADC 結構包括能夠適應於該高取樣頻率的數個組成 ADC。此些結構會減輕每一個組成 ADC 上的處理速度需求。此些 ADC 結構的範例有管線 ADC 以及時間交錯 ADC(舉例來說，平行連續的 ADC)。US 2011/0304489 A1、WO 2007/093478 A1、EP 0624289 B1、以及 WO 2010/042051 A1 便說明各種範例的時間交錯 ADC 結構。

【0005】 在時間交錯 ADC(TI ADC)的一典型施行方式中可能希望能夠適應於數位輸出訊號的各種取樣頻率。相反地，要設計及驗證操作在不

同時脈頻率處的組成 ADC 設計卻非常麻煩。因此，可能會希望能夠使用在一 TI ADC 結構中針對一特殊固定時脈頻率所設計的一組成 ADC 施行方式並且仍能提供該數位輸出訊號的各種取樣頻率。

【0006】 所以，本領域需要彈性的數位輸出訊號取樣頻率時間交錯類比至數位轉換器，其包括針對一特殊固定時脈頻率所設計的組成類比至數位轉換器。

【發明內容】

【0007】 應該強調的係，本說明書中所使用的「包括/其包括」一詞係表明已述特徵元件、事物、步驟、或構件的存在；但是並不排除一或更多個其它特徵元件、事物、步驟、構件、或是它們的群組之存在，或是加入一或更多個其它特徵元件、事物、步驟、構件、或是它們的群組。

【0008】 某些實施例的一目的係消弭至少一部分的上面缺點並且提供用於操作一時間交錯類比至數位轉換器的方法與安排。

【0009】 根據第一項觀點，這會藉由一種操作一時間交錯類比至數位轉換器的方法來達成，用以將類比輸入訊號轉換成具有取樣比率 R 的數位輸出訊號。

【0010】 該時間交錯類比至數位轉換器包括：一由整數 N 個組成類比至數位轉換器所構成的陣列，每一個組成類比至數位轉換器皆有一類比輸入與一數位輸出；整數 N 個取樣與保留單元，每一個取樣與保留單元皆被連接至該些 N 個組成類比至數位轉換器中一個別組成類比至數位轉換器的類比輸入。

【0011】 該時間交錯類比至數位轉換器還包括一時序電路，用以產生

一類比至數位轉換器操作時脈訊號，該操作時脈訊號的週期會以該類比至數位轉換器操作時脈為基礎來致能一組成類比至數位轉換器操作，用以在等於 M/R 的時間週期期間數位化一類比訊號取樣；以及 M 個時序訊號，每一個時序訊號皆有週期 M/R ，其中， M 小於或等於 N 。

【0012】 該方法包括(針對該些 N 個組成類比至數位轉換器中的 M 個組成類比至數位轉換器的每一者，其中，該些 M 個組成類比至數位轉換器中的每一個組成類比至數位轉換器皆和一對應的取樣與保留單元相關聯)以該些 M 個時序訊號中的一個別時序訊號來時脈控制該對應的取樣與保留單元，用以在該組成類比至數位轉換器的類比輸入處提供該類比輸入訊號的一取樣。沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元。

【0013】 該方法還包括(針對該些 M 個組成類比至數位轉換器的每一者)：以該類比至數位轉換器操作時脈為基礎來操作該組成類比至數位轉換器，用以在該組成類比至數位轉換器的數位輸出處提供一數位訊號；以及以該些 M 個時序訊號中的該個別時序訊號為基礎提供該組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣。

【0014】 於某些實施例中，該時間交錯類比至數位轉換器可以還包括一時間對齊器，其具有 N 個輸入與 N 個輸出，其中，每一個輸出皆和一個別輸入相關聯以及每一個輸入皆被連接至該些 N 個組成類比至數位轉換器中的一個別組成類比至數位轉換器的數位輸出。於此些實施例中，以該些 M 個時序訊號中的該個別時序訊號為基礎提供該組成類比至數位轉換器的該數位輸出的數位訊號的取樣作為該數位輸出訊號的一取樣可以包括以該

些 M 個時序訊號中的該個別時序訊號來時脈控制該時間對齊器，並且響應其而透過該時間對齊器的一對應輸入將該數位訊號從該組成類比至數位轉換器的該數位輸出處傳輸至該時間對齊器的一對應輸出。該時間對齊器的該對應輸出的該數位訊號具有一取樣比率 R/M 。

【0015】 於某些實施例中，該類比至數位轉換器操作時脈訊號的週期為一固定的參數(通常係由該些組成類比至數位轉換器的硬體施行方式來決定)。舉例來說，該時脈週期可以和一系統時脈週期相同。

【0016】 根據某些實施例，取樣比率 R 可以變動。舉例來說，具有時脈週期 $1/R$ 的取樣時脈訊號可以從該系統時脈處產生，而且該些 M 個時序訊號的每一個時序訊號可以為一具有週期 M/R 的時脈訊號的等距時間移位副本(其中，在該些時脈訊號的其中一者中，該時間移位可以為零)，俾使得該些 M 個時序訊號會聯合提供該取樣時脈。

【0017】 根據某些實施例，取樣距離 $1/R$ 可以不同於該類比至數位轉換器操作時脈訊號的週期。因此，取樣距離 $1/R$ 可以大於或小於該類比至數位轉換器操作時脈訊號的週期。或者，於某些情形中，取樣距離 $1/R$ 可以等於該類比至數位轉換器操作時脈訊號的週期。

【0018】 根據某些實施例， M 可以該取樣比率 R 以及一組成類比至數位轉換器數位化一輸入訊號所花費的時間為基礎而被決定。舉例來說，限制條件可以為，倘若一組成類比至數位轉換器能夠在一時間週期 T (一組成類比至數位轉換器潛伏期，其對應於特定數量的該類比至數位轉換器操作時脈訊號的週期，該特定數量相依於該組成類比至數位轉換器的施行方式)期間數位化一輸入訊號的話，那麼， M 便是滿足 TR 小於或等於 M 的整

數。

【0019】 該方法可以進一步包括多工處理該時間對齊器的該些對應輸出的數位訊號，用以產生該數位輸出訊號。

【0020】 於某些實施例中，該方法可以進一步包括決定 M 為一整數，其滿足一組成類比至數位轉換器潛伏期 T 乘以 R 是小於或等於 M 。舉例來說，該整數 M 可以被決定為滿足 T 乘以 R 小於或等於 M 的最小整數。

【0021】 於某些實施例中， M 可以小於 N ，而且該方法可以進一步包括迫使不在該些 M 個組成類比至數位轉換器之中的組成類比至數位轉換器進入低能量模式。該低能量模式可以包括完全阻止電力供應至有關的組成類比至數位轉換器；或者，其可以包括睡眠狀態，其中，某些操作雖然可以被實施，但是，其消耗的能量小於完整操作模式。

【0022】 當 M 小於 N 時，該方法可以還包括從該由 N 個組成類比至數位轉換器所構成的陣列中選擇該些 M 個組成類比至數位轉換器。舉例來說，此工作可由一和該時間交錯類比至數位轉換器相關聯的控制器來實施。該選擇可使得全部 N 個組成類比至數位轉換器中每一個組成類比至數位轉換器處於低能量模式中的平均時間為相等。這可經由循環法(round-robin)選擇、虛擬隨機選擇、或是任何其它均勻選擇規則來達成。或者，該選擇可使得相同的(相依於 M)組成類比至數位轉換器總是會在低能量模式中被拾取。舉例來說，該低能量模式可以指派給位於該陣列之實體硬體施行方式的其中一端的 $N-M$ 個組成類比至數位轉換器。

【0023】 本發明的第二項觀點為一種電腦程式產品，其包括一電腦可讀取媒體，於該媒體中有一包括程式指令的電腦程式。該電腦程式可載入

於一資料處理單元之中並且被調適成用以在該電腦程式被該資料處理單元運行時執行根據第一項觀點的方法。

【0024】 本發明的第三項觀點為一種時間交錯類比至數位轉換器，用以將類比輸入訊號轉換成具有取樣比率 R 的數位輸出訊號。

【0025】 該時間交錯類比至數位轉換器包括一由整數 N 個組成類比至數位轉換器所構成的陣列，其中，每一個組成類比至數位轉換器皆有一類比輸入與一數位輸出並且被調適成以一類比至數位轉換器操作時脈為基礎來操作，用以在該數位輸出處提供一數位訊號。

【0026】 該時間交錯類比至數位轉換器還包括整數 N 個取樣與保留單元，其中，每一個取樣與保留單元皆被連接至該些 N 個組成類比至數位轉換器中一個別組成類比至數位轉換器的類比輸入並且被調適成以 M 個時序訊號中的一個別時序訊號為基礎來操作，用以在該個別組成類比至數位轉換器的類比輸入處提供該類比輸入訊號的一取樣，其中， M 小於或等於 N 。沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元。

【0027】 再者，該時間交錯類比至數位轉換器包括一或更多個數位輸出處理單元，其被調適成以該些 M 個時序訊號中的該個別時序訊號為基礎提供該組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣。

【0028】 該時間交錯類比至數位轉換器還包括一時序電路，其被調適成用以產生該類比至數位轉換器操作時脈訊號以及該些 M 個時序訊號。該類比至數位轉換器操作時脈訊號的週期會以該類比至數位轉換器操作時脈

為基礎來致能一組成類比至數位轉換器操作，用以在等於 M/R 的時間週期期間數位化一類比訊號取樣，以及每一個時序訊號皆有週期 M/R 。

【0029】 於某些實施例中，該些一或更多個輸出處理單元可以包括一時間對齊器，其具有 N 個輸入與 N 個輸出，其中，該時間對齊器的每一個輸出皆和該時間對齊器的一個別輸入相關聯以及該時間對齊器的每一個輸入皆被連接至該些 N 個組成類比至數位轉換器中的一個別組成類比至數位轉換器的數位輸出。該時間對齊器被調適成針對該時間對齊器的每一個輸出響應於該時間對齊器被該些 M 個時序訊號中的該個別時序訊號時脈控制而透過該時間對齊器的該個別輸入將該數位輸出訊號從該個別組成類比至數位轉換器的該數位輸出處傳輸至該時間對齊器的該輸出。該時間對齊器的該輸出的該數位輸出訊號具有取樣比率 R/M 。

【0030】 根據某些實施例，該時間交錯類比至數位轉換器可以進一步包括一多工器，其被調適成用以多工處理該時間對齊器的該些輸出的數位訊號，用以產生該數位輸出訊號。

【0031】 於某些實施例中，該些一或更多個輸出處理單元可以包括：一多工器，其被調適成用以響應於該多工器被該些 M 個時序訊號時脈控制而多工處理該些組成類比至數位轉換器的該些數位輸出的數位訊號，用以產生該數位輸出訊號；以及一標籤器，其被調適成用以提供該數位輸出訊號的每一個取樣一確認指示符。

【0032】 於某些實施例中，該些一或更多個輸出處理單元可以包括：一記憶體，其被調適成用以暫時儲存該些組成類比至數位轉換器的該些數位輸出的數位訊號；以及一記憶體輸出讀取器，其被調適成用以響應於被

該些 M 個時序訊號時脈控制而藉由讀取被儲存在該記憶體中的一對應取樣來產生該數位輸出訊號。

【0033】 於某些實施例中，M 可以等於 N。於其它實施例中，M 可以小於 N。

【0034】 根據某些實施例，該時間交錯類比至數位轉換器包括一控制器。舉例來說，該控制器可以被調適成用以控制該組成類比至數位轉換器的啟動順序(也就是，該些取樣與保留電路的取樣順序)。

【0035】 當 M 小於 N 時，該控制器可以被調適成用以讓該些 N 個組成類比至數位轉換器中的 M 個以該類比至數位轉換器操作時脈為基礎來操作，用以在該數位輸出處提供該數位訊號，並且讓不在該些 M 個組成類比至數位轉換器中的組成類比至數位轉換器進入低能量模式。於某些實施例中，該控制器可以進一步被調適成用以從該由 N 個組成類比至數位轉換器所構成的陣列中選擇該些 M 個組成類比至數位轉換器。

【0036】 本發明的第四項觀點係一種積體電路，其包括第三項觀點的時間交錯類比至數位轉換器。

【0037】 本發明的第五項觀點係一種電子裝置，其包括第三項觀點的時間交錯類比至數位轉換器或是第四項觀點的積體電路。

【0038】 本發明的第六項觀點係一種製造時間交錯類比至數位轉換器的方法，用以將類比輸入訊號轉換成具有取樣比率 R 的數位輸出訊號。

【0039】 該時間交錯類比至數位轉換器包括一由整數 N 個組成類比至數位轉換器所構成的陣列，其中，每一個組成類比至數位轉換器皆有一類比輸入與一數位輸出並且被調適成以一類比至數位轉換器操作時脈為基

礎來操作，用以在該數位輸出處提供一具有組成類比至數位轉換器潛伏期 T 的數位訊號。

【0040】 該時間交錯類比至數位轉換器還包括整數 N 個取樣與保留單元，其中，每一個取樣與保留單元皆被連接至該些 N 個組成類比至數位轉換器中一個別組成類比至數位轉換器的類比輸入並且被調適成以 N 個時序訊號中的一個別時序訊號為基礎來操作，用以在該個別組成類比至數位轉換器的類比輸入處提供該類比輸入訊號的一取樣。沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元。

【0041】 該時間交錯類比至數位轉換器進一步包括一或更多個數位輸出處理單元，其被調適成以該些 M 個時序訊號中的該個別時序訊號為基礎提供該組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣。

【0042】 再者，該時間交錯類比至數位轉換器包括一時序電路，其被調適成用以產生該類比至數位轉換器操作時脈訊號以及該些 N 個時序訊號，每一個時序訊號皆有週期 N/R 。

【0043】 該製造方法包括：決定一整數 M ，其滿足 T 乘以 R 小於或等於 M ；以及選擇 N 等於 M 。根據某些實施例，該整數 M 可以被決定為滿足 T 乘以 R 是小於或等於 M 的最小整數。

【0044】 於某些實施例中，第三、第四、第五、以及第六項觀點可以額外具有等同於或對應於如上面針對第一項觀點所解釋之任何各種特徵元件的特徵元件。

【0045】 某些實施例的優點為可以在時間交錯類比至數位轉換器中

設計用於固定時脈頻率(或操作速率)的組成類比至數位轉換器並且進行驗證，以便適應各種取樣比率。藉由讓該些組成類比至數位轉換器以不必和取樣時脈相同或相關的時脈為基礎來操作並且以取樣時脈為基礎來時間對齊該些組成類比至數位轉換器的輸出可達成此目的。

【0046】 某些實施例的另一優點為該些組成類比至數位轉換器僅必須被設計用於且在單一時脈頻率中被驗證。

【0047】 某些實施例的另一優點為可以達成等距取樣的目的。

【0048】 於某些實施例中，使用中的組成類比至數位轉換器的數量 M 係以目前的情形為基礎來決定，而某種施行方式之剩餘的組成類比至數位轉換器則會被迫進入低能量模式。此些實施例的一優點係，該時間交錯類比至數位轉換器會節能。

【0049】 於某些實施例中，要施行的組成類比至數位轉換器的數量 M 係在該時間交錯類比至數位轉換器的設計或生產階段處決定。此些實施例的一優點係，該時間交錯類比至數位轉換器會節省矽面積。

【0050】 某些實施例的又一優點係，有作用的組成類比至數位轉換器的數量 M 不必為 2 的冪次，而能夠為滿足組成類比至數位轉換器潛伏期 T 乘以取樣比率 R 是小於或等於 M 的任何整數，因為組成類比至數位轉換器操作時脈的週期不受取樣比率 R 的限制。

【0051】 某些實施例的進一步優點係，有作用的組成類比至數位轉換器的數量 M 不必恰好匹配於取樣比率以及組成類比至數位轉換器潛伏期。這可藉由組成類比至數位轉換器輸出的時間對齊來達成。

【0052】 又，某些實施例的進一步優點係提供一種彈性的方案。舉例

來說，其可以最佳化一給定取樣比率的功率消耗，因為任何數量的組成類比至數位轉換器皆可被迫進入低能量模式，同時仍可提供等距取樣。

【圖式簡單說明】

【0053】 參考附圖可從下面實施例的詳細說明中明白本發明的進一步目的、特點、以及優點，其中：

圖 1 所示的係根據某些實施例的範例方法步驟的流程圖；

圖 2A 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器的概略方塊圖；

圖 2B 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器的概略方塊圖；

圖 2C 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器的概略方塊圖；

圖 3 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器的概略方塊圖；

圖 4 所示的係根據某些實施例用於該些組成類比至數位轉換器的範例設定的概略時序圖；以及

圖 5 所示的係根據某些實施例的電腦可讀取媒體的略圖。

【實施方式】

【0054】 將在下面說明的實施例中，一時間交錯類比至數位轉換器 (TI ADC) 有 N 條處理路徑，每一條處理路徑皆在一由 N 個組成 ADC 所構成的陣列中包括一組成 ADC。

【0055】 該些組成 ADC 由一類比至數位轉換器操作時脈訊號 (ADC

時脈)來時脈控制，該類比至數位轉換器操作時脈訊號通常有和該些組成 ADC 的設計與硬體施行方式相關聯的固定時脈週期。

【0056】 該 TI ADC 的其它部件(舉例來說，取樣與保留單元)則以一取樣時脈為基礎被時脈控制，該取樣時脈的週期通常以一彈性的取樣比率為基礎。該彈性可在施行階段中獲得證實，因為處理路徑的數量會針對討論中的取樣比率而被最佳化；及/或該彈性可在使用中獲得證實，因為針對目前取樣比率成為冗餘的處理路徑可被設為低能量模式。

【0057】 將 ADC 時脈與取樣比率去耦可能導致來自該些組成 ADC 的輸出取樣為非等距。該些輸出取樣可以該取樣時脈為基礎被正確地重新對齊，用以產生一具有等距取樣以及所希望取樣比率的最終數位訊號。

【0058】 圖 1 所示的係根據某些實施例的操作一時間交錯 ADC 的範例方法 100，用以將類比輸入訊號轉換成具有取樣比率 R 的數位輸出訊號。該時間交錯 ADC 有一由 N 個組成 ADC 所構成的陣列，每一個組成 ADC 皆有一連接其類比輸入的個別取樣與保留單元。該些組成 ADC 以一類比至數位轉換器操作時脈訊號(ADC 時脈)為基礎來操作，該類比至數位轉換器操作時脈訊號通常為固定並且由該些組成 ADC 的設計與施行方式來決定，而且每一個組成 ADC 皆能夠在等於 T (亦稱為組成 ADC 潛伏期)的時間週期期間數位化一類比訊號取樣。

【0059】 在方法 100 之特殊執行中所使用的組成 ADC 的數量 M 可以在步驟 110 中決定為滿足 $TR \leq M$ 的整數。此條件可讓一組成 ADC 在必須開始數位化下一個類比取樣之前完成數位化一類比取樣，也就是，在等於 M/R 的時間週期期間。舉例來說， M 可以被決定為滿足 $TR \leq M$ 的最小整數。可

以注意的係，因為 ADC 時脈和取樣比率去耦，所以，M 不必為 2 的冪次，而可彈性地選擇，用以最佳化該 TI ADC 的效率。

【0060】 接著會在步驟 120 中產生該 ADC 時脈與該些 M 個時序訊號，其為一具有週期 M/R 的時脈訊號的時間移位版本。在該些時脈訊號的其中一者中的時間移位可以為零。

【0061】 在步驟 130 中會選擇該陣列的 N 個組成 ADC 之中哪些 M 個組成 ADC 應該在該特殊執行中被使用。於某些實施例中，組成 ADC 的使用可以在該陣列的 N 個組成 ADC 之中循環(舉例來說，以循環法(round-robin)的方式)。舉例來說，可能會希望該些組成 ADC 的運用隨著時間均勻地分散。該選擇可以為動態或靜態。於某些實施例中，在給定的 M 中總是會選擇相同的組成 ADC。舉例來說，最接近該陣列之實體硬體施行方式的一特殊端的組成類比至數位轉換器可以被選擇。

【0062】 倘若有任何組成 ADC 不會在該執行中被使用的話(也就是， $M < N$)，此些組成 ADC 則可以在步驟 140 中被迫進入低能量模式(或是低功率模式)。舉例來說，這可以藉由切斷此些組成 ADC 的供應電壓來達成。或者，此些組成 ADC 可能仍會操作並且甚至可以執行某些較低功率消耗的工作。根據某些實施例，該低能量模式會被施加至一未被使用的組成 ADC 的整條處理路徑。

【0063】 步驟 160 至 180 接著會針對對應於已選定 M 個組成 ADC 的 M 條處理路徑中的每一條處理路徑被執行(平行或半平行的方式)，如步驟 150 所示。

【0064】 在步驟 160 中，該取樣與保留單元會被在步驟 120 中所產生

的 M 個時序訊號中的其中一個時序訊號時脈控制。該些 M 個取樣與保留單元的每一者會被該些 M 個時序訊號中的一個時序訊號時脈控制。該些 M 個時序訊號的每一者係被用來恰好時脈控制其中一個取樣與保留單元，而且該些 M 個時序訊號中沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元。當被時脈控制時，該取樣與保留單元會在該對應組成 ADC 的類比輸入處提供該類比輸入訊號的一取樣。

【0065】 該組成 ADC 會在步驟 170 中數位化該類比輸入訊號的該取樣。該組成 ADC 的操作係以在步驟 120 中所產生的 ADC 時脈為基礎。

【0066】 在該組成 ADC 的輸出處的已數位化取樣接著會在步驟 180 中對齊該些 M 個時序訊號中的一個別時序訊號。

【0067】 這通常藉由以和在步驟 160 中所使用的該些 M 個時序訊號中的同一個時序訊號(但是在一或更多個時序訊號週期之後)來時脈控制一時間對齊器而達成。該時間對齊器接著可操作用以響應於該時脈控制將該已數位化取樣從一輸入處傳輸至一輸出。來自一處理路徑的該些已時間對齊取樣為等距並且具有取樣比率 R/M 。

【0068】 在步驟 190 中，來自所有 M 條已使用處理路徑的已時間對齊取樣會被多工處理，用以提供一具有等距取樣與取樣比率 R 的數位輸出訊號。多工順序通常和步驟 160 中該些取樣與保留單元的時脈控制有關。因此，該多工器通常會選擇該些已時間對齊取樣用以和該些取樣與保留單元被時脈控制相同的順序來輸出。於某些實施例中，該時脈控制為依序式且該多工器為一定序器。

【0069】 於其它實施例中，步驟 180 及/或 190 可由替代的步驟取代，

用以在該組成 ADC 的輸出處提供該已數位化取樣作為具有等距取樣與取樣比率 R 的數位輸出訊號的一取樣。

【0070】 舉例來說，在該些組成 ADC 的輸出處的該些已數位化取樣可以暫時被儲存在一記憶體中，而且該記憶體可以該取樣比率被定址，用以提供該數位輸出訊號的等距取樣。

【0071】 於另一範例中，一操作在相同取樣比率處(舉例來說，以該些時序訊號為基礎)的多工器直接被連接至該些組成 ADC 的輸出，並且因而輸出一具有等距取樣的數位輸出訊號。於此些實施例中，每一個取樣通常會被附加一辨識該取樣為一合法取樣的指示符標籤。

【0072】 根據某些實施例，每一個取樣可以被附加一辨識該取樣為一合法取樣的指示符標籤以及被附加一定義哪一個組成 ADC 產生該取樣的指示符標籤。於此些實施例中，當已實施進一步的處理時(例如，舉例來說，數位修正)，該多工處理可以稍後被實施。

【0073】 圖 2A 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器(Time-Interleaved Analog-to-Digital Converter, TI ADC)200a，用以將類比輸入訊號(SIGN_IN)轉換成具有取樣比率 R 的數位輸出訊號(SIGN_OUT)。舉例來說，該 TI ADC 200a 可以被調適成用以實施配合圖 1 所述的方法。

【0074】 該 TI ADC 200a 包括一由多個組成 ADC(ADC₁、ADC₂、...ADC_N)²²¹、²²²、²²³所構成的陣列。每一個組成 ADC 可以包括任何合宜的已知或未來 ADC 施行方式。舉例來說，該些組成 ADC 可以各自包括一連續近似 ADC，例如，在 WO2012/123578 A1 與 EP 0624289 B1

之中所述的任何 ADC。

【0075】 一時序電路(TIM_GEN)260 會產生一 ADC 時脈 262 以及 M 個時序訊號 265。該 ADC 時脈以及該些時序訊號的特點與條件已於上面詳述過。

【0076】 類比輸入訊號(SIGN_IN)會在一輸入 201 處被輸入至該 TI ADC 200a，以及一由多個取樣與保留單元(S/H_1、S/H_2、...S/H_N)211、212、213(每一個取樣與保留單元各用於一組成 ADC)所構成的陣列被調適成用以在被時序訊號 265 時脈控制時取樣該類比輸入訊號並且在對應的組成 ADC 221、222、223 的輸入處提供該類比訊號取樣。在操作中，該些 N 個取樣與保留單元 211、212、213 中的 M 個會如 265 所示般地被 M 個時序訊號中的一個別時序訊號連續地時脈控制。

【0077】 該些組成 ADC 221、222、223 的每一者被調適成以 ADC 時脈 262 為基礎來操作，用以數位化位在其輸入處的類比訊號取樣。在操作中，此工作係由對應於該些被連續時脈控制的 M 個取樣與保留單元的 M 個組成 ADC 來實施。

【0078】 一時間對齊器(TA)230a 被調適成用以從該些組成 ADC(在操作中為 M 個)的每一者處接收已數位化的訊號取樣並且以該些 M 個時序訊號 265 為基礎來時間對齊它們。一般來說，該時間對齊器的每一個輸出和該時間對齊器的一個別輸入相關聯以及該時間對齊器的每一個輸入皆被連接至該些 N 個組成類比至數位轉換器中的一個別組成類比至數位轉換器的數位輸出。當該時間對齊器被一時序訊號 265 時脈控制時，其可以(針對包括被相同時序訊號時脈控制的取樣與保留單元的處理路徑)透過該時間對齊

器的個別輸入將該數位輸出訊號從該組成類比至數位轉換器的該數位輸出處傳輸至該時間對齊器的輸出。對使用中的 M 條處理路徑來說，該時間對齊器的每一個數位輸出訊號的取樣比率為 R/M 。

【0079】 TI ADC 200a 還包括一多工器(MUX)240a，其會適當地選擇及序列化來自時間對齊器 230a 的輸出用以在 TI ADC 200a 的輸出 202a 處產生一具有取樣比率 R 的數位輸出訊號(SIGN_OUT)。

【0080】 時序電路 260 能夠藉由控制訊號 262 提供該 ADC 時脈給該些組成 ADC 221、222、223 的每一者。在操作中，該 ADC 時脈被提供至該些組成 ADC 中的 M 個。進一步言之，該 ADC 時脈可以或不會被提供至剩餘的 $N-M$ 個組成 ADC 中的一或更多者。

【0081】 時序電路 260 能夠藉由控制訊號 265 以一個別的時序訊號來時脈控制該些 N 個取樣與保留單元 211、212、213 的每一者。在操作中，該時序電路以 M 個時序訊號中的一個別時序訊號來時脈控制該些取樣與保留單元中的 M 個。該控制訊號 265 亦可被提供至時間對齊器 230a 以及被提供至多工器 240a，以便以和該取樣與保留單元陣列被控制的雷同方式來控制時間對齊器 230a 與多工器 240a 的操作。

【0082】 一般來說，控制訊號 265 可以在每一條處理路徑中包括一控制訊號連接線，而且適當的時序訊號可以被繞送至適當的處理路徑。或者，控制訊號 265 可以包括所有處理路徑共有的單一控制訊號連接線。接著，控制訊號 265 可以在取樣比率 R 處被啟動並且包括 N 個可能數值(舉例來說， $[1、2、\dots、N]$)中的其中一者，用以表示目前的時序訊號引用哪一條處理路徑。所有此些差異皆希望被「 M 個時序訊號，每一者皆有週期 M/R 」

的表述涵蓋。

【0083】 於某些實施例中，M 可以等於 N，舉例來說，倘若組成 ADC 的數量在設計或生產階段被最佳化至一特殊的取樣比率，該取樣比率接著被使用在目前的執行中。或者，M 可以小於 N，舉例來說，倘若在設計或生產階段以最大取樣比率為基礎來選擇組成 ADC 的數量，並且接著在目前的執行中使用較低的取樣比率。

【0084】 圖 2B 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器(TI ADC)200b，用以將類比輸入訊號(SIGN_IN)轉換成具有取樣比率 R 的數位輸出訊號(SIGN_OUT)。TI ADC 200b 在許多方面雷同於圖 2A 的 TI ADC 200a。因此，對應的特徵元件(201、211、212、213、221、222、223、260、262、265)會以對應的元件符號來表示並且不再配合圖 2B 作進一步說明。

【0085】 TI ADC 200b 圖解圖 2A 之時間對齊器 230a 的替代例。一多工器(MUX)240b，其被調適成用以(響應於被控制訊號 265 觸發)適當地選擇及序列化來自該些組成 ADC 的輸出，用以在 TI ADC 200b 的輸出 202b 處產生一具有取樣比率 R 的數位輸出訊號(SIGN_OUT)。

【0086】 一標籤器(TAG)230b 被調適成用以提供該數位輸出訊號的每一個取樣一確認指示符，用以辨識該取樣為一合法取樣。於圖 2B 的範例中，該標籤處理係配合多工器 240b 的多工處理來實施。然而，應該注意的係，於其它實施例中，標籤處理可以和多工作業分開實施。

【0087】 圖 2C 所示的係根據某些實施例的一範例時間交錯類比至數位轉換器(TI ADC)200c，用以將類比輸入訊號(SIGN_IN)轉換成具有取樣比率

R 的數位輸出訊號(SIGN_OUT)。TI ADC 200c 在許多方面雷同於圖 2A 的 TI ADC 200a。因此，對應的特徵元件(201、211、212、213、221、222、223、260、262、265)會以對應的元件符號來表示並且不再配合圖 2c 作進一步說明。

【0088】 TI ADC 200c 圖解圖 2A 之時間對齊器 230a 的又一替代例。一記憶體(MEM)230c 被提供用以暫時儲存該些組成 ADC 的輸出。一記憶體輸出讀取器(OUT)240c 會在被控制訊號 265 觸發時讀取記憶體 230c 的一適當項並且因而在 TI ADC 200c 的輸出 202c 處產生一具有取樣比率 R 的數位輸出訊號(SIGN_OUT)。

【0089】 利用圖 2A 的結構為起點，圖 3 所示的係一範例時間交錯類比至數位轉換器(TI ADC)300，用以在輸入 301 處的類比輸入訊號(SIGN_IN)轉換成輸出 302 處的數位輸出訊號(SIGN_OUT)，其特別適合在設計或生產中以最大取樣比率為基礎來選擇組成 ADC 的數量而在執行中使用變動取樣比率的時候。雷同的修正可以分別配合圖 2B 與 2C 的結構來探討。舉例來說，範例 TI ADC 300 可以被調適成用以實施配合圖 1 所述的方法。

【0090】 功能方塊 311、312、313、321、322、323、330、以及 340 分別和圖 2A 的對應功能方塊 211、212、213、221、222、223、230a 以及 240a 相同或雷同，且所以不作更詳細的說明。

【0091】 一時序電路(TIM_GEN)360 會產生一 ADC 時脈 362 以及 M 個時序訊號 365。時序電路 360 的其中一種範例施行方式圖解在圖 3 中，其亦可被用來施行圖 2A、2B、以及 2C 的時序電路 260。然而，應該注意的係，根據本發明的實施例，時序電路 260、360 的任何合宜的已知或未來施行方

式皆可以套用。

【0092】 時序電路 360 在一輸入 370 處接收一系統時脈訊號(CLK)，其被作為一參考訊號，用以產生該 ADC 時脈 362 以及該些 M 個時序訊號 365。

【0093】 一 ADC 時脈產生器(ADC_CLK_GEN)361 會產生該 ADC 時脈訊號。舉例來說，該 ADC 時脈可以等於該系統時脈，或者，週期可以小於或大於該系統時脈的週期。舉例來說，該 ADC 時脈的週期可以和該系統時脈週期有關，俾使得該 ADC 時脈的 X 個週期等於該系統時脈的 Y 個週期。

【0094】 一取樣時脈產生器(SMPL_CLK_GEN)363 會產生具有取樣比率 R 的取樣時脈訊號。舉例來說，該取樣時脈可以等於該系統時脈，或者，週期可以小於或大於該系統時脈的週期。舉例來說，該取樣時脈的週期可以和該系統時脈週期有關，俾使得該取樣時脈的 Z 個週期等於該系統時脈的 W 個週期。

【0095】 因此，根據某些實施例，該 ADC 時脈與該取樣時脈皆可以由一系統時脈訊號來產生，舉例來說，藉由使用不同的合宜分割係數。於其它實施例中，該 ADC 時脈與該取樣時脈可以其它方式來產生。

【0096】 該取樣時脈訊號會被時序訊號產生器(SEL/SHIFT)364 用來產生該些 M 個時序訊號 365。

【0097】 於第一範例中，時序訊號產生器 364 藉由正確選擇該取樣時脈訊號的脈衝來產生該些 M 個時序訊號 365 的每一者。

【0098】 於第二範例中，時序訊號產生器 364 藉由正確選擇該取樣時脈訊號的脈衝來產生該些時序訊號 365 的第一時序訊號並且藉由正確時間

移位該第一時序訊號來產生其它時序訊號。

【0099】 於第三範例中，時序訊號產生器 364 藉由正確分割該取樣時脈訊號來產生該些時序訊號 365 的第一時序訊號並且藉由正確時間移位該第一時序訊號來產生其它時序訊號。

【0100】 於第四範例中，時序訊號產生器 364 輸出具有該取樣比率並且包括選擇位在不同時間移位處的 M 個處理路徑指標(舉例來說，從總數 [1、2、...、N]中選出)。

【0101】 TI ADC 300 包括一控制器(CNTR)350，其會接收該 ADC 時脈 362 以及該些 M 個時序訊號 365，並且控制功能方塊 311、312、313、321、322、323、330 以及 340 的操作。

【0102】 當 M 小於 N 時，控制器 350 可以讓該些 N 個組成 ADC 中的 M 個以該 ADC 時脈為基礎來操作，用以提供一數位輸出訊號。控制器 350 還可以讓未處於使用中的組成 ADC 進入低能量模式。根據某些實施例，控制器 350 可以實施選擇，用以決定在目前的執行中要使用該些 N 條處理路徑中的哪些 M 條處理路徑。

【0103】 控制器 350 能夠藉由控制訊號 352 來提供該 ADC 時脈給組成 ADC 321、322、323 的每一者並且控制該些組成 ADC 的每一者模式(低能量模式或是操作模式)。

【0104】 控制器 350 能夠藉由控制訊號 351、353、以及 354 以一個別的時序訊號來對該些 N 條處理路徑的每一條進行時脈控制以及其它適當的控制，舉例來說，如上面的詳述。

【0105】 當然，圖 2A、2B、2C 以及 3 中所述的功能單元(舉例來說，

控制器 350 以及時序電路 260、360)亦可以根據其它實施例而有其它施行方式。

【0106】 應該注意的係，許多施行方式的細節對個別實施例的說明並不重要，因而可在圖式及對應內文中被省略。舉例來說，可能出現在每一條處理路徑中或是在輸入 201、301 處提供類比訊號之前的額外處理步驟(舉例來說，濾波、放大、缺陷補償、…等)可以被排除。此些省略並沒有排除此些特徵元件之任何可能存在性的意圖。

【0107】 圖 4 所示的係 $M=4$ 個目前使用的組成 ADC 的範例的概略時序圖。該略圖的特殊目的為解釋該 ADC 時脈與該取樣時脈的去耦並且解釋如何藉由時間對齊來達成等距取樣。

【0108】 該時序圖從最上面開始圖解具有比率 R 的取樣時脈訊號 (SMPL_CLK)401 以及對應的 $M=4$ 個時序訊號(T_1 、 T_2 、 T_3 、 T_4)411、412、413、414。倘若被多工處理的話， M 個時序訊號 411、412、413、414 會提供比率 R 的取樣時脈訊號。圖中還顯示一 ADC 時脈訊號(ADC_CLK)421。於此範例中，該 ADC 時脈的 6 個週期對應於該比率 R 的取樣時脈訊號的 4 個週期。

【0109】 如取樣與保留訊號(S/H_1 、 S/H_2 、 S/H_3 、 S/H_4)431、432、433、434 所示， $M=4$ 個取樣與保留單元係由 $M=4$ 個時序訊號(T_1 、 T_2 、 T_3 、 T_4)411、412、413、414 中的一個別時序訊號來時脈控制。這由時瞬 481、482、483、484、485、486、487 以及 488 處從時序訊號 411、412、413、414 至個別的取樣與保留訊號 431、432、433、434 的虛線箭頭來表示。圖中所示的取樣與保留單元的操作僅為達解釋之目的而被圖解為一對應的取樣

與保留訊號，其在保留階段期間有高訊號數值並且配合取樣階段而有下沉的訊號數值。

【0110】 於此範例中，假設每一個組成 ADC 的潛伏期為 ADC 時脈 ADC_CLK 421 的 4 個循環，也就是，該組成 ADC 需要 4 個循環以數位化由該對應取樣與保留單元所提供的類比取樣，並且假設該些組成 ADC 由該 ADC 時脈的正向邊來時脈控制。ADC 訊號(ADC_1、ADC_2、ADC_3、ADC_4)451、452、453、454 概略圖解當使用中的 $M=4$ 個組成 ADC 準備輸出一對應於由該取樣與保留單元所提供的類比訊號取樣的已數位化訊號取樣的時候。

【0111】 第一取樣與保留單元(由 S/H_1 表示)在時瞬 481 處提供一類比訊號取樣並且在後面提供(ADC 時脈 421 的)4 個正向邊，在時瞬 491 處，該第一組成 ADC(由 ADC_1 表示)輸出對應的數位取樣。因此，時間週期 471 所示的便係介於提供該類比取樣以及提供該對應的數位取樣之間的時間。

【0112】 第二取樣與保留單元(由 S/H_2 表示)在時瞬 482 處提供一類比訊號取樣並且在後面提供(ADC 時脈 421 的)4 個正向邊，在時瞬 492 處，該第二組成 ADC(由 ADC_2 表示)輸出對應的數位取樣。因此，時間週期 472 所示的便係介於提供該類比取樣以及提供該對應的數位取樣之間的時間。

【0113】 第三取樣與保留單元(由 S/H_3 表示)在時瞬 483 處提供一類比訊號取樣並且在後面提供(ADC 時脈 421 的)4 個正向邊，在時瞬 493 處，該第三組成 ADC(由 ADC_3 表示)輸出對應的數位取樣。因此，時間週期 473 所示的便係介於提供該類比取樣以及提供該對應的數位取樣之間的時間。

【0114】 第四取樣與保留單元(由 S/H_4 表示)在時瞬 484 處提供一類

比訊號取樣並且在後面提供(ADC 時脈 421 的)4 個正向邊，在時瞬 494 處，該第四組成 ADC(由 ADC_4 表示)輸出對應的數位取樣。因此，時間週期 474 所示的便係介於提供該類比取樣以及提供該對應的數位取樣之間的時間。

【0115】 如時瞬 491、492、493、494 所示，由 $M=4$ 個的使用中組成 ADC 所提供的數位取樣在時間中並沒有等距。這係因為該 ADC 時脈和該取樣時脈去耦的關係。已時間對齊的訊號(TA_1、TA_2、TA_3、TA_4)461、462、463、464 圖解即使該 ADC 時脈和該取樣時脈去耦，如何操作一時間對齊器仍可以提供等距取樣時間。

【0116】 在第一組成 ADC 的時瞬 491 處的輸出會如已時間對齊的訊號 TA_1 所示般地被調整至時瞬 485。這可藉由以時序訊號 T_1 來時脈控制該時間對齊器的第一輸出而達成。同樣地，在第二、第三、以及第四組成 ADC 的時瞬 492、493、494 處的輸出會如已時間對齊的訊號 TA_2、TA_3、TA_4 所示般地被調整至時瞬 486、487、488。這可藉由以個別的時序訊號 T_2、T_3、T_4 來時脈控制該時間對齊器的個別輸出而達成。

【0117】 倘若 TA_1、TA_2、TA_3、TA_4 所示的 $M=4$ 個已時間對齊的數位取樣被多工處理的話，一具有取樣比率 R 的數位輸出訊號以及等距取樣便會被提供。

【0118】 本發明的實施例可以結合實行缺陷測量、校正、以及補償的應用。舉例來說，倘若 $M < N$ 的話，目前沒有被用來數位化該類比輸入訊號的 $N-M$ 條處理路徑中的一或更多條可以用於缺陷測量，其結果可以在後面用於校正以及補償。

【0119】 缺陷測量可藉由在該組成 ADC 陣列的啟動期間讓要被測量

的處理路徑的組成 ADC 的類比輸入接收一參考訊號數值而非該類比輸入訊號來實現。該參考數值可以為接地位準或是零位準(舉例來說，0V)，於此情況中通常假設缺陷為線性(也就是，缺陷和該輸入訊號數值無關)。或者，該參考數值可以為非零位準。WO2012/123578 A1 中便揭示如何使用非零位準來校正一組成 ADC 的其中一種範例。又，或者，該參考數值可以在不同的測量場合之間於數個不同的參考位準(適合實施不同類型的缺陷測量)之中改變。於某些實施例中，該參考數值係一變動訊號，其會致能測量與補償取樣時間缺陷以及頻率漂移。

【0120】 該參考數值可以藉由該組成 ADC 之輸入處的一切換器的操作而被輸入至該組成 ADC。或者，該參考數值可以藉由先前的處理步驟被設為該組成 ADC 的輸入。

【0121】 本文已述的實施例以及它們的等效例可以軟體或硬體或它們的組合來實現。它們可由和一通訊裝置相關聯或是整合的一般用途電路來實施，例如，數位訊號處理器(Digital Signal Processor，DSP)、中央處理單元(Central Processing Unit，CPU)、共同處理器單元、可場程式化閘陣列(Field Programmable Gate Array，FPGA)或是其它可程式化硬體；或者，可由專屬電路來實施，例如，舉例來說，特定應用積體電路(Application-Specific Integrated Circuit，ASIC)。所有此些形式皆被視為落在本揭示內容的範疇內。

【0122】 本發明的實施例可以出現在包括根據任何實施例之電路系統/邏輯或是實施根據任何實施例之方法的電子設備內。舉例來說，該電子設備可以為一類比前端、一通訊裝置、一多媒體裝置、一音頻/視訊記錄器、……等。舉例來說，一視訊處理器可以包括三個 TI ADC(舉例來說，如圖 2A、

2B、2C 以及 3 中所述的任何 TI ADC)，每一條通道(RGB—紅、綠、藍)一個 TI ADC。

【0123】 根據某些實施例，一電腦程式產品包括一電腦可讀取媒體，例如，舉例來說，磁碟或是如圖 5 的 CD-ROM 500 所示的 CD-ROM。該電腦可讀取媒體可於其上儲存一包括程式指令的電腦程式。該電腦程式可載入於一資料處理單元 530 之中，舉例來說，資料處理單元 530 可以被併入於裝置 510 之中。當被載入至資料處理單元 530 之中時，該電腦程式可以被儲存在和該資料處理單元 530 相關聯或是整合的記憶體 520 之中。根據某些實施例，當被載入至該資料處理單元之中並且被該資料處理單元運行時，舉例來說，該電腦程式可以讓該資料處理單元執行根據圖 1 中所示之方法的方法步驟。

【0124】 本文中雖然已經參考各種實施例；然而，熟習本技術的人士便會明瞭，本文中已述實施例的許多變化仍落在申請專利範圍的範疇內。舉例來說，本文中已述的方法實施例雖然經由以特定順序被實施的方法步驟來說明範例方法；然而，應該明瞭的係，此些事件順序亦可以另一種順序來進行，其並沒有脫離申請專利範圍的範疇。再者，某些方法步驟雖然被描述為依序實施，它們亦可以平行實施；反之亦然。

【0125】 依照相同的方式，應該注意的係，在實施例的說明中將功能性方塊分割成多個特殊單元並沒有任何限制意義。相反地，此些分割僅為範例。在本文中被描述為單一單元的功能性方塊可以被分成二或更多個單元。依照相同的方式，在本文中被描述為施行成二或更多個單元的功能性方塊亦可被施行成單一單元，其並沒有脫離申請專利範圍的範疇。舉例來

說，圖 3 的控制器 350 可以被施行為數個單元及/或圖 2A、2B、2C 以及 3 的時序電路 260、360 可以被施行為數個單元(舉例來說，其中一者產生該 ADC 時脈，以及其中一者產生該些 M 個時序訊號)。以另一範例來說，圖 2A 與 3 的時間對齊器 230a、330 可以被施行為每一條處理路徑中的一個單元。

【0126】 所以，應該瞭解的係，本文中所述實施例的細節僅為達解釋之目的而沒有任何限制意義。相反地，本文則希望涵蓋落在申請專利範圍之範圍內的所有變化。

【符號說明】

【0127】

- 200a 時間交錯類比至數位轉換器(TI ADC)
- 200b 時間交錯類比至數位轉換器(TI ADC)
- 200b 時間交錯類比至數位轉換器(TI ADC)
- 201 輸入
- 202a 輸出
- 202b 輸出
- 202c 輸出
- 211 取樣與保留單元
- 212 取樣與保留單元
- 213 取樣與保留單元
- 221 組成類比至數位轉換器
- 222 組成類比至數位轉換器

223	組成類比至數位轉換器
230a	時間對齊器
230b	標籤器
230c	記憶體
240a	多工器
240b	多工器
240c	記憶體輸出讀取器
260	時序電路
262	ADC 時脈
265	時序訊號
300	時間交錯類比至數位轉換器(TI ADC)
301	輸入
302	輸出
311	取樣與保留單元
312	取樣與保留單元
313	取樣與保留單元
321	組成類比至數位轉換器
322	組成類比至數位轉換器
323	組成類比至數位轉換器
330	時間對齊器
340	多工器
350	控制器

351	控制訊號
352	控制訊號
353	控制訊號
354	控制訊號
360	時序電路
361	ADC 時脈產生器
362	ADC 時脈
363	取樣時脈產生器
364	時序訊號產生器
365	時序訊號
370	輸入
500	CD-ROM
510	裝置
520	記憶體
530	資料處理單元

申請專利範圍

1.一種操作一時間交錯類比至數位轉換器的方法，用以將一類比輸入訊號轉換成具有一變動取樣比率 R 的一數位輸出訊號，其中，該時間交錯類比至數位轉換器包括：

一由整數 N 個組成類比至數位轉換器所構成的陣列，每一個組成類比至數位轉換器皆有一類比輸入與一數位輸出，其中，每一個組成類比至數位轉換器被調適成以固定時脈頻率的一類比至數位轉換器操作時脈訊號為基礎來操作，該固定時脈頻率係不受該變動取樣比率 R 的限制，每一個組成類比至數位轉換器並被調適成以在一組成類比至數位轉換器潛伏期 T 期間數位化一類比訊號取樣；

整數 N 個取樣與保留單元，每一個取樣與保留單元皆被連接至該些 N 個組成類比至數位轉換器中一個別組成類比至數位轉換器的類比輸入；以及

一時序電路，用以產生(120)：

該類比至數位轉換器操作時脈訊號；以及

整數 M 個時序訊號，每一個時序訊號皆有週期 M/R ，其中， M 小於或等於 N ，以及其中 M/R 大於或等於 T ；

該方法包括，針對該些 N 個組成類比至數位轉換器中的 M 個組成類比至數位轉換器的每一者(150)進行下面步驟，其中，該些 M 個組成類比至數位轉換器中的每一個組成類比至數位轉換器皆和一對應的取樣與保留單元相關聯：

以該些 M 個時序訊號中的一個別時序訊號，來時脈控制(160)該對

應的取樣與保留單元，用以在該組成類比至數位轉換器的類比輸入處提供該類比輸入訊號的一取樣，其中，沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元；

以該類比至數位轉換器操作時脈訊號為基礎，來操作(170)該組成類比至數位轉換器，用以在該組成類比至數位轉換器的數位輸出處提供一數位訊號；以及

以該些 M 個時序訊號中的該個別時序訊號為基礎，藉著對齊取樣與該些 M 個時序訊號中的該個別時序訊號，提供(180、190)該組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣。

2.根據申請專利範圍第 1 項的方法，其中，該時間交錯類比至數位轉換器包括一時間對齊器，其具有 N 個輸入與 N 個輸出，其中，每一個輸出皆和一個別輸入相關聯以及每一個輸入皆被連接至該些 N 個組成類比至數位轉換器中的一個別組成類比至數位轉換器的數位輸出，且其中，以該些 M 個時序訊號中的該個別時序訊號為基礎提供該組成類比至數位轉換器的該數位輸出的數位訊號的取樣作為該數位輸出訊號的一取樣包括：

以該些 M 個時序訊號中的該個別時序訊號來時脈控制(180)該時間對齊器；以及

響應以該些 M 個時序訊號中的該個別時序訊號來時脈控制該時間對齊器而透過該時間對齊器的一對應輸入將該數位訊號從該組成類比至數位轉換器的該數位輸出處傳輸(180)至該時間對齊器的一對應輸出，其中，該時間對齊器的該對應輸出的該數位訊號具有取樣比率 R/M 。

3.根據申請專利範圍第 2 項的方法，其進一步包括多工處理(190)該時間對齊器的該些對應輸出的數位訊號，用以產生該數位輸出訊號。

4.根據申請專利範圍第 3 項的方法，其中，該整數 M 被決定為滿足 T 乘以 R 小於或等於 M 的最小整數。

5.根據申請專利範圍第 1 至 4 項中任一項的方法，其中， M 小於 N ，該方法進一步包括迫使(140)不在該些 M 個組成類比至數位轉換器之中的組成類比至數位轉換器進入低能量模式。

6.根據申請專利範圍第 5 項的方法，其進一步包括從該由 N 個組成類比至數位轉換器所構成的陣列中選擇(130)該些 M 個組成類比至數位轉換器。

7.一種電腦程式產品，其包括一電腦可讀取媒體(500)，於該媒體中有一包括程式指令的電腦程式，該電腦程式可載入於一資料處理單元(530)之中並且被調適成用以在該電腦程式被該資料處理單元運行時執行根據申請專利範圍第 1 至 6 項中任一項的方法。

8.一種時間交錯類比至數位轉換器，用以將一類比輸入訊號轉換成具有一變動取樣比率 R 的一數位輸出訊號，該時間交錯類比至數位轉換器包括：

一由整數 N 個組成類比至數位轉換器(221、222、223、321、322、323)所構成的陣列，其中，每一個組成類比至數位轉換器皆有一類比輸入與一數位輸出，並且被調適成以以固定時脈頻率的一類比至數位轉換器操作時脈訊號為基礎來操作，該固定時脈頻率係不受該變動取樣比率 R 的限制，每一個組成類比至數位轉換器並被調適成以在一組成類比至數位轉換器潛伏期 T 期間數位化一類比訊號取樣，用以在該數位輸出處提供一數位訊號；

整數 N 個取樣與保留單元(211、212、213、311、312、313)，其中，每

一個取樣與保留單元皆被連接至該些 N 個組成類比至數位轉換器中一個別組成類比至數位轉換器的類比輸入並且被調適成以整數 M 個時序訊號中的一個別時序訊號為基礎來操作，用以在該個別組成類比至數位轉換器的類比輸入處提供該類比輸入訊號的一取樣，其中，沒有任何時序訊號被用來時脈控制該些取樣與保留單元中的二或更多個取樣與保留單元；

一或更多個數位輸出處理單元(230a、240a、230b、240b、230c、240c、330)，其被調適成以該些 M 個時序訊號中的該個別時序訊號為基礎，藉著對齊取樣與該些 M 個時序訊號中的該個別時序訊號，提供該組成類比至數位轉換器的該數位輸出的數位訊號的一取樣作為該數位輸出訊號的一取樣；以及

一時序電路(260、360)，其被調適成用以產生：

該類比至數位轉換器操作時脈訊號(262、362)；以及

該些 M 個時序訊號(265、365)，每一個時序訊號皆有週期 M/R ，其中， M 小於或等於 N ，以及其中 M/R 大於或等於 T 。

9.根據申請專利範圍第 8 項的時間交錯類比至數位轉換器，其中，該些一或更多個輸出處理單元包括一時間對齊器(230a、330)，其具有 N 個輸入與 N 個輸出，其中，該時間對齊器的每一個輸出皆和該時間對齊器的一個別輸入相關聯以及該時間對齊器的每一個輸入皆被連接至該些 N 個組成類比至數位轉換器中的一個別組成類比至數位轉換器的數位輸出，該時間對齊器被調適成針對該時間對齊器的每一個輸出響應於該時間對齊器被該些 M 個時序訊號中的該個別時序訊號時脈控制而透過該時間對齊器的該個別輸入將該數位訊號從該個別組成類比至數位轉換器的該數位輸出處傳輸至

該時間對齊器的該輸出，其中該時間對齊器的該輸出的該數位訊號具有取樣比率 R/M 。

10.根據申請專利範圍第 9 項的時間交錯類比至數位轉換器，其中，該時間交錯類比至數位轉換器進一步包括一多工器(240a、340)，其被調適成用以多工處理該時間對齊器的該些輸出的數位訊號，用以產生該數位輸出訊號。

11.根據申請專利範圍第 8 至 10 項中任一項的時間交錯類比至數位轉換器，其中， M 等於 N 。

12.根據申請專利範圍第 8 至 10 項中任一項的時間交錯類比至數位轉換器，其中， M 小於 N ，該時間交錯類比至數位轉換器進一步包括一控制器(350)，其被調適成以該類比至數位轉換器操作時脈訊號為基礎迫使該些 N 個組成類比至數位轉換器中的 M 個進行操作，用以在該數位輸出處提供該數位訊號，並且迫使不在該些 M 個組成類比至數位轉換器中的組成類比至數位轉換器進入低能量模式。

13.根據申請專利範圍第 12 項的時間交錯類比至數位轉換器，其中，該控制器(350)進一步被調適成用以從該由 N 個組成類比至數位轉換器所構成的陣列中選擇該些 M 個組成類比至數位轉換器。

14.一種積體電路，其包括根據申請專利範圍第 8 至 13 項中任一項的時間交錯類比至數位轉換器。

15.一種電子裝置，其包括根據申請專利範圍第 8 至 13 項中任一項的時間交錯類比至數位轉換器或是根據申請專利範圍第 14 項的積體電路。

圖式

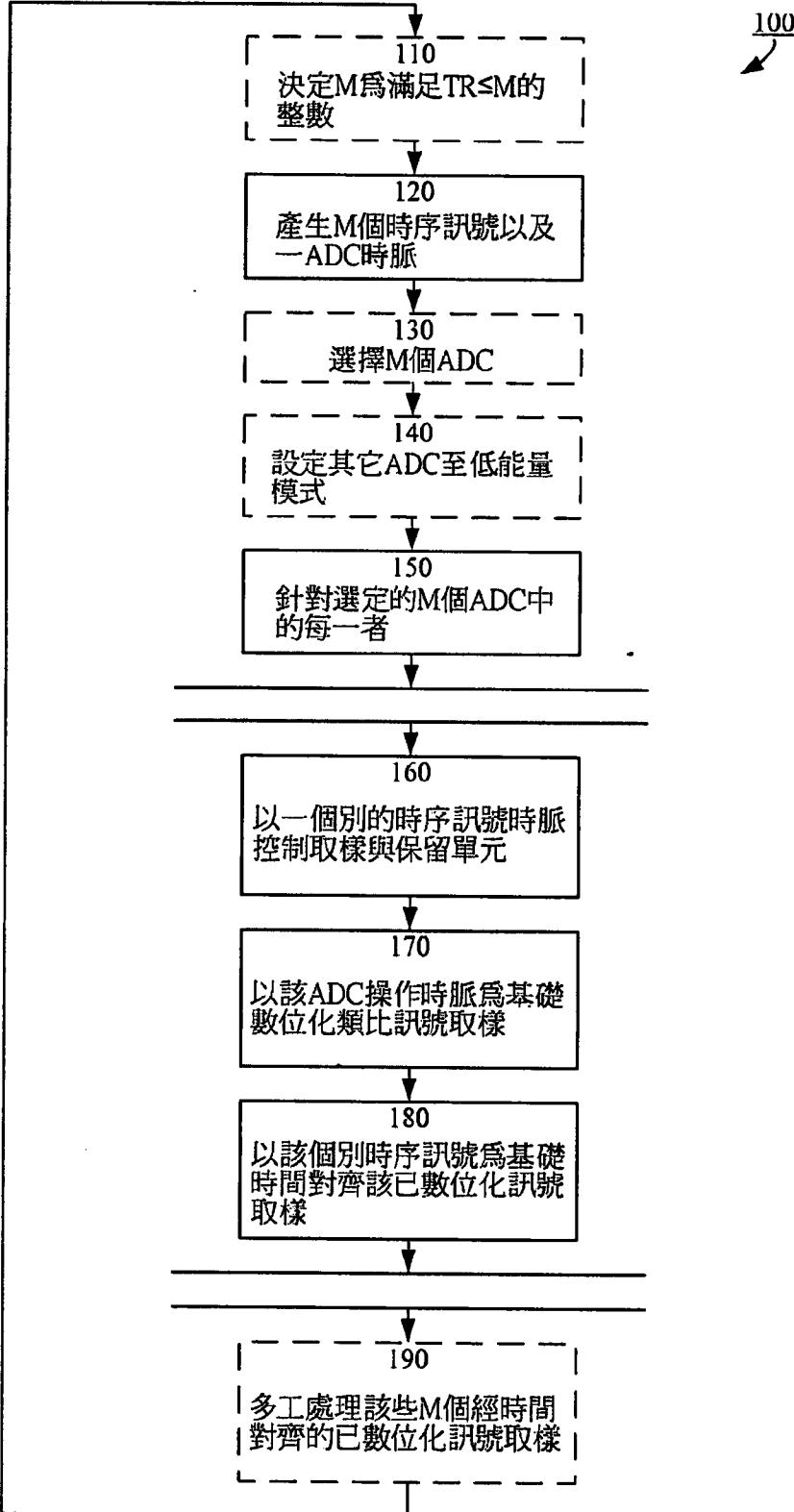


圖1

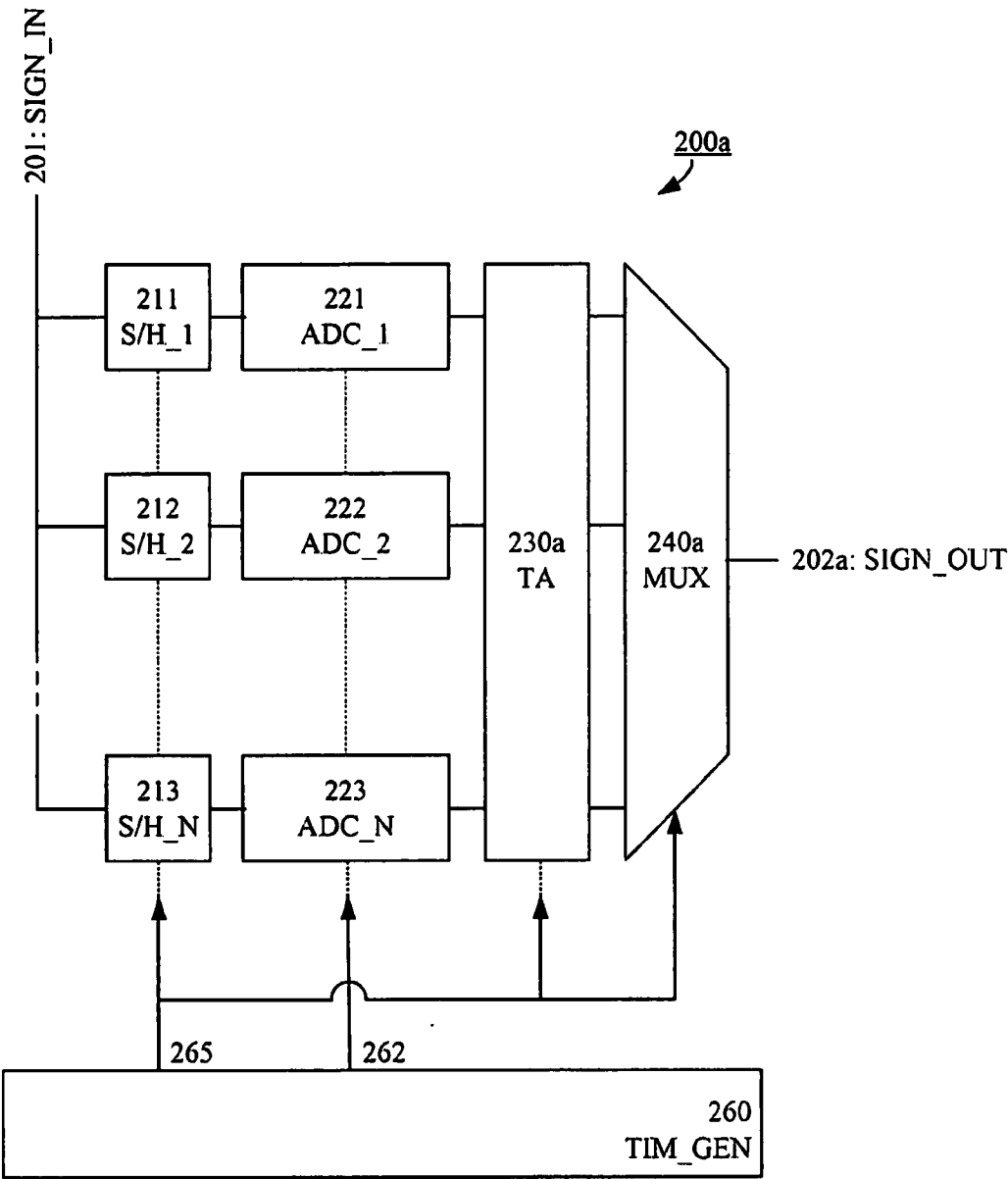


圖2A

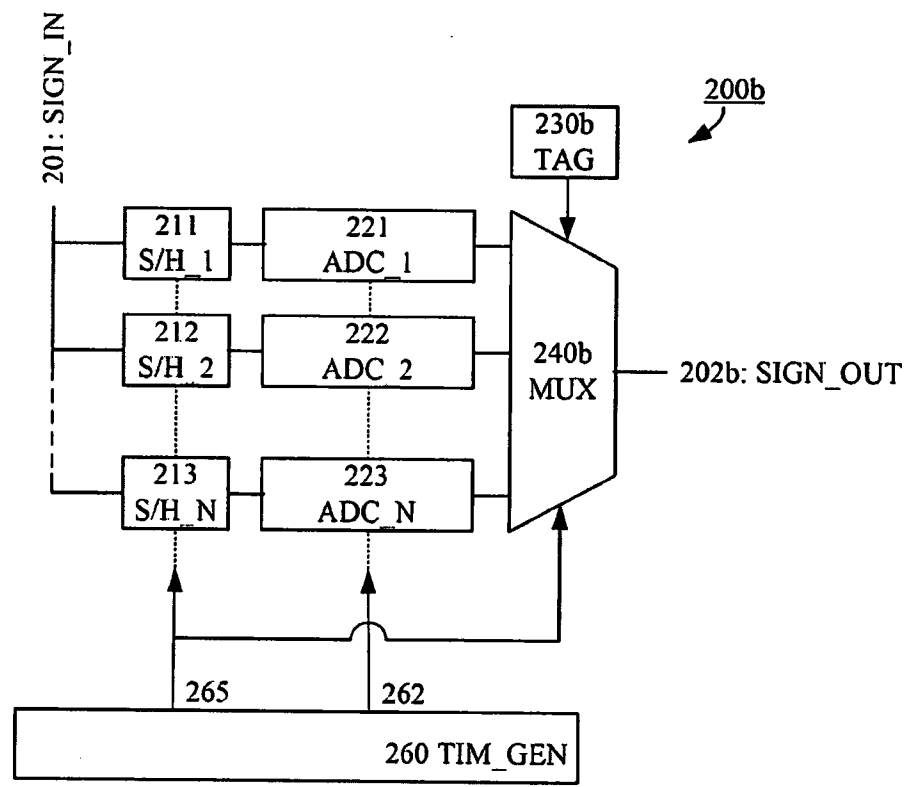


圖2B

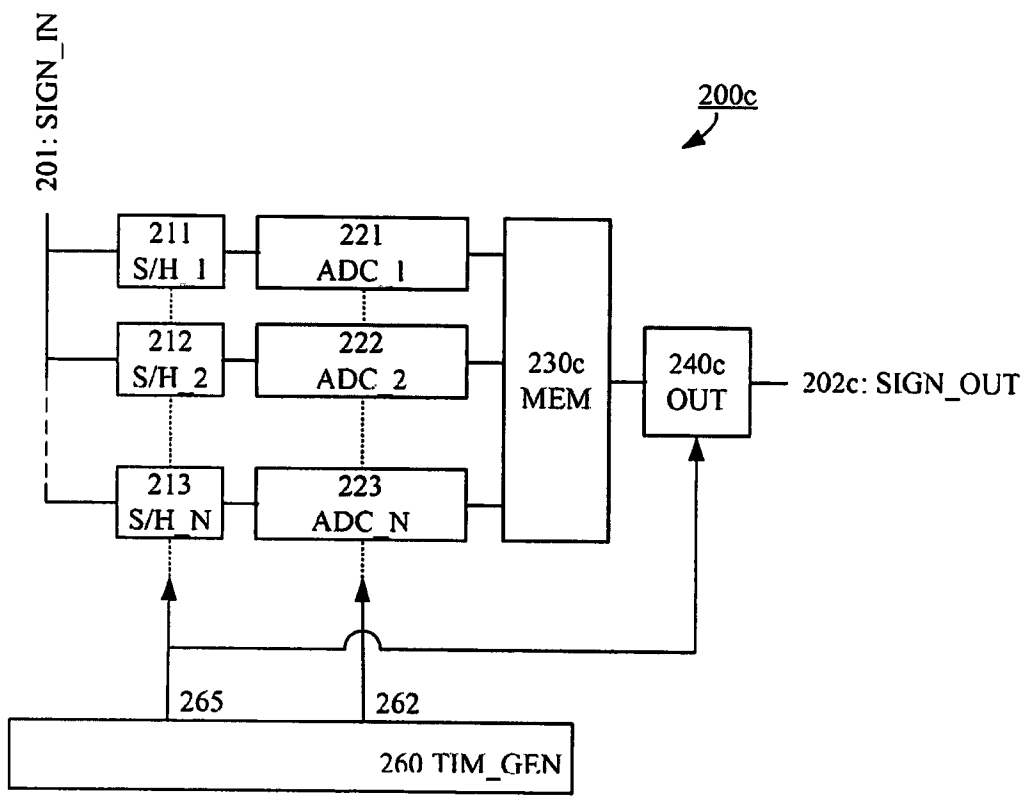


圖2C

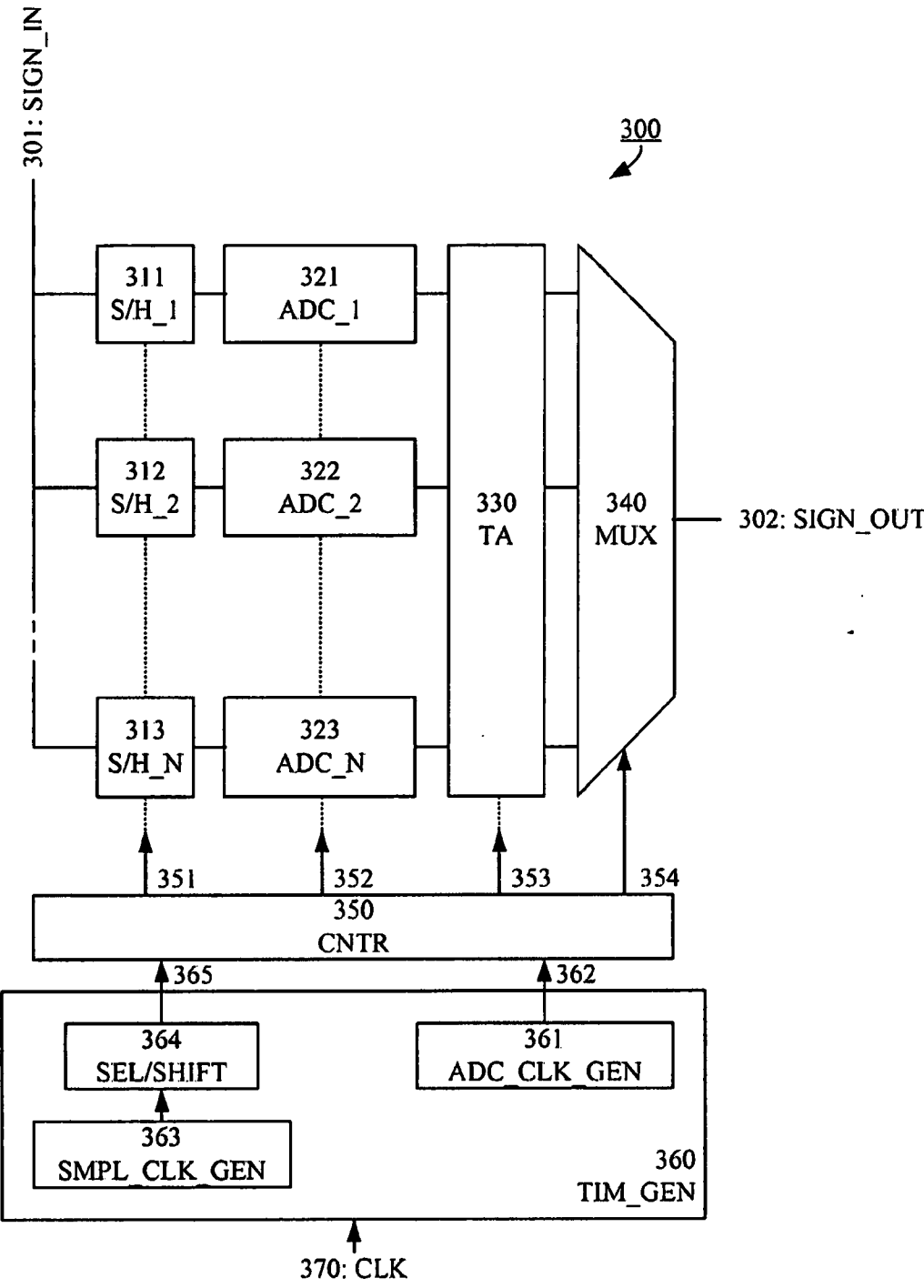


圖3

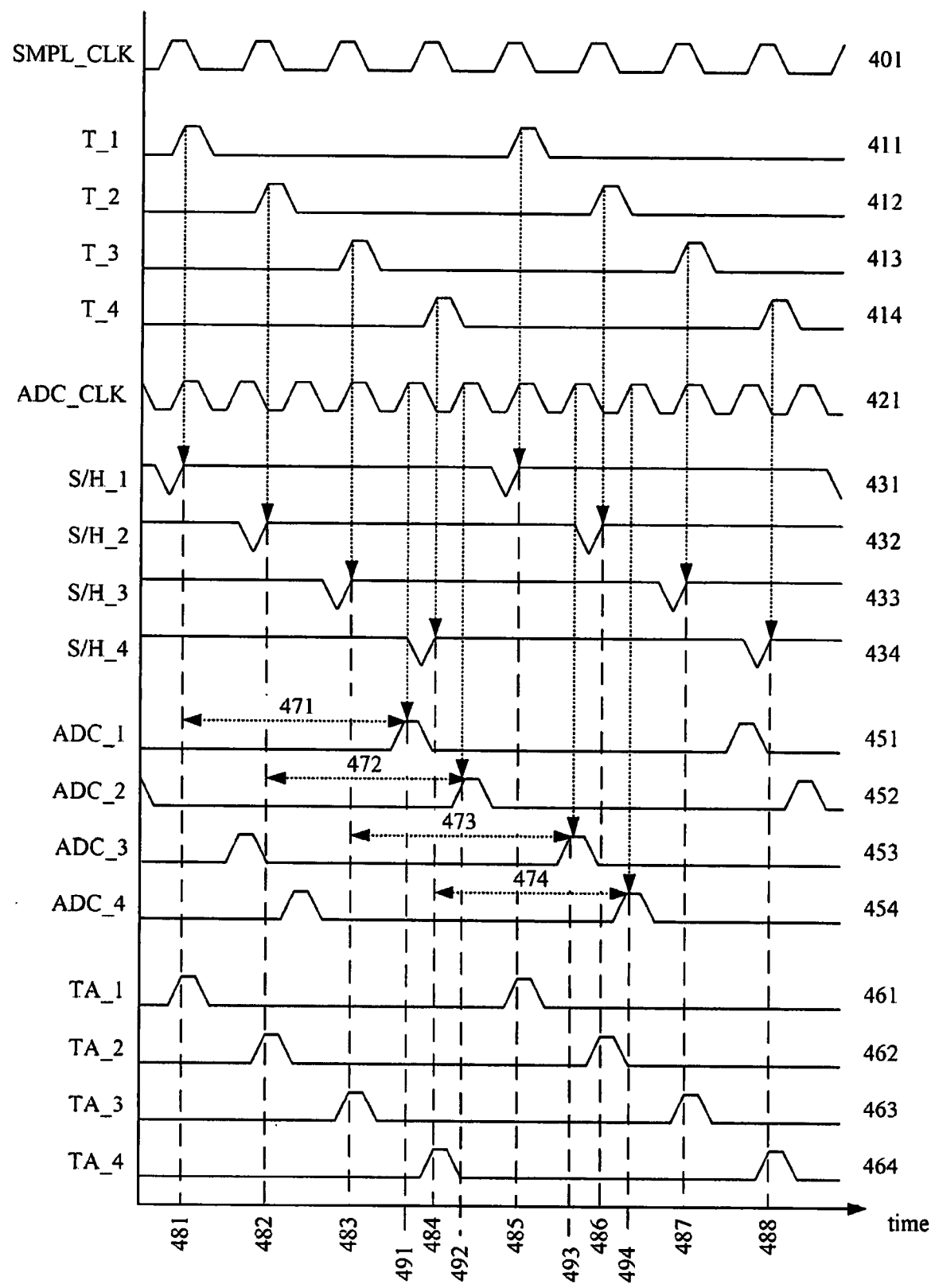


圖4

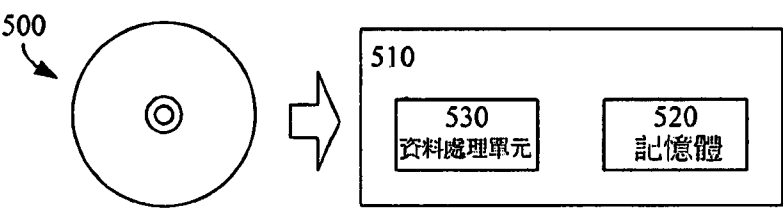


圖5

