公告本

318952

申請日期	85.9.12
案號	85111132
類別	Int.Cl.[6] H01L 21/66

A4
C4

318952

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體晶圓、半導體裝置，以及半導體裝置之製造方法
	英文	SEMICONDUCTOR WAFER, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE
二、發明 ~~創作~~ 人	姓名	中村和子
	國籍	日本國
	住、居所	日本國東京都千代田區丸之內2丁目2番3號 三菱電機株式会社內
三、申請人	姓名（名稱）	日商・三菱電機股份有限公司
	國籍	日本國
	住、居所（事務所）	日本國東京都千代田區丸之內2丁目2番3號
	代表人姓名	北岡隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

318952

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，☑有　□無主張優先權

日 本

1996年 3月 18日　　特 願 平 8-60794號（主 張 優 先 權）

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

發明領域

本發明係關於半導體晶圓、半導體裝置以及半導體裝置之製造方法，且尤其有關於具有連接線(interconnection)之半導體晶圓，該連接線係由半導體裝置上之墊(pad)橫跨延伸至切片(dicing)線，以及有關於由半導體晶圓所形成之半導體裝置，與該半導體裝置製造方法。

發明背景

第16圖顯示一習知之半導體晶圓之上視圖。以施加於半導體積體電路1a內之導線搭接墊(wire-bonding pad)2的測試探針4進行晶圓測試。第17圖係第16圖所示之半導體晶圓1的截面視圖；在晶圓測試完成後，參考第18圖，晶圓係沿著切片線6切割，以將半導體積體電路1a分割成一個個的晶片(chips)。顯示施加了絕緣膜9以保護半導體積體電路1a上主動區域(active region)的第19圖與第20圖係分別對應於第17圖與第18圖；在分割該半導體積體電路1a成晶片後，形成連接於該半導體積體電路1a中之導線搭接墊2的搭接導線(bonding wires)(未顯示)。

當測試探針4與導線搭接墊2接觸時，這些測試探針對導線搭接墊2造成了損傷5。近來，導線搭接墊2係不斷地小型化(miniaturized)以減小半導體積體電路1a的大小與增加該半導體積體電路1a中主動區域的比值；因此，由於半導體積體電路1a的小型化，搭接導線有可能連於導線搭接墊2上的損傷部位5上，這將造成導線搭接墊2與搭接導

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
泉
經濟部中央標準局員工消費合作社印製

五、發明說明(4)

線之間的不良連接。

第21圖顯示一用以防止不良連接之傳統半導體晶圓1的截面。該晶圓測試係將測試探針僅接觸於切片線6內之晶圓測試墊3來進行。在完成晶圓測試後，參照第22圖，晶圓係沿著切片線6切割，而半導體積體電路1a因而分割成一個個的晶片。顯示施加絕緣膜9以保護半導體積體電路1a上主動區域的第23圖與第24圖係分別對應於第21圖與第22圖。

然而，如第22圖所示，晶圓測試墊殘餘部分3a的上表面與切割截面露出來而產生一個問題，即會腐蝕鋁(Al)之物質，諸如水、鉀、鎂等物質，將由晶圓測試墊殘餘部分3a侵入導線搭接墊2，造成導線搭接墊2的鋁腐蝕。

發明之概述

根據本發明之第一形態，半導體晶圓包括：用以形成具有第一墊(first pad)之半導體積體電路的半導體積體電路形成區域；形成於半導體積體電路形成區域之周圍而用以將該半導體積體電路切割成晶片之切割區域；存在於該切割區域的第二墊(second pad)；以及用以電氣連接第一墊與第二墊、於半導體積體電路形成區域上具有彎曲部(bend)的連接線。

根據本發明之第二形態，第二墊之面積最好大於第一墊之面積。

根據本發明之第三形態，第二墊最好形成於該半導體積體電路形成區域之周圍，而未留有與存在積體電路形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5　）

區域周圍之切割區域內至少可形成一個第二墊相同之空虛面積。

根據本發明之第四形態，該半導體積體電路形成區域最好包含數個包含有第一與第二半導體積體電路形成區域的半導體積體電路；該連接線包含有第一與第二內連線的多數個連接線，該第一連接線係電氣連接第一半導體積體電路形成區域上的第一墊與該第二墊，且在該第一半導體積體電路形成區域上具有彎曲部；該第二內連線係電氣連接第二半導體積體電路形成區域上的第一墊與該第二墊，且在該第二半導體積體電路形成區域上具有彎曲部。

本發明之第五形態係有關於以沿著具有連接線之半導體晶圓的切割區域切割所形成的半導體裝置，而該連接線係由用以形成半導體積體電路之半導體積體電路形成區域橫跨延伸至形成於半導體積體電路形成區域周圍的切割區域，該半導體裝置包括覆蓋該連接線之切斷面的絕緣膜。

本發明之第六形態係有關於以沿著具有連接線之半導體晶圓的切割區域切割所形成的半導體裝置，而該連接線係由用以形成半導體積體電路之半導體積體電路形成區域橫跨延伸至形成於半導體積體電路形成區域周圍的切割區域，其中在半導體積體電路形成區域上的連接線具有彎曲部。

根據本發明之第七形態，一種製造半導體裝置的方法包括步驟有：準備具有連接線之半導體晶圓，該連接線係由用以形成半導體積體電路之半導體積體電路形成區域橫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6 ）

跨延伸至形成於半導體積體電路形成區域周圍的切割區域；在該半導體積體電路形成區域與該切割區域之間的邊界形成一分割溝槽（groove），以切割該連接線；在該溝槽內形成覆蓋該連接線之切割斷面之絕緣膜；以及沿著該切割區域切割該半導體晶圓，以將該半導體積體電路分割為晶片。

根據本發明之第八形態，在該形成絕緣膜之步驟中該絕緣膜最好形成於除了該半導體積體電路之導線搭接墊以外之半導體積體電路形成區域，以及切割區域。

根據本發明之第一形態，當該半導體積體電路分割成晶片時，彎曲部防止水等侵蝕該第一墊，提供了該半導體裝置產品於可靠性與耐久性上改良的效果。

根據本發明之第二形態，當使測試探針在晶圓測試中與第二墊接觸時，該第二墊的大面積使可容許之位置偏差增加，而提供便利晶圓測試程序之效果。

本發明之第三形態具有使半導體積體電路形成區域周圍之切割區域可有效地利用的效果。

本發明之第四形態產生使該切區域之小型化的效果，導致半導體裝置產率的增加。

根據本發明之第五形態，防止由連接線斷面滲入如水之類等以抑止其侵蝕半導體積體電路之墊，提供了該半導體裝置產品於可靠性與耐久性上改良的效果。

根據本發明之第六形態，該彎曲部防止由如水之類等由連接線滲入以抑止其侵蝕晶片中的墊，提供了該半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（7 ）

裝置產品於可靠性與耐久性上改良的效果。

本發明之第七形態提供了防止如水之類等由連接線侵入而腐蝕晶片之墊的半導體裝置。

根據本發明之第八形態，絕緣膜係同時形成於溝槽內、除了半導體積體電路整墊以外之半導體積體電路形成區域上，以及切割區域上，以減輕形成絕緣膜之屏蔽（mask）之設計精密度及塗敷精密度之要求。

本發明係解決上述問題，且其一目的為得到防止半導體積體電路之墊被侵蝕的半導體晶圓與半導體裝置及製造該半導體裝置之方法。

本發明之這些與其他之目的、特徵、形態以及優點將由以下之本發明之詳細說明與配合附圖而更為清楚。

圖式之簡單說明

第1圖係顯示本發明之第一較佳實施例中半導體裝置之製造方法的上視圖。

第2圖係顯示本發明之第一較佳實施例中半導體裝置之製造方法的截面圖。

第3圖係顯示本發明之第一較佳實施例中半導體裝置之製造方法的截面圖。

第4圖係顯示本發明之該第一較佳實施例中半導體裝置之製造方法的上視圖。

第5圖係顯示本發明之第一較佳實施例中半導體裝置之製造方法的截面圖。

第6圖係顯示本發明之該第一較佳實施例中半導體裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

置之製造方法的上視圖。

第7圖係顯示本發明之第一較佳實施例中半導體裝置之截面圖。

第8圖係顯示本發明之第二較佳實施例之半導體晶圓的上視圖。

第9圖係顯示本發明之第三較佳實施例之半導體晶圓的上視圖。

第10圖係顯示本發明之第四較佳實施例之半導體晶圓的上視圖。

第11圖係顯示本發明之該第四較佳實施例之半導體晶圓的上視圖。

第12圖係顯示本發明之該第四較佳實施例之半導體晶圓的上視圖。

第13圖係顯示本發明之該第四較佳實施例之半導體晶圓的上視圖。

第14圖係顯示本發明之該第四較佳實施例之半導體晶圓的上視圖。

第15圖係顯示本發明之該第四較佳實施例之半導體晶圓的上視圖。

第16圖係顯示習知半導體晶圓的上視圖。

第17圖為第16圖之截面圖。

第18圖係顯示習知半導體裝置的上視圖。

第19圖係習知半導體晶圓的截面圖。

第20圖係習知半導體裝置的截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9 ）

第21圖係習知半導體晶圓的截面圖。

第22圖係習知半導體裝置的截面圖。

第23圖係習知半導體晶圓的截面圖。

第24圖係習知半導體裝置的截面圖。

較佳實施例之說明

第一較佳實施例

第1至第7圖係顯示根據本發明之第一較佳實施例的製造方法的圖示。首先，參照第1圖，準備一半導體晶圓，半導體積體電路1a係形成於半導體晶圓1之積體電路形成區域上；切割區域的切片線6分割該半導體積體電路形成區域。半導體積體電路1a上形成了導線搭接墊2(wire bonding pad)導線搭接墊2延伸至切片線6上，在切片線6上的導線搭接墊2係作為晶圓測試墊(wafer testing pad)3，而導線搭接墊2與晶圓測試墊3則電氣連接；也就是說，該位於切片線6上的導線搭接墊2係作為晶圓測試墊3且由半導體積體電路1a延伸橫跨至導線搭接墊2內之切片線6的部分係作為電氣連接導線搭接墊2與晶圓測試墊3的連接線。第2圖顯示第1圖之截面。

半導體晶圓測試係施於此半導體晶圓1上，在此晶圓測試中，測試探針4係與晶圓測試墊3接觸以作為導通測試，而測試探針4並未與半導體積體電路1a上的導線搭接墊2接觸，因此，不會在半導體積體電路1a上的導線搭接墊2產生損傷5。

接著，參照第3圖，利用雷射光8於半導體積體電路形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

成區域與切片線6或切割區域之間的邊界上（預切割程序）形成溝槽（grooves）8a；該溝槽8a由晶圓測試墊3的表面延伸穿透至其背後，以切斷作為連接線之晶圓測試墊3；但此切割並未由半導體積體電路1a的表面穿透至其背後（亦即，並未切入晶片）。晶圓測試墊3的一部分係殘留於半導體積體電路形成區域上，是為晶圓測試墊殘餘3a。第4圖顯示第3圖之上表面。

接著，參照第5圖，在溝槽8a內形成覆蓋晶圓測試墊3之切割面之絕緣膜9（絕緣膜形成程序）。該絕緣膜9為一鈍化膜（passivation film），聚醯亞胺（polyimide）膜，或類似之膜；該絕緣膜係形成於除了導線搭接墊2以外之半導體積體電路形成區域上，以及切割區域上。第6圖表示第5圖之上表面。

接著，參照第7圖，沿著切片線（dicing line）6將這些大數量之積體電路1a切開成為晶片（chips）（最後切割程序）。各半導體積體電路1a具有覆蓋晶圓測試墊3之切斷面之絕緣膜9。

在此較佳實施例中，以絕緣膜9係完全覆蓋晶圓測試墊殘餘3a，該晶圓測試墊殘餘3a係為導線搭接墊2於分割晶片後殘留在晶片內的殘餘；絕緣膜9係用以防止溼氣等侵入，而防止晶片內導線銲墊2的腐蝕；這提高了半導體裝置產品之可靠性與耐久性。

該預切割程序、絕緣膜形成程序，以及最終切割程序可在準備好第23圖所示之半導體晶圓1後再進行。此時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

雖然在第23圖所示之半導體晶圖1上已形成用以保護半導體積體電路1a上主動區域的絕緣膜9，卻須要在絕緣膜形成程序再施加絕緣膜9，因此，與習知之技術相比，為了確保晶圖測試墊3，屏蔽之設計精密度與塗敷精密度之要求更高，因而造成了產率下降之一因素。

在第5圖所示之絕緣膜形成程序中，除了導線搭接墊2以外，該半導體積體電路1a與切片線皆以絕緣膜9覆蓋之。相比之下，在第23圖中，除了導線搭接墊2以外，半導體積體電路1a與切片線6之一部分表面被覆蓋，且使晶圖測試墊3露出以作為晶圖測試用；因此，與第23圖比較下，第5圖由於晶圖測試墊3未露出，故對作為絕緣膜9的光罩設計與施加之精確度要求較低。

第二較佳實施例

第8圖係本發明之第二較佳實施例之半導體晶圖圖示。在第8圖中，1表示半導體晶圖，1a表示形成於半導體晶圖1之半導體積體電路形成區域上的半導體積體電路，2表示形成於半導體積體電路1a內之導線搭接墊，3表示晶圖測試墊，4表示晶圖測試中所使用之測試探針，5表示在晶圖測試墊3上的損傷，6表示用以分割半導體積體電路形成區域之切割區域的切片線6，7表示用以連接導線搭接墊2與晶圖測試墊3的延伸連接鋁線。

半導體積體電路1a係形成於半導體晶圖1表面內之半導體積體電路形成區域上。半導體積體電路形成區域被切片線6(dicing line)分隔。大數量之導線搭接墊2形成於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

半導體積體電路1a上，晶圓測試墊3則形成於切片線6上；延伸連接鋁線7係電氣連接導線銲墊2與晶圓測試墊3，該延伸連接鋁線7係形成彎曲之形狀，就像將直線彎折成如第8圖所示之直角，且該彎曲部至少形成於半導體積體電路形成區域上。由鈍化膜（passivation film）、聚醯亞胺膜（polyimide film）等所形成之絕緣膜9（未顯示）係形成於除了導線銲墊2以外之半導體積體電路形成區域上，以及切割區域上。

晶圓測試係施於半導體晶圓1上，在晶圓測試中，係以測試探針4接觸晶圓測試墊3來達成導通測試，但該測試探針4並未與導線搭接墊2接觸，因此，不會於導線搭接墊2上產生損傷5。絕緣膜9係於晶圓測試之後施加於半導體晶圓1表面上並使導線搭接墊2露出，或者，該絕緣膜9亦可在晶圓測試前以使導線搭接墊2與晶圓測試墊3露出的方式，施加於半導體晶圓1表面上。然後，該半導體晶圓1係沿切片線6切割，於是，大數量之半導體積體電路1a被分割為一個個的晶片。故，如水之類等只會由延伸連接鋁線7的切斷面滲入，然而，該彎曲部可抑止其滲入延展內連鋁線7，以抑止其到達導線搭接墊2。

根據本實施例，該彎曲部防止水等等的侵入以預防晶片中之導線銲墊2的腐蝕，這增加了該半導體裝置產品的可靠性與耐久性。

該預切割程序、絕緣膜形成程序，以及最終切割程序可使用第一實施例所述者，在此狀況下，延伸連接鋁線7

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

之片段部分係以絕緣膜9覆蓋之，提供該半導體裝置產品可靠性與耐久性之進一步的改善。

延伸連接鋁線7之彎曲部可為U形、L形、鋸齒形，或上述之組合型式。

第三較佳實例

第9圖係本發明之第三較佳實施例之半導體晶圖圖示，第9圖中之參考文字係對應於第8圖之參考文字。如第9圖所示，在多數個相鄰半導體積體電路1a上之導線搭接墊2與晶圖測試墊3係經由具有彎曲部之延伸連接鋁線7而電氣連接。該延伸連接鋁線7之彎曲部係形成於至少半導體積體電路形成區域上。

在本實施例中，除了第三較佳實施例以外，多數個導線搭接墊2與一單一晶圖測試墊3係經由延伸連接鋁線7而電氣連接，以容許切片線6之小型化，俾使半導體裝置的產率提升。

第四較佳實施例

第10圖至第15圖係顯示第一較佳實施例之半導體晶圖的修正圖示。首先，第10圖為第1圖之修正形態，其中用以電氣連接導線搭接墊2與晶圖測試墊3之連接部係以延伸連接鋁線7所取代。

其次，第11圖為第10圖之變形例，其中晶圖測試墊3之表面積係大於導線銲墊2之表面積。最好儘可能的利用切片線6表面而使晶圖測試墊3形成得愈大愈好；增加晶圖測試墊3之表面積即增加測試探針4與晶圖測試墊3之間接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

觸點可容許之位置偏差，而便利了晶圓測試程序。

接著，第12圖為第11圖之變形例，其中晶圓測試墊3亦配置於半導體積體電路1a隅角附近的切片線6上。與第11圖中所示具有與至少可形成一個晶圓測試墊3相同面積之空虛面積（空白）存在於半導體積體電路1a隅角附近的切片線6上之情形不同的是，第12圖之晶圓測試墊3亦形成於半導體積體電路1a隅角附近的切片線上，以使得此空虛面積不存在於切片線6上而有效地利用切片線6。例如，延伸連接鋁線7係為L形，以形成位於切片線6隅角附近之晶圓測試墊3。

然後，第13圖為第1圖之變形例，其中位於多數個半導體積體電路1a上之導線搭接墊2係形成於一個導線搭接墊2，該導線搭接墊2之中心作為晶圓測試墊3用，以容許切片線6之小型化，俾使半導體裝置產率（yield）的增加。

接著，第15圖顯示第14圖之修正形態，其中晶圓測試墊3表面積係大於導線搭接墊2之表面積。

在第10圖至第15圖所示之半導體晶圓中，分割為晶片的半導體積體電路1a係利用在第一較佳實施例解釋之預切割程序、絕緣膜形成程序與最終切割程序所形成。

如第10、11、12、14、與15所示之半導體晶圓1，半導體晶圓1可使用以具有彎曲部之延伸連接鋁線7取代之延伸連接鋁線7，而該彎曲部修形成於至少半導體積體電路形成區域上。

雖然本發明已詳細地說明，但在前文中各形態之敘述係例示性而非限制性；可了解的是，其他各種修改與變動可在不偏離本發明之範圍內設計出。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體晶圓、半導體裝置，以及半導體裝置之製造方法

本發明之一目的為得到防止半導體積體電路之墊（pad）被侵蝕的半導體晶圓（wafer）、半導體裝置及製造該半導體裝置之方法。具有半導體積體電路（1a）與由該半導體積體電路（1a）上之導線搭接墊（2）延伸橫跨到切片線（6）之連接線的半導體晶圓係沿著切片線（6）而切割成晶片（chip）；連接線之部分係留在晶片上當作晶圓測試墊殘餘（3a），而晶圓測試墊殘餘（3a）之表面係以絕緣膜（9）所覆蓋，而防止如水之類等經由晶圓測試墊殘餘（3a）的侵蝕，以防止侵蝕該半導體積體電路內之導線搭接墊（2），並增加該半導體裝置產品之可靠性與耐久性。

英文發明摘要（發明之名稱：SEMICONDUCTOR WAFER, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE）

It is an object to obtain a semiconductor wafer, a semiconductor device, and a method of manufacturing the semiconductor device which prevent corrosion of pads in a semiconductor integrated circuit. A semiconductor wafer having semiconductor integrated circuits (1a) and interconnections extending across from wire-bonding pads (2) on the semiconductor integrated circuits (1a) to a dicing line (6) is cut up along the dicing line (6) into chips. Part of the interconnections are left on the chips as wafer testing pad remainders (3a), and the surfaces of the wafer testing pad remainders (3a) are covered with an insulating film (9). This prevents invasion of water etc. from the wafer testing pad remainders (3a) to prevent corrosion of the wire-bonding pads (2) in the semiconductor integrated circuit, which enhances reliability and durability of the semiconductor device products.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1. 一種半導體晶圓，包括：

用以形成具有第一墊之半導體積體電路的半導體積體電路形成區域；

形成於該半導體積體電路形成區域之周圍，用以將該半導體積體電路切割成晶片之切割區域；

存在於該切割區域的第二墊；以及

用以電氣連接第一墊與第二墊、於該半導體積體電路形成區域上具有彎曲部(bend)的連接線。

2. 如申請專利範圍第1項之半導體晶圓，其中該第二墊之面積大於第一墊之面積。

3. 如申請專利範圍第1項之半導體晶圓，其中該第二墊係形成於該半導體積體電路形成區域之周圍，而未留有與存在該積體電路形成區域周圍之切割區域內至少可形成一個第二墊相同之空虛面積。

4. 如申請專利範圍第1項之半導體晶圓，其中

該半導體積體電路形成區域具有包含第一與第二半導體積體電路形成區域的多數個半導體積體電路，且

該連接線具備包含有第一與第二連接線的多數個連接線，

該第一連接線係電氣連接第一半導體積體電路形成區域上的第一墊與該第二墊，且在該第一半導體積體電路形成區域上具有彎曲部，且

該第二連接線係電氣連接第二半導體積體電路形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

成區域上的第一墊與該第二墊，且在該第二半導體積體電路形成區域上具有彎曲部。

5. 一種半導體裝置，係沿著具有連接線之半導體晶圓的切割區域切割所形成，而該連接線係由用以形成半導體積體電路之半導體積體電路形成區域橫跨延伸至形成於半導體積體電路形成區域周圍的切割區域，該切割區域係包括覆蓋該連接線之切割斷面的絕緣膜。

6. 一種半導體裝置，係沿著具有連接線之半導體晶圓的切割區域切割所形成，而該連接線係由用以形成半導體積體電路之半導體積體電路形成區域橫跨延伸至形成於半導體積體電路形成區域周圍的切割區域，其中在該半導體積體電路形成區域上的連接線具有彎曲部。

7. 一種製造半導體裝置的方法，包括步驟有：

準備具有連接線之半導體晶圓，該連接線係由用以形成半導體積體電路之半導體積體電路形成區域橫跨延伸至形成於半導體積體電路形成區域周圍的切割區域；

在該半導體積體電路形成區域與該切割區域之間的邊界形成一分割溝槽（groove），以切割該連接線；

在該溝槽內形成覆蓋該連接線之切割斷面之絕緣膜；以及

沿著該切割區域切割該半導體晶圓，以將該半導體積體電路分割為晶片。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

8. 如申請專利範圍第7項之 [illegible]，其中在該形成絕緣膜之步驟中，該絕緣膜係形成於除了該半導體積體電路之導線搭接墊以外之半導體積體電路形成區域，以及該切割區域。

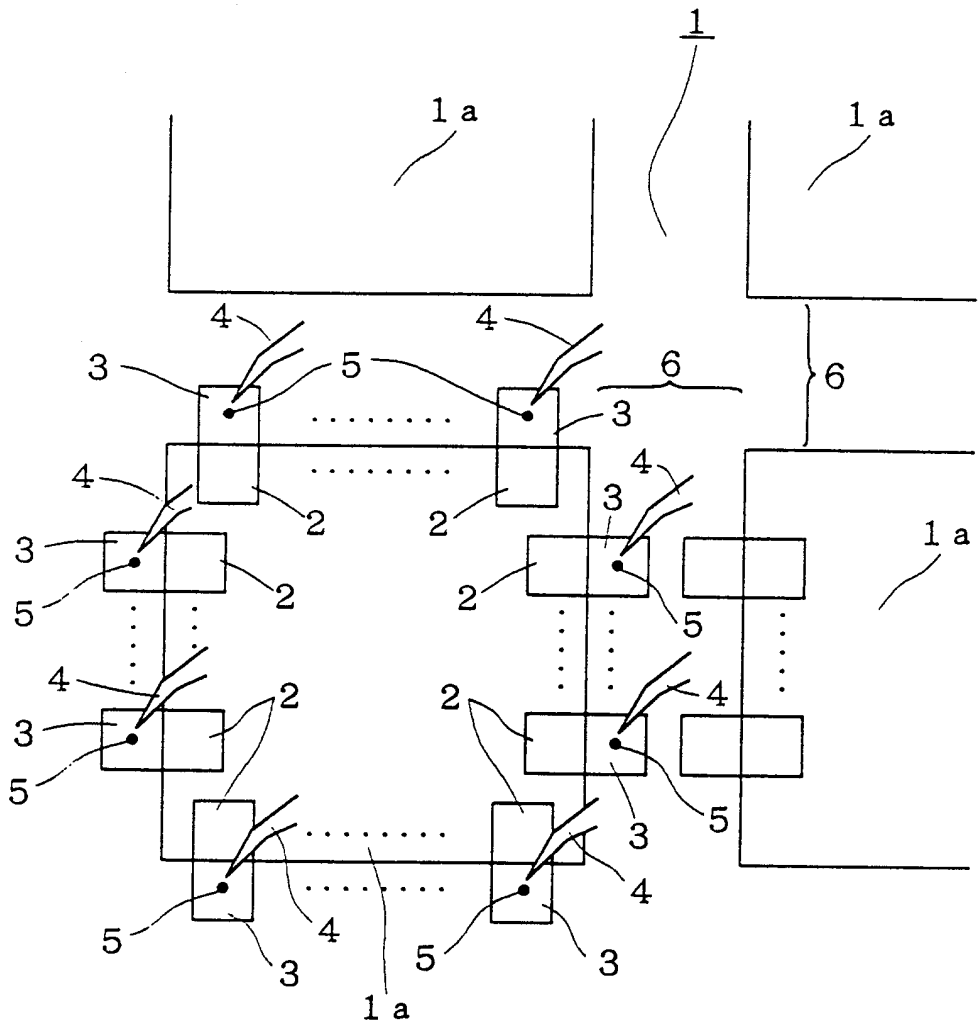
（請先閱讀背面之注意事項再填寫本頁）

裝

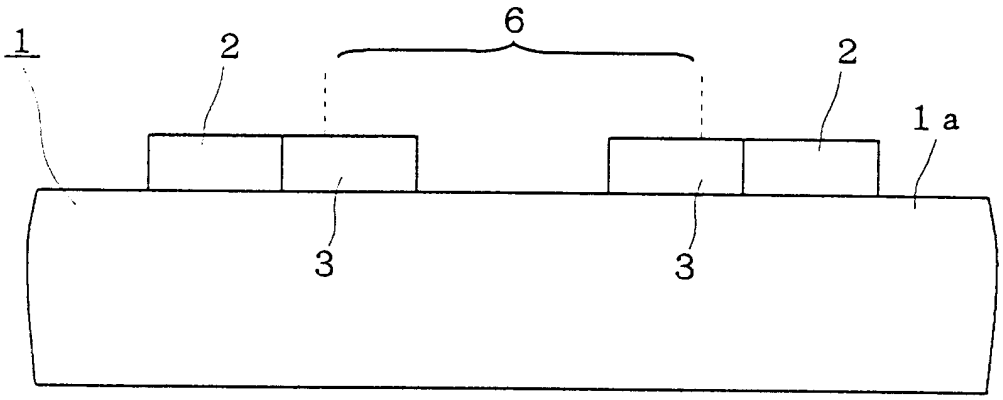
訂

經濟部中央標準局員工消費合作社印製

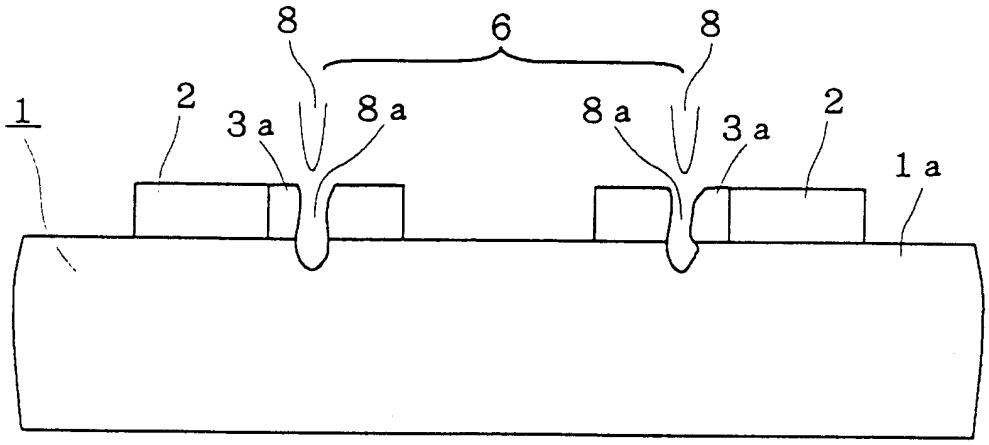
85111132



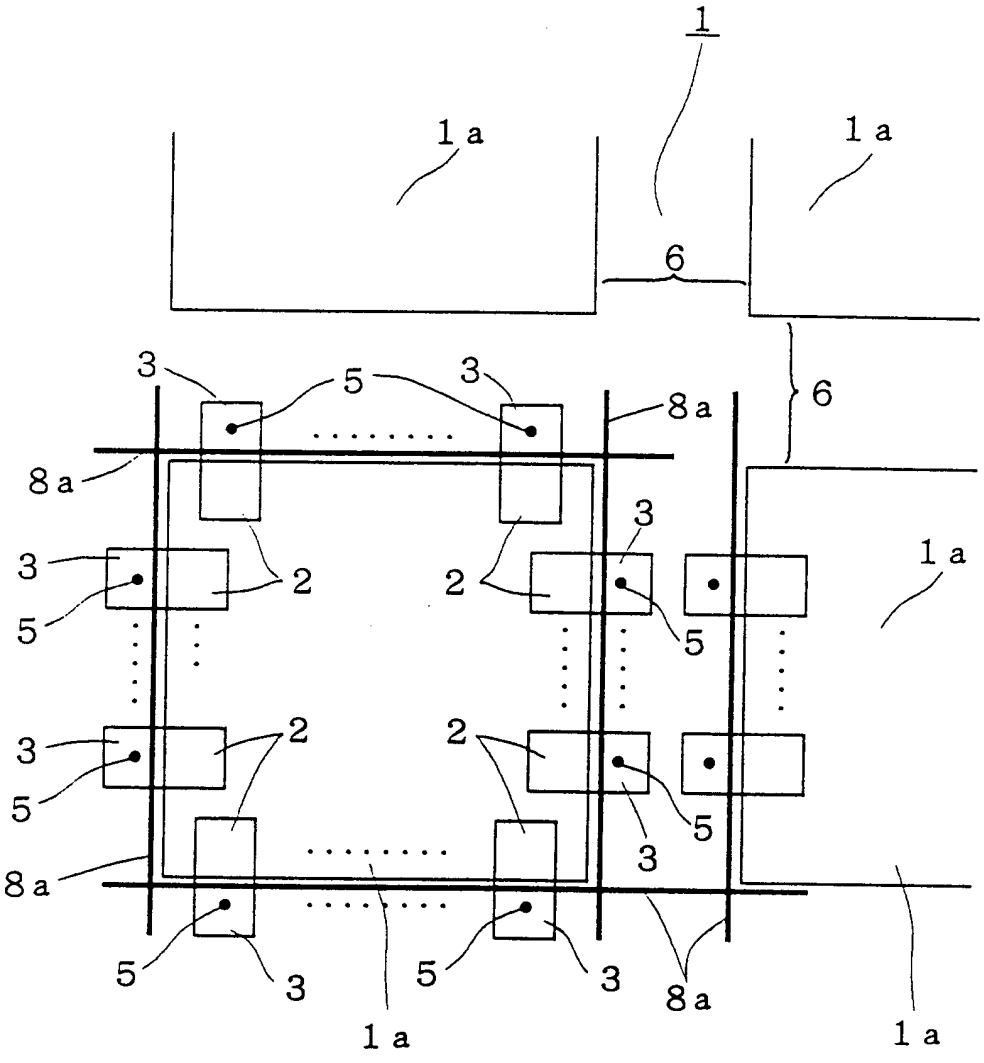
第 1 圖



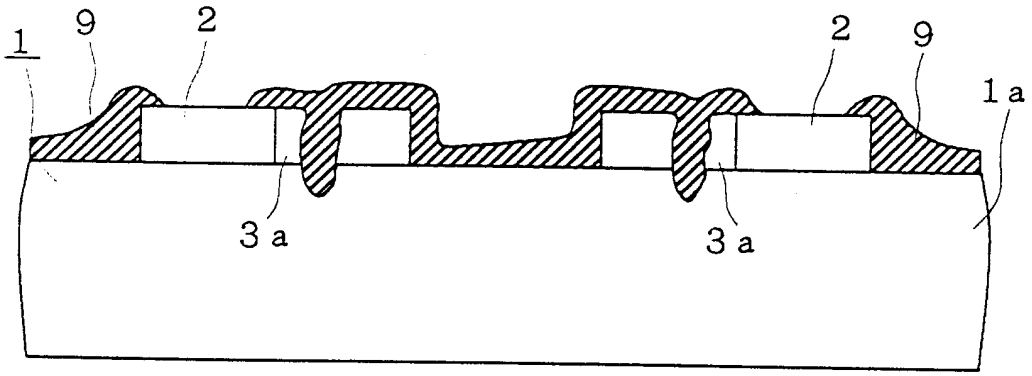
第 2 圖



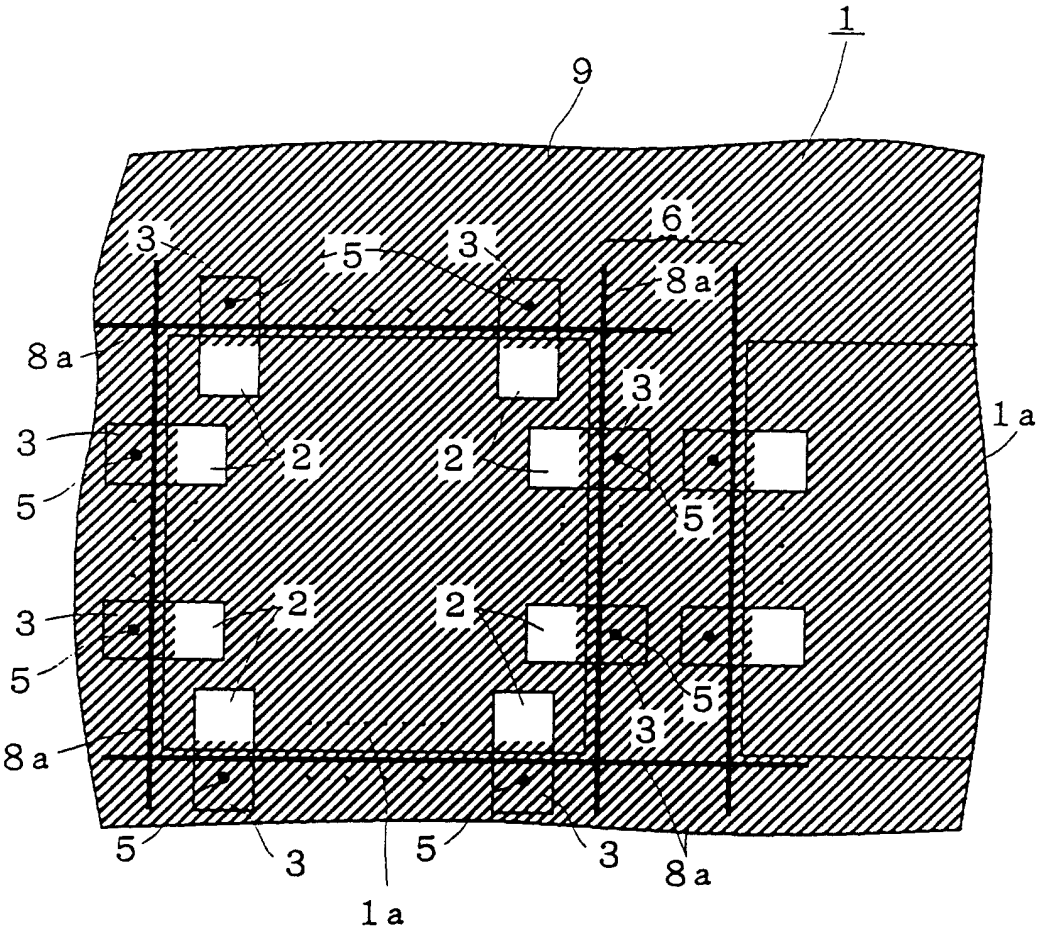
第 3 圖



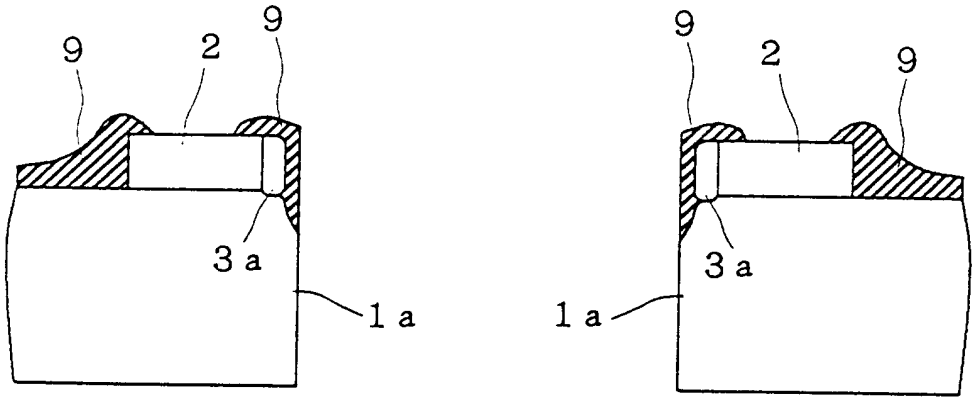
第 4 圖



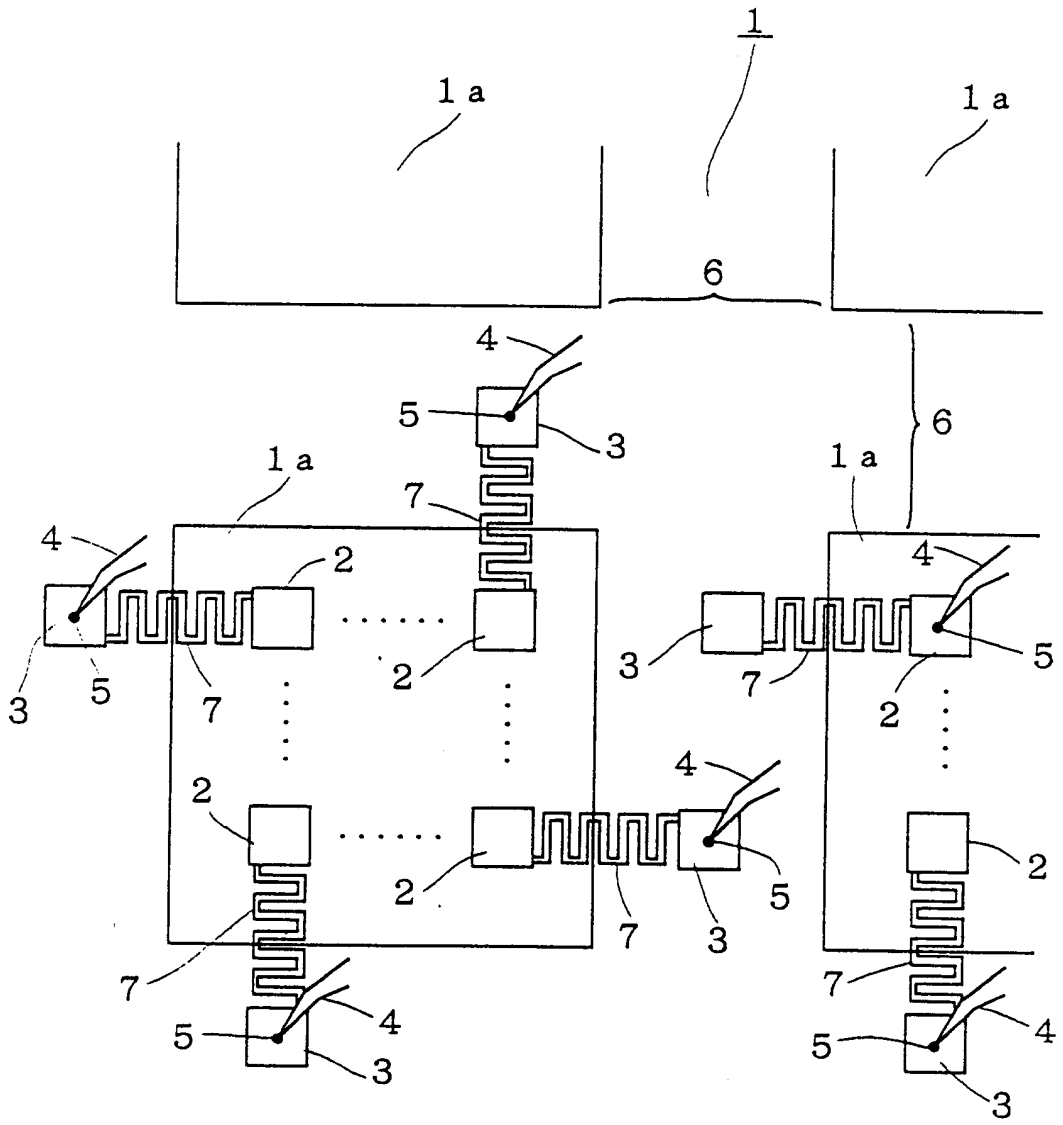
第 5 圖



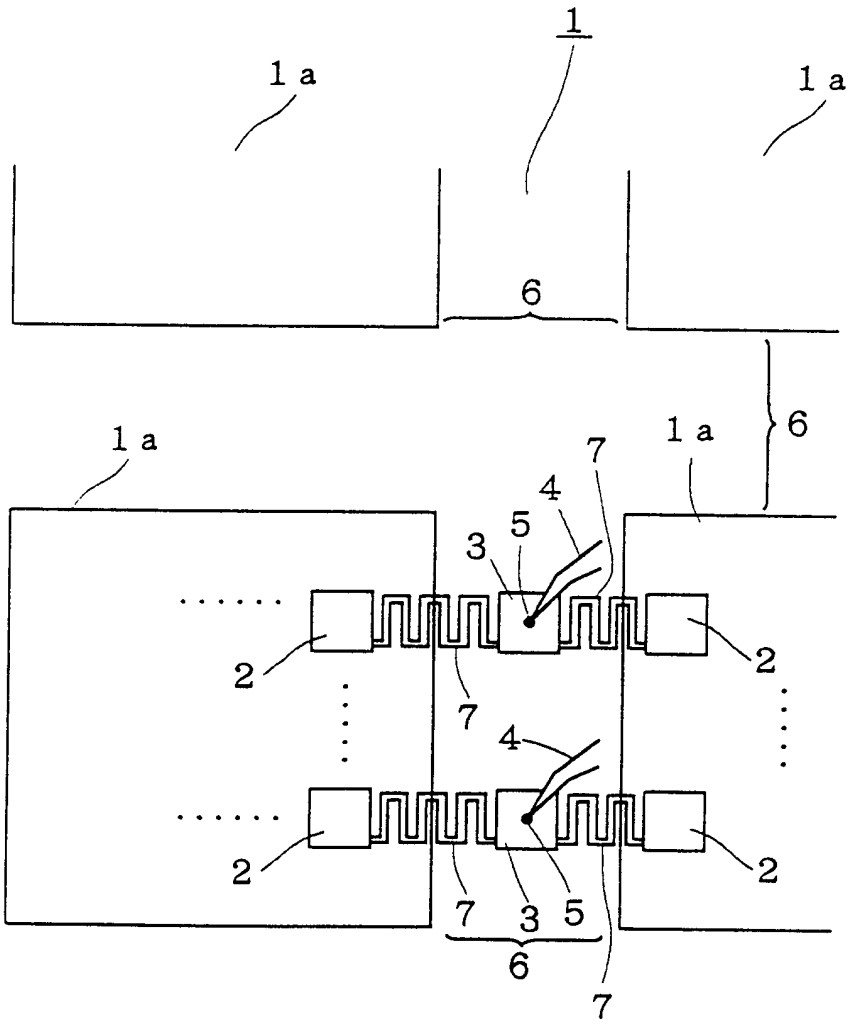
第 6 圖



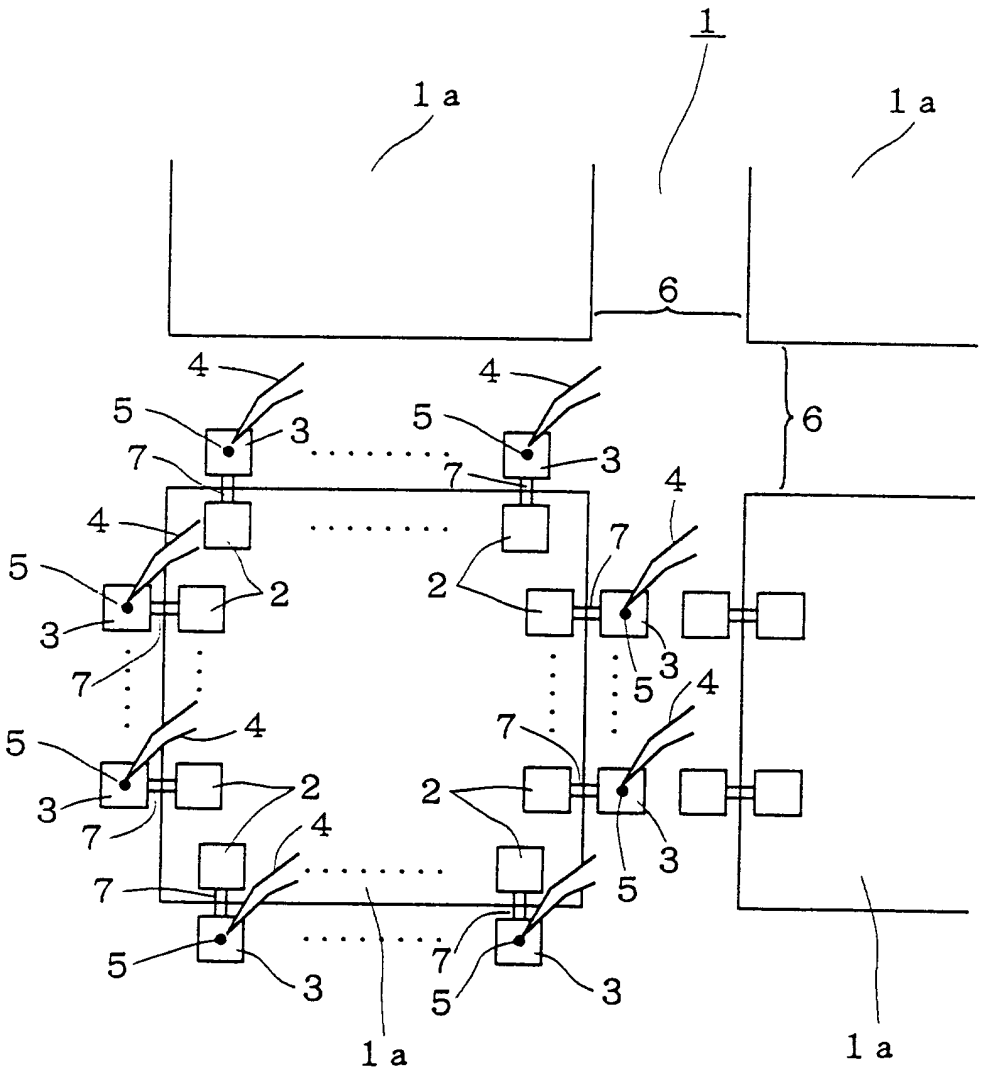
第 7 圖



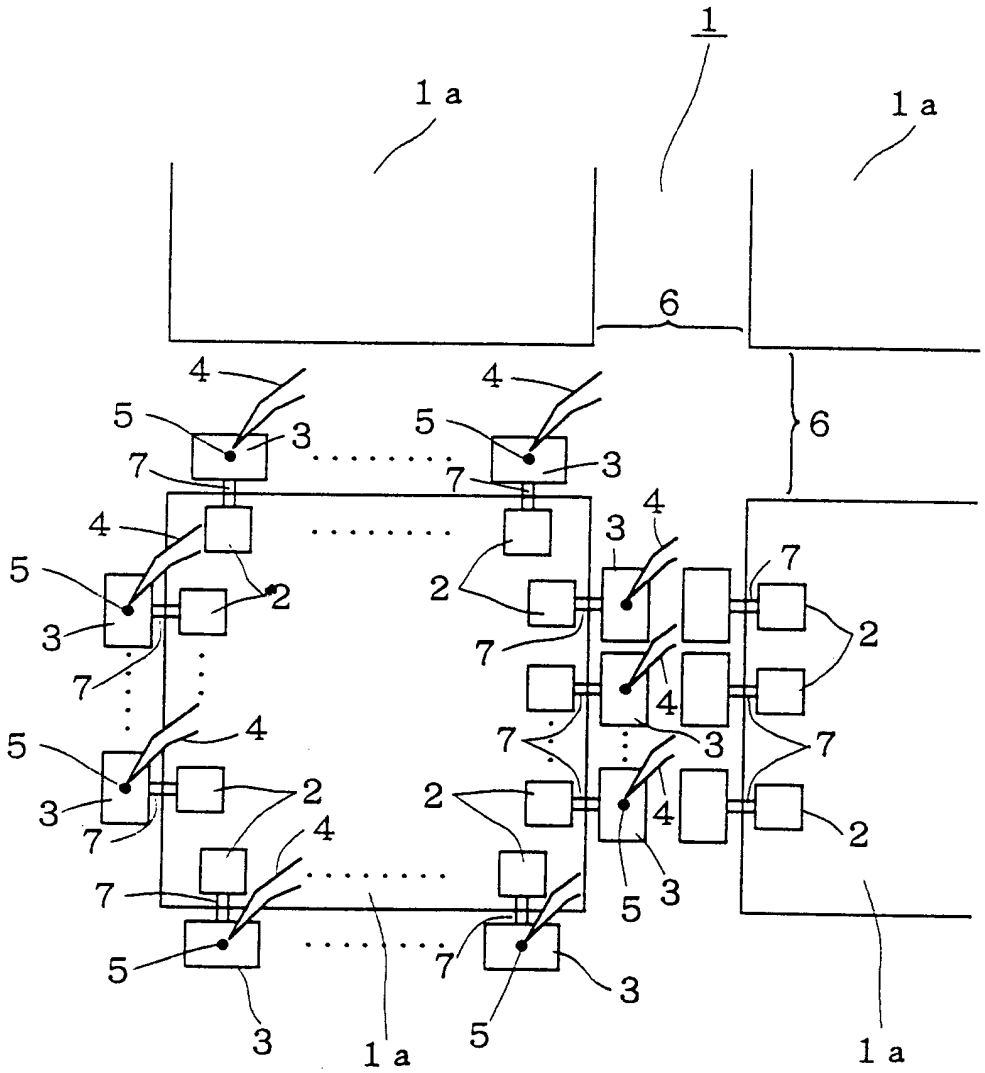
第8圖



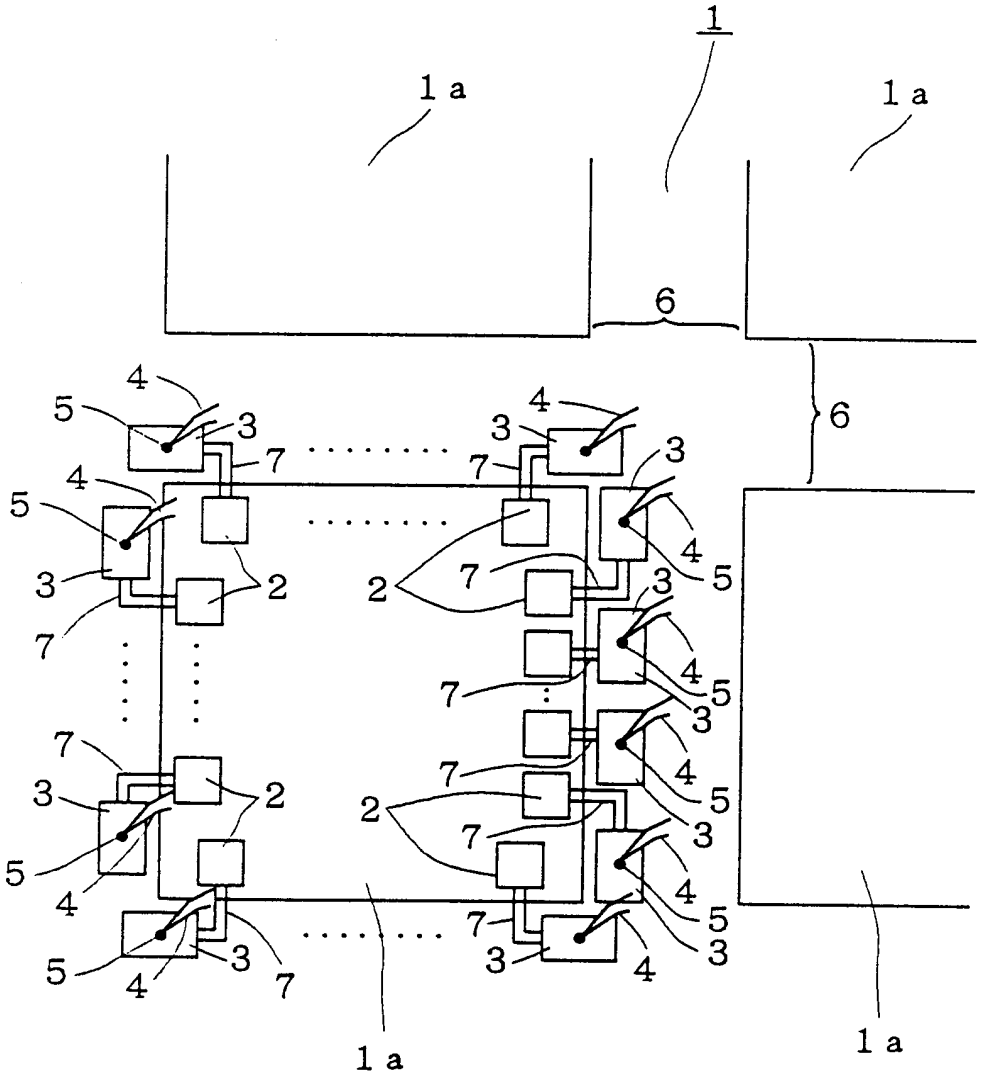
第 9 圖



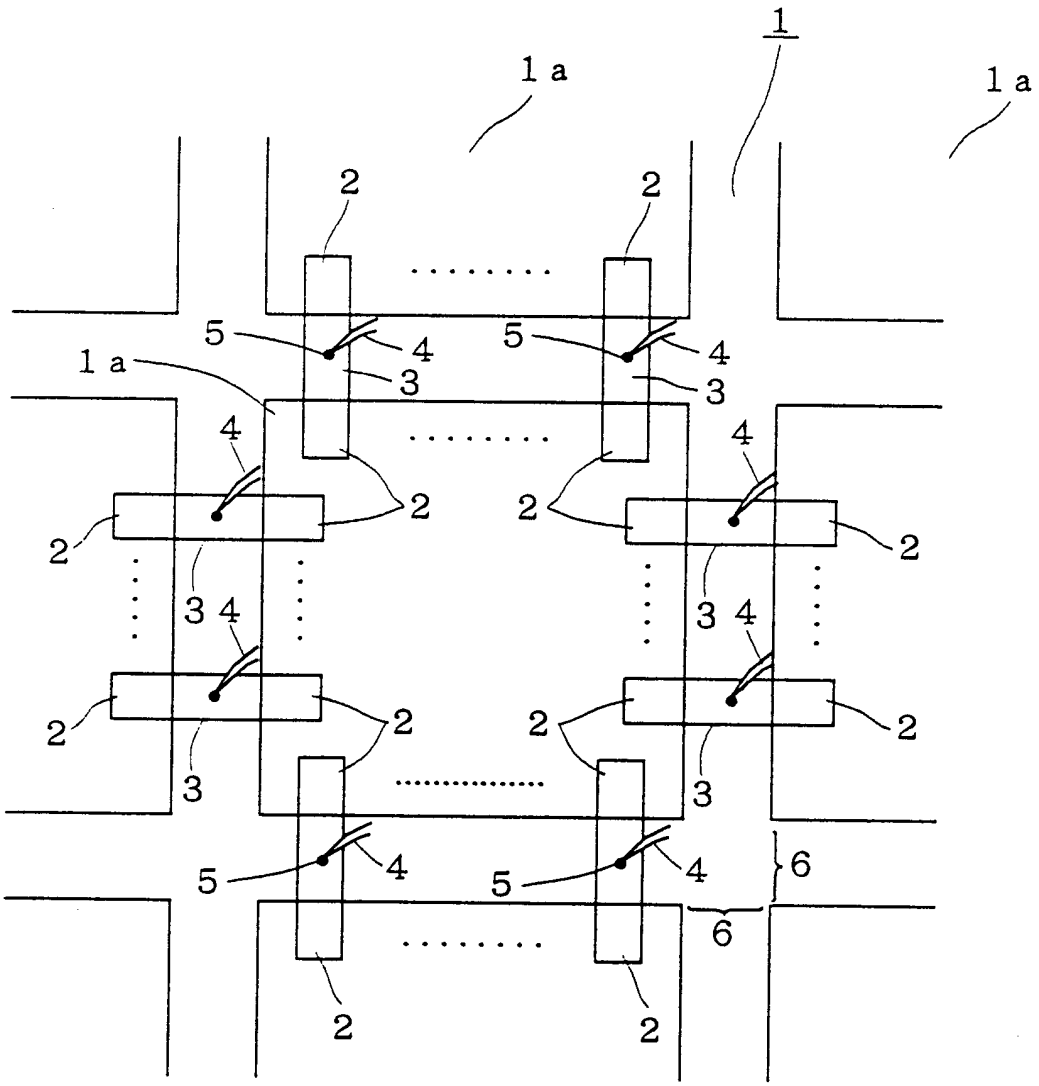
第10圖



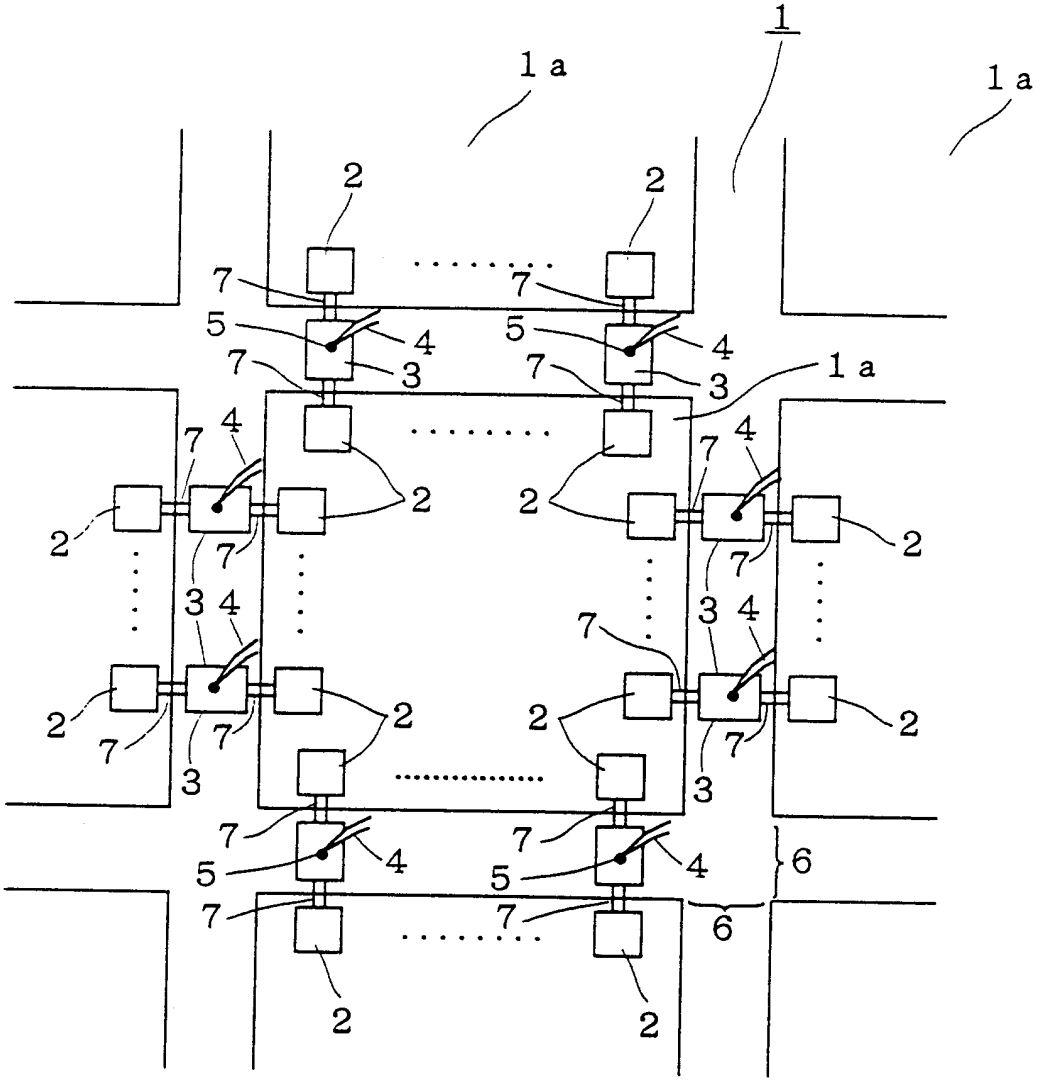
第11圖



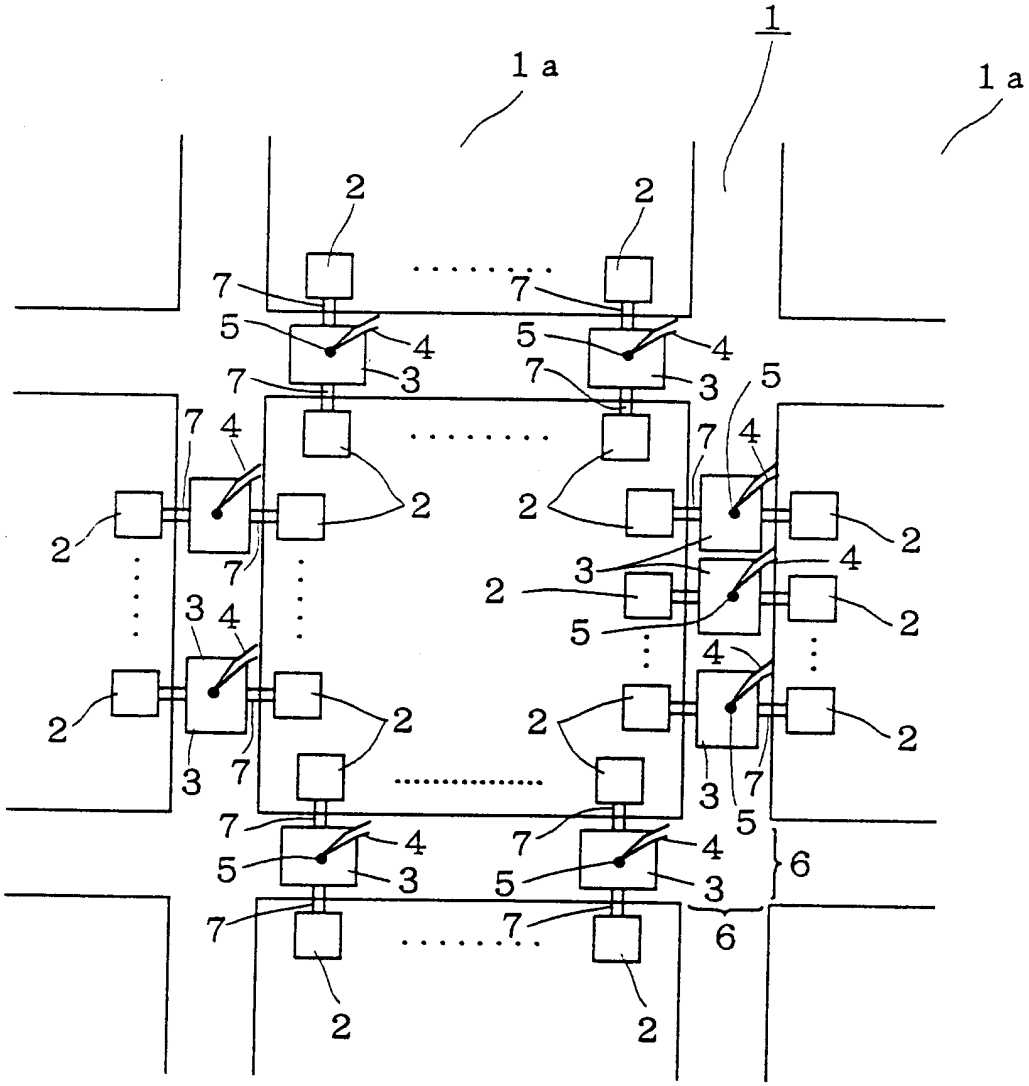
第12圖



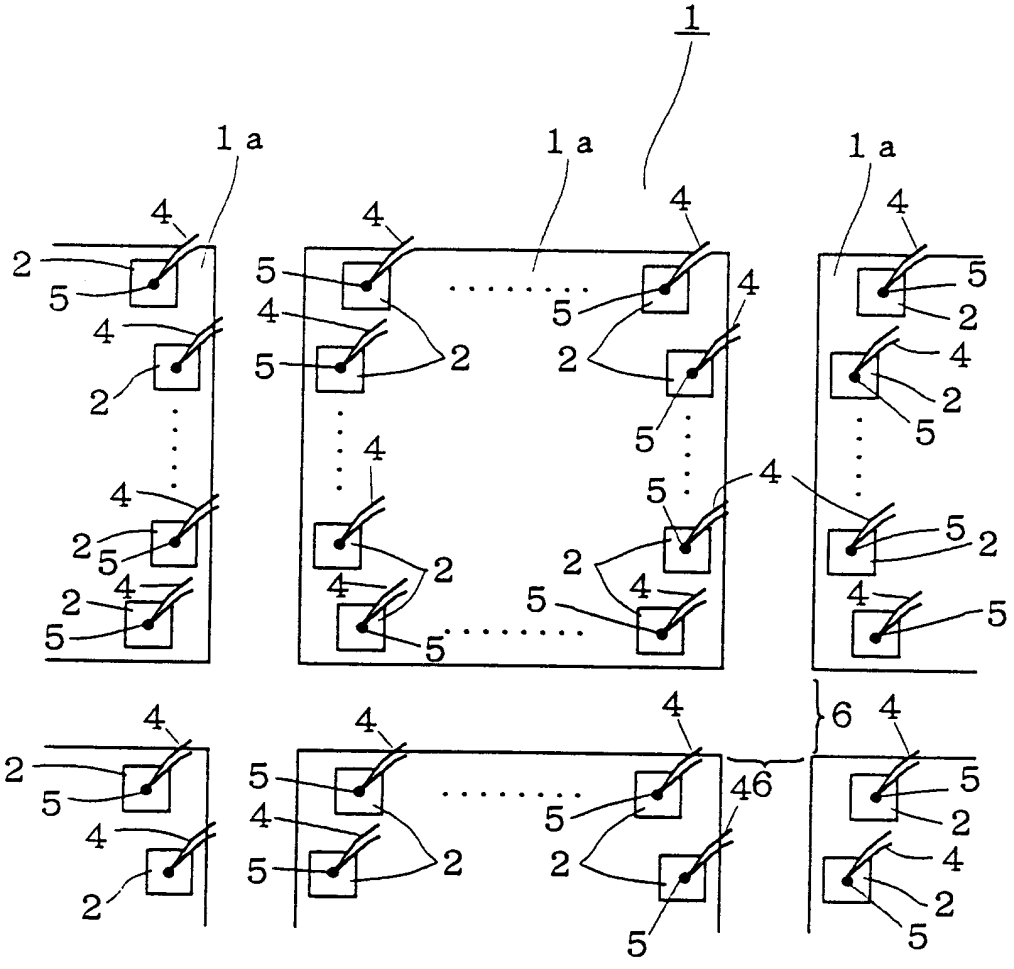
第13圖



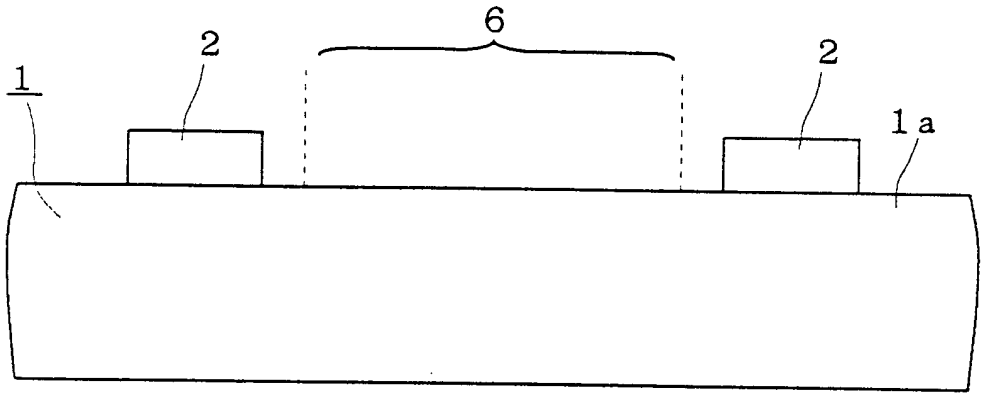
第14圖



第15圖



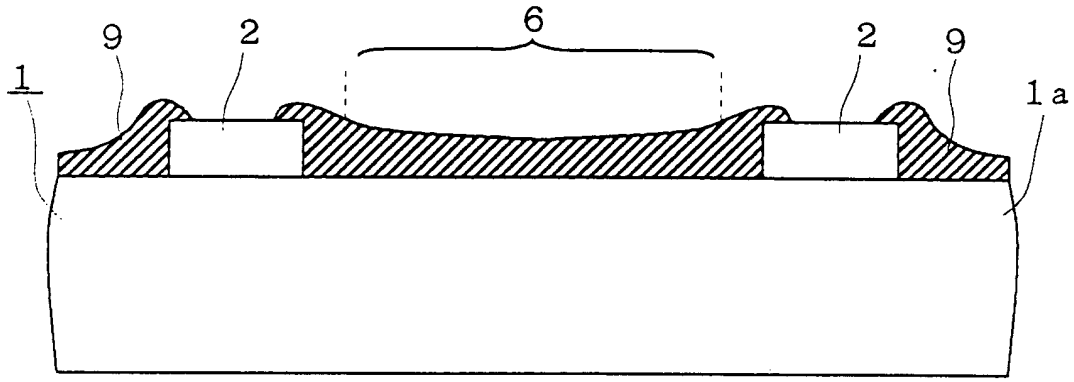
第16圖



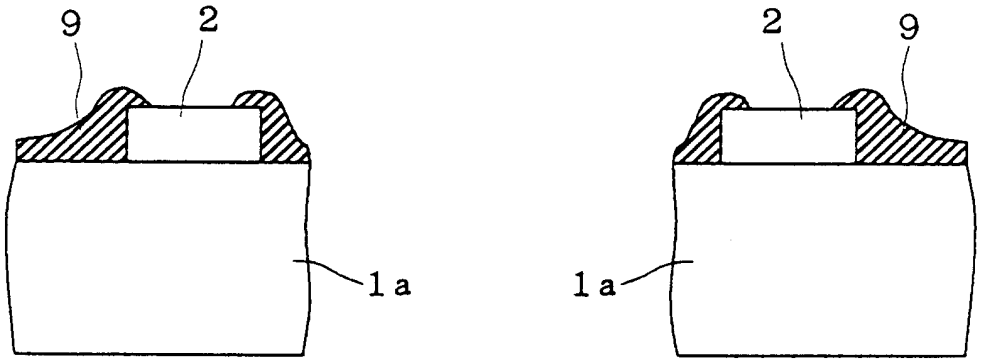
第17圖



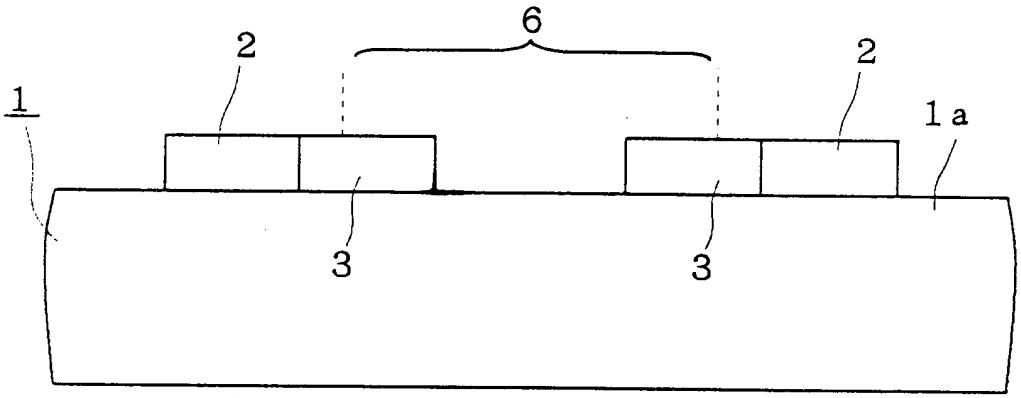
第18圖



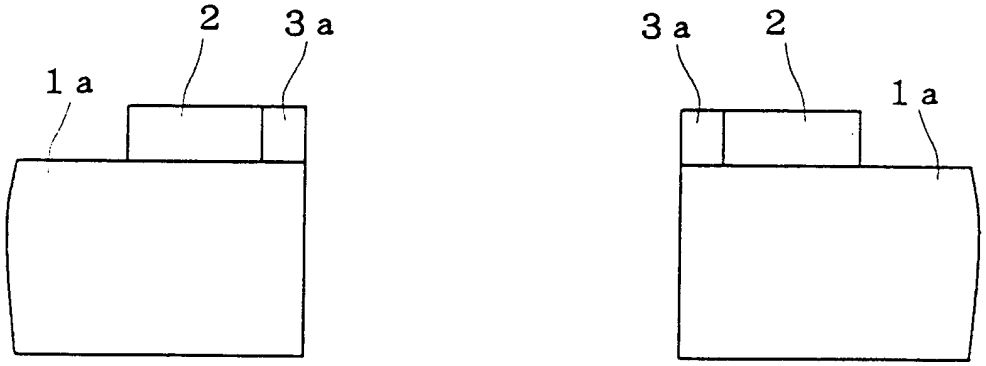
第19圖



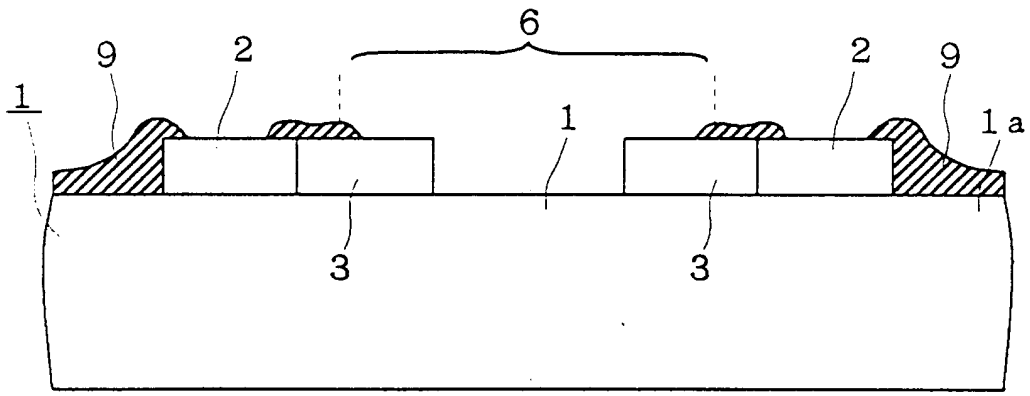
第20圖



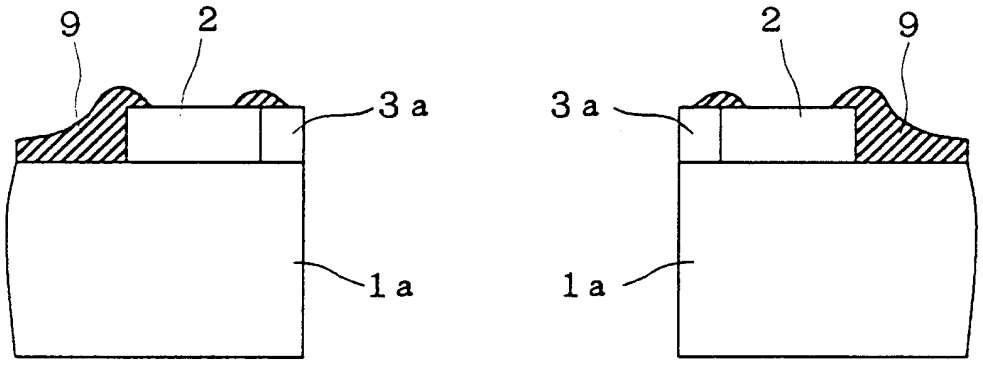
第21圖



第22圖



第23圖



第24圖