(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01G 4/30 (2006.01)
H01G 4/12 (2006.01)

(11) 공개번호 10-2007-0014052
(43) 공개일자 2007년01월31일

(21) 출원번호 10-2006-0069819
(22) 출원일자 2006년07월25일
심사청구일자 없음

(30) 우선권주장 JP-P-2005-00215839 2005년07월26일 일본(JP)

(71) 출원인 다이요 유덴 가부시키가이샤
일본국 도쿄도 다이토구 우에노 6초메 16반 20고

(72) 발명자 니시카와 준
일본국 도쿄도 다이토구 우에노 6초메 16반 20고
미즈노 요우이치
일본국 도쿄도 다이토구 우에노 6초메 16반 20고
오리모 히로카즈
일본국 도쿄도 다이토구 우에노 6초메 16반 20고

(74) 대리인 특허법인 엘엔케이

전체 청구항 수 : 총 3 항

(54) 적층 세라믹 콘덴서 및 그 제조 방법

(57) 요약

본 발명은 유전체층 및 내부 전극층의 두께 및 부품 사이즈에 상관없이 높은 항절 강도를 확보할 수 있는 적층 세라믹 콘덴서를 제공하는 것에 있다.

이를 위해 본 발명은, 복수의 내부 전극층(11b)중 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)으로 실질적으로 산화물화된 것을 이용함으로써, 산화물화된 내부 전극층(11b1)의 항절 강도가 산화물화되지 않은 나머지 내부 전극층(11b)의 항절 강도 보다 각별히 높은 것을 이용하여 적층 세라믹 콘덴서(10) 자체의 항절 강도를 높일 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

유전체층과 내부 전극층을 교대로 겹쳐 쌓은 구성을 구비하는 적층 세라믹 콘덴서에 있어서,

복수의 내부 전극층중 적층 방향 양단에 위치하는 2개의 내부 전극층을 포함하는 적층 방향 양측의 하나 이상의 내부 전극층이 실질적으로 산화물화되어 내부 전극층으로 기능하지 않으며, 산화물화되지 않은 나머지 내부 전극층에 의해 정전 용량이 정해지는 것을 특징으로 하는 적층 세라믹 콘덴서.

청구항 2.

유전체층과 내부 전극층을 교대로 겹쳐 쌓은 구성을 구비하는 적층 세라믹 콘덴서의 제조 방법에 있어서,

유전체 분말을 적어도 포함하는 세라믹 슬러리를 도포하고 건조시켜 미소성 유전체층을 작성하는 스텝과,

금속 분말을 적어도 포함하는 도전 페이스트를 미소성 유전체층의 표면에 인쇄하여 미소성 내부 전극층을 형성하는 스텝과,

미소성 내부 전극층이 형성된 미소성 유전체층을 겹쳐 쌓고 압착하여 미소성 세라믹 칩을 얻는 스텝과,

금속 분말을 적어도 포함하는 도전 페이스트를 미소성 세라믹 칩의 표면에 도포하여 미소성 외부 전극을 형성하는 스텝과,

미소성 외부 전극을 형성한 후의 미소성 세라믹 칩을 적층 방향 양단에 위치하는 2개의 미소성 내부 전극층을 포함하는 적층 방향 양단의 하나 이상의 미소성 내부 전극층이 실질적으로 산화물화되는 조건으로 소성하는 스텝을 구비하는 것을 특징으로 하는 적층 세라믹 콘덴서의 제조 방법.

청구항 3.

제 2 항에 있어서,

상기 소성 스텝에서의 소성 조건은, 미소성 내부 전극층에 포함된 금속과 그 산화물과의 평형 산소 분압 상당의 산소 분압을 갖는 소성 분위기를 포함하는 것을 특징으로 하는 적층 세라믹 콘덴서의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유전체층과 내부 전극층을 교대로 겹쳐 쌓은 구성을 구비하는 적층 세라믹 콘덴서와, 이 적층 세라믹 콘덴서의 제조 방법에 관한 것이다.

적층 세라믹 콘덴서는 유전체층과 내부 전극층이 교대로 적층되며 내부 전극층의 단부가 마주하는 면에 교대로 노출된 구조를 갖는 세라믹 칩과, 내부 전극층의 노출 단부와 도통되도록 세라믹 칩의 마주하는 면에 형성된 한 쌍의 외부 전극을 구비한다.

이 적층 세라믹 콘덴서는 $BaTiO_3$ 등의 유전체 분말을 적어도 포함하는 세라믹 슬러리를 도포하고 건조시켜 미소성 유전체층을 작성하는 스텝과, Ni 등의 금속 분말을 적어도 포함하는 도전 페이스트를 미소성 유전체층의 표면에 인쇄하여 미소성 내부 전극층을 형성하는 스텝과, 미소성 내부 전극층이 형성된 미소성 유전체층을 겹쳐 쌓고 압착하여 미소성 세라믹 칩을 얻는 스텝과, Ni 등의 금속 분말을 적어도 포함하는 도전 페이스트를 미소성 세라믹 칩의 표면에 도포하여 미소성 외부 전

극을 형성하는 스텝과, 미소성 외부 전극을 형성한 후의 미소성 세라믹 칩을 소성하는 스텝을 거쳐 제조된다. 내부 전극층을 구성하는 금속이 비금속(卑金屬)인 경우에는 특성 조정을 위하여 소성 후의 세라믹 칩에 재산화 처리라고 불리우는 열처리를 수행하는 스텝이 필요에 따라 추가 실시된다.

[특허문헌 1] 일본 특개평8-124785호 공보

대용량화 및 소형화가 동시에 요구되는 적층 세라믹 콘덴서에서는 대용량화를 위하여 유전체층 및 내부 전극층의 두께가 μm 오더까지 박층화되어 있으며, 또한 소형화를 위하여 부품 사이즈는 0603(길이 방향의 기준치가 0.6mm이고 폭 및 높이 치수의 기준치가 0.3mm)이나 0402(길이 방향의 기준치가 0.4mm이고 폭 및 높이 치수의 기준치가 0.2mm)라 불리는 사이즈에까지 이르고 있다.

이와 같은 사양의 적층 세라믹 콘덴서는 상기의 두께 및 사이즈가 큰 적층 세라믹 콘덴서에 비해 항절 강도는 낮아, 기판에 실장할 때나 실장 상태에서 응력이 발생하는 경우에 결손이나 파손 등이 발생할 우려가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해소하기 위한 것으로, 그 목적은 유전체층 및 내부 전극층의 두께 및 부품 사이즈에 상관없이 높은 항절 강도를 확보할 수 있는 적층 세라믹 콘덴서와, 이 적층 세라믹 콘덴서를 적합하게 제조할 수 있는 적층 세라믹 콘덴서의 제조 방법을 제공하는 데 있다.

상기 목적을 달성하기 위하여, 본 발명의 적층 세라믹 콘덴서는 유전체층과 내부 전극층을 교대로 겹쳐 쌓은 구성을 구비하는 적층 세라믹 콘덴서에 있어서, 복수의 내부 전극층중 적층 방향 양단에 위치하는 2개의 내부 전극층을 포함하는 적층 방향 양측의 하나 이상의 내부 전극층이 실질적으로 산화물화되어 내부 전극층으로 기능하지 않으며, 산화물화되지 않은 나머지 내부 전극층에 의해 정전 용량이 정해지는 것을 특징으로 한다.

이 적층 세라믹 콘덴서에 따르면, 복수의 내부 전극층중 적층 방향 양단에 위치하는 2개의 내부 전극층을 포함하는 적층 방향 양단의 하나 이상의 내부 전극층으로 실질적으로 산화물화된 것을 이용함으로써, 산화물화된 내부 전극층의 항절 강도가 산화물화되지 않은 나머지 내부 전극층의 항절 강도 보다 각별히 높은 것을 이용하여 적층 세라믹 콘덴서 자체의 항절 강도를 높일 수 있다.

한편, 본 발명의 적층 세라믹 콘덴서의 제조 방법은 유전체층과 내부 전극층을 교대로 겹쳐 쌓은 구성을 구비하는 적층 세라믹 콘덴서의 제조 방법에 있어서, 유전체 분말을 적어도 포함하는 세라믹 슬러리를 도포하고 건조시켜 미소성 유전체층을 작성하는 스텝과, 금속 분말을 적어도 포함하는 도전 페이스트를 미소성 유전체층의 표면에 인쇄하여 미소성 내부 전극층을 형성하는 스텝과, 미소성 내부 전극층이 형성된 미소성 유전체층을 겹쳐 쌓고 압착하여 미소성 세라믹 칩을 얻는 스텝과, 금속 분말을 적어도 포함하는 도전 페이스트를 미소성 세라믹 칩의 표면에 도포하여 미소성 외부 전극을 형성하는 스텝과, 미소성 외부 전극을 형성한 후의 미소성 세라믹 칩을 적층 방향 양단에 위치하는 2개의 미소성 내부 전극층을 포함하는 적층 방향 양단의 하나 이상의 미소성 내부 전극층이 실질적으로 산화물화되는 조건으로 소성하는 스텝을 구비하는 것을 특징으로 한다.

이 적층 세라믹 콘덴서의 제조 방법에 따르면, 상기 적층 세라믹 콘덴서를 적합하고 또한 확실하게 제조할 수 있다.

본 발명의 상기 목적 및 그 이외의 목적과, 구성 특징과, 작용 효과는 이하의 설명과 첨부 도면에 의해 명확해진다.

발명의 구성

도 1은 본 발명을 적용한 적층 세라믹 콘덴서의 사시도, 도 2는 도 1의 a-a선 단면도이다.

도 1에 도시된 적층형 세라믹 콘덴서(10)는 직육면체 형상을 이루는 세라믹 칩(11)과, 이 세라믹 칩(11)의 길이 방향 양단부에 설치된 외부 전극(12, 12)을 구비한다.

세라믹 칩(11)은 $BaTiO_3$ 등의 유전 재료로 이루어진 유전체층(11a)과 Ni, Cu, Sn 등의 비금속 재료로 이루어진 내부 전극층(11b)을 교대로 겹쳐 쌓은 구성을 갖는데, 내부 전극층(11b)의 단부는 세라믹 칩(11)의 마주하는 면(길이 방향의 단면)에 교대로 노출되어 있다. 각 외부 전극(12)은 Ni, Cu, Sn 등의 비금속 재료로 이루어진 다층 구조를 갖는데, 가장 내측의 층이 내부 전극층(11b)의 노출 단부와 도통되어 있다.

복수의 내부 전극층(11b)중 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)은 실질적으로 산화물화되어 내부 전극층으로 기능하지 않는다. 즉, 이 적층 세라믹 콘덴서(10)에서는 복수의 내부 전극층(11b)중 상기 2개의 내부 전극층(11b1)을 제외한 나머지 내부 전극층(11b)에 의해 정전 용량이 정해진다.

이하에 상기 적층 세라믹 콘덴서의 바람직한 제조예에 대하여 설명한다.

먼저, $BaTiO_3$ 분말과, 이 $BaTiO_3$ 분말 중량에 대하여 10중량부가 되도록 저울로 잰 양의 유기 바인더(폴리비닐부티랄)와, 이 $BaTiO_3$ 분말의 중량에 대하여 1:1이 되도록 저울로 잰 양의 에탄올을 주성분으로 하는 유기 용제를 볼 밀로 교반 혼합하여 세라믹 슬러리를 작성한다.

한편, Ni 분말과, 이 Ni 분말의 중량에 대하여 10중량부가 되도록 저울로 잰 양의 셀룰로스계 바인더와, 이 Ni 분말의 중량에 대하여 1:1이 되도록 저울로 잰 양의 터피네올(terpineol)을 주성분으로 하는 유기용제를 볼 밀로 교반 혼합하여 도전 페이스트를 작성한다.

다음으로, 상기 세라믹 슬러리를 PET 등의 필름상에 소정 두께로 도포하고 건조시켜 미소성 유전체층을 작성한다.

다음으로, 상기 도전 페이스트를 미소성 유전체층의 표면에 소정의 두께, 형상 및 패턴으로 인쇄하여 미소성 내부 전극층을 형성한다. 상기의 미소성 유전체층은 복수개 취한 것에 대응하는 크기를 가지며, 미소성 내부 전극층은 취한 수에 대응하는 수가 매트릭스형으로 인쇄된다.

다음으로, 미소성 내부 전극층이 형성된 미소성 유전체층을 겹쳐 쌓아 열압착하고, 얻어진 적층체를 소정의 위치 및 사이즈로 분단하여 미소성 세라믹 칩을 얻는다. 이 미소성 세라믹 칩의 마주하는 면(길이 방향의 단면)에 미소성 내부 전극층의 단부가 교대로 노출되어 있다.

다음으로, 상기 도전 페이스트를 미소성 세라믹 칩의 길이 방향 단면 각각에 도포하여 미소성 외부 전극을 형성한다.

다음으로, 미소성 외부 전극이 형성된 미소성 세라믹 칩을 복수의 미소성 내부 전극층중 적층 방향 양단에 위치하는 2개의 미소성 내부 전극층이 실질적으로 산화물화되는 조건으로 소성한다. 여기서, 소성 조건으로 통상의 산소 분압($PPO_2 < 10^{-9}atm \fallingdotseq 10^{-4}Pa$)보다 높은 산소 분압, 구체적으로는 Ni-NiO의 평형 산소 분압 상당의 산소 분압($PPO_2 = 10^{-8}atm \fallingdotseq 10^{-3}Pa$)을 갖는 소성 분위기를 채용하고, 이 소성 분위기에서 1260℃로 소성한다. 이에 따라, 미소성 내부 전극층을 포함하는 미소성 세라믹 칩과 미소성 외부 전극이 동시 소성된다.

다음으로, 소성 후의 세라믹 칩을 N_2 분위기에서 600~800℃로 재산화 처리를 수행하여 특성 조정을 수행하고, 도 1 및 도 2에 도시된 바와 같은 적층 세라믹 콘덴서를 얻는다.

이상의 제법을 통해 얻은 적층 세라믹(10)을 적층 방향으로 절단하고 절단면을 연마한 후, 이 절단면에서의 O_2의 농도 분포를 EPMA(Electron Probe Micro Analyzer)로 조사한 바, 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)의 O_2 농도는 다른 내부 전극층(11b)에 비해 각별히 높고, 이 2개의 내부 전극층(11b1)은 실질적으로 산화물화되어 내부 전극층으로 기능하지 않는 것이 확인되었다.

즉, 이 적층 세라믹 콘덴서(10)에서는 복수의 내부 전극층(11b)중 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)이 실질적으로 산화물화되어 내부 전극층으로 기능하지 않으므로, 이 2개의 내부 전극층(11b1)을 제외한 나머지 내부 전극층(11b)에 의해 정전 용량이 정해진다.

또한, 상기 2개의 내부 전극층(11b1)이 실질적으로 산화물화되어 있기 때문에 그 항절(抗折) 강도는 산화물화되지 않은 나머지 내부 전극층(11b)에 비해 각별히 높다.

이와 같이 전술의 적층 세라믹 콘덴서(10)에 따르면, 복수의 내부 전극층(11b)중 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)으로 실질적으로 산화물화된 것을 이용함으로써, 산화물화된 내부 전극층(11b1)의 항절 강도가 산화물화되지 않은 나머지 내부 전극층(11b)의 항절 강도 보다 각별히 높은 것을 이용하여 적층 세라믹 콘덴서(10) 자체의 항절 강도를 높일 수 있다. 따라서, 유전체층(11a) 및 내부 전극층(11b)의 두께 및 부품 사이즈가 작은 경우에도 적층 세라믹 콘덴서(10)에 높은 항절 강도를 확보할 수 있으므로, 기판에 실장할 때나 실장 상태에서 응력이 발생하는 경우에도 이 적층 세라믹 콘덴서(10)에 결손이나 파손 등의 문제가 잘 발생하지 않는다.

한편, 전술의 적층 세라믹 콘덴서(10)의 제조 방법에 따르면, 상기 적층 세라믹 콘덴서(10)를 최적이며 또한 확실하게 제조할 수 있다.

또한, 미소성 외부 전극이 형성된 미소성 세라믹 칩을 통상 보다 높은 산소 분압을 갖는 분위기에서 소성하므로, 미소성 유전체층 내에서의 $BaTiO_3$의 입성장을 억제하여, 이 입성장을 원인으로 하는 온도 특성의 저하나 내전압성의 저하 등을 방지할 수 있다.

아울러, 전술의 제조예에서는 Ni-NiO의 평형 산소 분압 상당의 산소 분압($PPO_2 = 10^{-8}atm$)을 갖는 소성 분위기를 이용하여 소성함으로써 실질적으로 산화물화된 2개의 내부 전극층(11b1)을 얻었으나, 승온 속도나 강온 속도 등의 소성 조건을 조정하거나, 재산화 처리 스텝을 대기중에서 수행하는 등에 의해 상기 2개의 내부 전극층(11b1)의 산화물화를 보다 확실하게 수행할 수 있다.

또한, 전술의 적층 세라믹 콘덴서(10) 및 그 제조예에서는 복수의 내부 전극층(11b)중 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)을 실질적으로 산화물화시켰으나, 적층 방향 양단에 위치하는 2개의 내부 전극층(11b1)에 더하여 각각의 내측에 위치하는 2층째의 내부 전극층을 실질적으로 산화물화시키거나, 혹은 각각의 내측에 위치하는 2층째와 3층째의 내부 전극층을 실질적으로 산화물화시켜도 된다. 즉, 적층 방향 양단에 위치하는 2개의 내부 전극층을 포함하는 적층 방향 양측의 하나 이상의 내부 전극층을 실질적으로 산화물화시켜도 상기와 동일한 작용 효과가 얻어진다.

발명의 효과

본 발명에 따르면, 유전체층 및 내부 전극층의 두께 및 부품 사이즈에 상관없이 높은 항절 강도를 확보할 수 있는 적층 세라믹 콘덴서와, 이 적층 세라믹 콘덴서를 적합하게 제조할 수 있는 적층 세라믹 콘덴서의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

도 1은 본 발명을 적용한 적층 세라믹 콘덴서의 사시도.

도 2는 도 1에 도시된 유전체층내의 그레인 배치 형태를 도시한 도면.

도면의 중요부분에 대한 부호의 설명

10...적층형 세라믹 콘덴서

11...세라믹 칩

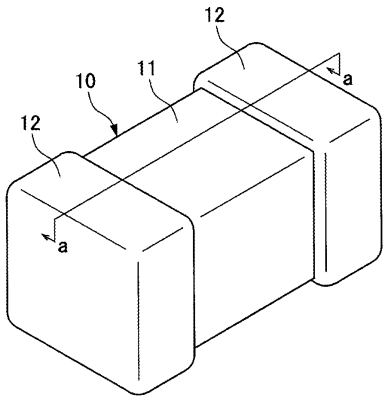
11a...유전체층

11b...내부 전극층

11b1...적층 방향 양단에 위치하는 2개의 내부 전극층

도면

도면1



도면2

