

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 16/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 01806325.X

[45] 授权公告日 2006 年 9 月 27 日

[11] 授权公告号 CN 1277272C

[22] 申请日 2001.3.12 [21] 申请号 01806325.X

[30] 优先权

[32] 2000. 3. 15 [33] US [31] 09/526,239

[86] 国际申请 PCT/US2001/007982 2001.3.12

[87] 国际公布 WO2001/069603 英 2001.9.20

[85] 进入国家阶段日期 2002.9.10

[71] 专利权人 飞索股份有限公司

地址 美国加利福尼亚州

[72] 发明人 赤荻隆男 肯瑞亚·奴燕

李·爱德华·克来芬地

审查员 韩燕_1

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

权利要求书 3 页 说明书 23 页 附图 5 页

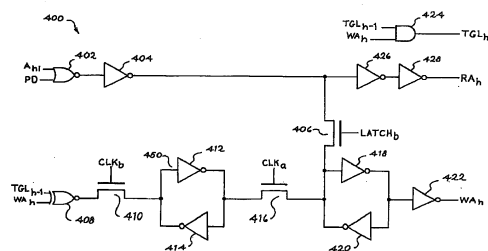
[54] 发明名称

用于多库同时读取和写入操作的装置、闪存及方法

[57] 摘要

本发明提供一种用于多库(或 N 个库)同时操作闪存的地址缓冲和译码装置。在对 N 个库其中一库进行读取操作的期间,可仅对其他 N-1 个库的任何一库进行写入操作。在对 N 个库其中一库进行写入操作的期间,可仅对其他 N-1 个库的任何一库进行读取操作。地址缓冲和译码装置包含有控制逻辑电路(218)、位于 N 个库的每一个库中的地址选择电路、和地址缓冲电路(220)。控制逻辑电路(218)用于产生 N 个读取选择信号以便从 N 个库中选择一个库进行读取操作及 N 个写入选择信号以便从 N 个库中选择另一个库进行写入操作。将各地址选择电路建构成从控制逻辑电路(218)的 N 个读取选择信号的个别其中之一和 N 个写入选择信号的个别其中之一接收。地址缓冲电路(220)用于

同时提供写入地址和读取地址以便存取核心内存单元。各写入和读取地址的第一部分是提供给控制逻辑电路(218)以便产生个别的 N 个读取选择信号和 N 个写入选择信号。各写入和读取地址的个别第二部分是提供给个别的地址选择电路。



1. 一种协助对在闪存内的核心内存单元的N个库进行同步读取和写入操作的地址缓冲和译码装置，在对N个库之中的一库进行读取操作期间，可对其他N-1个库的任何一库进行写入操作；且其中在对N个库其中一库进行写入操作期间，可对其他N-1个库的任何一库进行读取操作，该装置包含有：

用于接收多位输入信号的一缓冲器，其中该多位输入信号包含将被规划到闪存的核心内存单元中的信息；

用于接收多位控制输入信号的另一缓冲器，其中该多位控制输入信号用于致能闪存的写入操作；

控制逻辑电路，用于产生N个读取选择信号以便从N个库中选择一个进行读取操作的库及N个写入选择信号以便从N个库中选择另一个进行写入操作的库；

地址选择电路，位于N个库的每一个中，其中每个地址选择电路被构建成从控制电路中接收N个读取选择信号中相应的一个和N个写入选择信号中相应的一个；和

地址缓冲电路，用于同时提供写入地址和读取地址以便存取核心内存单元，其中各该写入和读取地址的第一部分是提供给控制逻辑电路以便产生个别的N个读取选择信号和N个写入选择信号，而写入和读取地址的个别第二部分则是提供给各地址选择电路。

2. 如权利要求1所述的地址缓冲和译码装置，还包含有：

位于N个库的每一个中的写入操作控制电路，其中每一个写入操作控制电路对应于N个写入选择信号的个别其中一个。

3. 如权利要求2所述的地址缓冲和译码装置，其中该写入操作控制电路执行规划操作。

4. 如权利要求2所述的地址缓冲和译码装置，其中该写入操作控制电路执行删除操作。

5. 如权利要求2所述的地址缓冲和译码装置，其中写入操作控制

电路执行检测操作。

6. 如权利要求 1 所述的地址缓冲和译码装置，还包含有：

位于 N 个库的每一个内的读取数据总线，在此将每一个读取数据总线建构成因应 N 个读取选择信号中相对应的其中一个信号而连接至感测放大器。

7. 如权利要求 1 所述的地址缓冲和译码装置，还包含有：

于 N 个库的每一个内的读取数据总线，在此当 N 个读取选择信号的其中之一显示有读取进入此读取数据总线所在的库时可将此任何一个读取数据总线切换成连接至感测放大器。

8. 如权利要求 1 所述的地址缓冲和译码装置，还包含有：

位于 N 个库的每一个内的写入数据总线，在此将每一个写入数据总线建构成因应 N 个写入选择信号中其相对应的其中一个信号而连接至感测放大器。

9. 一种 N 重元组库同时读取和写入操作闪存，其中在对第 N 个库进行读取操作的期间，可仅对其他 N-1 个库的任何一库进行写入操作；且其中在对第 N 个库进行写入操作的期间，可仅对其他 N-1 个库的任何一库进行读取操作，此 N 重元组同时读取和写入操作闪存包含有：

第一输入缓冲器，用于接收多位输入信号，其中该多位输入信号包含将被规划到该 N 重元组同时操作闪存中的信息；

第二输入缓冲器，用于接收多位控制输入信号，其中该多位控制输入信号用于致能该 N 重元组同时操作闪存的写入操作；控制逻辑电路，用于产生 N 个读取选择信号及 N 个写入选择信号；

地址缓冲电路，用于同时提供写入和读取地址，以存取 N 个库中的核心内存单元；

N 个区域化库电路，其中该电路 1 至 N-1 包含有 N-1 个各自的核心内存单元的库，且在此第 N 个电路包含有：

核心内存单元的第 N 个库；

地址选择电路，其中此地址选择电路根据第 N 个读取选择信号和第 N 个写入选择信号而作出响应；

写入操作控制电路，其中此写入操作控制电路根据第 N 个写入选择信号而作出响应；

写入数据总线，其中此写入数据总线对应于第 N 个写入选择信号；
和

读取数据总线，其中此读取数据总线对应于第 N 个读取选择信号。

10. 一种在内存的多库闪存内执行同时读取和写入操作的方法，此方法包含有：

第一输入缓冲器，用于接收多位输入信号，其中该多位输入信号包含将被规划到闪存的核心内存单元中的信息；

第二输入缓冲器，用于接收多位控制输入信号，其中该多位控制输入信号用于致能闪存的写入操作；

将写入地址的第一部分和读取地址的第一部分提供给对应于核心内存单元的 N 个库的 N 个地址选择电路；

将写入地址的第二部分提供给控制逻辑电路，此写入地址的第二部分定义进行写入操作的一个库；

将读取地址的第二部分提供给控制逻辑电路，此读取地址的第二部分定义进行读取操作的一个库；

将来自控制逻辑电路的 N 个写入选择信号的其中之一提供给 N 个库中进行写入操作的各库；

将来自控制逻辑电路的 N 个读取选择信号的其中之一提供给 N 个库中进行读取操作的选择的另一个库；

将各写入和读取地址的第一部分选通到具有个别的 N 个写入选择信号和个别的 N 个读取选择信号的 N 个库；

将在 N 个库中由写入和读取地址位置的存取数据藉由写入和读取地址的第一部分选通到具有个别的 N 个写入选择信号和个别的 N 个读取选择信号的数据输出和检测电路。

用于多库同时读取和写入操作的装置、闪存及方法

技术领域

本发明涉及半导体内存装置，尤其涉及闪存的多库同时操作。

背景技术

闪存（或快闪 RAM）为非挥发性储存装置的形式，使用以浮动栅极设计的存储单元。将高电压提供至存储单元的输入端以便规划（储存电荷）浮动栅极或删除（移除电荷）浮动栅极。规划的发生是藉由热电子转移而将电荷放置在浮动栅极上，而删除则是利用 Fowler-Nordheim 穿隧使电子贯穿薄电介质材料，故可降低储存在浮动栅极的电荷量。删除一个单元系将此单元的逻辑位准设定为”1”，而规划一个单元系将此单元的逻辑位准设定为”0”。除了规划或删除操作，闪存的操作与随机存取只读存储器（ROM）的操作类似。传统上，包含有闪存储存单元和辅助逻辑电路的闪存芯片是藉由在基体上所制造的数层半导体材料和数个多晶硅与第一及第二金属的内接层组成的。很明显地有许多集成电路的制造技术可应用于此，其所包含的层数可以多几层或少几层。

规划和删除闪存装置的此复数性质所造成的主要挑战是此装置无法提供足够快速的写入存取，因而影响读取存取的速度。举例而言，传统的闪存装置通常在闪存装置进行规划或删除操作的同时并不允许处理器执行读取操作。在大部分的应用中，处理器必须定期询问闪存装置的状态缓存器以便在起始对闪存装置的读取操作前能够侦检规划或删除操作是否结束。

很不幸地，如上所述，用于一般闪存装置的规划和删除的时间周期比使用如动态随机存取内存（”DRAM”）等的传统随机存取主存储器可接受的写入存取时间多几倍。假如此闪存为电气系统内唯一的内存，则其与规划或删除操作相关的长等待时间可能会关断操作系统且，以防止系统在不可接受的长时间周期下工作。有些先前技艺的闪存允

许将删除操作暂停以便解决此难题。删除暂停使得处理器可暂停删除操作以便可先读取另一个区段。可是，此种内存通常在起始读取操作之前仍旧会强制几微秒的暂停等待时间。一般的暂停等待时间是从 0.1 至 20 微秒。

先前的系统，使用多个闪存装置尝试避免操作系统关断。在此种系统中，当处理器对其中一闪存装置进行读取存取的同时其它的闪存可进行规划或删除操作。可是，此系统的成本很高，因为就算单一个闪存装置的容量就可满足此特定电子装置的需求，其仍须使用多个闪存装置。

近来藉由传统闪存，当规划其它数据的同时无法读取核心单元的数据。从系统的观点而言，为了规划闪存的核心单元的数据，微处理器必须传送规划指令给闪存。因为闪存无法同时读取数据和规划数据，所以必须将规划指令储存在闪存的外部。

除此之外，与执行读取操作相比，规划和删除闪存所需的电压较正常电压高。当尝试应用在规划/删除时能够同时进行读取的功能时，使用较正常电压高的电压将是一大挑战。此挑战的困难为如何分配规划和删除操作所需的高电压和读取操作所需的正常电压，及如何处理因为在装置内使用高电压而在读取检测输出端所感测的噪声。再者依据其应用，可能须使用额外逻辑电路，此将导致更多的复杂性。

在最近几年，为了处理此问题，已经提出双库闪存。在由 Chen 等人提出的美国专利第 5,867,430 号和由 Van Buskirk 等人提出的美国专利第 5,847,998 号中揭露能够同时执行读取和写入操作的双库结构，在此提出以供参考。双库闪存可在规划数据的同时读取其它数据（亦即能够同时操作），所以可以大大简化此闪存系统。

最近，双库闪存系统尽管有上述优点，但却变的很复杂。有关使用多库闪存的应用在寻址和数据概念的设计上已经接受许多挑战。希望能够采用更具弹性和更有效率的设计的闪存，其能够同时多库操作。为每一个库开发个别的且局部的结构和电路将有助于将同时操作结构从双库或两个库延伸至 N 个库。

因此，在此需要的是可以延伸及有弹性的多库结构，其能够同时操作，也就是说，能够同时进行读取和写入（规划或删除）操作。

发明内容

为了方便说明在此提出闪存的多库，同时读取和写入操作范例实施例。提出用于协助同时读取和写入在内存中的核心内存单元的 N 个库的地址缓冲和译码结构的实施例。在对 N 个库的其中之一进行读取操作的期间，仅能对其他 $N-1$ 个库的任何一个进行写入操作。在对 N 个库的其中之一进行写入操作的期间，仅能对其他 $N-1$ 个库的任何一个进行读取操作。地址缓冲和译码结构包含有，控制逻辑电路、位于 N 个库的每一个中的地址选择电路、和地址缓冲电路。控制逻辑电路用于产生 N 个读取选择信号以便选择 N 个库中用于读取操作的库及 N 个写入选择信号以便选择 N 个库中用于写入操作的另一个库。将每一个地址选择电路建构成从控制逻辑电路接收 N 个读取选择信号的个别的其中一个和 N 个写入选择信号的个别的其中一个。地址缓冲电路用于同时提供写入地址和读取地址以便存取核心内存单元。将写入和读取地址的个别第一部分提供给控制逻辑电路以便产生个别的 N 个读取选择信号和 N 个写入选择信号。将写入和读取地址的个别的第二部分提供给个别的地址选择电路。

在此亦提供 N 个重元组(tuple)库同时操作的闪存的实施例。在对 N 个库的其中之一进行读取操作的期间，仅能对其他 $N-1$ 个库的任何一个进行写入操作。在对 N 个库的其中之一进行写入操作的期间，仅能对其他 $N-1$ 个库的任何一个进行读取操作。此内存包含有控制逻辑电路、地址缓冲电路、和 N 个局部化库电路。控制逻辑电路用于产生 N 个读取选择信号及 N 个写入选择信号。 N 个局部化库电路的电路 1 至 $N-1$ 包含有各核心内存单元的库。第 N 个电路包含有内存单元的第 N 个库、地址选择电路、写入操作控制电路、写入数据总线、读取数据总线。地址选择电路是依据第 N 个读取选择信号和第 N 个写入选择信号而动作。写入操作控制电路是依据第 N 个写入选择信号而动作。写入数据总线反应于第 N 个写入选择信号。读取数据总线是依据第 N 个读取选择信号而动作。

提出在多库闪存中同时执行数据的写入和读取的方法的实施例。写入地址的第一部分和读取地址的第一部分提供给对应于核心内存单元 N 个库的 N 个地址选择电路。将写入地址的第二部分提供给控制逻辑

辑电路。写入地址的第二部分定义进行写入操作的一个库。将读取地址的第二部分提供控制逻辑电路。读取地址的第二部分定义进行读取操作的一个库。将来自控制逻辑电路的 N 个写入选择信号之一提供给 N 个库中进行写入操作的各库。将来自控制逻辑电路的 N 个读取选择信号之一提供给 N 个库中进行读取操作的各库。将写入和读取地址的第一部分与其个别的 N 个写入选择信号和个别的 N 个读取选择信号一起传送至 N 个库。在 N 个库中藉由写入和读取地址的第一部分而在此写入和读取地址的位置中存取的数据是与个别的 N 个写入选择信号和 N 个读取选择信号一起传送至数据输出和检测电路。

在一个实施例中，一种协助对在闪存内的核心内存单元的 N 个库进行同步读取和写入操作的地址缓冲和译码装置，在对 N 个库中的一库进行读取操作期间，可对其他 $N-1$ 个库的任何一库进行写入操作；且其中在对 N 个库其中一库进行写入操作期间，可对其他 $N-1$ 个库的任何一库进行读取操作，该装置包含有：用于接收多位输入信号的一缓冲器，其中该多位输入信号包含将被规划到闪存的核心内存单元中的信息；用于接收多位控制输入信号的另一缓冲器，其中该多位控制输入信号用于致能闪存的写入操作；控制逻辑电路，用于产生 N 个读取选择信号以便从 N 个库中选择一个进行读取操作的库及 N 个写入选择信号以便从 N 个库中选择另一个进行写入操作的库；地址选择电路，位于 N 个库的每一个中，其中每个地址选择电路被构建成从控制电路中接收 N 个读取选择信号中相应的一个和 N 个写入选择信号中相应的一个；和地址缓冲电路，用于同时提供写入地址和读取地址以便存取核心内存单元，其中各该写入和读取地址的第一部分是提供给控制逻辑电路以便产生个别的 N 个读取选择信号和 N 个写入选择信号，而写入和读取地址的个别第二部分则是提供给各地址选择电路。

在另一实施例中，一种 N 重元组库同时读取和写入操作闪存，其中在对第 N 个库进行读取操作的期间，可仅对其他 $N-1$ 个库的任何一库进行写入操作；且其中在对第 N 个库进行写入操作的期间，可仅对其他 $N-1$ 个库的任何一库进行读取操作，此 N 重元组同时操作闪存包含有：第一输入缓冲器，用于接收多位输入信号，其中该多位输入信

号包含将被规划到该 N 重元组同时操作闪存中的信息；第二输入缓冲器，用于接收多位控制输入信号，其中该多位控制输入信号用于致能该 N 重元组同时操作闪存的写入操作；控制逻辑电路，用于产生 N 个读取选择信号及 N 个写入选择信号；地址缓冲电路，用于同时提供写入和读取地址，以存取 N 个库中的核心内存单元；N 个区域化库电路，其中该电路 1 至 N-1 包含有 N-1 个各自的核心内存单元的库，且在此第 N 个电路包含有：核心内存单元的第 N 个库；地址选择电路，其中此地址选择电路根据第 N 个读取选择信号和第 N 个写入选择信号而作出响应；写入操作控制电路，其中此写入操作控制电路根据第 N 个写入选择信号而作出响应；写入数据总线，其中此写入数据总线对应于第 N 个写入选择信号；和读取数据总线，其中此读取数据总线对应于第 N 个读取选择信号。

在又一实施例中，一种在内存的多库闪存内执行同时读取和写入操作的方法，此方法包含有：第一输入缓冲器，用于接收多位输入信号，其中该多位输入信号包含将被规划到闪存的核心内存单元中的信息；第二输入缓冲器，用于接收多位控制输入信号，其中该多位控制输入信号用于致能闪存的写入操作；将写入地址的第一部分和读取地址的第一部分提供给对应于核心内存单元的 N 个库的 N 个地址选择电路；将写入地址的第二部分提供给控制逻辑电路，此写入地址的第二部分定义进行写入操作的一个库；将读取地址的第二部分提供给控制逻辑电路，此读取地址的第二部分定义进行读取操作的一个库；将来自控制逻辑电路的 N 个写入选择信号的其中之一提供给 N 个库中进行写入操作的各库；将来自控制逻辑电路的 N 个读取选择信号的其中之一提供给 N 个库中进行读取操作的选择的另一个库；将各写入和读取地址的第一部分选通到具有个别的 N 个写入选择信号和个别的 N 个读取选择信号的 N 个库；将在 N 个库中由写入和读取地址位置的存取数据藉由写入和读取地址的第一部分选通到具有个别的 N 个写入选择信号和个别的 N 个读取选择信号的数据输出和检测电路。

前述对所提出的最佳实施例所进行之一系列说明仅是作为说明用。此节的说明不应该视为下列申请专利范围的限制，其仅用于定义

本发明的目的。

附图说明

图 1 显示由寻址观点所呈现的同步操作闪存装置的方块图；

图 2 显示由数据操作观点所呈现的同步操作闪存装置的方块图；

图 3 显示双端口地址缓冲器的范例实施例的电路图；

图 4 显示用于产生各库的读取和写入操作选择信号的控制逻辑电路的范例实施例的电路图；

图 5 显示仅局部应用于内存单元的库 n 的地址选择电路 n 的第一实施例范例的电路图；

图 6 显示仅局部应用于内存单元的库 n 的地址选择电路 n 的第二实施例范例的电路图。

具体实施方式

在最近几年，已提出可同步读取和写入的双库闪存。由 Chen 等人提出标题为“在非挥发性内存中能够同时读取和写入的库结构”的第 5,867,430 号美国专利和由 Van Buskirk 提出标题为“能够同时进行读取和写入操作的非挥发性内存矩阵”的第 5,847,998 号美国专利中已经说明过这些内存的某些范例，在此提出以供参考。这些专利说明能够同时进行读取和写入操作的双库闪存结构的应用和操作。双库闪存能在规划数据的同时读取其它数据（例，能够同时操作），所以可将闪存系统大大简化。

最近，除了这些优点，双库闪存系统已经变得越来越复杂。与使用多库闪存的寻址和数据相关的观点所遭遇的设计挑战逐渐增加。

在此提出更有弹性和效率设计的闪存，能够多库同时操作。在此所描述的实施例提供区域至各库的寻址、地址选择、操作控制信号和逻辑、及存取电路。于内存的核心单元区域至各库的独立结构使得同时操作结构可从双库或两个库延伸至 N 个库。

在此所描述的实施例中提供可延伸及有弹性的多库结构，其能够同时操作，也就是说，其允许同时进行读取和写入操作。一般而言，

写入操作即所谓的规划或删除操作。

图 1 显示闪存芯片的多库同时操作闪存 200 的寻址观点方块图。多库同时操作闪存 200 的闪存寻址结构范例包含有地址缓冲器方块 220、状态机和控制逻辑电路（逻辑电路）218、写入致能($\overline{WE}$)缓冲器 228、 D_{IN} 缓冲器 224、和四个内存单元库，其分别为对应于相关地址选择电路方块 ASEL0 210、ASEL1 212、ASEL2 214、和 ASEL3 216 的库 0 202、库 1 204、库 2 206、库 3 208。

地址缓冲器方块 220 提供在读取地址位线或数据总线 232 上的读取地址及在写入地址位线或数据总线 234 上的写入（可使用的规划或删除）地址以供地址选择电路方块 210、212、214、216 选择用。地址缓冲器方块 220 亦与逻辑电路连接。为简化说明，在图 1 中仅显示一个读取地址线 232 和一个写入地址线 234。当然，在内存 200 中最好使用多位线 232、234。用于传送或携带读取或写入地址的位的位线 232、234 的数目通常是由所使用的读取和写入地址数决定。

将藉由一次参考一个读取地址和一个写入地址而说明闪存 200。应该注意的是在其它实施例中，地址缓冲器方块 220 并不仅局限于此种配置且是能够同时提供多读取地址和/或多写入地址给地址选择电路方块 210、212、214、216。此多重地址通常意味着需要额外的位线 232、234。

地址缓冲器方块 220 接收多位地址输入信号 222。最好，由闪存 200 的外部资源从外侧将地址输入信号 222 提供给地址缓冲器方块 220。可是，地址输入信号 222 亦可以是由位于闪存芯片上或在闪存寻址结构内的地址产生器（未显示）产生。最好，地址缓冲器方块 220 包含有由逻辑电路 218 控制的地址排序电路。最好，地址排序电路在写入期间可用于产生排序地址。在另一个实施例中，地址序列发生器可以是逻辑电路 218 的一部分。

逻辑电路 218 能够提供复数个信号给闪存 200。由逻辑电路 218 所提供的信号最好包含有规划和删除相关控制信号（未显示）及操作选择信号。

D_{in} 缓冲器 224 接收多位输入信号 D_{in} 226。多位输入信号 D_{in} 226 最好能将读取和写入操作指令提供给位于逻辑电路 218 内的指令缓存器。

输入信号 $D_{in}226$ 是储存在 D_{in} 缓冲器 224 内且在需要时提供给逻辑电路 218。输入信号 $D_{in}226$ 为在规划操作期间对闪存 200 的核心内存进行规划所需的讯息。

写入致能 ($\overline{WE}$) 缓冲器 228 接收多位控制信号 $\overline{WE}230$ 。亦称为写入致能的控制输入 $\overline{WE}230$ 是由写入致能缓冲器 228 储存且提供给逻辑电路 218。控制输入 $\overline{WE}230$ 用于致能闪存的写入操作。

图 1 显示由寻址观点所呈现的闪存 200 的方块图。在图 1 中显示作为范例的四个库，库 0 202、库 1 204、库 2 206、库 3 208。可了解的是用于多库同时操作的闪存寻址结构并不是仅限于内存单元的四个库。局部寻址和译码结构的优点为此闪存 200 的寻址结构是可延伸的且可延伸至满足任何内存单元的库数目，也就是说，内存单元的“N”库（在此 $N=4$ ）。此 N 个库的每一个均可作为库 n。因此，虽然图 1 为了简化说明仅显示四个库，但是如用于闪存 200 同时多库操作的寻址结构的闪存寻址结构实施例并不是仅限于四个库。

内存单元的四个库，库 0 202、库 1 204、库 2 206、库 3 208 为闪存单元矩阵(或组)。然而，其它非挥发性内存亦能用于其它实施例。最好，库 202、204、206、208 由字然后由区段组构成，并且可以是字节或字可寻址。

内存单元的四个库，库 0 202、库 1 204、库 2 206、库 3 208 均包含有局部用的地址译码逻辑（未显示在图 1 中）。举例而言，用于库 0 202（库 1 204、库 2 206、库 3 208）的地址译码逻辑包含有 X 译码器（未显示）和 Y 译码器（未显示）。X 译码器最好包含有字符线译码器和区段译码器。字符线译码器和区段译码器从地址选择电路方块 $ASEL0\ 210$ （ $ASEL1\ 212$ 、 $ASEL2\ 214$ 、和 $ASEL3\ 216$ ）接收地址位。Y 译码器最好包含有位线译码器和 Y 选通线。位线译码器从 $ASEL0\ 210$ （ $ASEL1\ 212$ 、 $ASEL2\ 214$ 、和 $ASEL3\ 216$ ）接收地址位。X 和 Y 译码器在半导体内存，尤甚者在闪存的领域中是众所周知。在由 Chen 等人提出的美国专利第 5,867,430 号和由 Van Buskirk 等人提出的美国专利第 5,847,998 号中描述某些快闪记忆体译码器的应用实例，在此提出以供参考。

在图 1 中，逻辑电路 218 提供一连串的选择信号给地址选择电路

方块 210、212、214、216。图 1 中所显示的这一串选择信号为 0RSEL、0WSEL、1RSEL、1WSEL、2RSEL、2WSEL、3RSEL 和 3WSEL。选择信号的功能之一为选择由地址缓冲器方块 220 所提供在位线 232 上传送的读取地址或在位线 234 上传送的写入地址，或读取地址或写入地址的各位。

在利用地址选择电路方块 210（212、214、216）选择适当的读取或写入多位地址之后，地址是以图 1 中信号 236（238、240、242）的方式经由介于行和列之间的译码电路（未显示）而提供给内存单元库 0 202（库 1 204、库 2 206、库 3 208）的库。

因为在内存中特殊核心单元的选择需要相对应的多位数字地址，所以值得注意的是闪存 200 的地址通常为多位的数字字符信号。可是，在此最佳实施例中，将参考多位数字地址的特殊位说明其电路。如何将以此电路为例而说明的概念应用且延伸至多位应用对本领域技术人员而言将是显而易见的。那些本领域技术人员将了解这些应用可包含有平行应用，其包含有将用于单一位的电路依需要为多位地址的每一位进行平行复制。其它的应用可能包含有将多地址位的全部或部分同时提出以便达到所需结果或功能。

图 1 的地址输入信号 222 为外部输入的多位地址，此地址包含图 3 的地址位 Ahi(将说明于下)。地址最好是从芯片外输入至闪存 200。多位地址信号 222 可包含有关于读取和写入操作的寻址讯息。在芯片外的使用者最好提供在读取和写入操作时使用的地址。地址输入信号 222 可以是 20 个位，举例而言，随着内存单元（在图 1 中 $N=4$ ）的库数目可能具有两个或多个位，可用于致动逻辑电路 218 中的库选择逻辑。

地址缓冲方块 220 包含有复数个地址缓冲器。各地址缓冲器最好是双埠，也就是说，每一个地址缓冲器均具有两个地址输出，一个输出用于读取地址，而另一个则用于写入地址。最好，读取地址输出用于读取地址的单一一位，而写入地址输出为用于写入地址的单一一位。在其它实施例中，地址缓冲方块 220 亦可输出多个读取地址（此读取地址本身为多位）及多个写入地址（此写入地址本身为多位）。

来自地址缓冲方块 220 的读取地址位和写入地址位最好是由地址输入信号 222 控制，可以是起始或直接控制。最好是将写入地址位锁

存在地址缓冲方块 220 内且以特定操作命令增加。

内存单元的每一个库 n (在此为库 0 202、库 1 204、库 2 206、库 3 208) 均具有相关的地址选择电路方块 $ASELn$ (在此 $n=0, 1, 2, 3$)。各相关地址选择电路方块 $ASELn$ 选择用于读取的地址位或用于写入的地址位以便依据由逻辑电路 218 所产生的选择信号 $nRSEL$ 和 $nWSEL$ 而提供所需地址信号给每个库 n 。假如 $nRSEL$ 为高位准, 则选择库 n 用于读取且将读取地址位提供给库 n 。假如 $nWSEL$ 为高位准, 则选择库 n 用于写入且将写入地址位提供给库 n 。如上所述, 逻辑电路 218 产生选择信号 $nRSEL$ 和 $nWSEL$ 。

图 2 的方块图以数据操作观点显示闪存芯片的多库同时操作闪存 200。多库同时操作闪存 200 的闪存操作结构范例包含有内存单元的四个库, 库 0 202、库 1 204、库 2 206、库 3 208, 其分别对应于规划/删除控制电路 PECC0 244、PECC1 246、PECC2 248、PECC3 250、 n 沟道 MOSFET 晶体管 252、254、256、258、262、264、266、逻辑电路 218、读取专用感测放大器方块 268 ("S/A READ"), 和检测专用感测放大器方块 270 ("S/A VERIFY")。放大器方块 268 和 270 均包含有一个或多个感测放大器以便感测来自闪存 200 的库 202、204、206 和 208 的数据。

读取感测放大器方块 268 是经由各 n -沟道 MOSFET 晶体管 254、258、262、266 而分别耦合至内存单元的各个库, 库 0 202、库 1 204、库 2 206、库 3 208。内存单元的每一个库都有其专属的读取晶体管。当然, 在闪存 200 中亦包含有其它专属的读取内存 (未显示)。藉由在栅极输入端施加可分别应用于特定库的读取选择信号, $0RSET$ 、 $1RSET$ 、 $2RSET$ 、和 $3RSET$ 而开启(例, 导通)和关断各读取晶体管 254、258、262、266。举例而言, 读取感测放大器方块 268 当选择信号 $0RSET$ 为高位准且读取晶体管 254 开启和导通时能够读取库 0 202 的核心单元的值。读取感测放大器方块 268 从闪存 200 的核心单元读取讯息且从闪存 200 将此数据输出。将如输出缓冲器、数据锁存器、或其它数据读取机构排列成可同时使用或分开使用以便适当地协助读取感测放大器方块 268 于输出核心数据。这些机构和/或配置并没有显示在图 2 中, 但最好是包含在闪存 200 中。当然, 可了解的是在其它实施例中, 数

据输出机构和/或配置可以放置在闪存 200 外部。依据描述于此的实施例，不须为每个库分别设置读取感测放大器电路。

检测感测放大器方块 270 是经由各 n-沟道 MOSFET 晶体管 252、256、260、264 而分别耦合至内存单元的各个库，库 0 202、库 1 204、库 2 206、库 3 208。内存单元的每一个库均有其专属的检测晶体管用于规划或删除操作。当然，在闪存 200 中亦包含有其它专属的检测内存（未显示）。藉由在栅极输入端施加可分别应用于特定库的写入选择信号，0WSET、1WSET、2WSET、和 3WSET 而开启(例，重导通状态)和关断各检测晶体管 252、256、260、264。举例而言，检测感测放大器方块 270 当写入选择信号 3WSET 为高位准且检测晶体管 264 为开启和导通时能够检测库 0 208 核心单元的值。检测感测放大器方块 270 感测来自闪存 200 的核心单元的讯息且将此数据提供给状态机和控制逻辑电路 218 以供检测及决定闪存 200 的下一个状态。依据描述于此的实施例，不须为每个库分别设置检测感测放大器电路。

如图 1 中所显示，图 2 中的状态机和控制逻辑电路 218（逻辑电路 218）能够提供复数个信号给闪存芯片，其包含有与整体规划和删除相关的控制信号（包含有图 2 中所显示”PGM”，”ERS”，和”VERIFY”）及读取用的地址选择信号 0RSEL、1RSEL、2RSEL、3RSEL 和写入用的地址选择信号 0WSEL、1WSEL、2WSEL、3WSEL。”VERIFY”信号用于控制检测感测放大器方块 270。

闪存 200 的四个库的数据操作结构均具有相关的个别规划/删除控制电路 PECC0 244、PECC1 246、PECC2 248、PECC3 350。各库局部所有的规划/删除控制电路最好包含有用于规划操作的电源供应器、用于删除操作的电源供应器、用于检测操作的电源供应器、及规划和删除相关电路和其它适当的电源供应器。当然，应该了解的是部分或所有的电源供应器及规划和删除相关电路可以位于规划/删除控制电路的外部。局部用的规划/删除控制电路 PECC0 244、PECC1 246、PECC2 248、PECC3 250 是由逻辑电路 218 所提供的整体性信号 PGM 和 ERS 控制。

规划和删除相关电路最好包含有 AND 栅极控制。本领域技术人员均已知，AND 门只有在其所有输入均为高位准或 1 时其输出才为高位

准或 1。在最佳实施例中，一个或多个 AND 门控制规划相关电路，因而使得 PMG 信号输入至此一个或多个 AND 门，并且当 PMG 信号是低位准时，驱动任何 AND 门的输出为低位准。以此方式，来自逻辑电路 218 的 PMG 信号可控制规划电路。最好，一个或多个 AND 门控制删除相关电路，以使得 ERS 信号输入至一个或多个 AND 门，并且当 ERS 信号是低位准时，驱动任何 AND 门的输出为低位准。以此方式，ERS 信号可控制删除电路。

再者，规划和删除电路最好是由具有选择信号输入和 PMG 或 ERS 输入的 AND 逻辑门致能。也就是说，只有当选择信号 nWSET 与整体控制信号 PGM 的 AND 结果为高位准时，才能在库 n 上执行规划操作，且仅能操作用于库 n 的规划电路。同样地，只有当选择信号 nWSET 和整体控制信号 ERS 的 AND 结果为高位准时，才能在库 n 上执行删除操作，且仅能操作用于库 n 的删除电路。

考虑以寻址观点而显示在图 1 中和以数据操作观点而显示在图 2 中的闪存 200，应该可以了解在各库周围及包含各库的电路是以传统闪存的局部化观点操作。也就是说，假如将各局部化库电路的操作视为与其它局部化库电路的操作隔离，则其操作与传统闪存类似。当然，地址缓冲器方块 220、逻辑电路 218、和感测放大器电路 268、270 可直接执行整体性的寻址、译码、数据感测和检测、及操作控制。

利用各读取和写入选择信号控制各晶体管，则来自图 2 的库 202、204、206、208 的数据可经由这些晶体管而传输至读取感测放大器电路 268 或检测感测放大器电路 270。感测放大器电路 268 和 270 是与逻辑电路 218 互相连接。当将来自其中一库的数据传输至读取感测放大器电路 268 时，来自其它库的数据可传输至检测感测放大器电路 270。同样地，当将来自其中一库的数据传输至检测感测放大器电路 270 时，来自其它库的数据可传输至读取感测放大器电路 268。检测感测放大器电路 270 的输出是传送至逻辑电路 218，其用于检测是否对某特定字节进行规划或删除。

I/O 缓冲器最好用于暂存进出闪存 200 的数据。当在其中一库上进行读取时，输出数据是从读取感测放大器电路 268 传输至 I/O 缓冲器。在删除或规划程序期间，逻辑电路 218 最好将状态讯息传输至 I/O 缓冲

器以便在外侧的处理器可以获得闪存 200 进行删除或规划的状态。

当其中一库进行规划时，可为了读取操作而存取任何其它的库。举例而言，在规划库 0 202 之一字节时，逻辑电路 218 提供致能用的写入选择信号 0WSET 给 ASEL0 210 以便从地址缓冲器 220 选择用于与在库 0 202 的 X 和 Y 译码器（未显示）通讯的写入地址。再者，当完成规划时，逻辑电路 218 储存来自 I/O 缓冲器的将进行规划的数据字节以供检测。库 0 202 的输出经由晶体管 252 而传送至检测感测放大器电路 270 以便与所储存的输入数据相比较。在起始库 3 208 的读取操作期间，逻辑电路 218 在储存将规划数据之后最好同时提供主动的读取选择信号 3RSET 至 ASEL3216 以从在库 3 208 的 X 和 Y 地址译码器（未显示）通讯的地址缓冲器方块 220 选择读取地址。经由晶体管 266 将库 3 208 的输出传送至读取感测放大器电路 268。读取感测放大器电路 268 的输出最好传送至 I/O 缓冲器及数据总线（未显示）。

同样地，在删除库 2 206 中之一区段的期间，逻辑电路 218 将提供主动写入选择信号 2WSET 至 ASEL2 214 以便从位于地址缓冲器方块 220 内的地址排序电路选择写入地址。将地址排序电路应用循环通过于特定区段内的所有字节以确认每一字节均已规划。其后将此区段全部删除。在删除之后，利用地址排序电路产生地址以便检测此删除区段的每一字节。当库 2 206 已删除且 ASEL2 214（在逻辑电路 218 的方向）正从地址缓冲方块 220 的地址排序电路已选择一个写入地址的同时，可利用 nRSET 在任何其它库中执行读取操作以便从地址缓冲方块 220 选择读取地址而非从地址排序电路选择一个写入地址。在对其中一库进行删除操作的检测期间，逻辑电路 218 将利用检测感测放大器电路 270 检测数据，同时来自任何其它库的读取数据将传输至读取感测放大器电路 268。因此，每一库均具有写入位和读取位的输入地址路径及可藉由读取和写入选择信号 nREL 和 nWSEL 选择的检测及读取位的输出数据路径，所以在读取任何库的同时可写入任何其它库。

图 3 显示依据多库同时操作闪存 200 的双端口地址缓冲器 400 的简化逻辑电路图。图 1 的地址缓冲方块 220 最好包含有一串的地址缓冲器 400 以便在位线 232 上输出读取专用地址的地址位 RAh 和在位线 234 上输出写入专用地址的地址位 WAh。地址缓冲器 400 包含有 NOR

门 402、异-非或（exclusive-NOR）逻辑门或等效逻辑门 408、第一锁存器 450、第二锁存器 460、反向器 404、422、426、428、做为开关用的 n-沟道晶体管 406、410、416、和 AND 门 424。第一锁存器 450 最好包含一对的反向器 412、414。第二锁存器 460 最好包含一对的反向器 418、420。

传统地址缓冲器方块有关如内存 200 等的多库同时操作内存的缺点之一为一次仅输出一个对应于一个操作的地址讯息。在读取操作期间，输出用于读取的地址位，同时在写入操作期间，是藉由地址缓冲器输出用于写入（规划或删除）的地址位。

在双端口地址缓冲器 400 中，读取地址的输出和写入地址的输出可依据提供给缓冲器 400 的控制信号而单独和同时操作。

地址缓冲器 400 接收地址位输入 Ahi。地址位输入 Ahi 最好是图 1 中从外部所提供的地址输出信号 222 的一连串位。第一和第二锁存器 450、460 用于储存地址位且为地址序列发生器之一部分。地址序列发生器是由数个地址缓冲器 400 串联连接而成的。

NOR 门 402 接收地址位输入 Ahi 和输入信号“PD”。输入信号“PD”为电源断电时的保护信号，用于在电源断电时保护地址缓冲方块 220。此电源断电时的保护信号最好同时使时序缓冲电路禁能。如本领域技术人员所已知的，NOR 门的输出仅当所有 NOR 门的输入为零时其输出才为 1。因此，当信号 PD 变成高位准时，例在电源断电期间，NOR 门 402 的输出不管 Ahi 的值为何，其都为低位准。也就是说，RAh 和 WAh 是不受 Ahi 和地址缓冲器 400 的影响，故因此可将地址缓冲方块 220 禁能。NOR 门 402 的输出是耦接至反向器 404。反向器 404 是耦接至 n-沟道晶体管 406 的源极及串联反向器 426、428 的输入。读取地址位 RAh 是从反向器 428 输出的。晶体管 406 在晶体管 406 的栅极输入端接收输入信号“LATCHb”。信号“LATCHb”用于与第二锁存器 460 耦接或不耦接，故因此可接收输入地址 Ahi 或输出写入地址的位输出 WAh。当信号“LATCHb”在高位准时，晶体管 406 是导通的，且第二锁存器 460 可加载外部地址 Ahi，其最好包含有写入或读取讯息。以此方式，写入地址的位输出 WAh 是由输入地址 Ahi 控制的。当信号“LATCHb”在低位准时，晶体管 406 是截止的，且读取位置的位输出

RAh 是由输入地址 Ahi 控制。虽然，藉由使 LATCHb 信号变成低位准，可使第二锁存器 460 与输入地址 Ahi 不连接，但可将此写入地址储存在地址序列发生器中。

exclusive-NOR 门 408 接收输入信号 TGL_{h-1} 和地址位输入 WAh。如具此技艺者所已知，exclusive-NOR 门或等效逻辑门的输出只有当 exclusive-NOR 门的所有输入均相等时其输出才为 1。输入信号 TGL_{h-1} 为从串联的地址缓冲器中前一个地址缓冲器输出的触发信号。也就是说，此缓冲器 400 所输出的触发信号 TGL_h 是由前一个地址缓冲器所输出的触发信号产生的。依据前一个地址缓冲器所输出的触发信号 TGL_{h-1} 和目前地址缓冲器 400 的输出，此地址缓冲器输出 WAh 触发。假如从前一个地址缓冲器所输出的触发信号 TGL_{h-1} 是在低位准，则 TGL_h 为低位准，且 WAh 未触发。等效逻辑门 408 的输出是耦接至 n-沟道晶体管 410 的源极，其在晶体管 410 的栅极输入端接收输入时脉信号 CLK_b 。n-沟道晶体管 410 的漏极是耦接至第一锁存器 450。第一锁存器 450 是耦接至 n-沟道晶体管 416 的源极，其在晶体管 416 的栅极输入端接收输入时脉信号 CLK_a 。晶体管 416 的漏极是连接至第二锁存器 460 和 n-沟道晶体管 406 的漏极。第二锁存器 460 是连接至反向器 422 以便依据地址缓冲器 400 的操作而产生表示写入地址（规划或删除）的地址位输出 WAh。地址位输出 WAh 亦反馈回到等效逻辑门 408。地址位输出 WAh 和 TGL_{h-1} 是输入至 AND 门 424 以便产生输出信号 TGL_h 。

读取地址位输出 RAh 的补码 $\overline{RAh}$ 最好可供内存 200 使用。举例而言，反向器 426 的输出可提供读取地址位输出 RAh 的补码 $\overline{RAh}$ 。在内存 200 中最好亦可使用其它的位线（未显示于图 1 中）以便需要时可传输读取地址位的补码 $\overline{RAh}$ 。

写入地址位输出 WAh 的补码 $\overline{WAh}$ 最好可供内存 200 使用。举例而言，第二锁存器 460 的输出可提供写入地址位输出 WAh 的补码 $\overline{WAh}$ 。在内存 200 中最好亦可使用其它的位线（未显示于图 1 中）以便需要时可传输写入地址位的补码 $\overline{WAh}$ 。

在读取操作期间，将使用读取地址位输出 RAh 作为读取地址位。

假如正在执行读取操作，则信号 LATCHb 通常会变成低位准且在读取操作期间会保持在低位准，除非必须将写入地址加载第二锁存器 460。当输入至 NOR 门 402 的信号 PD 保持在“低位准”时，则 NOR 门 402 的输出将为 Ahi 的补码。之后反相器 404 的输出将为 Ahi，且将由地址位 Ahi 控制地址位输出 RAh。

在写入操作期间，将写入地址位输出 WAh 分别使用作为规划或删除地址位。一旦将写入地址加载或最初产生时，则信号 LATCHb 将保持在低位准，所以 n-沟道晶体管 406 是关断的且第二锁存器 460 的输入是隔离的故与地址 Ahi 不相关。当必须加载写入地址时，信号变成高位准。在规划操作时，地址位输入/输出 WAh 是经由第一和第二锁存器 450、460 而锁存在地址缓冲器 400 中，且将信号 WAh 回馈。

举例而言，假设从外部传送进来地址信号 222 则 Ahi 为写入地址。然后在当信号 LATCHb 变成高位准时，将写入地址的位锁存或储存在地址缓冲器 400 的锁存器 450、460 内。之后，在写入操作期间将写入地址输出作为地址位输出 WAh。在读取操作期间，将地址位输出 RAh 传送至适当的库。就算 LATCHb 变成低位准，写入地址仍旧是可取得的，因为写入地址是锁存在地址缓冲器 400 内。

在闪存内的删除操作通常需要检测是否在所有地址位置的核心单元均已实际删除。地址序列发生器是整合在地址缓冲器 400 内以便协同完成所需位置的检测。利用输入时序信号 CLK_a 和 CLK_b 可完成地址的定序。逻辑电路 218 最好能产生时序信号 CLK_a 和 CLK_b。当将输入时序信号 CLK_b 设定为每次完成在此地址位置之一连串内建操作时是触发的，则输入时序信号 CLK_a 可与内部所产生的内存芯片的时序同步。以此方式，当内部地址转态，也就是说，当内部地址需要转变成下一个地址时，是需要适当地增加内部地址。虽然可经由任何适当的电路配置而产生输入时序信号 CLK_a 和 CLK_b，如上所述的信号 CLK_b 将必须知道在各地址位置的操作何时完成且最好可由逻辑或控制电路 218 应用。在有用的实施例中，CLK_b 信号为 CLK_a 信号的补码。

图 4 显示依据多库同时操作闪存 200 的读取和写入操作选择信号产生器电路 600。状态机和控制逻辑电路 218 最好包含有一串的选择信号产生器电路 600，四个库每个一个。通常，假如在此有 N 个库，则

将有 N 个选择信号产生器电路。读取和写入操作选择信号产生器电路 600 包含有具两个输入端的 AND 门 608、锁存器 650、p-沟道 MOSFET 602、n-沟道 MOSFET 604、两个输入的 NOR 门 614、和一对具有相对应反向器 618、622 的三输入 NAND 门 616、620。锁存器 650 最好包含一对的反向器 610、612。

致能信号(“EN”)是提供给 p-沟道 MOSFET 602 的栅极和三输入 NAND 门 620 的输入。三输入 NAND 门 620 的另外两个输入用于库译码的地址位信号 WAb 和 WAg, 将于下文中说明之。在此具有四个库的例子中, 将信号 WAb 和 WAg 的反向和非反向值的所有四个组合分别用于库地址译码。为简化说明, 输入图 4NAND 门 620 为信号的非反向值。NAND 门 620 是连接至反向器 622 的输入端, 且执行 AND 门(未显示)的功能。反向器 622 的输出为一般性的写入选择信号 nWSEL。此信号回馈到 AND 门 608 和 NOR 门 614。同时亦将锁存器致能(“LEN”)信号提供给双输入 AND 门 608。AND 门 608 在节点 606 输出第 n 个库的锁存致能信号(“nLEN”)。分别产生 N 个 nRSET 和 N 个 nWSET 信号的 N 个电路 600 亦产生 N 个内部的 nLEN 信号。

p-沟道 MOSFET 602 的源极连接至电源供应端 Vcc, 而晶体管 602 的漏极则连接至 n-沟道 MOSFET 604 的漏极和锁存器 650。晶体管 604 的源极连接至接地端, 而晶体管 604 的栅极则在接点 606 从 AND 栅极 608 接收信号 nLEN。锁存器 650 的输出是耦接至具两个输入端的 NOR 门 614 的其中一输入端。

NOR 门 614 的输出是耦接至三输入 NAND 门 616 的输入端。三输入 NAND 门 620 的其它两个输入端用于库译码的地址位信号 RAb 和 RAg, 将于下文中详细说明之。在四个库的例子中, 将信号 RAb 和 RAg 的反向和非反向值的所有四个组合分别用于库地址译码。为简化说明, 输入图 4NAND 门 616 的是信号的非反向值。NAND 门 616 是连接至反向器 618 的输入端, 且执行 AND 门(未显示)的功能。反向器 618 的输出为一般性的读取选择信号 nRSEL。

电路 600 产生读取选择信号 nRSEL 和写入选择信号 nWSEL。信号 nRSEL 和信号 nWSEL 对应于核心内存的第 n 个库。在图 1 的多库同时操作闪存 200 中, 有四个库(N=4), 库 0 202、库 1 204、库 2 206、

和库 3 208，在此库 n 通常表示第 n 个库。因此，如图 1 中所显示，在此有四个读取选择信号 0RSEL、1RSEL、2RSEL、3RSEL 和四个写入选择信号 0WSEL、1WSEL、2WSEL、3WSEL（即， $n=0、1、2、$ 和 3）。将电路 600 设计成当在库 n 上执行读取操作时， n RSEL 是高位准或主动。同样地，当在库 n 上执行写入操作，也就是说，规划或删除操作时， n RSEL 是高位准或主动。

使用读取和写入地址的特定位数决定单元地址的位置是位于哪一个库中。假如有四个库（ $N=4$ ），则仅需要两位（ $2^2=4$ ）来说明这些库。举例而言，假如有 7 个（ $N=7$ ）或 8 个（ $N=8$ ）库，则需要 3 位（ $2^3>7$ ， $2^3=8$ ）。假如有 N 个库，则通常需要 y 个位（在此 $2N>2^y\geq N$ ）来表示这些库。利用上述术语，可由一个 y 至 N 的译码器（在此 $2^y\geq N>2^{y-1}$ ）唯一决定 N 个读取信号和 N 个写入选择信号。藉由使 y 个输入值的各种组合中仅只有一个输出线是高位准或主动，所以可藉由此主动输出线唯一决定发生操作（读取或写入）的库 n 。

可以其所具有的第一部分和第二部分描述此读取和写入地址。通常，这些部分包含有一串的地址位。用于各种地址形式的各部分均包含有讯息。每一部分的位置是依据此部分所携带的讯息决定。读取或写入地址的第一部分，举例而言，可用于决定单元地址所在的库，例，库译码。读取或写入地址的第二部分，举例而言，可用于决定单元在库内的特殊位置。再者，可将在读取或写入操作中期望使用的地址讯息编码成图 1 的地址信号 222。

在四库内存 200 中， n 等于 4 且是由两个地址位表示。因此，依据图 1 所显示的实施例，读取和写入地址的第一部分的大小是两个位。读取地址位串的位范例为图 3 中的 RAh。举例而言，假如读取位的长度是 20 位，且其中两位用于库译码，则可将此二范例位称为 RAb 和 RA_g。组成读取地址的第一部分的库译码位，RAb 和 RA_g，是输入至图 4 的 NAND 门 616 以便产生 n RESL 读取选择信号。通常，以 RAh 表示的读取地址位的位 RAb 和 RA_g 的反向和非反向值是提供给 n 个 NAND 门以便产生 N 个读取选择信号。这些信号的反向和非反向值的 2^y （在此 $2^2=4$ ）的 N 个（对应于库的数目，在此 $N=4$ ）可能组合用于库译码。在四个库的例子中，在四个电路 600 中的四个 NAND 门 616

的输入为 $RAbRAg, \overline{RAbRAg}, RAb\overline{RAg}$, 和 $\overline{RAb\overline{RAg}}$ 。

同样地, 写入地址位串的位范例为图 3 中的 WAh 。在内存 200 内为了库译码而从写入地址输出的两个位范例可称为 WAb 和 WAg 。组成写入地址的第一部分的库译码位, WAb 和 WAg , 是输入至图 4 的 NAND 门 620 以便产生 $nRESL$ 读取选择信号。通常, 以 WAh 表示的写入地址位的位 WAb 和 WAg 的反向和非反向值是提供给 N 个 NAND 门以便产生 N 个写入选择信号。这些信号的反向和非反向值的 2^Y (在此 $2^2=4$) 的 N 个 (对应于库的数目, 在此 $N=4$) 可能组合用于库译码。在四个库的例子中, 在四个电路 600 中的四个 NAND 门 620 的输入为 $WAbWAg, \overline{WAbWAg}, WAb\overline{WAg}$, 和 $\overline{WAb\overline{WAg}}$ 。

图 4 的电路的操作大部分是由三个信号驱动的 (除了信号 $nWSEL$ 的回馈)。致能 (“EN”) 信号为在读取操作期间为低位准的脉冲信号且最好在起始写入操作时会产生脉冲。锁存致能 (“LEN”) 信号为在读取和规划操作期间为低位准的脉冲信号且最好在起始删除操作时会产生脉冲。当 $nWSEL$ 在高位准或主动的且 LEN 信号为脉冲或变成高位准时, 第 n 个库在节点 606 的锁存致能 (“ $nLEN$ ”) 信号是主动的。也就是说, 当对库 n 的写入操作致能且此写入操作为删除操作时, 则 $nLEN$ 信号是主动的。

在读取操作期间, EN 信号为低位准或不确定。因此, NAND 门 620 的输出为高位准。此将使反相器 622 的输出为低位准, 所以写入选择信号 $nWSEL$ 是非主动且是低位准。因此, 如所预期的, 写入选择信号 $nWSEL$ 在读取操作期间均是在低位准。因为 $nWSEL$ 是低位准, 所以在节点 606 的 $nLEN$ 信号是低位准 (不管 LEN 的值为何, 其在读取操作期间是低位准), 且晶体管 604 是不导通。同时, 在晶体管 602 栅极的 EN 信号的低位准值会使 p-晶体管 MOSFET 602 导通, 因而使锁存器 650 输入变成高位准。双输入 NOR 栅极 614 接收锁存器 650 低位准输出, 和在低位准的写入选择信号 $nWSEL$ 。因此, NOR 栅极 614 的输出为高位准。NAND 门 616 的输出将是低位准且反向器 618 的输出将为高位准。发生此状况是因为已经将用于库 n 的库译码读取地址位的适当组合 (即, 导致高逻辑位准的值) 与 NOR 栅极 614 的高输出

一起提供给 NAND 门 616。最后结果是读取选择信号 nRESL 当对库 n 执行读取操作时会是主动（也就是说，高位准）。

在规划操作期间，EN 信号在起始写入操作时最好能产生脉冲。因此，当 EN 信号变成高位准时，NAND 门 620 的输出变成低位准且反向器 620 的输出变成高位准。发生此状况是因为已经将用于库 n 的库译码写入地址位的适当组合（即，导致高逻辑位准的值）与产生脉冲的主动 EN 信号一起提供给 NAND 门 616。写入选择信号 nWSEL 将变成主动或高位准，其致使 NOR 门 614 的输出为低位准，NAND 门 616 的输出为高位准，及读取选择信号 nRSEL 为低位准或非主动。因此，在高位准的 nWSEL 会强迫 nRSEL 维持在低位准，所以可避免在同一个库中发生操作模式的冲突。最后结果是当在库 n 中执行写入操作时，在此例中为规划操作，则写入选择信号 nWESL 会是主动。

在删除操作期间，EN 信号在起始写入操作时最好能产生脉冲。因此，当 EN 信号变成高位准时，NAND 门 620 的输出会变成低位准且反向器 620 的输出会变成高位准。发生此状况是因为已经将用于库 n 的库译码写入地址位的适当组合（即，导致高逻辑位准的值）与产生脉冲的主动 EN 信号一起提供给 NAND 门 616。在 EN 信号变成高位准时，LEN 信号最好能产生脉冲。当 AND 门的输入 nWSEL 在高位准或主动且 LEN 信号为脉冲或变成高位准时，第 n 个库在节点 606 的锁存致能(“nLEN”)信号是主动的。也就是说，在节点 606 的 nLEN 信号是主动的，且 n-沟道晶体管 604 因在栅极输入端的 nLEN 信号上升而导通。将锁存器 650 的输入接地，所以锁存器 650 的输出会变成高位准。NOR 栅极 614 的输出因为 nWSEL 变成高位准和锁存器 650 的输出变成高位准而变成低位准，此将导致具有低位准的 nRSEL。一旦库 n 选择删除操作，读取选择信号 nRSEL 将不会变成高位准。也就是说，锁存器 650 将强迫 nRSEL 保持在低位准直到 EN 信号变成低位准（即，在读取操作期间）。LEN 信号将多次产生脉冲以便选择多个将删除的区段（核心内存单元的库 n 的多个区段）。最后结果是当在库 n 执行写入操作时，在此例中为删除操作，则写入选择信号 nWESL 会是主动。

LEN 信号和 LN 信号最好是由位于闪存芯片内的状态机和控制逻辑产生。举例而言，信号 LEN 和 EN 可由控制逻辑电路 218 产生。

图 5 显示依据多库同时操作闪存 200 的地址选择电路 500 的第一范例。地址选择电路方块 ASELO 210、ASEL1 212、ASEL2 214、和 ASEL3 216 最好每一个均包含有一串的地址选择电路 500。地址电路 500 的第一范例包含有 n 沟道晶体管 502、504、锁存器 540、和反向器 510。存锁器 540 最好包含有一对的反向器 506、508。将每个电路 500 均构成可接收读取地址位 RAh 和写入地址位 WAh。通常，假如读取地址具有 q 个位，则将有 q 个 RAh 值。同样地，假如写入地址具有 q 个位，则将会有 q 个 WAh 值。最好仅将任何库中需要用于选择个别单元或多个单元的读取或写入地址位提供给地址选择电路 500。读取或写入地址的其它位是提供给控制电路以便产生读取选择信号 nRSEL 和写入选择信号 nWSEL。信号 nRSEL 和 nWSEL 为同时多库读取和写入操作选择或取消适当的库。在对库 n 进行删除或规划操作期间，nWSEL 是高位准而 nRSEL 是低位准。对特定库 n 而言，nWSEL 和 nRSEL 是互为补码的。因此，晶体管 502 是截止而晶体管 504 是导通的，所以可将位 WAh 传输至存锁器 540。然后位 WAh 出现在反向器 510 的输出作为 nAh，其为用于区域库 n 的地址位。同样地，在对库 n 进行读取操作期间，nRSEL 是高位准而 nWSEL 是低位准。因此，晶体管 502 是导通的而晶体管 504 是截止的，所以可将位 RAh 传输至存锁器 540。然后位 RAh 出现在反向器 510 的输出作为 nAh。

图 6 显示依据多库同时操作闪存 200 的地址选择电路 550 的第二范例。地址选择电路方块 ASELO 210、ASEL1 212、ASEL2 214、ASEL3 216 每一个均包含有一串的地址选择电路 550。地址电路 550 的第二范例包含有 n-沟道晶体管 552、554、和反向器 556、558、560。

电路 550 的设计依据对特定库 n 而言其信号 nRSEL 和 nWSEL 是互为补码的需求。将信号 nWSEL 提供给晶体管 554 的栅极以便选择写入地址位 WAh，同时由反向器 558 输出信号 nWSEL 的补码且将其提供给晶体管 552 的栅极以便选择读取地址位 RAh。在反向器 560 之前放置一个反向器 556 取代如图 5 的存锁器 540 的存锁器。在其它方面，该电路 550 的操作与图 6 电路 550 的操作相同。

在一实施例中，第 1 和 2 图中的所有组件均包含在单一个集成电路芯片中。注意用于闪存芯片范例的地址和控制输入是由内存密度及

所使用接口决定。很明显地所揭露的实施例亦可工作于具有其个别地址和控制输入结构的不同内存密度和不同应用接口。

在上述能够多库同时操作的闪存 200 范例的应用中，将可得的数据储存空间建构在其中一库中储存数据和激活码而在另一库中储存句柄。包含有告知其中一库，例库 2 204 用于规划/删除数据区段的命令顺序的句柄可以执行码方式常驻在另一个库中，例库 0 202。在规划/删除库 2 204 的同时，系统可继续执行来自库 0 202 或另一个库的执行码以便管理其它的系统操作。同样地，依据系统的应用，CPU 可在任何其它库进行规划/删除操作的同时执行来自第一库的码。在此最好没有库切换等待时间且不需要暂停规划/删除操作以便执行读取。此可减少 CPU 读取/操作的周期时间，最大数据进出量，且藉由免除需要额外硬件的需求而降低整个系统的成本。

如在此所使用，称为或名为低位准、未确认、非主动、及被动的信号将广泛地视为数字信号的逻辑低值，已知通常是以二进制零（0）表示。

如在此所使用，称为或名为高位准、确认、及主动的信号将广泛地视为数字信号的逻辑高值，已知通常是以二进制 1（1）表示。

如在此所使用，术语写入是希望涵盖所有可应用的规划及删除操作，除非另有说明。

如在此所使用，术语“A 与 B 耦接”系定义装置 A 是直接连接至 B，或 A 是经由一个或多个中间组件而间接连接至 B。

如在此所使用，术语“使用者”即所谓尝试存取内存的处理器或其它组件或实体。

如在此所使用，术语“锁存器”意指暂时数据储存组件。暂时储存组件可以是互补的一对反向器（如在此所说明和举例的），或者是如 D-型触发器的触发器。

在此提出更有弹性及有效的设计的闪存，其能够多库同时操作。在此所说明的实施例提供寻址、地址选择、操作控制信号及逻辑、和局限于各库的存取电路。局限于内存核心单元各库的独立结构可协助及实现将同时操作结构从双库或两个库延伸至 N 个库。

在此所提出的实施例提供可延伸及有弹性的多库结构，其能够同

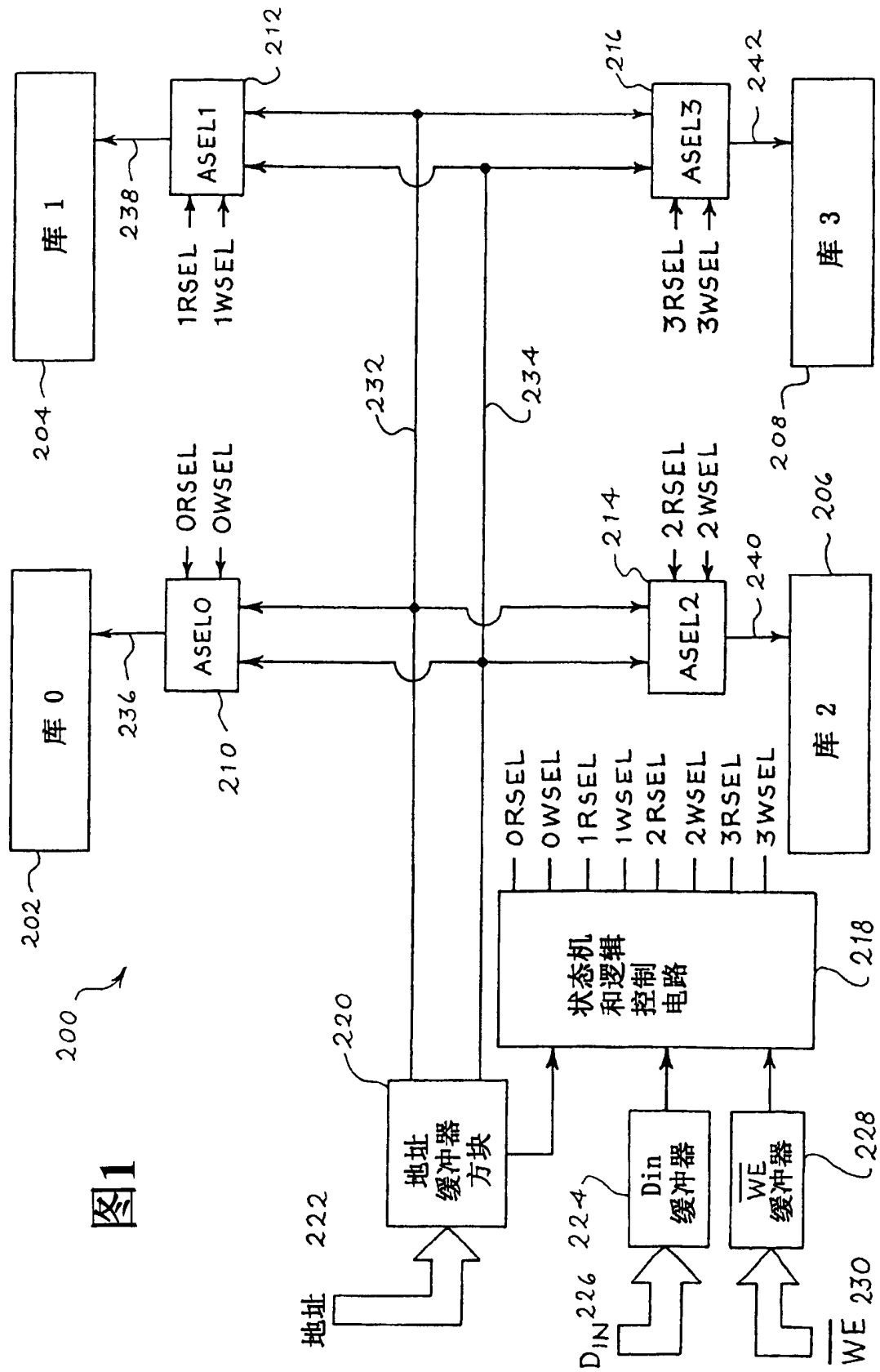
时操作，也就是说，其允许同时进行读取和写入操作。

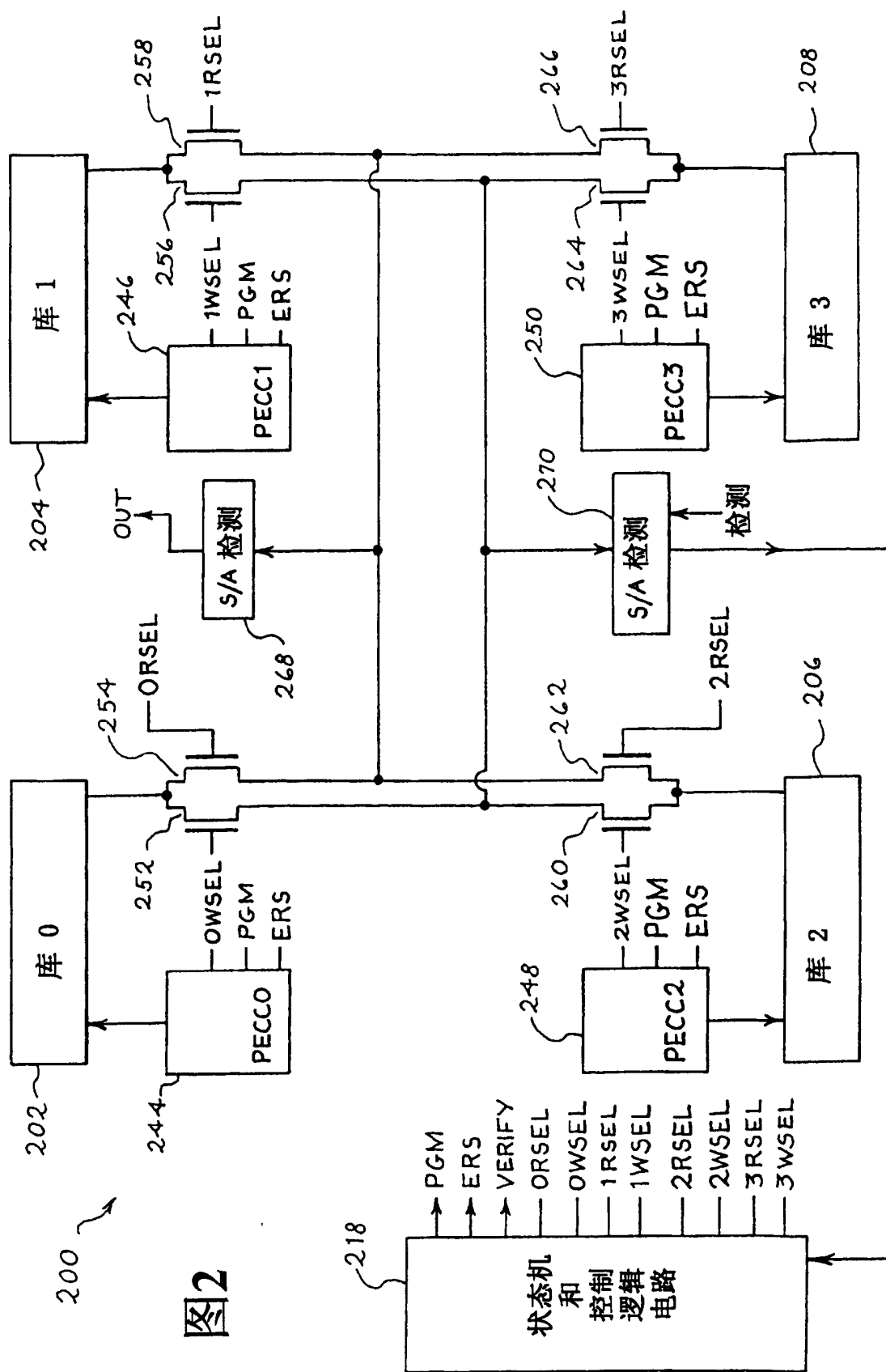
从前文中，可得知目前的最佳实施例提供多库（或 N 库）同时操作闪存，包含有地址缓冲和译码装置。在对 N 库其中一库进行读取操作期间，可对其他 N-1 库的任何一库进行写入操作。在对 N 库其中一库进行写入操作期间，可对其他 N-1 库的任何一库进行读取操作。地址缓冲和译码装置包含有控制逻辑电路、位于 N 个库的每一个库中的地址选择电路、和地址缓冲电路。控制逻辑电路用于产生在 N 个库中选择一个用于读取操作的库的 N 个读取选择信号及用于在 N 个库中选择另一个用于写入操作的库的 N 个写入选择信号。每一个地址选择电路是建构成可从控制逻辑电路接收 N 个读取选择信号的每一个及 N 个写入选择信号的每一个。地址缓冲电路用于同时提供写入地址和读取地址以便存取核心内存单元。写入和读取地址的各第一部分提供给控制逻辑电路以便产生 N 个读取选择信号和 N 个写入选择信号的每一个。写入和读取地址的各第二部分提供给各地址选择电路。

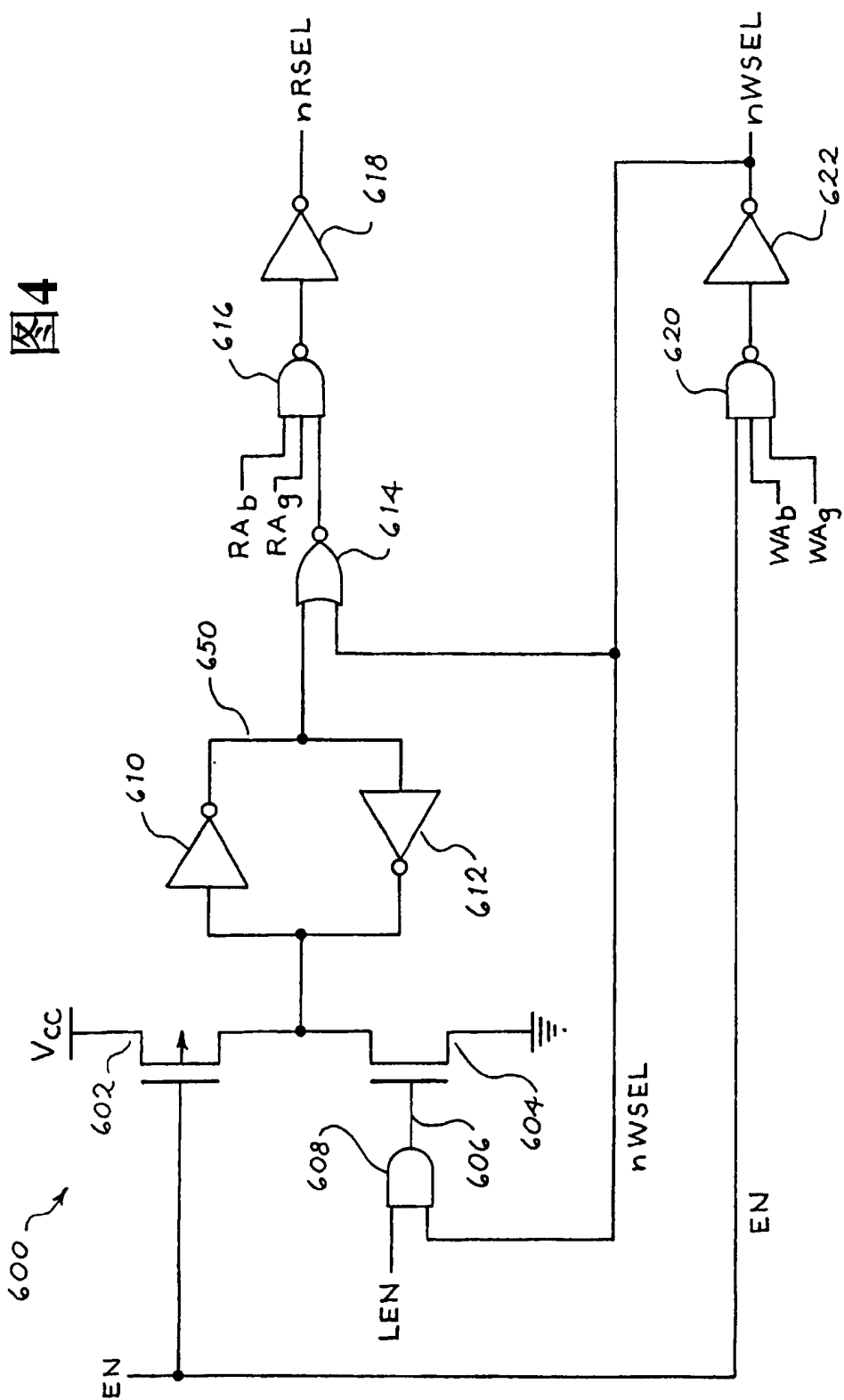
此实施例的优点之一为使用双端口地址缓冲。读取地址位是从缓冲器与写入地址位同时输出。另一个优点为提供对应于 N 个库的读取和写入操作选择信号且作为选择或删除进行写入或读取操作的库。其又一个优点为此电路最好包含有各库局部使用的感测放大器介接电路以便协助将双库延伸至多库或 N 库同时操作闪存。

虽然已经显示和说明本发明的特殊实施例，但亦可对其进行修正。举例而言，p-沟道和 n-沟道等晶体管的感测在适当的应用是可以反向的。值得注意的是在图中省略用于详细指定组成所描述电路的晶体管的沟道宽度和长度比（以微米为单位而量测）的适当晶体管的尺寸。可依据设计需求及为了电路应用和特殊实施例的性能需求所使用的特殊集成电路的制程功能和极限而选择适当的比率是显而易见的。再者，本发明在此所说明和描述的概念可应用于内存装置以外的电路。

因此希望将前述的详细说明视为举例说明而非限制用，且本发明权利要求，包含所有的等效物，均是用于定义本发明的精神和目的是显而易见的。因此本发明权利要求包含所有在本发明的精神和目的范围内的种种变动及修正。







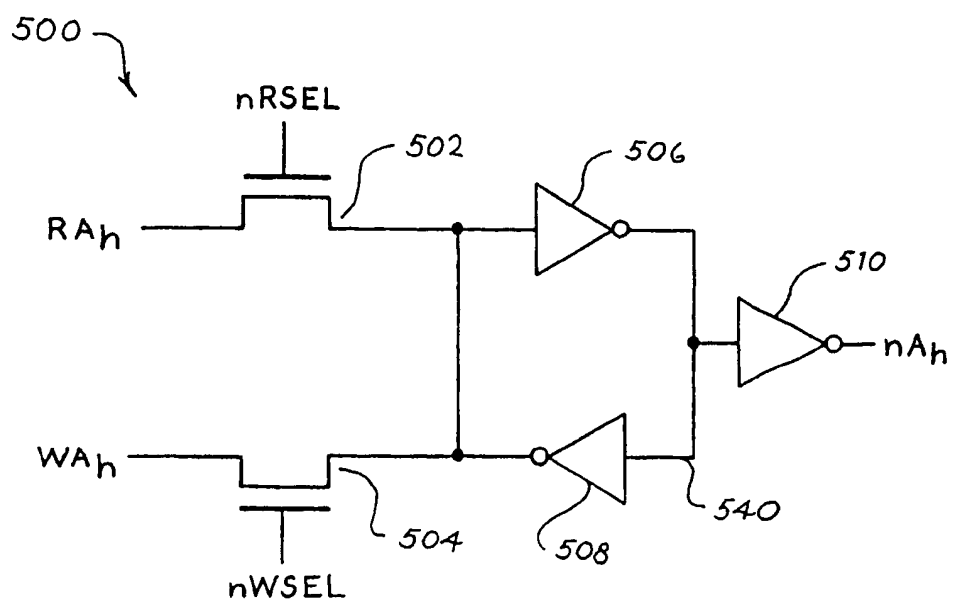


图5

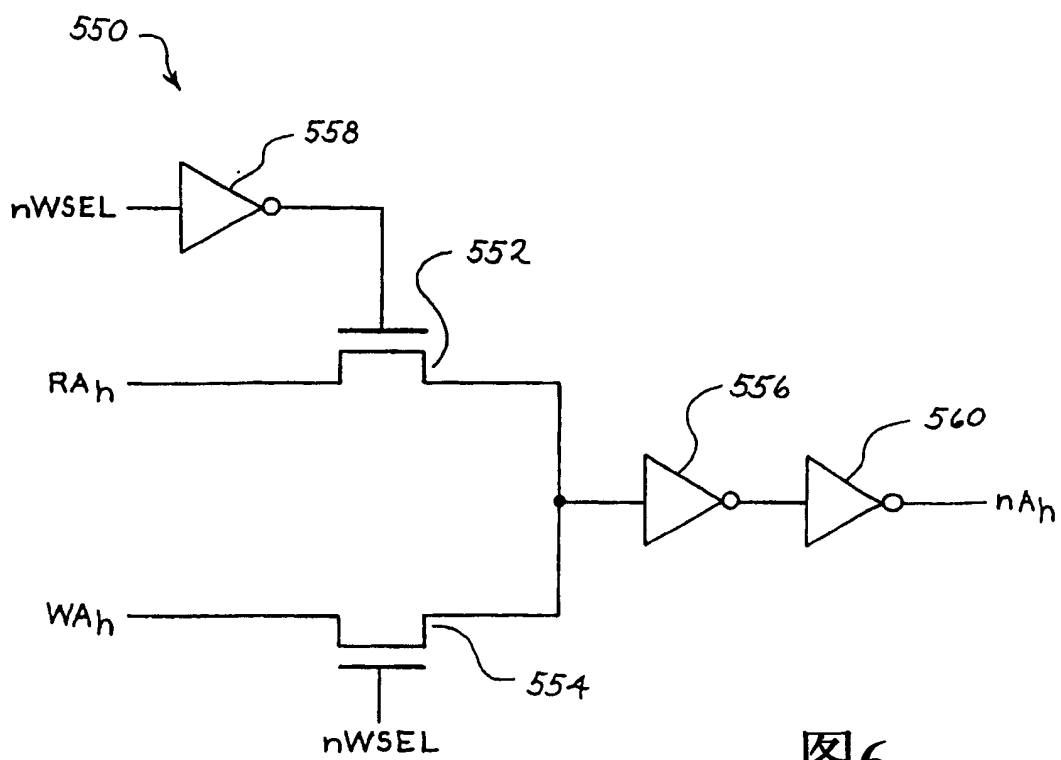


图6