



[12] 发明专利说明书

[21] ZL 专利号 96112852.6

[45] 授权公告日 2003 年 6 月 25 日

[11] 授权公告号 CN 1112768C

[22] 申请日 1996.9.19 [21] 申请号 96112852.6

[30] 优先权

[32] 1995.9.21 [33] JP [31] 242894/1995

[71] 专利权人 松下电器产业株式会社

地址 日本大阪

[72] 发明人 吉崎升一 结城寿则

[56] 参考文献

JP0774616A 1995.03.17 H03K19/0185

US5300832A 1994.04.05 H03K19/0185

WO9519660A1 1995.07.20 H03K17/687

审查员 史永良

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

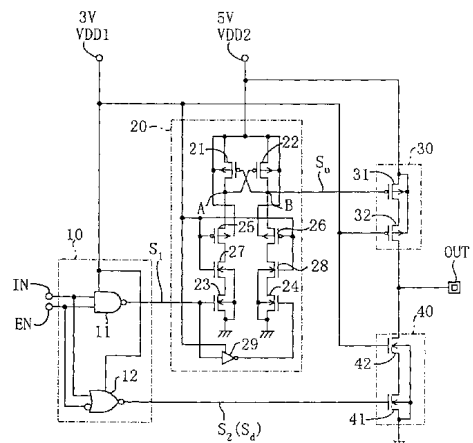
代理人 范本国

权利要求书 6 页 说明书 25 页 附图 15 页

[54] 发明名称 输出电路

[57] 摘要

本发明涉及作为一个 LSI 与外部 LSI 的接口的输出电路，可以输出以上述外部 LSI 的电源电压为振幅的信号。通过将以上拉控制信号为栅极输入的第 1PMOS 和以指定电位为栅极电位的第 2PMOS 串联连接在外部 LSI 的电源电位与输出部之间构成提升输出部的电位的上拉电路。另外，通过将以下拉控制信号 Sd 为栅极输入的第 1NMOS 和以指定电位为栅极电位的第 2NMOS 串联连接在输出部与接地电位之间构成将输出部的电位降低的下拉电路。



1. 一种输出电路，该电路输入以第 1 电位为电源电位的一个电路的输出信号，根据该电路的输出信号从输出部向以第 2 电位为电源电位的其他电路输出信号，其特征在于具有：

根据输入的上述一个电路的输出信号生成以上述第 1 电位与接地电位的电位差为振幅的第 1 和第 2 控制信号的信号生成电路；

将由上述信号生成电路生成的第 1 控制信号作为输入，通过变换该第 1 控制信号的振幅，生成上拉控制信号并输出的电压变换电路；

将从上述电压变换电路输出的上拉控制信号作为输入，根据该上拉控制信号的指示控制是否将上述输出部的电位上拉到上述第 2 电位的上拉电路；

将由上述信号生成电路生成的第 2 控制信号作为下拉控制信号输入并根据该下拉控制信号的指示控制是否将上述输出部的电位下拉到接地电位的下拉电路；

检测上述第 1 电位与上述第 2 电位的电位差并输出表示上述第 2 电位是否大于上述第 1 电位的电位差检测信号的电位差检测电路；以及

供给指定的电位及接地电位同时输入从上述电位差检测电路输出的电位差检测信号，并且当上述电位差检测信号表示上述第 2 电位大于上述第 1 电位时就选择输出上述指定的电位，当上述电位差检测信号表示上述第 2 电位小于上述第 1 电位时就选择输出接地电位的开关电路，上述开关电路的输出电位作为上述第 3 电位；

上述上拉电路具有：上述第 2 电位供给源极并且上述上拉控制信号输入栅极的第 1P 型 MOS 晶体管、和源极与上述第 1P 型 MOS 晶体管的漏极连接同时漏极与上述输出部连接并且第 3 电位加到栅极上的第 2P 型 MOS 晶体管；

上述下拉电路具有：源极接地并且上述下拉控制信号输入栅极的第 1N 型 MOS 晶体管、和源极与上述第 1N 型 MOS 晶体管的漏极连接同时漏极与上述输出部连接并且上述第 1 电位加到栅极上的第 2N 型 MOS 晶

体管;

上述电压变换电路向上述上拉电路指示以使上述输出部的电位上拉到上述第 2 电位时, 就使上述上拉控制信号的电位小于从上述第 2 电位减去上述第 1P 型 MOS 晶体管的阈值电压后的电位, 并且大于从上述第 2 电位减去与上述第 1P 型 MOS 晶体管的栅极氧化膜耐压相当的电压后的电位, 另一方面, 当未指示上述上拉电路将上述输出部的电位上拉到上述第 2 电位时, 就将上述上拉控制信号的电位作为上述第 2 电位;

上述电位差检测电路具有:

上述第 2 电位供给源极并且上述第 1 电位加到栅极上的第 7P 型 MOS 晶体管、

上述第 1 电位供给源极的第 8P 型 MOS 晶体管、

漏极与上述第 7P 型 MOS 晶体管的漏极连接的第 7N 型 MOS 晶体管、

漏极与上述第 7N 型 MOS 晶体管的源极连接并且源极接地的第 8N 型 MOS 晶体管、

漏极与上述第 8P 型 MOS 晶体管的漏极连接并且源极接地的第 9N 型 MOS 晶体管、以及

上述第 1 电位供给漏极, 同时上述第 2 电位加到栅极上, 且源极与上述第 8P 型 MOS 晶体管的栅极连接的第 10N 型 MOS 晶体管、

上述第 8N 型 MOS 晶体管的栅极与上述第 9N 型 MOS 晶体管的漏极连接, 同时, 上述第 9N 型 MOS 晶体管的栅极与上述第 8N 型 MOS 晶体管的漏极连接, 且

从上述第 8P 型 MOS 晶体管的漏极与上述第 9N 型 MOS 晶体管的漏极间连接的节点输出上述电位差检测信号。

2. 按权利要求 1 所述的输出电路, 其特征在于: 上述第 1 和第 2P 型 MOS 晶体管的基板电位是上述第 2 电位, 上述第 1 和第 2N 型 MOS 晶体管的基板电位是接地电位。

3. 按权利要求 1 所述的输出电路, 其特征在于, 上述电压变换电路具有:

上述第 2 电位供给源极的第 3 和第 4P 型 MOS 晶体管、
源极与上述第 3P 型 MOS 晶体管的漏极连接的第 5P 型 MOS 晶体管、
源极与上述第 4P 型 MOS 晶体管的漏极连接的第 6P 型 MOS 晶体管、
漏极与上述第 6P 型 MOS 晶体管的漏极连接的第 3N 型 MOS 晶体
管、

漏极与上述第 3N 型 MOS 晶体管的源极连接并且源极接地的第 4N
型 MOS 晶体管、

漏极与上述第 5P 型 MOS 晶体管的漏极连接的第 5N 型 MOS 晶体
管、以及

漏极与上述第 5N 型 MOS 晶体管的源极连接并且源极接地的第 6N
型 MOS 晶体管；

上述第 3P 型 MOS 晶体管的栅极与上述第 4P 型 MOS 晶体管的漏极
连接，同时上述第 4P 型 MOS 晶体管的栅极与上述第 3P 型 MOS 晶体管
的漏极连接，

上述第 3 电位加到上述第 5 和第 6P 型 MOS 晶体管的栅极上，同时
上述第 1 电位加到上述第 3 和第 5N 型 MOS 晶体管的栅极上，

由上述信号生成电路生成的第 1 控制信号输入上述第 6N 型 MOS 晶
体管的栅极，同时，上述第 1 控制信号的反相信号输入上述第 4N 型 MOS
晶体管的栅极，

从上述第 4P 型 MOS 晶体管的漏极与上述第 6P 型 MOS 晶体管的源
极连接的节点输出上述上拉控制信号。

4. 按权利要求 3 所述的输出电路，其特征在于：上述第 3、第 4、
第 5 和第 6P 型 MOS 晶体管的基板电位是上述第 2 电位，上述第 3、第
4、第 5 和第 6N 型 MOS 晶体管的基板电位是接地电位。

5. 按权利要求 1 所述的输出电路，其特征在于，上述电压变换电路
具有：

上述第 2 电位供给源极的第 3 和第 4P 型 MOS 晶体管、

源极与上述第 3P 型 MOS 晶体管的漏极连接的第 5P 型 MOS 晶体管、

源极与上述第 4P 型 MOS 晶体管的漏极连接的第 6P 型 MOS 晶体管、

漏极与上述第 6P 型 MOS 晶体管的漏极连接的第 3N 型 MOS 晶体管、

漏极与上述第 3N 型 MOS 晶体管的源极连接并且源极接地的第 4N 型 MOS 晶体管、以及

漏极与上述第 5P 型 MOS 晶体管的漏极连接的第 5N 型 MOS 晶体管；

上述第 3P 型 MOS 晶体管的栅极与上述第 4P 型 MOS 晶体管的漏极连接，同时上述第 4P 型 MOS 晶体管的栅极与上述第 3P 型 MOS 晶体管的漏极连接，

上述第 3 电位加到上述第 5 和第 6P 型 MOS 晶体管的栅极上，同时上述第 1 电位加到上述第 3 和第 5N 型 MOS 晶体管的栅极上，

由上述信号生成电路生成的第 1 控制信号的反相信号输入上述第 4N 型 MOS 晶体管的栅极和上述第 5N 型 MOS 晶体管的源极，

从上述第 4P 型 MOS 晶体管的漏极与上述第 6P 型 MOS 晶体管的源极连接的节点输出上述上拉控制信号。

6. 按权利要求 5 所述的输出电路，其特征在于：上述第 3、第 4、第 5 和第 6P 型 MOS 晶体管的基板电位是上述第 2 电位，上述第 3、第 4 和第 5N 型 MOS 晶体管的基板电位是接地电位。

7. 按权利要求 1、3 和 5 中的任一权项所述的输出电路，其特征在于：上述第 3 电位是和上述第 1 电位相同的电位。

8. 按权利要求 1、3 和 5 中的任一权项所述的输出电路，其特征在于：上述第 3 电位小于上述第 1 电位，且大于从上述第 2 电位减去与上述第 1P 型 MOS 晶体管的栅极氧化膜耐压相当的电压的电位。

9. 按权利要求 8 所述的输出电路，其特征在于：上述指定的电位小于上述第 1 电位并且是大于从上述第 2 电位减去与上述第 1P 型 MOS 晶体管的栅极氧化膜耐压相当的电压的电位。

10. 按权利要求 1 所述的输出电路，其特征在于：上述第 7 和第 8P 型 MOS 晶体管的基板电位是上述第 2 电位，上述第 7、第 8、第 9 和第 10N 型 MOS 晶体管的基板电位是接地电位。

11. 按权利要求 1 所述的输出电路, 其特征在于具有:

检测上述第 1 电位与上述第 2 电位的电位差并输出表示上述第 2 电位是否大于上述第 1 电位的电位差检测信号的电位差检测电路; 以及

输入从上述电位差检测电路输出的电位差检测信号, 当上述电位差检测信号表示上述第 2 电位大于上述第 1 电位时就促进上述电压变换电路的动作速度, 当上述电位差检测信号表示上述第 2 电位小于上述第 1 电位时就不促进上述电压变换电路的动作速度的电压变换促进电路。

12. 按权利要求 11 所述的输出电路, 其特征在于, 上述电压变换电路具有:

上述第 2 电位供给源极的第 3 和第 4P 型 MOS 晶体管、

源极与上述第 3P 型 MOS 晶体管的漏极连接的第 5P 型 MOS 晶体管、

源极与上述第 4P 型 MOS 晶体管的漏极连接的第 6P 型 MOS 晶体管、

漏极与上述第 6P 型 MOS 晶体管的漏极连接的第 3N 型 MOS 晶体管、

漏极与上述第 3N 型 MOS 晶体管的源极连接并且源极接地的第 4N 型 MOS 晶体管、

漏极上述第 5P 型 MOS 晶体管的漏极连接的第 5N 型 MOS 晶体管、
以及

漏极与上述第 5N 型 MOS 晶体管的源极连接并且源极接地的第 6N 型 MOS 晶体管;

上述第 3P 型 MOS 晶体管的栅极与上述第 4P 型 MOS 晶体管的漏极连接, 同时上述第 4P 型 MOS 晶体管的栅极与上述第 3P 型 MOS 晶体管的漏极连接, 上述第 3 电位加到上述第 5 和第 6P 型 MOS 晶体管的栅极上, 同时上述第 1 电位加到上述第 3 和第 5N 型 MOS 晶体管的栅极上, 由上述信号生成电路生成的第 1 控制信号输入上述第 6N 型 MOS 晶体管的栅极, 同时, 上述第 1 控制信号的反相信号输入上述第 5N 型 MOS 晶体管的栅极, 从上述第 4P 型 MOS 晶体管的漏极与上述第 6P 型 MOS 晶体管的源极连接的节点输出上述上拉控制信号;

上述电压变换促进电路具有:

漏极与上述第 3P 型 MOS 晶体管的漏极连接的第 11N 型 MOS 晶体管、

漏极与上述第 11N 型 MOS 晶体管的源极连接并且源极与上述第 6N 型 MOS 晶体管的漏极连接的第 12N 型 MOS 晶体管、

漏极与上述第 4P 型 MOS 晶体管的漏极连接的第 13N 型 MOS 晶体管、以及

漏极与上述第 13N 型 MOS 晶体管的源极连接并且源极与上述第 4N 型 MOS 晶体管的漏极连接的第 14N 型 MOS 晶体管；

上述第 1 电位加到上述第 11 和第 13N 型 MOS 晶体管的栅极上，上述电位差检测信号输入上述第 12 和第 14N 型 MOS 晶体管的栅极；

上述电位差检测电路在上述第 2 电位大于上述第 1 电位时作为上述电位差检测信号输出上述第 1 电位，当上述第 2 电位小于上述第 1 电位时作为上述电位差检测信号输出接地电位。

13. 按权利要求 12 所述的输出电路，其特征在于：上述第 12N 型 MOS 晶体管的源极输入上述第 1 控制信号的反相信号，取代与上述第 6N 型 MOS 晶体管的漏极连接。

14. 按权利要求 13 所述的输出电路，其特征在于：上述第 14N 型 MOS 晶体管的源极输入上述第 1 控制信号，取代与上述第 4N 型 MOS 晶体管的漏极连接。

输出电路

技术领域

本发明涉及用 MOS 晶体管构成的半导体集成电路 (LSI), 特别是涉及作为用于与将 MOS 晶体管的栅极氧化膜耐压以上的电压作为电源电压的其他 LSI 连接的接口的输出电路。

背景技术

近年来, 随着半导体集成电路的微细化, 半导体器件的耐压特别是 MOS 晶体管的栅极氧化膜的耐压降低了, 与此同时, 将 3V 及小于 3V 的低电压作为电源电压的 LSI 增加了。然而, 即使 LSI 的电源电压是 3V, 当与该 LSI 连接的外部的 LSI 的电源电压例如为 5V 时, 也需要将 3V 的电源电压变换为 5V 后输出的输出电路。

下面, 参照附图说明现有的输出电路。该输出电路是将输出端部的电位状态设定为外部 LSI 的电源电位、接地电位和高阻抗中的某一种的电路。

图 13 是表示先有的输出电路的结构电路图。在图 13 中, OUT 是连接外部 LSI 的信号线的输出端部, IN 和 EN 是控制输出端部 OUT 的电位状态的输出控制端子, IN 是输入单片电路的信号的输入端子, EN 是输入启动信号的启动端子。另外, VDD1 是第 1 电位, 该值小于构成 LSI 的 MOS 晶体管的栅极氧化膜耐压, 例如为 3V, 而 VDD2 是外部 LSI 的电源电位即第 2 电位, 该值例如为 5V。

110 是根据输出控制端子 IN、EN 的电位生成上拉控制信号和下拉控制信号的信号生成电路, 由与非门 11 和或非门 12 构成。作为电源电位, 第 1 电位 VDD1 供给与非门 11 和或非门 12, 在小于 MOS 晶体管的栅极氧化膜耐压的电压下动作。

120 是将从信号生成电路 110 输入的上拉控制信号升压后输出的电压变换电路, 由 P 型 MOS 晶体管 21, 22、N 型 MOS 晶体管 23, 24 和进行信号的逻辑反转的反相电路 29 构成。第 2 电位 VDD2 供给 P 型 MOS 晶体

管 21, 22 的源极, P 型 MOS 晶体管 21 和 N 型 MOS 晶体管 23 的漏极彼此相连接, P 型 MOS 晶体管 22 和 N 型 MOS 晶体管 24 的漏极彼此相连接, N 型 MOS 晶体管 23, 24 的源极接地。

从信号生成电路 110 输入的上拉控制信号输入 N 型 MOS 晶体管 23 的栅极, 上述上拉控制信号由反相电路 29 反相后输入 N 型 MOS 晶体管 24。P 型 MOS 晶体管 21 的栅极与 P 型 MOS 晶体管 22 的漏极 (N 型 MOS 晶体管 24 的漏极) 连接 (节点 B), P 型 MOS 晶体管 22 的栅极与 P 型 MOS 晶体管 21 的漏极 (N 型 MOS 晶体管 23 的漏极) 连接 (节点 A)。从节点 B 输出升压后的上拉控制信号。另外, 作为电源电位, 第 1 电位 VDD1 供给反相电路 29。

130 是上拉电路, 由 P 型 MOS 晶体管 31 构成。P 型 MOS 晶体管 31 的栅极与电压变换电路 120 的节点 B 连接, 第 2 电位 VDD2 供给源极和基板, 漏极与输出端部 OUT 连接, 在导通状态时, 将输出端部 OUT 的电位上拉到第 2 电位 VDD2。

140 是下拉电路, 由 N 型 MOS 晶体管 41 构成。信号生成电路

110 的或非门 12 的输出信号加到 N 型 MOS 晶体管 41 的栅极上, 源极和基板接地, 漏极与输出端部 OUT 连接, 在导通状态时, 将输出端部 OUT 的电位下拉到接地电位。

下面, 参照图 14 和图 15 说明上述结构的图 13 所示的先有的输出电路的动作。在下面的说明中, 用 “H” 表示数字信号的高电平 (高电位), 用 “L” 表示低电平 (低电位), 特别有必要时, 也附加上电位的值, 如 “H” 3V)。另外, 这里, 将第 1 电位 VDD1 取为 3V, 将第 2 电位 VDD2 取为 5V。

首先, 使用图 14 说明从输出端部 OUT 输出 “H”(5V) 时的动作。这时, 将 “H”(3V) 的启动信号输入启动端子 EN, 同时, 将 “H”(3V) 的输入信号输入输入端子 IN。

于是, 与非门 11 的输出信号便成为 “L”(0V), 或非门 12 的输出信号也成为 “L”(0V)。当与非门 11 的输出信号成为 0V 时, N 型 MOS 晶体管 23 的栅极电位成为 0V, 另一方面, 由于 N 型 MOS 晶体管 24 的栅

极通过反相电路 29 与与非门 11 连接，所以，其电位成为 3V。因此，N 型 MOS 晶体管 23 截止，N 型 MOS 晶体管 24 导通。当 N 型 MOS 晶体管 24 导通时，由于节点 B 的电位降低，所以，P 型 MOS 晶体管 21 便由于栅极电位降低而导通。由于 P 型 MOS 晶体管 21 导通时 N 型 MOS 晶体管 23 截止，所以，节点 A 的电位成为 5V。通过节点 A 的电位成为 5V，P 型 MOS 晶体管 22 便截止，而 N 型 MOS 晶体管 24 导通，所以，节点 B 的电位成为 0V。

当节点 B 的电位成为 0V 时，P 型 MOS 晶体管 31 便由于栅极电位成为 0V 而导通，另外，由于或非门 12 的输出信号为 0V，所以，N 型 MOS 晶体管 41 栅极电位成为 0V 而导通。在 P 型 MOS 晶体管 31 导通的同时 N 型 MOS 晶体管 41 截止，另外，由于第 2 电位 VDD2 供给 P 型 MOS 晶体管 31 的源极，所以，输出端部 OUT 的电位成为“H”(5V)。这样，当将“H”(3V)的启动信号输入启动端子 EN，同时将“H”(3V)的输入信号输入输入端子 IN 时，就从输出端部 OUT 输出“H”(5V)。在图 14 中，用虚线的圆圈将从输出端部 OUT 输出“H”(5V)时成为导通的 MOS 晶体管圈起来。

其次，使用图 15 说明从输出端部 OUT 输出“L”(0V)时的动作。这时，将“H”(3V)的启动信号输入启动端子 EN，同时将“L”(0V)的输入信号输入输入端子 IN。

于是，与非门 11 的输出信号成为“H”(3V)，或非门

12 的输出信号也成为“H”(3V)。当与非门 11 的输出信号成为 3V 时，N 型 MOS 晶体管 23 的栅极电位成为 3V，另一方面，由于 N 型 MOS 晶体管 24 的栅极通过反相电路 29 与与非门 11 连接，所以，其电位成为 0V。因此，N 型 MOS 晶体管 23 导通，而 N 型 MOS 晶体管 24 截止。当 N 型 MOS 晶体管 23 导通时，节点 A 的电位降低，所以，P 型 MOS 晶体管 22 便由于栅极电位降低而导通。由于 P 型 MOS 晶体管 22 导通时 N 型 MOS 晶体管 24 截止，所以，节点 B 的电位成为 5V。通过节点 B 的电位成为 5V，P 型 MOS 晶体管 21 截止，而 N 型 MOS 晶体管 23 导通，所以，节点 A 的电位成为 0V。

P型MOS晶体管31由于栅极电位即节点B的电位成为5V而截止，另外，由于或非门12的输出信号为3V，所以，N型MOS晶体管41的栅极电位成为3V而导通。在P型MOS晶体管31截止的同时N型MOS晶体管41导通，此外，由于N型MOS晶体管41的源极接地，所以，输出端部OUT的电位成为“L”(0V)。这样，当将“H”(3V)的启动信号输入启动端子EN，同时将“L”(0V)的输入信号输入输入端子IN时，就从输出端部OUT输出“L”(0V)。在图15中，用虚线的圆圈将从输出端部OUT输出“L”(0V)时成为导通的MOS晶体管圈起来。

然后，说明使输出端部OUT成为高阻抗状态时的动作。这时，不论输入到输入端子IN上的信号的逻辑值如何，都使输入到启动端子EN上的启动信号成为“L”。

于是，与非门11的输出信号成为“H”(3V)，或非门12的输出信号成为“L”(0V)。由于与非门11的输出信号为3V，根据和从输出端部OUT输出“L”时相同的动作，P型MOS晶体管31变为截止。另外，由于或非门12的输出信号为0V，所以，根据和从输出端部OUT输出“H”时相同的动作，N型MOS晶体管41变为截止。因此，由于P型MOS晶体管31和N型MOS晶体管41都截止，所以，输出端部OUT成为高阻抗状态。

但是，现有的输出电路存在如下的问题。

在图13所示的已有的输出电路中，和第2电位VDD2与接地电位的电位差即外部LSI的电源电压相等的电压加在MOS晶体管的栅-漏极间或栅-源极间。在结构上，由于MOS晶体管的栅-漏极间电压或栅-源极间电压加在栅极氧化膜上，所以，当外部LSI的电源电压大于栅极氧化膜耐压时，就会发生栅极氧化膜击穿或恶化。

例如，从输出端部OUT输出“H”(5V)时，为了使构成下拉电路140的N型MOS晶体管41成为截止状态，就使其栅极电位成为0V，另外，为了使构成上拉电路130的P型MOS晶体管31成为导通状态，就使其栅极电位成为0V。这时，在N型MOS晶体管41的栅极电位成为0V的同时，由于与输出端部OUT连接的漏极的电位成为5V，所以，栅-漏

极间电压成为 5V。同样，P 型 MOS 晶体管 31 的栅 - 漏极间电压也成为 5V。因此，在 N 型 MOS 晶体管 41 和 P 型 MOS 晶体管 31 的栅极氧化膜上便加上大于耐压的电压 (5V)。

另外，这时，在构成电压变换电路 120 的各 MOS 晶体管的栅极氧化膜上也加上大于耐压的电压。例如，在 N 型 MOS 晶体管 23 的栅极电位成为 0V 的同时，由于与节点 A 连接的漏极的电位成为 5V，所以，栅 - 漏极间电压便成为 5V。另外，在 P 型 MOS 晶体管 22 的与节点 A 连接的栅极的电位成为 5V 的同时，由于与节点 B 连接的漏极的电位成为 0V，所以，栅 - 漏极间电压便成为 5V。此外，在作为第 2 电位 VDD2 将 5V 供给 P 型 MOS 晶体管 21 的源极的同时，由于与节点 B 连接的栅极的电位成为 0V，所以，栅 - 源极间电压成为 5V。

另外，从输出端部 OUT 输出 “L” 时，在节点 B 的电位成为 5V 的同时，由于输出端部 OUT 的电位成为 0V，所以，P 型 MOS 晶体管 31 的栅 - 漏极间电压成为 5V。另外，在电压变换电路 120 中，在 N 型 MOS 晶体管 24 的栅极电位成为 0V 的同时，由于与节点 B 连接的漏极的电位也成为 5V，所以，栅 - 漏极间电压成为 5V。另外，在 P 型 MOS 晶体管 21 的与节点 B 连接的栅极的电位成为 5V 的同时，由于与节点 A 连接的漏极的电位成为 0V，所以，栅 - 漏极间电压成为 5V。此外，在作为第 2 电位 VDD2 将 5V 供给 P 型 MOS 晶体管 22 的源极的同时，由于与节点 A 连接的栅极的电位成为 0V，所以，栅 - 源极间电压成为 5V。

另外，使输出端部 OUT 成为高阻抗状态时，由于 P 型 MOS 晶体管 31 的栅极电位成为 5V，所以，当将 0V 加到输出端部 OUT 上时，P 型 MOS 晶体管 31 的栅 - 漏极间电压也成为 5V。另外，由于 N 型 MOS 晶体管 41 的栅极电位成为 0V，所以，当将 5V 加到输出端部 OUT 上时，N 型 MOS 晶体管 41 的栅 - 漏极间电压成为 5V。

这样，在先有的输出电路中，当连接的外部 LSI 的电源电压大于构成该输出电路的 MOS 晶体管的栅极氧化膜耐压时，大于耐压的电压便加到各 MOS 晶体管的栅极氧化膜上，从而就会发生栅极氧化膜击穿或恶化。如果使用栅极氧化膜耐压大的 MOS 晶体管就可以避免这一问题，但是，

增大 MOS 晶体管的栅极氧化膜耐压，就会影响半导体集成电路的微细化，是不理想的。

发明内容

本发明的目的在于在成为用于与外部 LSI 连接的接口的输出电路中，即使外部 LSI 的电源电压大于构成该输出电路的 MOS 晶体管的栅极氧化膜耐压，大于耐压的电压也不会加到各 MOS 晶体管的栅极氧化膜上，而且可以输出以上述外部 LSI 的电源电压为振幅的信号。

本发明提供一种输出电路，该电路输入以第 1 电位为电源电位的一个电路的输出信号，根据该电路的输出信号从输出部向以第 2 电位为电源电位的其他电路输出信号，其特征在于具有：根据输入的上述一个电路的输出信号生成以上述第 1 电位与接地电位的电位差为振幅的第 1 和第 2 控制信号的信号生成电路；将由上述信号生成电路生成的第 1 控制信号作为输入，通过变换该第 1 控制信号的振幅，生成上拉控制信号并输出的电压变换电路；将从上述电压变换电路输出的上拉控制信号作为输入，根据该上拉控制信号的指示控制是否将上述输出部的电位上拉到上述第 2 电位的上拉电路；将由上述信号生成电路生成的第 2 控制信号作为下拉控制信号输入并根据该下拉控制信号的指示控制是否将上述输出部的电位下拉到接地电位的下拉电路；检测上述第 1 电位与上述第 2 电位的电位差并输出表示上述第 2 电位是否大于上述第 1 电位的电位差检测信号的电位差检测电路；以及供给指定的电位及接地电位同时输入从上述电位差检测电路输出的电位差检测信号，并且当上述电位差检测信号表示上述第 2 电位大于上述第 1 电位时就选择输出上述指定的电位，当上述电位差检测信号表示上述第 2 电位小于上述第 1 电位时就选择输出接地电位的开关电路，上述开关电路的输出电位作为上述第 3 电位；上述上拉电路具有：上述第 2 电位供给源极并且上述上拉控制信号输入栅极的第 1P 型 MOS 晶体管、和源极与上述第 1P 型 MOS 晶体管的漏极连接同时漏极与上述输出部连接并且第 3 电位加到栅极上的第 2P 型 MOS 晶体管；上述下拉电路具有：源极接地并且上述下拉控制信号输入栅极的第 1N 型 MOS 晶体管、和源极与上述第 1N 型 MOS 晶体管的漏极连接同时漏极与上述输出部连接并且上述第 1 电位加

到栅极上的第 2N 型 MOS 晶体管；上述电压变换电路向上述上拉电路指示以使上述输出部的电位上拉到上述第 2 电位时，就使上述上拉控制信号的电位小于从上述第 2 电位减去上述第 1P 型 MOS 晶体管的阈值电压后的电位，并且大于从上述第 2 电位减去与上述第 1P 型 MOS 晶体管的栅极氧化膜耐压相当的电压后的电位，另一方面，当未指示上述上拉电路将上述输出部的电位上拉到上述第 2 电位时，就将上述上拉控制信号的电位作为上述第 2 电位；上述电位差检测电路具有：上述第 2 电位供给源极并且上述第 1 电位加到栅极上的第 7P 型 MOS 晶体管、上述第 1 电位供给源极的第 8P 型 MOS 晶体管、漏极与上述第 7P 型 MOS 晶体管的漏极连接的第 7N 型 MOS 晶体管、漏极与上述第 7N 型 MOS 晶体管的源极连接并且源极接地的第 8N 型 MOS 晶体管、漏极与上述第 8P 型 MOS 晶体管的漏极连接并且源极接地的第 9N 型 MOS 晶体管、以及上述第 1 电位供给漏极，同时上述第 2 电位加到栅极上，且源极与上述第 8P 型 MOS 晶体管的栅极连接的第 10N 型 MOS 晶体管，上述第 8N 型 MOS 晶体管的栅极与上述第 9N 型 MOS 晶体管的漏极连接，同时，上述第 9N 型 MOS 晶体管的栅极与上述第 8N 型 MOS 晶体管的漏极连接，且从上述第 8P 型 MOS 晶体管的漏极与上述第 9N 型 MOS 晶体管的漏极间连接的节点输出上述电位差检测信号。

按照这样的输出电路，当从输出部输出“H”(第 2 电位)或“L”(接地电位)时或者使输出部成为高阻抗状态时，第 2 电位与接地电位的电位差就不会加到构成上拉电路和下拉电路的 MOS 晶体管的栅极氧化膜上，从而就不会发生栅极氧化膜击穿或恶化。

即，当从输出部输出第 2 电位时，构成上拉电路的第 1P 型 MOS 晶体管的栅极电位不是 0V，而是大于从第 2 电位减去第 1P 型 MOS 晶体管的栅极氧化膜耐压后的电压，并且小于从第 2 电位减去第 1P 型 MOS 晶体管的阈值电压后的电位。因此，即使第 2 电位加到源极上，第 1P 型 MOS 晶体管的栅-源极间电压也小于栅极氧化膜耐压。另外，构成下拉电路的第 1N 型 MOS 晶体管由于第 2N 型 MOS 晶体管的存在，输出部的电位即第 2 电位不直接传递到第 1N 型 MOS 晶体管的漏极，而是电压略降低后进行传

递。因此，第 1N 型 MOS 晶体管的栅 - 漏极间电压小于栅极氧化膜耐压。

另外，从输出部输出接地电位时，第 1P 型 MOS 晶体管由于第 2P 型 MOS 晶体的存在，输出部的电位即接地电位不直接传递到第 1P 型 MOS 晶体管的漏极，而是电压略上升后进行传递。因此，第 1P 型 MOS 晶体管的栅 - 漏极间电压小于栅极氧化膜耐压。

此外，当使输出部成为高阻抗状态时，同样大于栅极氧化膜耐压的电压也不会加到第 1P 型 MOS 晶体管及第 1N 型 MOS 晶体管上。

另外，通过将第 3 电位设定为 MOS 晶体管的漏极电流大的电位，可以使输出电路更高速地动作。

按照这样的输出电路，当第 2 电位大于第 1 电位时，就由电位差检测电路和开关电路将上述指定的电位选择为第 3 电位，当第 2 电位小于第 1 电位时，就选择接地电位作为第 3 电位。因此，即使第 2 电位发生变化，大于耐压的电压也不会加到 MOS 晶体管的栅极氧化膜上，并且总是可以将 MOS 晶体管的漏极电流大的最佳的电位选择为第 3 电位。

另外，上述电压变换电路具有上述第 2 电位供给源极的第 3 和第 4P 型 MOS 晶体管、源极与上述第 3P 型 MOS 晶体管的漏极连接的第 5P 型 MOS 晶体管、源极与上述第 4P 型 MOS 晶体管的漏极连接的第 6P 型 MOS 晶体管、漏极与上述第 6P 型 MOS 晶体管的漏极连接的第 3N 型 MOS 晶体管、漏极与上述第 3N 型 MOS 晶体管的源极连接并且源极接地的第 4N 型 MOS 晶体管、漏极与上述第 5P 型 MOS 晶体管的漏极连接的第 5N 型 MOS 晶体管、漏极与上述第 5N 型 MOS 晶体管的源极连接并且源极接地的第 6N 型 MOS 晶体管。并且，理想的是上述第 3P 型 MOS 晶体管的栅极与上述第 4P 型 MOS 晶体管的漏极连接，同时上述第 4P 型 MOS 晶体管的栅极与上述第 3P 型 MOS 晶体管的漏极连接，上述第 3 电位加到上述第 5 和第 6P 型 MOS 晶体管的栅极上，同时上述第 1 电位加到上述第 3 和第 5N 型 MOS 晶体管的栅极上，由上述信号生成电路生成的第 1 控制信号输入上述第 6N 型 MOS 晶体管的栅极，同时，上述第 1 控制信号的反相信号输入上述第 4N 型 MOS 晶体管的栅极，从上述第 4P 型 MOS 晶体管的漏极与上述第 6P 型 MOS 晶体管的源极连接的节点输出上述上拉控制信

号。

按照这样的输出电路，由信号生成电路生成的第1控制信号为“L”（0V）时，虽然第4P型MOS晶体管截止，第6P型MOS晶体管和第3及第4N型MOS晶体管导通，所以，上拉控制信号成为“L”，但是，由于第5P型MOS晶体管的存在，该电位便成为将考虑了基板偏压效应的P型MOS晶体管的阈值电压加到第3电位上的电位。因此，可以使构成上拉电路的第1P型MOS晶体管的栅-源极间电压小于栅极氧化膜耐压。另一方面，当由信号生成电路生成的第1控制信号为“H”时，第4和第6P型MOS晶体管及第3N型MOS晶体管导通，第4N型MOS晶体管截止，所以，上拉控制信号成为“H”即第2电位。在这些动作中，通过适当地设定第3电位，便可使大于耐压的电压加不到构成电压变换电路的各MOS晶体管的栅极氧化膜上。

附图说明

图1是表示本发明第1实施例的输出电路的结构的电路图。

图2是表示本发明第1实施例的输出电路的结构的电路图，是表示输出端部的输出电位为高电位时的动作的图。

图3是表示本发明第1实施例的输出电路的结构的电路图，是表示输出端部的输出电位为低电位时的动作的图。

图4是表示本发明第1实施例的输出电路的变形例的结构的电路图。

图5是表示本发明第2实施例的输出电路的结构的电路图。

图6是表示本发明第3实施例的输出电路的结构的电路图。

图7是表示本发明第3实施例的输出电路的电位差检测电路的详细结构的电路图。

图8是表示本发明第3实施例的输出电路的电位差检测电路的详细结构的电路图，是表示第2电位大于第1电位时的动作的图。

图9是表示本发明第3实施例的输出电路的电位差检测电路的详细结构的电路图，是表示第2电位小于第1电位时的动作的图。

图10是表示本发明第4实施例的输出电路的结构的电路图。

图 11 是表示本发明第 4 实施例的输出电路的变形例的结构的电路图。

图 12 是表示本发明第 4 实施例的输出电路的变形例的结构的电路图。

图 13 是表示先有的输出电路的结构的电路图。

图 14 是表示先有的输出电路的结构的电路图，是表示输出端部的输出电位为高电位时的动作的图。

图 15 是表示先有的输出电路的结构的电路图，是表示输出端部的输出电位为低电位时的动作的图。

具体实施方式

下面，参照附图说明本发明的实施例。

(第 1 实施例)

图 1 是表示本发明第 4 实施例的输出电路的结构的电路图。本发明的输出电路是作为与以大于构成 LSI 的 MOS 晶体管的栅极氧化膜耐压的电压为电源电压的外部 LSI 的接口使用的输出电路，根据 LSI 的内部电路的输出信号，将输出端部的电位状态设定为外部 LSI 的电源电位（高电平）、接地电位（低电平）和高阻抗中的某一种状态。

在图 1 中，OUT 是作为与外部 LSI 的信号线连接的输出部的输出端部，IN 和 EN 是控制输出端部 OUT 的电位状态的输出控制端子，IN 是输入单片电路（LSI 的内部电路）的信号的输入端子，EN 是输入启动信号的启动端子，10 是根据输出控制端子 IN、EN 的电位生成第 1 控制信号 S1 和第 2 控制信号 S2 的信号生成电路，20 是将从信号生成电路 10 输入的第 1 控制信号 S1 升压后作为上拉控制信号 Su 输出的电压变换电路，30 是根据从电压变换电路 20 输入的上拉控制信号 Su 提升输出端部 OUT 的电位的上拉电路，40 是根据从信号生成电路 10 输入的第 2 控制信号 S2（下拉控制信号 Sd）下拉输出端部 OUT 的电位的下拉电路。另外，VDD1 是第 1 电位，该值小于构成 LSI 的 MOS 晶体管的栅极氧化膜的耐压，例如为 3V，VDD2 是外部 LSI 的电源电位即第 2 电位，该值大于构成 LSI 的 MOS 晶体管的栅极氧化膜的耐压，例如为 5V。

信号生成电路 10 由分别输入向输入端子 IN 输入的信号和向启动端子

EN 输入的启动信号的与非门 11 和或非门 12 构成, 从与非门 11 输出第 1 控制信号 S1, 从或非门 12 输出第 2 控制信号 S2。另外, 第 1 电位 VDD1 作为电源电位供给与非门 11 和或非门 12, 在小于 MOS 晶体管的栅极氧化膜耐压的电压下动作。

电压变换电路 20 由 P 型 MOS 晶体管 21, 22, 25, 26、N 型 MOS 晶体管 23, 24, 27, 28 和进行信号的逻辑反转的反相电路 29 构成, 与图 13 所示的先有的输出电路的电压变换电路 120 比较, 变成了在 P 型 MOS 晶体管 21, 22 与 N 型 MOS 晶体管 23, 24 之间插入了 P 型 MOS 晶体管 25, 26 和 N 型 MOS 晶体管 27, 28 的形式。P 型 MOS 晶体管 21, 22, 25, 26 分别上面发明概述部分中所述的第 3P 型 MOS 晶体管、第 4P 型 MOS 晶体管、第 5P 型 MOS 晶体管、第 6P 型 MOS 晶体管相当, N 型 MOS 晶体管 23, 24, 27, 28 与上面发明概述部分中所述的第 6N 型 MOS 晶体管、第 4N 型 MOS 晶体管、第 5N 型 MOS 晶体管、第 3N 型 MOS 晶体管相当。

第 2 电位 VDD2 供给 P 型 MOS 晶体管 21, 22 的源极, 漏极分别与 P 型 MOS 晶体管 25, 26 的源极连接。并且, P 型 MOS 晶体管 25, 26 的漏极分别与 N 型 MOS 晶体管 27, 28 的漏极连接, N 型 MOS 晶体管 27, 28 的源极分别与 N 型 MOS 晶体管 23, 24 的漏极连接, N 型 MOS 晶体管 23, 24 的源极接地。

P 型 MOS 晶体管 21 的栅极与 P 型 MOS 晶体管 22 的漏极(P 型 MOS 晶体管 26 的源极) 连接(节点 B), P 型 MOS 晶体管 22 的栅极与 P 型 MOS 晶体管 21 的漏极(P 型 MOS 晶体管 25 的源极) 连接(节点 A)。从节点 B 输出上拉控制信号 Su。第 1 电位 VDD1 加到 P 型 MOS 晶体管 25, 26 和 N 型 MOS 晶体管 27, 28 的栅极上。另外, 由信号生成电路 10 生成的第 1 控制信号 S1 输入 N 型 MOS 晶体管 23 的栅极, 第 1 控制信号 S1 由反相电路 29 反相后输入 N 型 MOS 晶体管 24 的栅极。

P 型 MOS 晶体管 21, 22, 25, 26 的基板电位是第 2 电位 VDD2, N 型 MOS 晶体管 23, 24, 27, 28 的基板电位为接地电位。另外, 第 1 电位 VDD1 作为电源电位供给反相电路 29。

上拉电路 30 将从电压变换电路 20 输出的上拉控制信号 Su 作为输入,

当从输出端部 OUT 输出 “H” 时，就将输出端部 OUT 的电位提升到第 2 电位 VDD2，由 P 型 MOS 晶体管 31, 32 构成。P 型 MOS 晶体管 31 与上面发明概述部分中所述的第 1P 型 MOS 晶体管相当，P 型 MOS 晶体管 32 与上面发明概述部分中所述的第 2P 型 MOS 晶体管相当。

上拉控制信号 Su 输入 P 型 MOS 晶体管 31 的栅极，第 2 电位 VDD2 供给源极，同时，P 型 MOS 晶体管 31 的漏极与 P 型 MOS 晶体管 32 的源极连接。第 1 电位 VDD1 加到 P 型 MOS 晶体管 32 的栅极上，并且其源极与 P 型 MOS 晶体管 31 的漏极连接，同时，其漏极与输出端部 OUT 连接。另外，P 型 MOS 晶体管 31, 32 的基板电位都是第 2 电位 VDD2。

下拉电路 40 将从信号生成电路 10 输出的下拉控制信号 Sd (第 2 控制信号 S2) 作为输入，当从输出端部 OUT 输出 “L” 时，就将输出端部 OUT 的电位下拉到接地电位，由 N 型 MOS 晶体管 41, 42 构成。N 型 MOS 晶体管 41 与上面发明概述部分中所述的第 1N 型 MOS 晶体管相当，N 型 MOS 晶体管 42 与上面发明概述部分中所述的第 2N 型 MOS 晶体管相当。

下拉控制信号 Sd 输入 N 型 MOS 晶体管 41 的栅极，其源极接地，同时，其漏极与 N 型 MOS 晶体管 42 的源极连接。另外，第 1 电位 VDD1 加到 N 型 MOS 晶体管 42 的栅极上，此外，其源极与 N 型 MOS 晶体管 41 的漏极连接，同时，其漏极与输出端部 OUT 连接。

下面，说明图 1 所示的本实施例的输出电路的动作。在下面的说明中，将第 1 电位 VDD1 取为 3V，将第 2 电位 VDD2 取为 5V。

首先，使用图 2 说明从输出端部 OUT 输出 “H”(5V) 时的动作。这时，将 “H”(3V) 的启动信号输入启动端子 EN，同时，将 “H”(3V) 的输入信号输入输入端子 IN。

于是，与非门 11 的输出信号即第 1 控制信号 S1 成为 “L”(0V)，或非门 12 的输出信号即第 2 控制信号 S2 也成为 “L”(0V)。由于第 1 控制信号 S1 为 0V，所以，N 型 MOS 晶体管 23 的栅极电位成为 0V，另外，由于 N 型 MOS 晶体管 24 的栅极电位是第 1 控制信号 S1 通过反相电路 29 而输入的，所以成为 3V。

因此，N 型 MOS 晶体管 23 截止，而 N 型 MOS 晶体管 24 导通。由

于N型MOS晶体管28的栅极电位是第1电位VDD1即3V，所以导通，另外，由于P型MOS晶体管26的基板电位为第2电位VDD2即5V，并且栅极电位是第1电位VDD1即3V，所以导通。因此，N型MOS晶体管24，28和P型MOS晶体管26全部导通，所以，节点B的电位降低，这样，P型MOS晶体管21便导通。

由于P型MOS晶体管21导通，N型MOS晶体管23截止，所以，节点A的电位成为5V。通过使节点A成为5V，P型MOS晶体管22截止，另一方面，由于N型MOS晶体管24，28和P型MOS晶体管26全部导通，所以，节点B的电位降低。然而，由于P型MOS晶体管26的存在，节点B的电位不会成为0V。设这时的节点B的电位为VB，考虑了基板偏压效应的P型MOS晶体管的阈值电压为VTP'，则

$$V_B = 3 + |V_{TP}'|$$

即，上拉控制信号Su的电位成为 $(3 + |V_{TP}'|) V$ 。

通过使上拉控制信号Su的电位降低，上拉电路30的P型MOS晶体管31便导通。另外，由于P型MOS晶体管32的基板电位是第2电位VDD2即5V并且栅极电位为第1电位VDD1即3V，所以导通。此外，由于从信号生成电路10输出的下拉控制信号Sd（第2控制信号S2）是0V，所以，下拉电路40的N型MOS晶体管41的栅极电位成为0V而截止。由于P型MOS晶体管31导通，N型MOS晶体管41截止，并且第2电位VDD2即5V供给P型MOS晶体管31的源极，所以，输出端部OUT的电位成为“H”(5V)。

如上所述，当将“H”(3V)的启动信号输入启动端子EN，同时将“H”(3V)的输入信号输入输入端子IN时，就从输出端部OUT输出“H”(5V)。在图2中，用虚线将从输出端部OUT输出“H”时成为导通的MOS晶体管框起来。

另外，这时，5V的电压不交到构成输出电路的任何一个MOS晶体管的栅极氧化膜上，从而不会招致栅极氧化膜击穿及恶化。

即，从输出端部OUT输出“H”(5V)时，虽然N型MOS晶体管23的栅极电位成为0V，节点A的电位成为5V，但是，由于第1电位VDD1

即 3V 加到栅极上的 N 型 MOS 晶体管 27 的存在, N 型 MOS 晶体管 23 的漏极电位 VD23 不会成为 5V, 设考虑了基板偏压效应的 N 型 MOS 晶体管的阈值电压为 V_{TN}' , 则

$$VD23 = 3 - V_{TN}'$$

因此, N 型 MOS 晶体管 23 的栅-漏极间电压为 $(3 - V_{TN}')$, 不会成为 5V, 而是小于 3V。

另外, 由于节点 A 的电位为 5V, 节点 B 的电位为 $(3 + |V_{TP}'|)V$, 所以, P 型 MOS 晶体管 22 的栅-漏极间电压 ($VDG22$)、P 型 MOS 晶体管 21 的栅-源极间电压 ($VGS21$) 和 P 型 MOS 晶体管 31 的栅-源极间电压 ($VGS31$) 的绝对值为

$$\begin{aligned} |VDG22| &= |VGS21| \\ &= |VGS31| \\ &= |(3 + |V_{TP}'|) - 5| \\ &= 2 - |V_{TP}'| \end{aligned}$$

不会成为 5V, 小于 3V。

此外, 虽然 N 型 MOS 晶体管 41 的栅极成为 0V, 输出端部 OUT 成为 5V, 但是, 由于第 1 电位 VDD1 即 3V 加到栅极上的 N 型 MOS 晶体管 42 的存在, 加到 N 型 MOS 晶体管 41 的漏极上的电压 ($VD41$) 不会成为 5V, 而成为

$$VD41 = 3 - V_{TN}'$$

因此, 在 N 型 MOS 晶体管 41 中, 栅-漏极间电压也是 $(3 - V_{TN}')$, 不会成为 5V, 而是小于 3V。

其次, 使用图 3 说明从输出端部 OUT 输出 “L”(0V) 时的动作。这时, 将 “H”(3V) 的启动信号输入启动端子 EN, 同时将 “L”(0V) 的输入信号输入输入端子 IN。

于是, 与非门 11 的输出信号即第 1 控制信号 S1 成为 “H”(3V), 或非门 12 的输出信号即第 2 控制信号 S2 也成为 “H”(3V)。当第 1 控制信号 S1 成为 3V 时, N 型 MOS 晶体管 23 的栅极电位成为 3V, 另外, N 型 MOS 晶体管 24 的栅极电位由于是第 1 控制信号 S1 通过反相电路 29

输入的，所以成为 0V。

因此，N 型 MOS 晶体管 23 导通，N 型 MOS 晶体管 24 截止。N 型 MOS 晶体管 27 由于栅极电位为第 1 电位 VDD1 即 3V，所以导通，另外，P 型 MOS 晶体管 25 由于基板电位为第 2 电位 VDD2 即 5V 并且栅极电位为第 1 电位 VDD1 即 3V，所以导通。因此，由于 N 型 MOS 晶体管 23，27 和 P 型 MOS 晶体管 25 全部导通，所以，节点 A 的电位降低，从而 P 型 MOS 晶体管 22 导通。由于 P 型 MOS 晶体管 22 导通，而 N 型 MOS 晶体管 24 截止，所以，节点 B 的电位成为 5V。即，上拉控制信号 Su 的电位成为 5V。

通过使节点 B 的电位成为 5V，P 型 MOS 晶体管 21 截止，而 N 型 MOS 晶体管 23，27 和 P 型 MOS 晶体管 25 全部导通，所以，节点 A 的电位降低，但是，由于 P 型 MOS 晶体管 25 的存在，不会成为 0V。设这时的节点 A 的电位为 VA，考虑了基板偏压效应的 P 型 MOS 晶体管的阈值电压为 VTP'，则

$$V_A = 3 + |V_{TP}'|$$

通过使上拉控制信号 Su 的电位成为 5V，上拉电路 30 的 P 型 MOS 晶体管 31 便截止。另外，由于下拉控制信号 Sd（第 2 控制信号 S2）为 3V，所以，下拉电路 40 的 N 型 MOS 晶体管 41 的栅极电位成为 3V 而导通。由于 P 型 MOS 晶体管 31 截止，同时 N 型 MOS 晶体管 41 导通，此外 N 型 MOS 晶体管 41 的源极接地，所以，输出端部 OUT 的电位成为 “L”（0V）。

如上所述，当将 “H”（3V）的启动信号输入启动端子 EN，同时将 “L”（0V）的输入信号输入输入端子 IN 时，就从输出端部 OUT 输出 “L”（0V）。在图 3 中，用虚线将从输出端部 OUT 输出 “L” 时成为导通的 MOS 晶体管框起来。

另外，这时，5V 的电压加不到构成输出电路的任何一个 MOS 晶体管的栅极氧化膜上，从而不会招致栅极氧化膜击穿及恶化。

即，从输出端部 OUT 输出 “L”（0V）时，N 型 MOS 晶体管 24 的栅极电位成为 0V，节点 B 的电位成为 5V，但是，由于第 1 电位 VDD1 即

3V 加到栅极上的 N 型 MOS 晶体管 28 的存在，加到 N 型 MOS 晶体管 24 的漏极上的电压 (V_{D24}) 不会成为 5V，设考虑了基板偏压效应的 N 型 MOS 晶体管的阈值电压为 V_{TN}' ，则

$$V_{D24} = 3 - V_{TN}'$$

因此，N 型 MOS 晶体管 24 的栅 - 漏极间电压为 $(3 - V_{TN}')$ ，不会成为 5V，而是小于 3V。

另外，由于节点 B 的电位成为 5V，节点 A 的电位成为 $(3 + |V_{TP}'|)$ V，所以，P 型 MOS 晶体管 22 的栅 - 漏极间电压 (V_{DG22}) 和 P 型 MOS 晶体管 21 的栅 - 源极间电压 (V_{GS21}) 的绝对值为

$$\begin{aligned} |V_{DG22}| &= |V_{GS21}| \\ &= |(3 + |V_{TP}'|) - 5| \\ &= 2 - |V_{TP}'| \end{aligned}$$

不会成为 5V，而是小于 3V。

虽然 P 型 MOS 晶体管 31 的栅极电位成为 5V，输出端部 OUT 的电位成为 0V，但是，由于第 1 电位 V_{DD1} 加到栅极上的 P 型 MOS 晶体管 32 的存在，P 型 MOS 晶体管 31 的漏极电位 V_{D31} 成为

$V_{D31} = 3 + |V_{TP}'|$ ，P 型 MOS 晶体管 31 的栅 - 漏极间电压 (V_{DG31}) 的绝对值为

$$\begin{aligned} |V_{DG31}| &= |(3 + |V_{TP}'|) - 5| \\ &= 2 - |V_{TP}'| \end{aligned}$$

不会成为 5V，而是小于 3V。

下面，说明使输出端部 OUT 成为高阻抗状态时的动作。这时，将“L”(0V) 的启动信号输入启动端子。

于是，与非门 11 的输出信号即第 1 控制信号 S1 成为“H”(3V)，或非门 12 的输出信号即第 2 控制信号 S2 成为“L”(0V)。这时，由于电压变换电路 20 和从输出端部 OUT 输出“H”时的动作一样，所以，节点 A 的电位成为 $(3 + |V_{TP}'|)$ ，节点 B 的电位即上拉控制信号 S_u 成为 5V。因此，上拉电路 30 的 P 型 MOS 晶体管 31 由于栅极电位成为 5V 而截止，另外，下拉电路 40 的 N 型 MOS 晶体管 41 也由于栅极电位成为

0V 而截止，从而输出端部 OUT 成为高阻抗状态。

在该状态下，即使从外部将 5V 或 0V 加到输出端部 OUT 上，和从输出端部 OUT 输出 “H” 或 “L” 时一样，5V 的电压加不到任何一个 MOS 晶体管的栅极氧化膜上，从而招致栅极氧化膜击穿或恶化。

如上所述，按照本实施例的输出电路，不会将 5V 的电压加到所有的 MOS 晶体管的栅极氧化膜上，从而可以输出振幅为 5V 的信号。一般说来，按照本实施例的输出电路，即使外部 LSI 的电源电压大于构成输出电路的 MOS 晶体管的栅极氧化膜耐压，大于耐压的电压也不会加到各 MOS 晶体管的栅极氧化膜上，从而可以输出以上述外部 LSI 的电源电压为振幅的信号。

本实施例的输出电路也可以采用图 4 所示的结构。在图 4 中，电压变换电路 20 是从图 1 所示的输出电路中的电压变换电路 20 中去掉 N 型 MOS 晶体管 23 的结构，反相电路 29 的输出线直接与 N 型 MOS 晶体管 27 的源极连接。使用图 4 所示的输出电路，也可以获得和图 1 所示的输出电路相同的效果，而且还可以减少 1 个 N 型 MOS 晶体管。

(第 2 实施例)

图 5 是表示本发明第 2 实施例的输出电路的结构的电路图。与图 1 所示的第 1 实施例的输出电路不同的地方是不将第 1 电位 VDD1 加到构成电压变换电路 20 的 P 型 MOS 晶体管 25, 26 和构成上拉电路 30 的 P 型 MOS 晶体管 32 的栅极上而代之以加上第 3 电位 VDD3。

在图 5 中，对于和图 1 所示的第 1 实施例的输出电路共同的结构要素标以和图 1 相同的符号，在本实施例中省略其详细的说明。

图 5 所示的输出电路进行和图 1 所示的第 1 实施例的输出电路相同的动作，从输出端部 OUT 输出 “H”(5V) 及 “L”(0V) 时和使输出端部 OUT 成为高阻抗状态时各 MOS 晶体管的导通/截止状态用相同。

但是，由于结构为将第 3 电位 VDD3 加到 P 型 MOS 晶体管 25, 26, 32 的栅极上，所以，可以自由地设定这些 P 型 MOS 晶体管的栅极电位。

这里，将第 1 电位 VDD1 取为 3V，将第 2 电位 VDD2 取为 5V。如图

1 所示的输出电路那样, 当第 1 电位 VDD1 加到 P 型 MOS 晶体管 25, 26, 32 的栅极上时, P 型 MOS 晶体管 25, 26, 32 的栅-源极间电压 VGS 就成为

$$\begin{aligned} VGS &= VDD1 - VDD2 \\ &= 3 - 5 = -2 \end{aligned}$$

设晶体管的增益系数为 β_p 、基板偏压为 0V 时的阈值电压为 VTP, 则 P 型 MOS 晶体管的饱和动作时的漏极电流 Idsp 为

$$Idsp = (\beta_p / 2) \times (VGS - VTP)^2$$

即, 在 LSI 的处理上允许的范围内, 栅-源极间电压 VGS 越大, 就可以使 P 型 MOS 晶体管的漏极电流越大。

设 LSI 的处理上允许的栅-源极间电压的最大值例如为 3.6V, 在图 5 所示的输出电路中通过给出 1.4V 作为第 3 电位 VDD3, 则 P 型 MOS 晶体管 25, 26, 32 的栅-源极间电压 VGS' 便为

$$\begin{aligned} VGS' &= VIN - VDD2 \\ &= 1.4 - 5 = -3.6 \end{aligned}$$

成为 LSI 的处理上允许的范围内的最大值。设 VTP 为 -0.6V, 则与图 1 所示的输出电路的漏极电流之比为

$$\begin{aligned} &\{-3.6 - (-0.6)\}^2 / \{-2 - (-0.6)\}^2 \\ &= 9 / 1.96 = 4.59 \end{aligned}$$

可以使 P 型 MOS 晶体管的漏极电流成为图 1 所示的输出电路的 4.59 倍。从而可以获得漏极电流越大, 输出电路的动作速度越快的效果。

此外, 第 3 电位 VDD3 既可以从构成输出电路的 LSI 的外部供给, 也可以在 LSI 的内部设置生成第 3 电位 VDD3 的电压生成电路。

另外, 和第 1 实施例的图 4 所示的变形例一样, 在电压变换电路 20 中, 也可以采用去掉 N 型 MOS 晶体管 23, 将反相电路 29 的输出线与 N 型 MOS 晶体管 27 的源极连接的结构。

(第 3 实施例)

图 6 是表示本发明第 3 实施例的输出电路的结构的电路图。和图 5 所

示的第2实施例的输出电路不同的地方是采用根据从检测第1电位VDD1与第2电位VDD2的电位差的电位差检测电路50输出的电位差检测信号OUT1由开关电路58将加到电压变换电路20的P型MOS晶体管25, 26和上拉电路30的P型MOS晶体管32的栅极上的第3电位VDD3设定为指定的电位VIN或接地电位的结构。

在图6中, 对于和图5所示的第2实施例的输出电路共同的结构要素标以和图5相同的符号, 在本实施例中省略其详细的说明。

图6所示的输出电路进行和图1所示的第1实施例的输出电路及图5所示的第2实施例的输出电路相同的动作, 从输出端部OUT输出“H”(5V)及“L”(0V)时和使输出端部OUT成为高阻抗状态时各MOS晶体管的导通/截止状态用相同。

开关电路58根据从电位差检测电路50输出的电位差检测信号OUT1当第2电位VDD2大于第1电位VDD1时, 就将指定的电位VIN作为第3电位VDD3加到P型MOS晶体管25, 26, 32的栅极上, 当第2电位VDD2小于第1电位VDD1时就将P型MOS晶体管25, 26, 32的栅极接地。

下面, 说明采用图6所示的结构的目的。

设第1电位VDD1为3V, 当将本发明的输出电路总是与在5V电源下动作的其他LSI连接(即, 第2电位VDD2总是5V)时, 在图1或图5所示的结构中也没有特别的问题, 但是, 随使用者(用户)不同, 有时也可以将本发明的输出电路与在3V电源下动作的其他LSI连接使用。这时, 即第1电位VDD1和第2电位VDD2都是3V时, 如果使用图1和图5所示结构的输出电路, 则流过MOS晶体管的漏极电流非常小, 从而动作速度降低。

例如, 在图5所示的输出电路中, 设取第1电位VDD1为3V, 取第3电位VDD3为1.4V, 当第2电位VDD2为5V时, 如在第2实施例中说明的那样, P型MOS晶体管25, 26, 32的栅极-源极间电压VGS为-3.6V。然而, 当第2电位VDD2为3V时, P型MOS晶体管25, 26, 32的栅极-源极间电压VGS便成为

$$VGS = VDD3 - VDD2$$

$$= 1.4 - 3 = -1.6$$

第2电位 VDD2 为 5V 时和 3V 的 P 型 MOS 晶体管 25, 26, 32 的漏极电流之比为

$$\begin{aligned} & \{-1.6 - (-0.6)\}^2 / \{-3.6 - (-0.6)\}^2 \\ & = 1/9 = 0.11 \end{aligned}$$

第2电位 VDD2 为 3V 时与第2电位 VDD2 为 5V 时相比, 漏极电流降低为 0.11 倍。

另一方面, 按照图 6 所示的本实施例的输出电路, 第2电位 VDD2 小于第1电位 VDD1 时, 由于利用开关电路 58 将 P 型 MOS 晶体管 25, 26, 32 的栅极接地, 所以, 例如, 即使第2电位 VDD2 与第1电位 VDD1 同是 3V, P 型 MOS 晶体管 25, 26, 32 的栅极-源极间电压 VGS 也为

$$\begin{aligned} & VGS = VDD3 - VDD2 \\ & = 0 - 3 = -3 \end{aligned}$$

第2电位 VDD2 为 5V 时和 3V 时的 P 型 MOS 晶体管 25, 26, 32 的漏极电流之比为

$$\begin{aligned} & \{-3.0 - (-0.6)\}^2 / \{-3.6 - (-0.6)\}^2 \\ & = 5.76/9 = 0.64 \end{aligned}$$

与在图 5 所示的输出电路中漏极电流降低为 0.11 倍的情况相比, 在图 6 所示的本实施例的输出电路中, 漏极电流只降低为 0.64 倍。因此, 大幅度地改善了第2电位 VDD2 的变化所引起的动作速度的降低。

图 7 是表示电位差检测电路 50 的详细结构的电路图。

在图 7 中, 51, 52 是 P 型 MOS 晶体管, 分别与权利要求 11 中的第 7P 型 MOS 晶体管及第 8P 型 MOS 晶体管相当。另外, 53, 54, 55, 56 是 N 型 MOS 晶体管, 分别与权利要求 11 中的第 7N 型 MOS 晶体管、第 8N 型 MOS 晶体管、第 9N 型 MOS 晶体管、第 10N 型 MOS 晶体管相当。另外, 57 是高电阻。

第1电位 VDD1 加到 P 型 MOS 晶体管 51 的栅极上, 第2电位 VDD2 加到源极和基板上, 漏极与 N 型 MOS 晶体管 53 的漏极连接。P 型 MOS 晶体管 52 的栅极与 N 型 MOS 晶体管 56 的源极连接, 第2电位 VDD2 加

到基板上，第 1 电位 VDD1 加到源极上，同时与 N 型 MOS 晶体管 56 的漏极连接，而漏极与 N 型 MOS 晶体管 55 的漏极和 N 型 MOS 晶体管 54 的栅极连接，从这些连接点输出电位差检测信号 OUT1。

第 1 电位 VDD1 加到 N 型 MOS 晶体管 53 的栅极上，其漏极与 P 型 MOS 晶体管 51 的漏极连接，其源极与 N 型 MOS 晶体管 54 的漏极和 N 型 MOS 晶体管 55 的栅极连接，其基板接地。N 型 MOS 晶体管 54 的栅极与 P 型 MOS 晶体管 52 的漏极和 N 型 MOS 晶体管 55 的漏极连接，其漏极与 N 型 MOS 晶体管 53 的源极和 N 型 MOS 晶体管 55 的栅极连接，其基板和源极接地。N 型 MOS 晶体管 55 的栅极与 N 型 MOS 晶体管 53 的源极和 N 型 MOS 晶体管 54 的漏极连接，其漏极与 P 型 MOS 晶体管 52 的漏极和 N 型 MOS 晶体管 54 的栅极连接，其基板和源极接地。

另外，第 2 电位 VDD2 加到 N 型 MOS 晶体管 56 的栅极上，第 1 电位 VDD1 加到其漏极上，其源极与 P 型 MOS 晶体管 52 的栅极连接，其基板接地。高电阻 57 的一端与 N 型 MOS 晶体管 56 的源极和 P 型 MOS 晶体管 52 的栅极连接，另一端接地。

下面，使用图 8 和图 9 说明图 7 所示的电位差检测电路 50 的动作。

首先，说明第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时例如第 2 电位 VDD2 是 5V、第 1 电位 VDD1 是 3V 时的动作。

这时，P 型 MOS 晶体管 51 的栅极电位为第 1 电位 VDD1 即 3V，源极和基板的电位为第 2 电位 VDD2 即 5V，所以导通。另一方面，N 型 MOS 晶体管 56 由于基板电位为 0V、漏极电位为第 1 电位 VDD1 即 3V、栅极电位为第 2 电位 VDD2 即 5V，所以导通，而源极电位成为 3V。P 型 MOS 晶体管 52 由于源极电位为第 1 电位 VDD1 即 3V、同时基板电位为第 2 电位 VDD2 即 5V、栅极电位为 N 型 MOS 晶体管 56 的源极电位即 3V，所以截止。另外，N 型 MOS 晶体管 53 由于栅极电位为第 1 电位 VDD1 即 3V，所以导通。

通过使 P 型 MOS 晶体管 51 和 N 型 MOS 晶体管 53 成为导通，N 型 MOS 晶体管 55 的栅极电位上升，从而 N 型 MOS 晶体管 55 导通。通过 N 型 MOS 晶体管 55 导通，N 型 MOS 晶体管 54 的栅极电位成为接地电位，

从而 N 型 MOS 晶体管 54 截止。

因此，如图 8 所示，当第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时，P 型 MOS 晶体管 51 和 N 型 MOS 晶体管 53, 55, 56 导通，同时 P 型 MOS 晶体管 52 和 N 型 MOS 晶体管 54 截止，电位差检测信号 OUT1 成为接地电位即 0V。在图 8 中，用虚线将第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时导通的 MOS 晶体管框起来。

其次，说明第 2 电位 VDD2 小于第 1 电位 VDD1 时例如第 2 电位 VDD2 和第 1 电位 VDD1 都是 3V 时的动作。

这时，P 型 MOS 晶体管 51 由于栅极、源极和基板电位全是 3V，所以截止。另一方面，N 型 MOS 晶体管 56 由于基板为 0V、栅极和漏极是 3V，所以成为源极跟随器动作，设考虑了基板偏压效应的阈值电压 V_{TN}' 为例如 0.9V，则源极电位 V_S 为

$$\begin{aligned} V_S &= VDD2 - V_{TN}' \\ &= 3 - 0.9 = 2.1 \end{aligned}$$

这样，P 型 MOS 晶体管 52 便由于栅极电位为 2.1V、源极和基板的电位为 3V 而导通。通过 P 型 MOS 晶体管 52 成为导通，N 型 MOS 晶体管 54 的栅极电位便上升，从而 N 型 MOS 晶体管 54 导通。通过 N 型 MOS 晶体管 54 成为导通，N 型 MOS 晶体管 55 的栅极电位成为接地电位，从而 N 型 MOS 晶体管 55 截止。

因此，如图 9 所示，当第 2 电位 VDD2 是与第 1 电位 VDD1 相同的电位时，P 型 MOS 晶体管 52 和 N 型 MOS 晶体管 53, 54 导通，同时，P 型 MOS 晶体管 51 和 N 型 MOS 晶体管 55 截止，从而电位差检测信号 OUT1 成为 3V。在图 9 中，用虚线将第 2 电位 VDD2 是与第 1 电位 VDD1 相同的电位时成为导通的 MOS 晶体管框起来。此外，N 型 MOS 晶体管 56 是弱导通状态。

此外，图 7 所示的电位差检测电路 50 还是即使第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时大于第 1 电位 VDD1 与接地电位的电位差的电压也不会加到各 MOS 晶体管的栅极氧化膜上的结构。

例如，当第 1 电位为 3V 而第 2 电位 VDD2 为 5V 时，N 型 MOS 晶体

管 56 基板电位为 0V、源极和漏极电位为 3V、栅极电位为 5V，是导通状态，由于在基板上形成了反相层（在本例中为 3V），所以，加到栅极氧化膜上的电压为 2V。另外，P 型 MOS 晶体管 51 的基板、源极和漏极的电位为 5V，而栅极电位为 3V，所以，加到栅极氧化膜上的电压为 2V。N 型 MOS 晶体管 53 的漏极电位为 5V、基板电位为 0V，而栅极电位为 3V，是导通状态，由于在基板上形成了反相层，所以，加到栅极氧化膜上的电压小于 2V。

这样，电位差检测电路 50 在第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时作为电位差检测信号 OUT1 便输出 “L”；另一方面，当第 2 电位 VDD2 是与第 1 电位 VDD1 相同的电位时作为电位差检测信号 OUT1 便输出 “H”。而且，大于第 1 电位 VDD1 与接地电位的电位差的电压不会加到各晶体管的栅极氧化膜上。

根据这样的电位差检测电路 50 的电位差检测信号 OUT1，开关电路 58 在第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时作为第 3 电位 VDD3 就将指定的电位 VIN 加到 P 型 MOS 晶体管 25, 26, 32 的栅极上，另外，当第 2 电位 VDD2 小于第 1 电位 VDD1 时就使 P 型 MOS 晶体管 25, 26, 32 的栅极成为接地电位。利用这样的结构，在第 2 电位 VDD2 降低时也可以使输出电路高速地动作。因此，不论连接的外部 LSI 是 3V 动作电路还是 5V 动作电路都可以总是保持高速动作，从而可以提供可以动作的电压范围宽的输出电路。

（第 4 实施例）

图 10 是表示本发明第 4 实施例的输出电路的结构的电路图。在图 10 所示的输出电路中，在 N 型 MOS 晶体管 23 的漏极和 N 型 MOS 晶体管 27 的源极的连接点即节点 C 与节点 A 之间，串联连接 N 型 MOS 晶体管 61、62，另外，在 N 型 MOS 晶体管 24 的漏极和 N 型 MOS 晶体管 28 的源极的连接点即节点 D 与节点 B 之间，串联连接 N 型 MOS 晶体管 63、64。第 1 电位 VDD1 加到 N 型 MOS 晶体管 61、63 的栅极上，检测第 1 电位 VDD1 与第 2 电位 VDD2 的电位差的电位差检测电路 50 的电位差检

测信号 OUT1 输入到 N 型 MOS 晶体管 62、64 的栅极上。

除了这些方面以外,和图 5 所示的第 2 实施例的输出电路的结构相同,对于和图 5 共同的结构要素标以相同的符号,在本实施例中省略其详细的说明。由 N 型 MOS 晶体管 61、62、63 和 64 构成电压变换促进电路, N 型 MOS 晶体管 61、62、63 和 64 分别与上面发明概述部分中所述的第 11N 型 MOS 晶体管、第 12N 型 MOS 晶体管、第 13N 型 MOS 晶体管和第 14N 型 MOS 晶体管相当。

本实施例的输出电路的目的旨在改善第 2 电位 VDD2 小于第 1 电位 VDD1 时的特性。具体说来,就是要缩短从输出端部 OUT 输出 “H” 时的延迟时间。

电位差检测电路 50 在第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时作为电位差检测信号 OUT1 输出 “L”(0V),另外,当第 2 电位 VDD2 小于第 1 电位 VDD1 时作为电位差检测信号 OUT1 输出 “H”(VDD1)。

因此,当第 2 电位 VDD2 是高于第 1 电位 VDD1 的高电位时,由于 N 型 MOS 晶体管 62、64 截止,所以,节点 A-C 间和节点 B-D 间不会旁路。另一方面,当第 2 电位 VDD2 小于第 1 电位 VDD1 时,由于 N 型 MOS 晶体管 62、64 导通,所以,在节点 A-C 间形成由 N 型 MOS 晶体管 61、62 构成的旁路,同时,在节点 B-D 间形成由 N 型 MOS 晶体管构成的旁路。

从输出端部 OUT 输出 “H” 时,节点 B 的电位(上拉控制信号 Su)降低,这时,由于由 N 型 MOS 晶体管 63、64 构成的旁路将节点 B 的电位向下拉,所以,如图 5 所示的输出电路那样,比没有旁路而仅由 P 型 MOS 晶体管 26 向下拉时更迅速地降低。而且,节点 B 的 “L” 的电位从 $(VDD3 + |VTP'|) V$ 变为 0V。上拉电路 30 的 P 型 MOS 晶体管 31 由于栅极电位成为 0V 从而栅-源极间电压增大,所以,漏极电流增大。因此,通过节点 B 的电位迅速降低和 P 型 MOS 晶体管 31 的漏极电流增大,从输出端部 OUT 输出 “H” 时的延迟时间便缩短。

图 11 是表示本实施例的输出电路的变形例的结构的电路图。与图 1 比较,不同的地方是 N 型 MOS 晶体管 61、62 串联连接在节点 A 与反相电

路 29 的输出线之间，N 型 MOS 晶体管 63、64 串联连接在节点 B 与反相电路 29 的输入线之间。

第 2 电位 VDD2 小于第 1 电位 VDD1 时，由于 N 型 MOS 晶体管 62、64 导通，所以，在节点 A 与反相电路 29 的输出线之间形成由 N 型 MOS 晶体管 61、62 构成的旁路，同时，在节点 B 与反相电路 29 的输入线之间形成由 N 型 MOS 晶体管 63、64 构成的旁路。

从输出端部 OUT 输出 “H” 时，节点 A 的电位成为 “H”，节点 B 的电位（上拉控制信号 Su）成为 “L”，但是，由于从信号生成电路

10 输出的第 1 控制信号 S1 是 “L”，所以，反相电路 29 的输出信号成为 “H”，通过旁路将节点 A 的电位向上拉。因此，节点 A 的电位成为 “H” 的延迟时间便缩短，从而，以比图 10 所示的输出电路更高速地动作。

图 12 是表示本实施例的输出电路的变形例的结构的电路图，是将图 10 和图 11 折叠的结构。在图 12 中，N 型 MOS 晶体管 61、62 和图 11 一样串联连接在节点 A 与反相电路 29 的输出线之间，而 N 型 MOS 晶体管 63、64 则象图 10 中所示的那样串联连接在节点 B 和节点 D 之间。

图 1

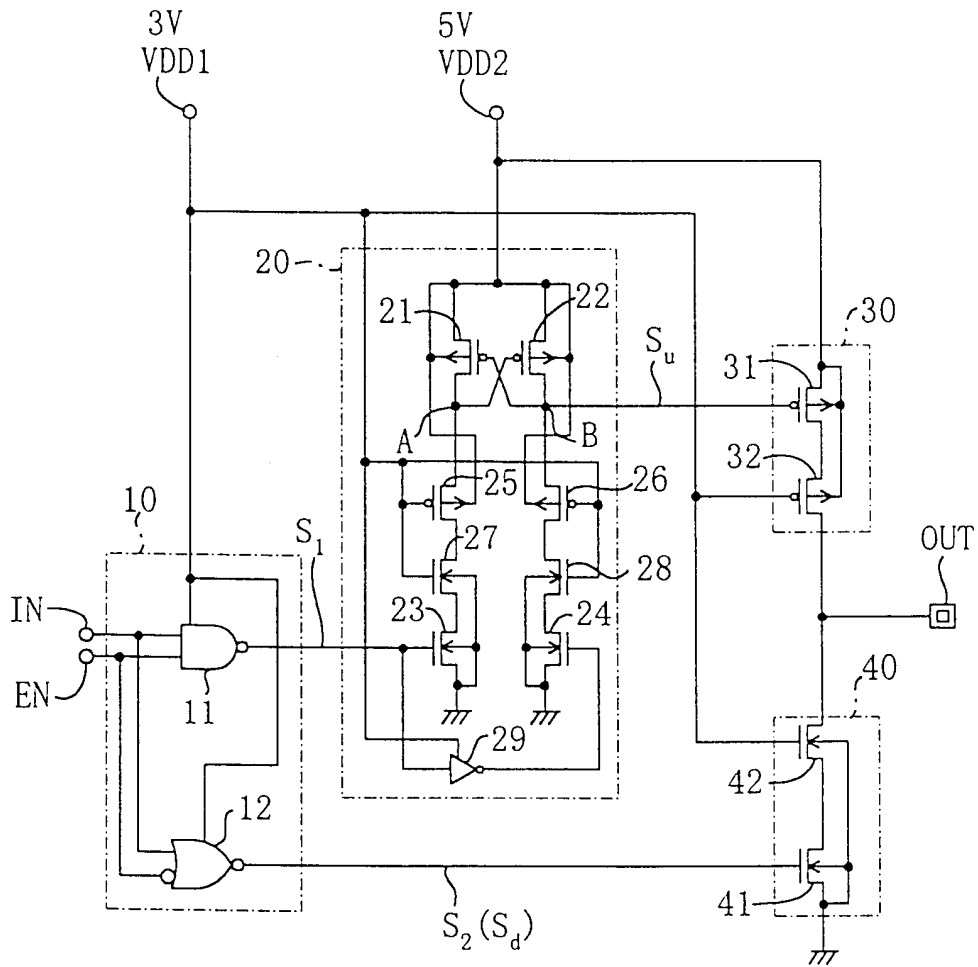


图 2

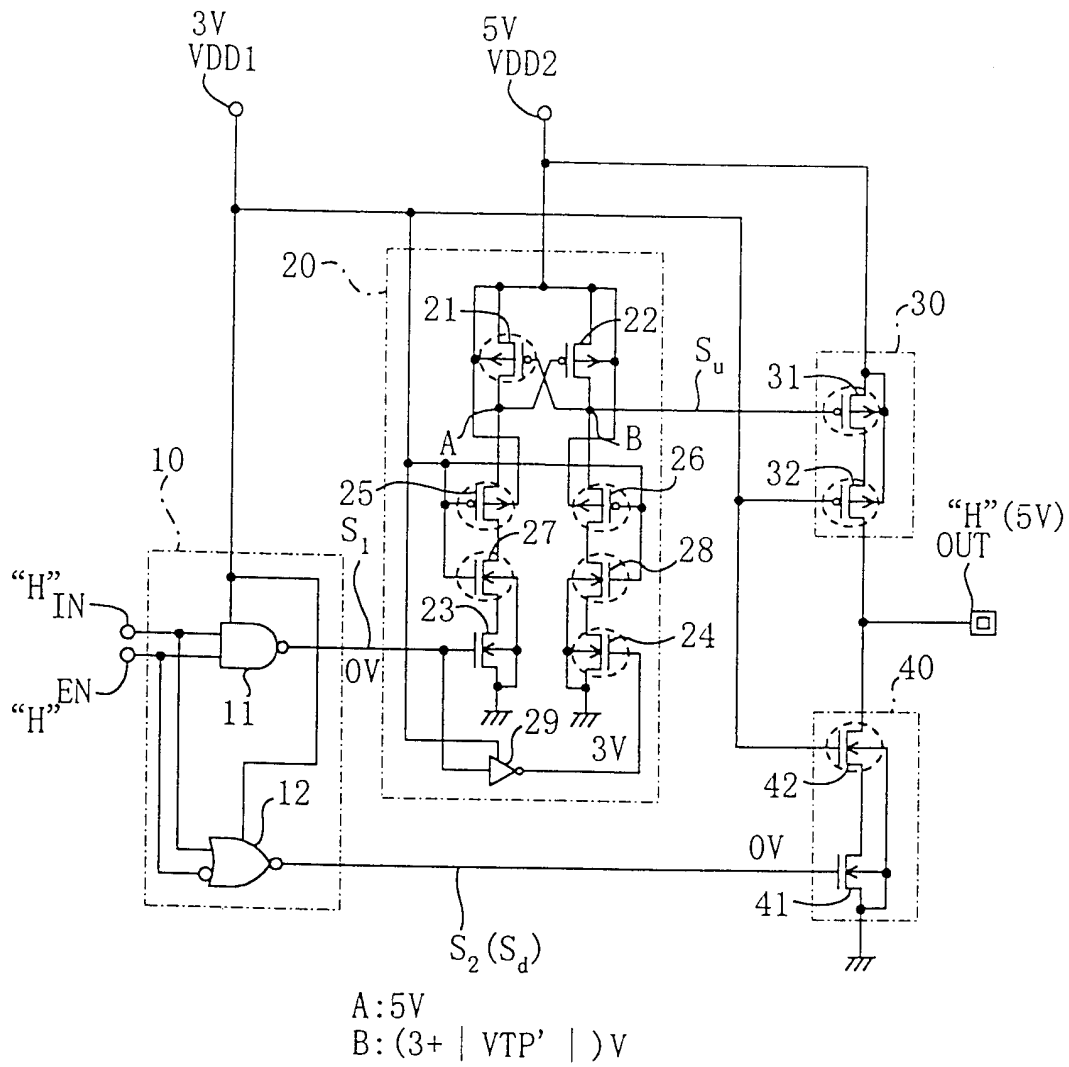


图 3

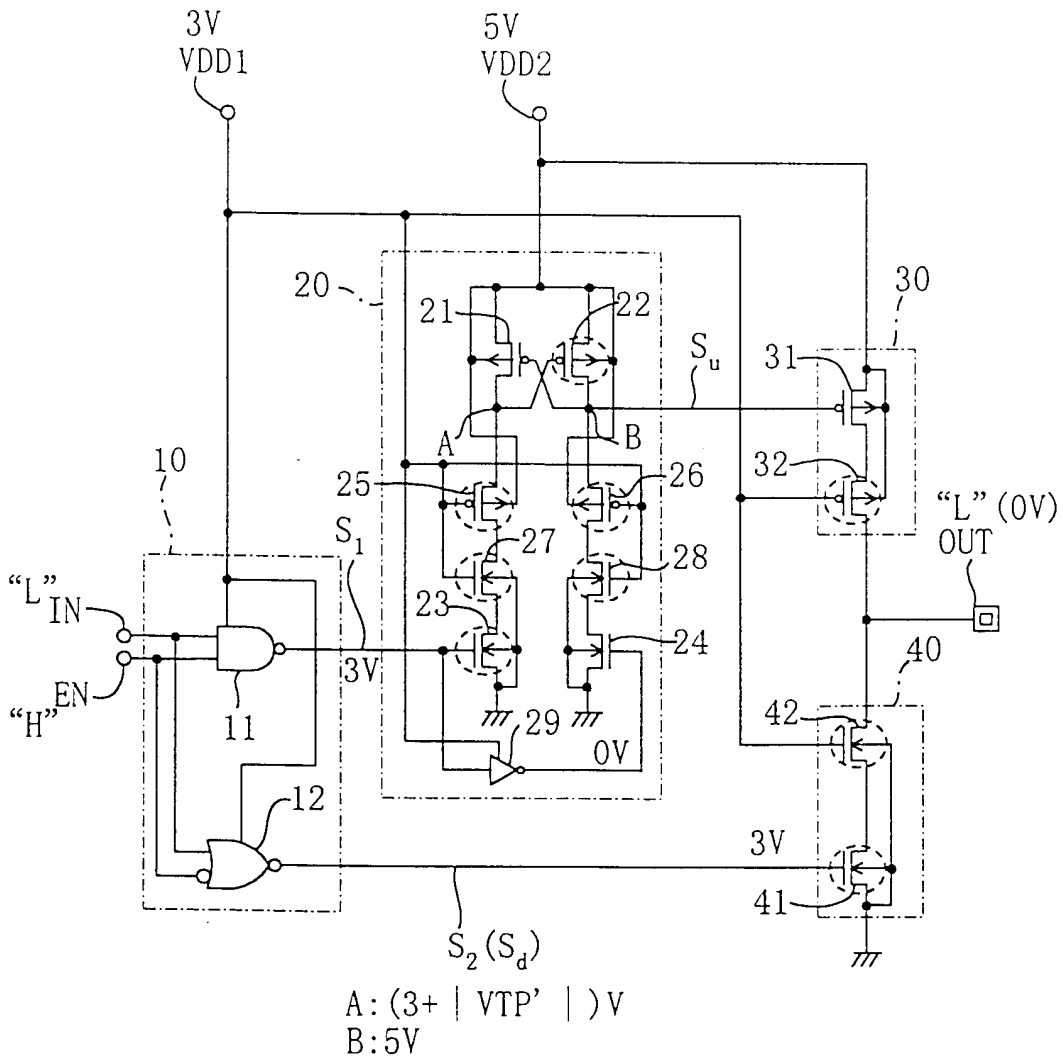


图4

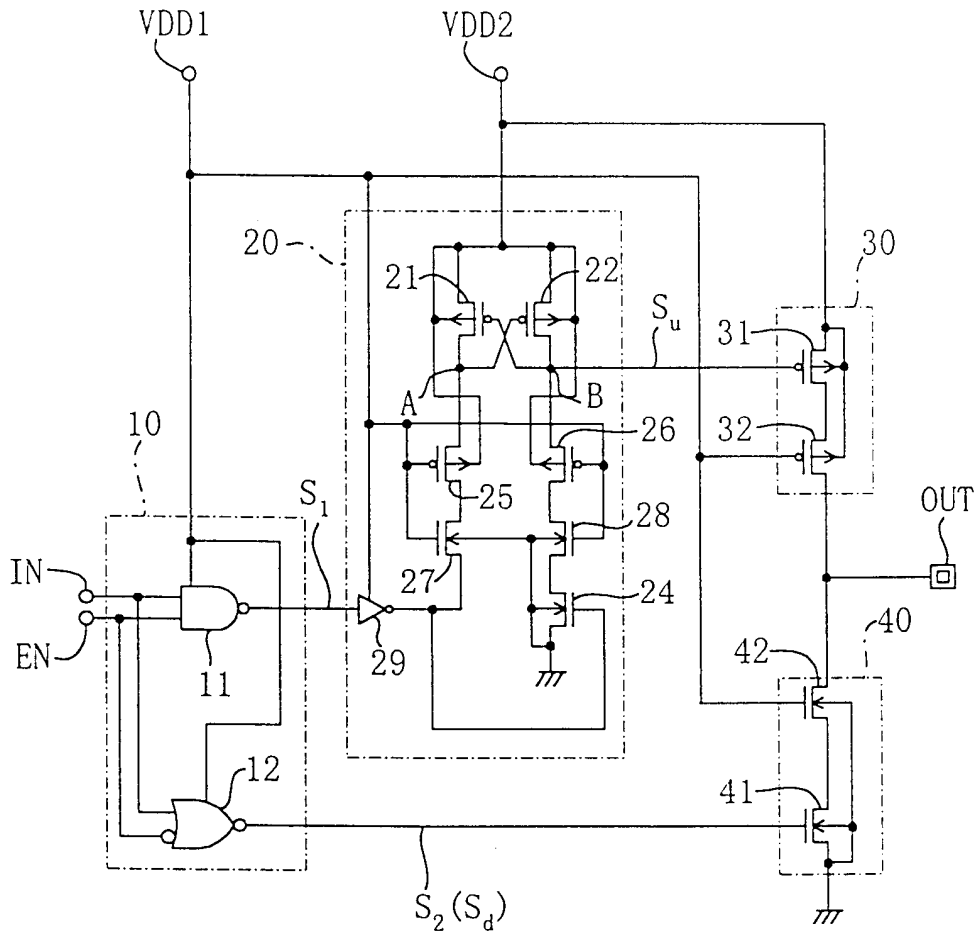


图 5

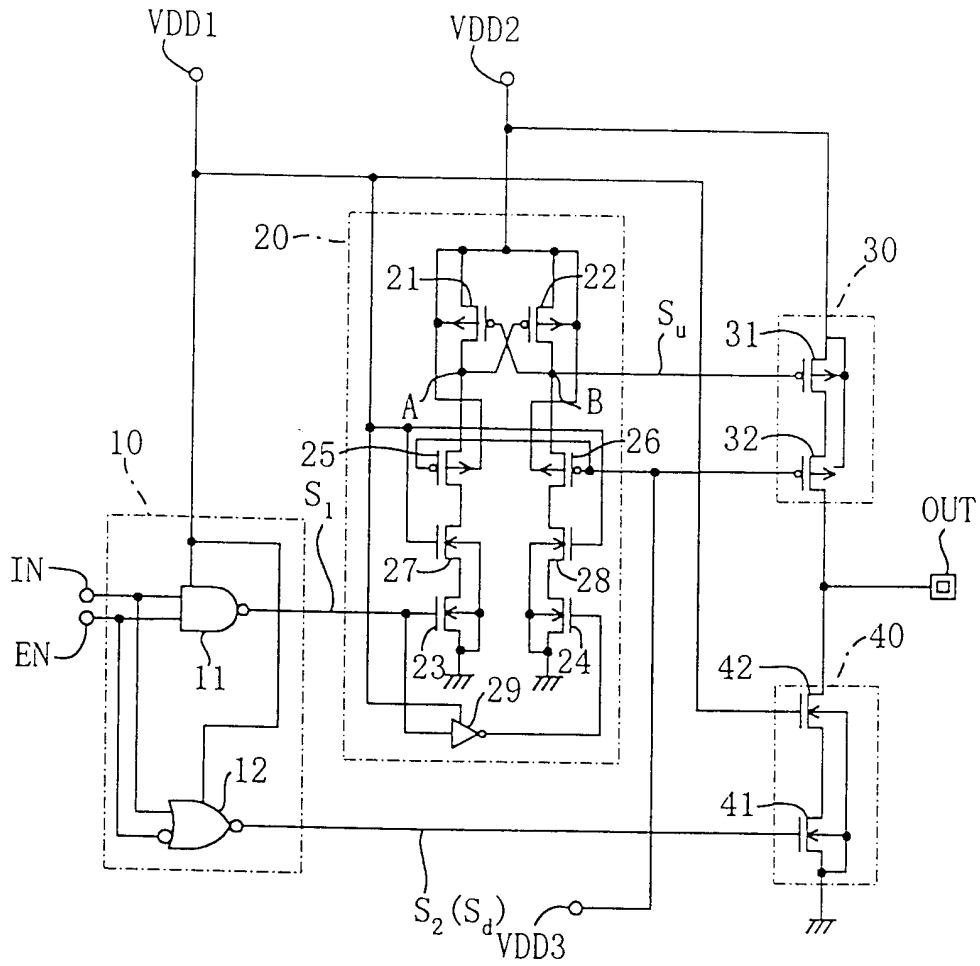


图 6

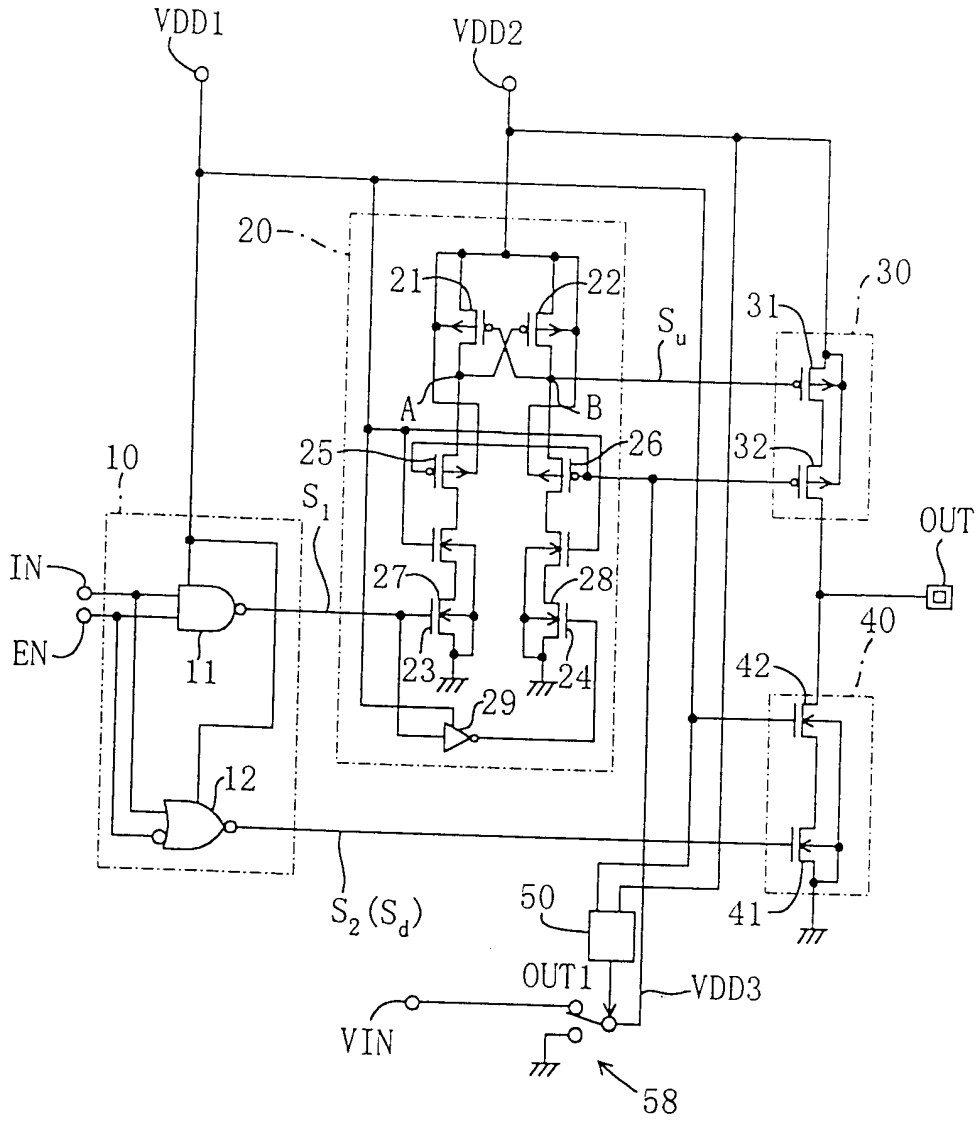


图 9

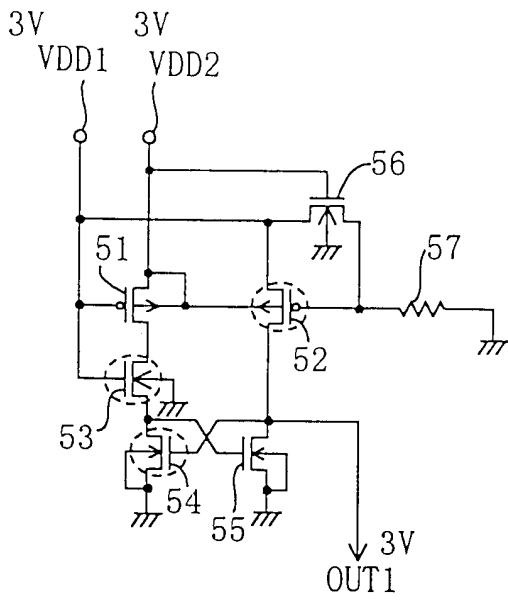


图 10

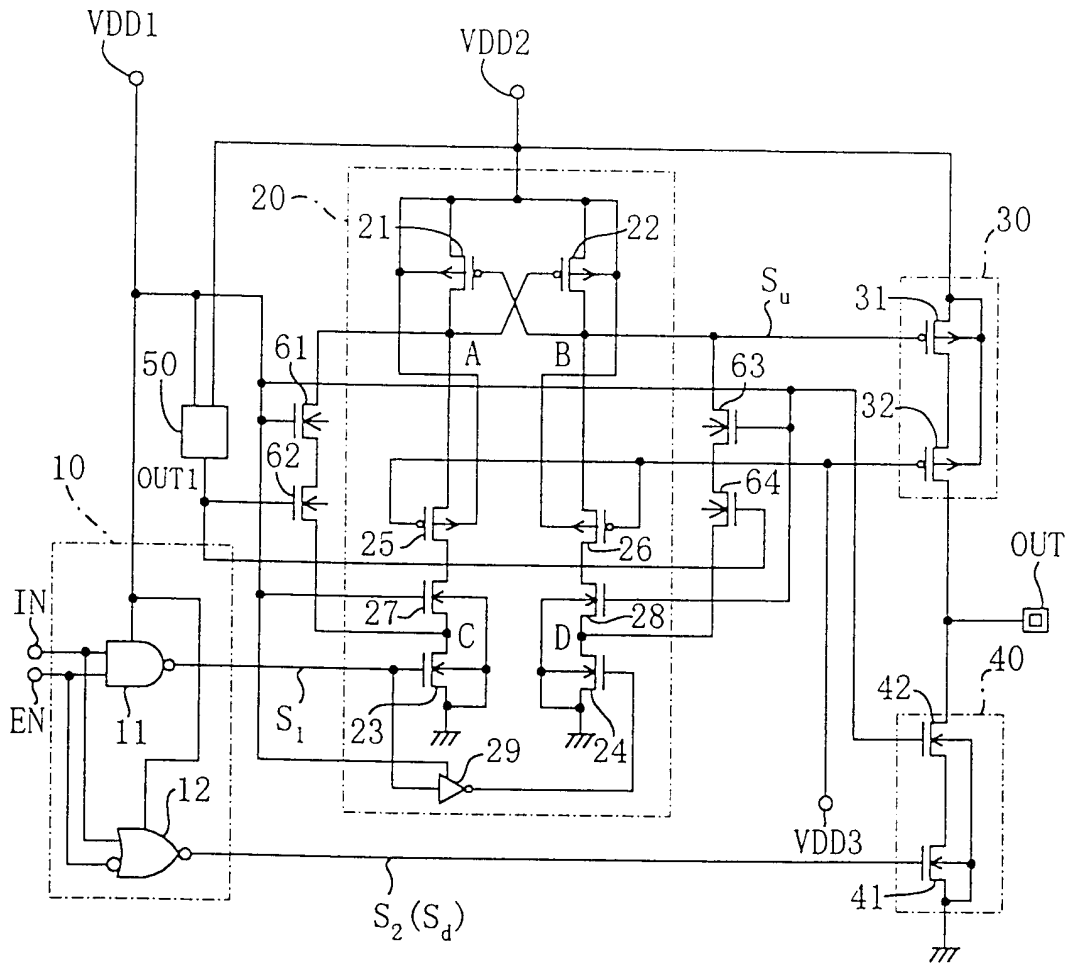


图 11

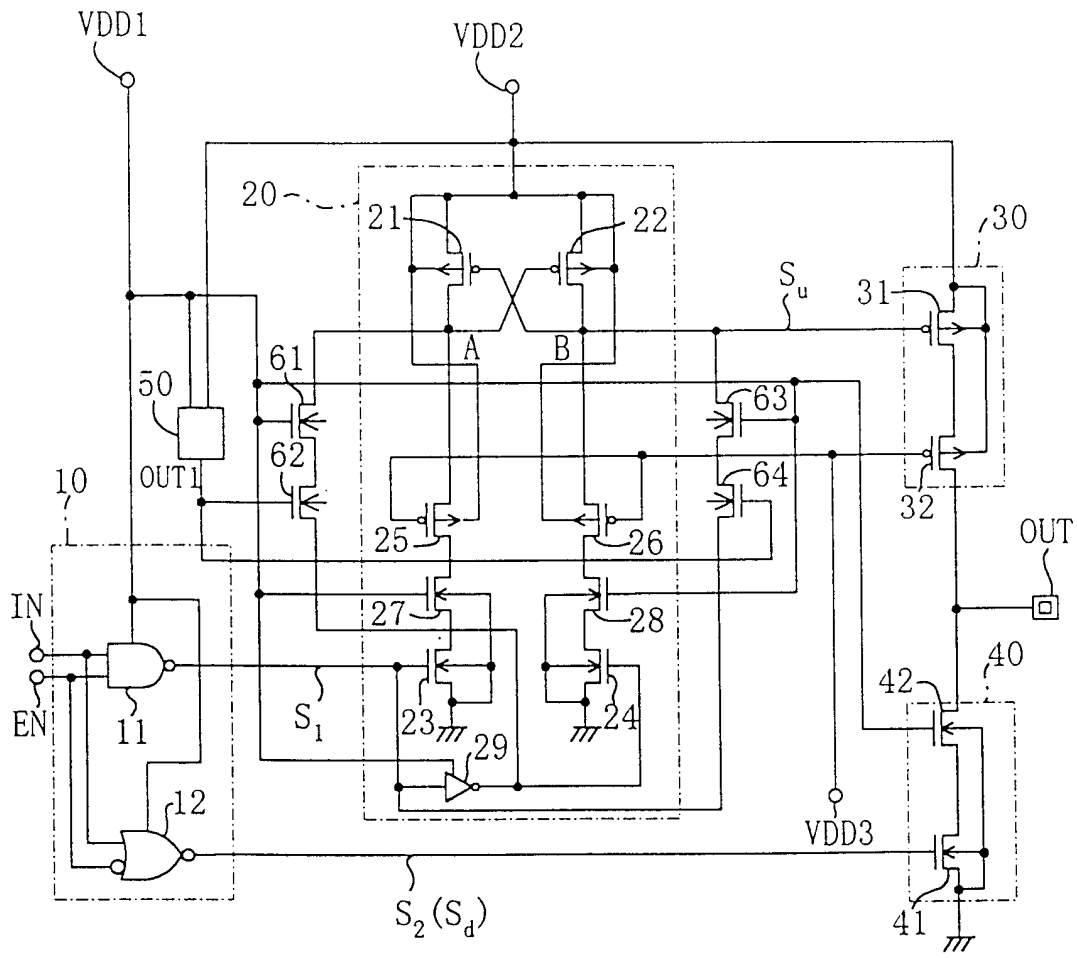


图 12

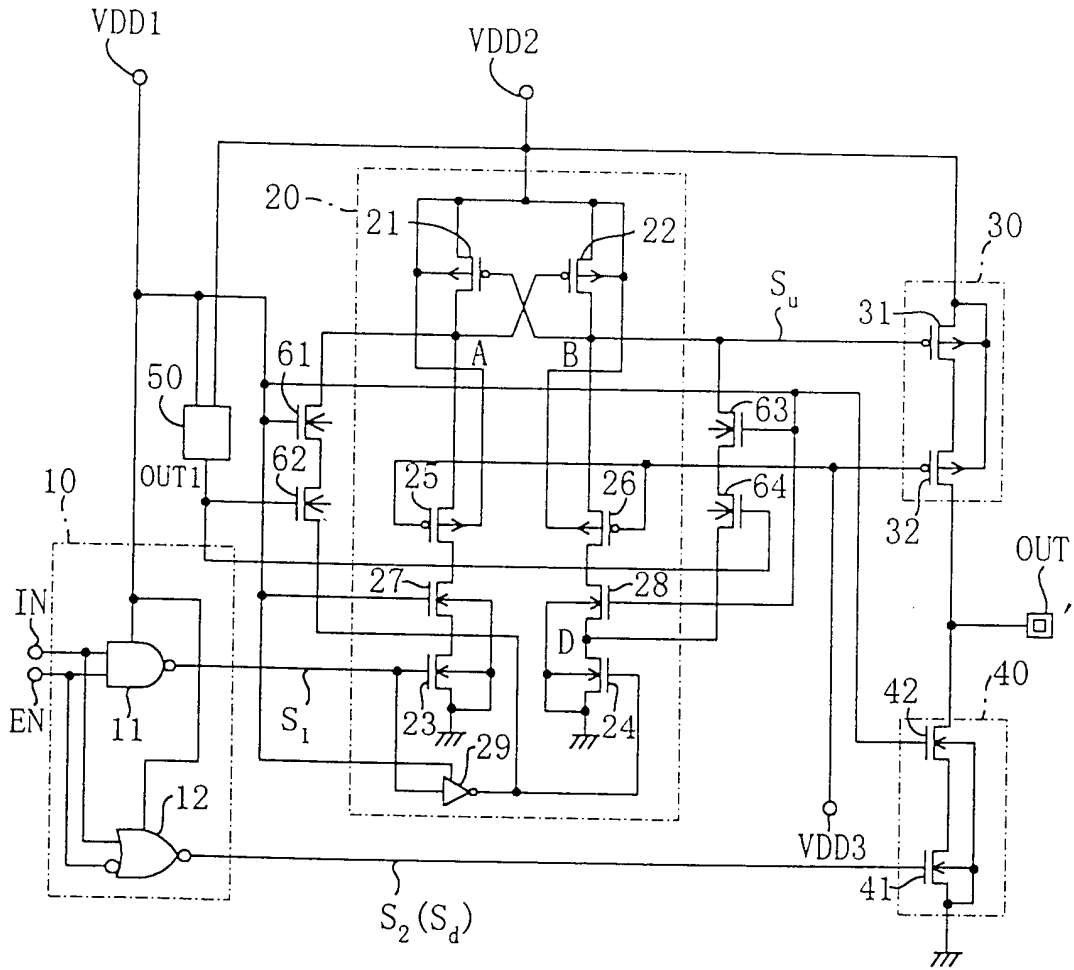


图 13

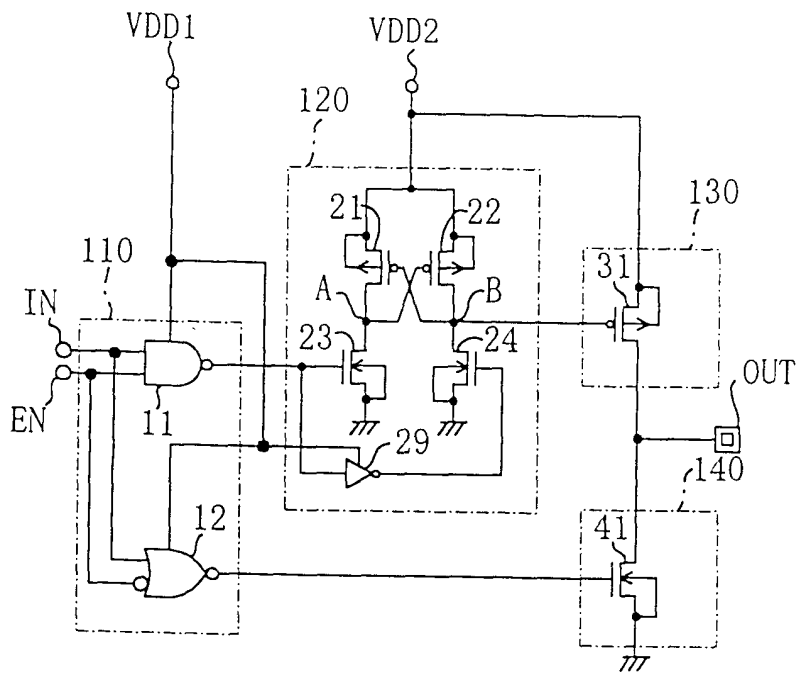


图 14

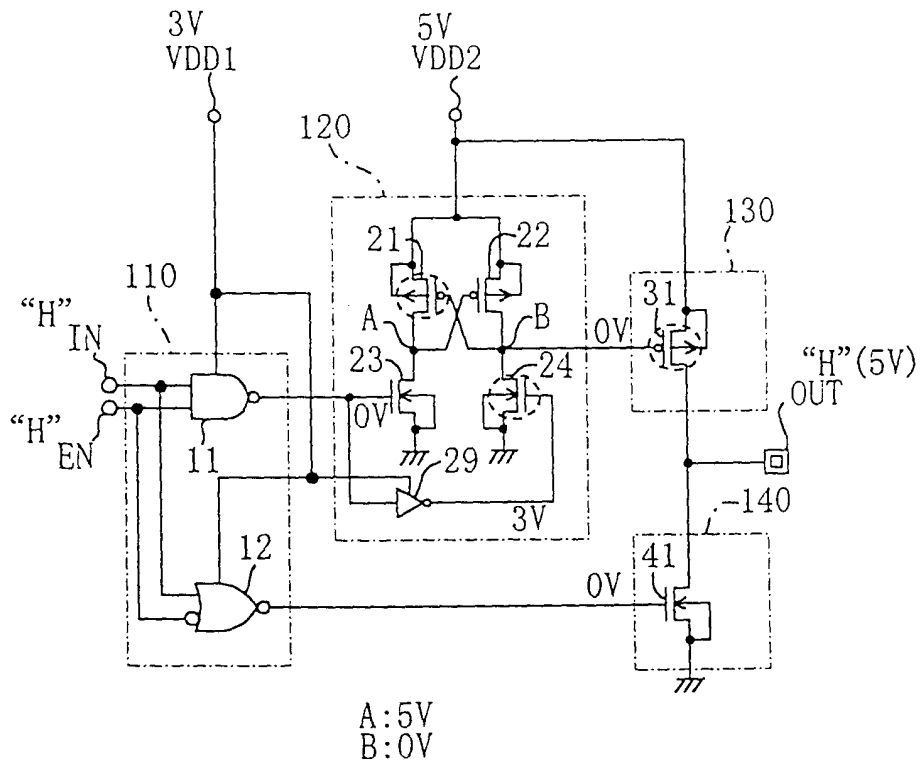


图 15

