

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 29/02 (2006.01)

H01L 29/70 (2006.01)

(11) 공개번호

10-2006-0028391

(43) 공개일자

2006년03월29일

(21) 출원번호 10-2005-7022105

(22) 출원일자 2005년11월18일

번역문 제출일자 2005년11월18일

(86) 국제출원번호 PCT/US2004/013306

(87) 국제공개번호

WO 2004/105084

국제출원일자 2004년05월19일

국제공개일자

2004년12월02일

(30) 우선권주장

10/440,099

2003년05월19일

미국(US)

(71) 출원인

집트로닉스 인코퍼레이티드

미국 27560 노스 캐롤라이나 모리스빌 스위트 800 퍼리미터 파크 드라이브 800

(72) 발명자

통 퀴이

미국 27707 노스캐롤라이나 듀햄 메도우런 드라이브 3511

(74) 대리인

특허법인 엘엔케이

심사청구 : 없음

(54) 실은 공유 결합 방법

요약

결합 방법은 플루오르화 산화물을 갖는 결합층의 이용을 포함한다. 불소는 불소-함유 용액, 증기 또는 가스에 노출시키거나 또는 주입에 의해 결합층 중으로 도입될 수 있다. 결합층은 또한 불소가 층을 형성하는 동안 이에 도입되는 방법을 이용하여 형성될 수 있다. 결합층의 표면은 목적하는 중, 바람직하게는 NH<sub>2</sub> 중으로 종결된다. 이러한 과정은 결합층을 NH<sub>4</sub>OH 용액에 노출시킴으로써 달성될 수 있다. 고 결합 강도는 실온에서 수득된다. 상기 방법은 또한 두 개의 결합층을 함께 결합시키고 결합층 간의 계면 부근에서 피크를 갖는 불소 분포를 생성시키는 단계를 포함할 수 있다. 결합층 중 하나는 서로의 위에 형성된 두 산화물층을 포함할 수 있다. 불소 농도는 또한 두 산화물층간의 계면에서 제 2 피크를 가질 수 있다.

대표도

도 1

색인어

결합 방법, 플루오르화 산화물, 불소, 암모늄, 웨이퍼

명세서

## 기술분야

본 발명은 실온에서의 웨이퍼 직접 결합의 분야, 좀더 구체적으로는 유전체, 특히 실리콘 산화물층에서의 불소 및 암모늄의 효과, 및 이들의 병용 효과를 이용한, 공학처리된 기관의 제작, 캡슐화 및 삼차원 소자 일체화를 위한 기관의 결합 방법에 관한 것이다.

## 배경기술

통상의 CMOS 소자가 물리적인 한계에 도달하고 고성능 전자 시스템에 대한 수요가 임박함에 따라, 시스템온칩(SOC: system-on-a chip)이 반도체 산업의 자연스런 해결책이 되어 가고 있다. 시스템온칩 제조의 경우, 다양한 기능이 칩에 요구된다. 실리콘 기술은 대다수 소자의 공정 처리를 위한 주축 기술이지만, 목적하는 회로와 광전자 기능 중 다수는 현재 최상으로는 실리콘 이외의 재료에서 제작된 개별 소자 및/또는 회로로부터 수득될 수 있다. 따라서, 비-실리콘계 소자를 실리콘계 소자와 일체화하는 하이브리드 시스템은 순수한 실리콘 또는 순수한 비-실리콘 소자만으로는 얻을 수 없는 특유한 SOC 기능의 제공 가능성을 부여한다.

실리콘상 비유사 물질의 헤테로-에피택셜 성장법이 이질 소자 일체화를 위한 방법 중 하나가 되어 왔다. 현재까지는, 그러한 헤테로-에피택셜 성장법은 비-실리콘막과 기관 간의 격자 상수의 부정합에 주로 기인하여, 헤테로-에피택셜 성장막에 있어 고밀도의 결함을 보여왔다.

이질 소자 일체화에 대한 또 다른 접근 방법으로는 웨이퍼 결합 기술이 있다. 그러나, 승온에서 상이한 열팽창 계수를 갖는 비유사 재료의 웨이퍼 결합은 열응력을 일으켜 전위 발생, 탈결합 또는 균열을 초래하게 된다. 따라서, 저온 결합이 요망된다. 이러한 저온 결합은 또한 비유사 재료가 분해 온도가 낮은 재료를 포함하는 경우 비유사 재료의 결합에 또는 예를 들면 InP 이질접합 바이폴라 트랜지스터 또는 울트라샬로우(ultrashallow) 소스 및 드레인 프로파일을 갖는 공정처리된 Si 소자와 같은 감온성 소자에도 요망된다.

상이한 재료를 함유하는 동일 칩 상에 상이한 기능을 생성하는 데 필요한 공정의 설계는 최적화하기가 어렵고 힘이 든다. 실제로, 생성되는 SOC 칩(특히 비교적 큰 집적 크기의 칩) 중 다수는 낮은 수율을 보인다. 하나의 접근 방법은 웨이퍼 접착제 결합 및 층 전이에 의해 완전히 공정처리된 IC를 상호 연결하는 것이었다. 예를 들면, 하기 문헌 참조: Y. Hayashi, S. Wada, K. Kajiyana, K. Oyama, R. Koh, S. Takahashi and T. Kunio, Symp. VLSI Tech. Dig. 95 (1990) 및 US 특허 No. 5,563, 084. 이들 양 문헌 모두의 전 내용은 본원에서 참조로 편입된다. 그러나, 웨이퍼 접착제 결합은 보통 승온에서 이루어지며, 열응력, 탈기(out-gassing), 기포 형성 및 접착제의 불안정성 등의 단점을 안고 있어 공정상의 감소된 수율 및 시간에 따른 불량한 신뢰성을 초래하게 된다. 접착제는 또한 전형적인 반도체 제조 공정과 비친화성일 수도 있다. 더욱이, 접착제 결합은 통상적으로 기밀성이 아니다.

실온 웨이퍼 직접 결합은 기밀성 결합을 초래하는 접착제의 사용 없이 실온에서 웨이퍼가 결합될 수 있게 하는 기술이다. 접착제 결합에서와 같은 응력 및 불균일성을 일으키는 경향은 없다. 또한, 결합된 쌍의 하나의 웨이퍼가 특정 재료 조합에 대한 각각의 임계치 이하의 두께로 박막화될 때 저온 결합된 웨이퍼 쌍이 박막화 공정을 견딜 수 있으면, 층내 부정합 전위(misfit dislocation)의 생성 및 후속 열처리 단계를 수행하는 동안 결합쌍의 슬라이딩 또는 균열이 회피된다. 예를 들면 하기 문헌 참조: Q.-Y. Tong and U. Gosele, Semiconductor Wafer Bonding: Science and Technology, John Wiley & Sons, New York, (1999). 상기 문헌의 전 내용은 본원에서 참조로 편입된다.

## 발명의 상세한 설명

### 발명의 요약

본 발명은 각각의 제 1 및 제 2 요소 상에 결합층 중 적어도 하나가 플루오르화 산화물층을 포함하는 제 1 및 제 2 결합층을 형성하고, 실온의 주위 조건에서 제 1 및 제 2 결합층을 접촉시킨 다음, 실온에서 제 1 층과 제 2 층간의 결합을 형성하는 단계를 포함하는 결합 방법에 관한 것이다.

플루오르화 산화물층을 포함하는 결합층의 적어도 하나를 형성하는 과정은 산화물 층을 형성하고 형성된 층을 불소-함유 용액, 증기 또는 가스에 노출시키는 단계를 포함한다.

본 발명에 따른 결합 구조물의 형성 방법은 또한 제 1 및 제 2 층을 결합시키고, 제 1 및 제 2 결합층 간의 계면 부근에서 제 1 피크를 갖고 제 1 피크로부터 분리되어 있고 제 1 피크로부터 일정 거리만큼 떨어져 위치한 제 1 및 제 2 층 중 적어도 하나에 제 2 피크를 갖는 불소 농도를 형성하는 단계를 포함할 수도 있다. 결합층 중 하나는 산화물층일 수 있고, 상기 방법은 불소를 산화물층에 도입하고 이러한 도입 단계 후에 제 1 산화물층 위에 제 2 산화물층을 형성하는 단계를 추가로 포함할 수 있다.

본 발명은 또한 제 1 및 제 2 요소 및 제 1 및 제 2 요소 상에 각각 형성된 제 1 및 제 2 결합층을 포함하고, 제 1 결합층은 제 2 결합층에 비-접착제 결합되고 제 1 결합층은 플루오르화 산화물을 포함하는 결합 구조에 관한 것이다. 이러한 구조에서, 제 1 결합층은 제 2 산화물층 상에 형성된 제 1 산화물층을 포함할 수 있으며, 여기에서 제 1 결합층내 불소 농도는 제 1 및 제 2 결합층간의 계면 부근에 위치한 제 1 피크 및 제 1 및 제 2 산화물층간의 계면에 위치한 제 2 피크를 갖는다.

본 발명의 목적은 광범위 종류의 재료의 실리콘 산화물 피복된 웨이퍼 표면에 공기중 실온에서 초고밀도의 공유 결합을 달성하는 것이다.

본 발명의 또 다른 목적은 nm 내지  $\mu\text{m}$  두께를 갖는 표면 실리콘 산화물층의 밀도를 감소시키는 것이다.

본 발명의 또 다른 목적은 불순물의 확산 속도 및/또는 결합 계면으로부터의 수분 흡수를 증진시키는 것이다.

본 발명의 또 다른 목적은 표면에  $1 \times 10^{17} \text{cm}^{-3}$ 보다 큰 불소 농도를 갖는 결합층(nm 내지  $\mu\text{m}$  범위의 두께)을 수득하는 것이다.

본 발명의 부가적인 목적은 표준 반도체 공정(들)을 사용하여 집적 회로 또는 소자 패턴의 표면상의 결합 계면 전역에 걸쳐서 공유 결합의 밀도를 변화시키는 것이다.

본 발명의 또 다른 목적은 표준 반도체 공정(들)에 의한 플루오르화 처리로 실리콘 옥사이드 표면에 국소적으로 또는 전역에 저-k 유전체를 형성하는 것이다.

본 발명의 또 다른 목적은 두 표면이 실온에서 접촉될 때 공유 결합이 형성되도록 표면이 목적하는 그룹으로 원자적으로 종결될(terminated) 수 있는 재료를 생성하는 것이다.

### 도면의 간단한 설명

첨부 도면과 함께 하기 상세한 설명을 참조하여 좀더 잘 이해함에 따라 본 발명의 좀더 완벽한 이해와 다수의 부수적인 이점이 용이하게 얻어질 것이다.

도 1은 본 발명에 따른 방법의 일 양태의 흐름도이다.

도 2A는 각각의 결합층을 갖는 비결합 기관 쌍의 다이어그램이다.

도 2B는 직접 접촉하고 있는 비결합 기관 쌍의 다이어그램이다.

도 2C는 기관의 일부가 제거된 후의 도 2B의 기관 쌍의 다이어그램이다.

도 2D는 제 3 기관을 결합시킨 후의 도 2C의 기관 쌍의 다이어그램이다.

도 3은 불소 및 암모늄을 포함하는 결합층이 있는 경우와 없는 경우의 결합된 웨이퍼 쌍의 공기 중 실온에서의 저장 시간의 함수로서 결합 에너지의 그래프이다.

도 4는 플라즈마 처리한 경우와 처리하지 않는 경우의 결합된 웨이퍼에 대한 저장 시간의 함수로서 결합 에너지의 그래프이다.

도 5는 암모늄 처리한 경우와 처리하지 않는 경우의 웨이퍼 쌍에 대한 시간의 함수로서 실온에서의 결합 에너지의 그래프이다.

도 6은 후-HF 처리 베이킹 온도의 함수로서 실온 결합 에너지의 그래프이다.

도 7은 측정된 결합 에너지와 저장 시간의 제곱근의 직선 관계를 보여주는 그래프이다.

도 8A-8C는 플루오르화층이 결합층에 형성되는 본 발명의 일 양태를 도시한다.

도 9A-9E는 결합된 웨이퍼 쌍에서의 완전히 편재된 공유 결합 영역을 개략적으로 도시한다.

도 10은 본 발명의 결합 계면 아래의 파손된 Si 서브 표면을 보여주는 현미경 사진이다.

도 11은 포매된 저-k 산화물 구조의 다이어그램이다.

도 12는 SIMS (Secondary Ion Mass Spectroscopy) 측정 결과를 도시한다.

도 13은 대형 기판에 복수개의 소자를 결합시키는 과정을 도시한다.

도 14A-14C는 본 발명에 따른 결합 공정의 금속-금속 결합에의 적용을 개략적으로 도시한다.

도 15는 대형 기판에 복수개의 소자를 금속-금속 결합시키는 과정을 도시한다.

도 16A-16E는 기밀성 캡슐화에의 본 발명의 적용을 도시한다.

## 실시예

### 바람직한 양태의 상세한 설명

도면에 있어서, 동일 참조부호는 도면 전반에 걸쳐서, 특히 본 발명의 결합 공정의 제 1 양태를 예시하는 도 1 및 도 2A-2B에 있어서, 동일 또는 대응하는 부분을 나타낸다. 도 1은 본 발명에 따른 방법을 개괄적으로 예시한다.

기판 또는 웨이퍼와 같은 결합시키고자 하는 요소 상에 결합층을 형성시킨다(단계 10). 결합층 중 적어도 하나는 예를 들면, 이의 표면을 불소에 노출시키거나 또는 불소 주입에 투입함으로써 플루오르화된다(단계 11). 층을 직접 접촉시켜 결합 계면을 형성하고(단계 12), 화학 반응의 결과로서 공유 결합이 형성된다(단계 13). 부가적인 공유 결합이 형성되고/되거나 화학 반응으로부터의 부산물이 결합 계면으로부터 확산함에 따라 결합 강도는 시간에 따라 증가한다. 바람직하게는, 결합 공정은 실온, 즉 약 20 내지 25°C에서 수행된다.

도 2A는 각각의 대향하는 표면(202,205)을 갖는 각각의 결합층(201,204)을 지닌 두 웨이퍼(200,203)를 도시한다. 결합층(201,204)은 스퍼터링, 플라즈마 화학 기상 증착법(Plasma Enhanced Chemical Vapor Deposition) 또는 열 산화물을 포함한(이에 한정되지 않음) 다수의 기술 중 어느 하나 또는 이들의 조합에 의해 형성된 실리콘 산화물로 구성된다. 재료의 표면(201,204)은 상대적으로 거칠 수 있고( $> 20\text{\AA}$  RMS) 따라서 직접 접촉시키기 전에 평활화 과정을 요할 수도 있다. 막은 또한 평활화 과정 없이 결합시키기 위하여 충분히 낮은 표면 조도를 가질 수도 있다. 표면(202,205)은 평활한 활성면을 생성하기 위하여 WO 01/61734, WO 01//26137 및 WO 01/71797에 기재된 기술을 이용하여 제조될 수 있다.

층(201,204)은 화학 증착법(CVD) 또는 플라즈마 화학 기상 증착법(PECVD), 스퍼터링을 이용하여, 또는 증발에 의해 형성된 SiO<sub>2</sub>, 실리콘 질화물, 비정질 실리콘과 같은 절연체일 수 있다. 중합체, 반도체 또는 소결물과 같은 타 재료도 사용될 수 있다. 층(201,204)은 대응하는 기판(201,203)의 표면 토포그래피보다 큰 두께를 가져야 한다.

층(201,204)의 표면(202,205)은 예를 들면, 화학-기계적 연마를 이용하여 평탄화 및 평활화된다. 바람직하게는 표면(202,205)은 약 3 nm 이하의 조도, 바람직하게는 약 0.1 nm 이하의 조도가 되도록 연마되어 실질적으로 평탄하게 된다.

표면 조도값은 전형적으로 평균 제곱근(RMS) 값으로 주어진다. 또한, 표면 조도는 RMS 값과 거의 동일한 평균값으로 주어질 수도 있다. 연마 단계 후, 표면(202,205)은 클리닝 및 건조시켜 연마 단계로부터 잔류물을 제거한다. 이어서, 연마면(201,205)은 바람직하게는 용액으로 세정한다.

결합층의 표면을 작은 표면 조도를 갖도록 (전술한 바와 같이) 연마한 후, 필요에 따라, 결합층을 희석된 수성 HF, CF<sub>4</sub> 또는 SF<sub>6</sub> 플라즈마 처리, F<sup>+</sup> 주입과 같은 플루오르화 처리에 투입하고, 필요하다면 가열하여 결합층의 전부 또는 목적하는 부분을 플루오르화시킨다. 후술하는 바와 같이, 층을 활성화시키고, 표면상에 목적하는 그룹으로 종결시킨다. 활성화 및 종결 단계는 병행될 수도 있다. 결합 표면 중 하나만을 또는 양면 모두를 상기와 같이 처리할 수 있다.

표면(201,205)은 이어서 활성화 과정에 투입한다. 이러한 활성화 과정은 식각 과정, 바람직하게는 극미 식각(VSE: very slight etch) 과정이다. VSE란 용어는 매우 약간 식각된 표면의 평균 제곱근 미세 조도(RMS)가 거의 식각되지 않은 값, 전형적으로 0.5 nm 미만, 바람직하게는 0.1 내지 3 nm 범위에 있음을 의미한다. 제거되는 재료의 최적량은 재료와 제거에 사용되는 방법에 따라 좌우된다. 통상적인 제거량은 옴스트롬 내지 나노미터 범위에 걸쳐 다양하다. 또한 더 많은 재료를 제거하는 것도 가능하다. VSE는 또한 처리된 표면상의 결합 파괴를 포함하며 재료의 현격한 제거 없이 일어날 수 있다. VSE는 예를 들면 표면을 전자 전하로 하전시키거나 표면층에 손상을 가함으로써 표면을 단순히 개질하는 것과는 구별된다. 본 발명에 따른 방법의 제 1 실시예에서, VSE 공정은 규정 전력 수준에서 규정 시간 동안 수행되는 가스 또는 혼합 가스(예를 들면, 산소, 아르곤, 질소, CF<sub>4</sub>, NH<sub>3</sub>) 플라즈마 공정으로 이루어진다. 플라즈마 공정의 전력과 지속기간은 목적하는 결합 에너지를 획득하는 데 사용되는 재료에 따라 변동될 것이다. 일례를 하기에 제시하지만, 일반적으로 전력과 지속기간은 경험에 의거하여 결정될 것이다.

플라즈마 공정은 상이한 방식으로 수행될 수도 있다. 유도-결합형 플라즈마 방식(ICP)뿐만 아니라, 반응성 이온 식각(RIE) 및 플라즈마 방식 모두가 사용될 수 있다. 스퍼터링 또한 사용될 수 있다. 데이터와 실시예가 RIE 및 플라즈마 방식 모두에서 하기에 제시한다.

VSE 공정은 물리적 스퍼터링 및/또는 화학 반응을 통해 표면을 매우 경미하게 식각하며, 바람직하게는 결합 표면의 표면 조도를 감소하지 않도록 제어된다. 표면 조도는 VSE와 식각되는 재료에 따라 더욱 향상될 수 있다. 표면(34)을 과도하게 식각하지 않는 거의 모든 가스 또는 가스 혼합물이 본 발명에 따른 실은 결합 방법에 사용될 수 있다.

VSE는 표면을 클리닝하고 웨이퍼 표면상의 산화물의 결합을 파괴하는 역할을 한다. VSE 공정은 따라서 표면 활성화를 현저히 증진시킬 수 있다. 목적하는 결합 종은 VSE의 적절한 설계에 의해 VSE를 수행하는 동안 표면(201,205)을 종결시키는 데 사용될 수 있다. 이와 달리, 표면을 후(post)-VSE 공정 동안 목적하는 종결 종으로 활성화시키고 종결시키는 후-VSE 처리가 이용될 수 있다.

목적하는 종은 더욱 바람직하게는 표면 원자층에 대한 일시적인 결합을 형성하여, 이러한 표면이 동일 또는 또 다른 결합 종에 의해 종결된 표면과 회합될 수 있는 후속 시간까지 원자층을 효과적으로 종결시킨다. 표면상의 목적하는 종들은 더욱 바람직하게는 이들이, 결합 계면으로부터 반응된 목적하는 종들의 확산 또는 해리와 확산에 의해 증진되는 저온 또는 실온에서의 표면(201,205)간의 화학 결합을 허용하도록 충분히 근접하게 될 때 상호간에 반응하게 된다.

후-VSE 공정은 바람직하게는 결합 표면(34)을 목적하는 종으로 종결시키는 표면 반응을 일으키기 위한 선택된 화학약품을 함유하는 용액에서의 액침으로 이루어진다. 액침은 바람직하게는, VSE 공정 직후에 수행된다. 후-VSE 공정은 VSE 공정이 수행되는 동일 장치 내에서 수행될 수도 있다. 이는 VSE 및 후-VSE 공정 모두가 건식, 즉 플라즈마, RIE, ICP, 스퍼터링 등, 또는 습식, 즉 액침일 경우에 가장 용이하게 수행된다. 목적하는 종은 바람직하게는 원자 또는 분자의 단층 또는 수개의 단층으로 이루어진다.

후-VSE 공정은 또한 플라즈마, RIE 또는 기타 건식 공정으로 이루어질 수 있고, 이에 따라 적당한 가스 화학물질이 도입되어 목적하는 종에 의한 표면 종결이 일어나게 된다. 후-VSE 공정은 또한 제 2 VSE 공정일 수 있다. 종결 공정은 또한 표면 오염물이 VSE 없이 제거되는 클리닝 공정을 포함할 수 있다. 이 경우에, 전술한 후-VSE 공정과 유사한 후-클리닝 공정에 의해 목적하는 표면 종결이 이루어지게 된다.

클리닝 또는 VSE 공정에 의해 활성화된 표면 결합이 후속적으로 충분히 약하게 표면 재구성되고, 유사 표면을 갖는 후속 결합이 화학 결합을 형성할 수 있도록 결합 전에 충분히 청결한 상태로 있을 수 있게 되면, 목적하는 종으로 표면을 종결시키는 데 상기와 같은 후-VSE 또는 후-클리닝 공정은 필요할 수도 있고 필요하지 않을 수도 있다.

이어서, 웨이퍼는 임의로 세정한 다음 건조시킨다. 두 웨이퍼는 (필요할 경우) 이들을 정렬시킨 다음 함께 회합시켜 결합 계면을 형성함으로써 결합된다.

표면(202,205)은 도 2B에 도시된 바와 같이 직접 접촉하여 결합 구조를 형성하게 된다. 두 표면(202,205)간에 실온에서 계면(206)을 가로질러 공유 결합이 일어난다. 이어서, 결합 계면내 일부 위치에서 자발적인 결합이 통상적으로 일어나고 웨이퍼를 가로질러 전파된다. 초기 결합이 전파되기 시작하면서, 표면이 충분히 근접해 있을 때 표면(202,205)을 종결시키는 데 사용되는 종들간에 화학 결합을 초래하는 중합과 같은 화학 반응이 일어나게 된다. 결합 에너지는 웨지(wedge)를 삽입함으로써 부분적으로 탈결합되는 결합 계면에서의 분리된 표면 중 하나의 비(specific) 표면 에너지로서 정의된다. 공유 결합의 수가 증가하고/하거나 상기 결합 표면이 직접 접촉된 후 상기 종결된 표면(들)의 회합으로부터 생기는 반응 부산물이 결합 표면으로부터 확산함에 따라 상기 결합 구조내 결합의 강도는 시간에 따라 증가한다. 반응 부산물은 결합 계면으로부터 웨이퍼 가장 자리로 확산하거나 웨이퍼에 의해 통상적으로 주변 재료에서 흡수된다. 부산물은 또한 웨이퍼로부터 확산되거나 이에 의해 흡수되는 다른 부산물로 전환될 수 있다. 공유 결합 및/또는 이온 결합의 양은 전환된 종의 제거에 의해 증가될 수 있고 이에 따라 결합 강도가 더욱 증가한다.

## 실시예

제 1 양태의 제 1 실시예에서, PECVD(플라즈마 화학 기상 증착법) 이산화실리콘을 200 내지 250°C의 온도에서 일면-연마 실리콘 웨이퍼 상에 증착시켰다. PECVD 산화물의 두께는 중요하지 않으며 약 1.0  $\mu\text{m}$ 로서 임의로 선택되었다. PECVD 산화물층으로 피복한 웨이퍼를 연마하여 표면을 평화화시켰다. AFM(원자력 현미경)을 이용하여 표면 미세 조도의 RMS(평균 제곱근)가 1 내지 3Å인 것으로 측정되었다. 웨이퍼를 개질 RCA1 ( $\text{H}_2\text{O}:\text{H}_2\text{O}_2:\text{NH}_4\text{OH} = 5:1:0.25$ ) 용액으로 클리닝한 다음 스핀-건조시켰다.

웨이퍼를 수개의 그룹으로 임의로 분할하였다. 여기에서 그룹내 각각의 웨이퍼 쌍은 결합에 앞서 특정한 방식으로 처리하였다. 그룹 I에서는, 산화물-피복 웨이퍼 쌍을 100 mTorr에서 반응성 이온 식각 모드(RIE)로 30초간 산소 플라즈마에서 처리하였다. 플라즈마-처리 웨이퍼를 공기중 실온에서 스핀-건조 및 결합시키기 전에, 35% 암모니아를 함유하는 CMOS 등급 수산화암모늄 수용액(이하,  $\text{NH}_4\text{OH}$ )에 침지시켰다. 그룹 II의 경우, 산화물-피복 웨이퍼를 0.025% HF 수용액에 30초 동안 침지시킨 다음 스핀-건조시켰다. HF 농도는 사용되는 실리콘 산화물의 유형에 따라 변동될 수 있으며 예를 들면 0.01 내지 0.5% 범위일 수 있다. 이어서, 웨이퍼를 공기중 250°C의 온도에서 2 내지 10시간 동안 가열시켰다. 공기중 실온에서 결합되기 전에, 웨이퍼를 RCA 1에서 다시 클리닝하고, 산소 플라즈마 처리하여  $\text{NH}_4\text{OH}$ 에 침지시킨 다음 스핀-건조시켰다.

도 3은 각각 그룹 I 및 II의 결합된 웨이퍼 쌍의 공기중 실온에서 저장 시간의 함수로서 결합 에너지를 보여준다. 그룹 II에서 웨이퍼 쌍의 결합 에너지는 3시간 안에 1,000  $\text{mJ}/\text{m}^2$ 으로 신속히 증가하여 공기중 실온에서 약 40시간 저장 후 벌크 실리콘의 파쇄 에너지(2500  $\text{mJ}/\text{m}^2$ )에 도달하며, 그룹 I 웨이퍼 쌍보다 월등히 높다. 이러한 결과는 도 3에서 상부 곡선에 의해 보여진다. 실온 결합에 앞서 HF 침지 및 후속 가열은 그룹 I 및 그룹 II 결합 웨이퍼간의 실온에서의 결합 에너지에 있어서 큰 차이를 초래한다.

실온에서의 결합 에너지를 증진시킴에 있어 산소 플라즈마 처리의 효과를 측정하기 위하여, 웨이퍼의 또 다른 그룹(그룹 III)을 제조하였다.

산소 플라즈마 처리 단계가 생략된 것을 제외하고는, 그룹 III의 산화물-피복 웨이퍼 쌍을 그룹 II의 웨이퍼 쌍에서와 동일한 공정 조건 후에 실온에서 결합시켰다. 도 4에 도시된 바와 같이 플라즈마 처리를 행한 것과 행하지 않은 웨이퍼 쌍에 대해 실온에서 유사한 결합 에너지가 달성되었다. 도 4는 웨이퍼 결합이 HF 수성 침지 및 베이킹에 의해 선행되는 경우, 산소 플라즈마 처리가 실온에서의 완전 화학 결합에 필수적이지 않음을 시사한다.

추가 그룹인 그룹 IV에서,  $\text{NH}_4\text{OH}$  침지 단계를 제거하고 탈이온수 세정으로 대체한 것을 제외하고는, 산화물-피복 웨이퍼 쌍을 그룹 II의 웨이퍼 쌍에서와 동일한 공정 조건 후에 실온에서 결합시켰다. 도 5는 실온에서의 결합 에너지가  $\text{NH}_4\text{OH}$  침지를 행하지 않은 웨이퍼에 대해 60%까지 감소하였음(1051  $\text{mJ}/\text{m}^2$  대 2500  $\text{mJ}/\text{m}^2$ )을 보여준다. 따라서,  $\text{NH}_4\text{OH}$  침지는 실온에서의 결합 에너지를 현저히 증가시킨다.

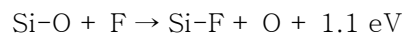
NH<sub>4</sub>OH 처리는 표면을 NH<sub>2</sub> 그룹으로 종결한다. 바람직하게는, 따라서 본 발명에 따른 방법에서, NH<sub>2</sub> 그룹은 표면상에 종결된다. 이는 NH<sub>4</sub>OH-함유 가스에서의 노출, NH<sub>4</sub>OH-함유 플라즈마에서의 노출, NH<sub>4</sub>OH-함유 액상 증기에서의 노출 또는 NH<sub>4</sub>OH-함유 액체 또는 이들의 조합 처리에 투입하여 달성될 수 있다.

웨이퍼 쌍을 그룹 II의 웨이퍼에서와 같이 처리하되, 후-HF 베이킹을 변경하였다. 베이킹을 수행하지 않고 결합된 웨이퍼를 공기 중 실온에서 저장하였을 때, 약 1000 mJ/m<sup>2</sup>의 결합 에너지가 획득되었다. 이들 웨이퍼 쌍의 10시간 동안의 후-HF 베이킹 온도의 함수로서 실온 결합 에너지의 증가를 도 6에 나타내었다. 최대 실온 결합 에너지가 달성되는 후-HF, 전(pre)-결합 베이킹에 대한 온도 범위가 존재한다. 최적의 결과는 약 250°C에서의 베이킹에 대해 획득되었다. 따라서, 본 발명에 따른 방법에서, 가열은 약 250°C에서 수행된다.

상기 결과는 생성되는 고 결합 강도로부터 HF 침지, 후-HF 베이킹, 및 산화물-피복 웨이퍼의 NH<sub>4</sub>OH 침지 각각이 실온에서의 화학 결합에 기여함을 시사한다.

불소를 이산화실리콘에 첨가하면 산화물 밀도를 낮출 수 있고 산화물 네트워크에 미세 공극을 생성할 수 있음이 당업계에 공지되어 있다. 예를 들면 문헌: S. Lee and J-W. Park, J Appl. Phys. 80 (9) (1996) 5260 참조. 이 문헌의 전 내용은 본원에 참조로 편입된다. 최근에, 전 내용이 본원에 참조로 편입되는 문헌: V. Pankov et al., J. Appl. Phys. 86 (1999) 275; 및 A. Kazor et al., Appl. Phys. Lett. 65 (1994) 1572에서는 불소 혼입이 Si-O-Si 고리의 파괴 및 하기 반응을 통해 이산화실리콘 네트워크 구조의 저밀도 대형 고리쪽에서의 변화를 초래함을 보고하였다:

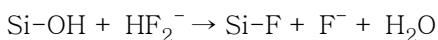
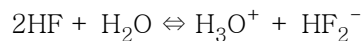
#### 반응식 1



이러한 변형 구조는 불순물의 더 높은 확산 속도 및 증진된 수분 흡수를 조장한다. 더욱이, 플루오르화 이산화실리콘(SiOF)이 축축한 대기 중에 노출될 때 수분을 효과적으로 흡수한다는 사실이 익히 알려져 있다. 전 내용이 본원에 참조로 편입되는 문헌: V. Pankov, J.C. Alonso and A. Ortiz, J. Appl. Phys. 86 (1999), p. 275 참조.

본 발명의 0.025% HF 수용액에서의 침지와 같이 HF 침지를 수행하는 동안, 이산화실리콘 표면상의 Si-F 및 Si-OH 그룹의 형성 외에도, 일부 F 이온이 또한 하기와 같이 생성된다:

#### 반응식 2

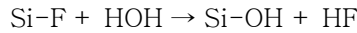


예를 들면, 전 내용이 본원에 참조로 편입되는 문헌: H. Nielsen and D. Hackleman, J. Electrochem. Soc. Vol. 130 (1983) p. 708 참조. 승온에서의 후-HF 베이킹은 상기 반응에 의해 생성되고 불소 확산을 증진하는 물의 제거를 돕는다. 불소 원자는 산화물 층으로 확산하여 Si-O-Si 결합과 반응함으로써 반응식 1에 따라 SiOF를 형성한다.

좀더 고온에서의 후-HF 베이킹은 산화물 표면에 더 두꺼운 SiOF 층을 생성할 수 있으며 이에 따라 더 높은 수분 흡수 효율에 기인하여 실온에서의 더 높은 결합 에너지를 유도한다. 그러나, 350°C까지의 베이킹 온도에 대한 도 6의 결과는 후-HF 베이킹 온도가 300°C보다 높을 때, 생성되는 결합 에너지가 더 저온에서 베이킹한 것보다 실제로 더 낮음을 보여준다. 전 내용이 본원에서 참조로 인용되는 Chang et al., Appl. Phys. Lett. vol. 69 (1996) p. 1238에서는 SiOF 증착 온도가 300°C보다 높을 경우, 산화물 층의 불소 원자의 손실에 기인하여 층의 내수성이 증가하기 시작함을 보고하였다. 따라서, 결합에 앞서 350°C에서 후-HF 어닐링하였던 웨이퍼 쌍에 대한 실온에서의 결합 에너지의 감소는 비록 SiOF 층이 더 두껍지만 결합 계면에서의 SiOF 층이 250°C 어닐링 층의 것보다 수분을 덜 흡수한다는 사실에 기인할 수 있다.

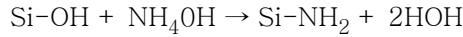
본 발명의 바람직한 공정에서, 이산화실리콘의 최외곽 표면 종결은 후-HF 어닐링 후 Si-F로부터 교환 반응에 의한 RCA 1 용액 클리닝 후 Si-OH로 전환된다:

반응식 3



이어서, 대부분의 Si-OH 그룹은 예를 들면 (약 65% H<sub>2</sub>O를 함유하는) 수성 NH<sub>4</sub>OH 침지 후에 Si-NH<sub>2</sub>로 전환된다:

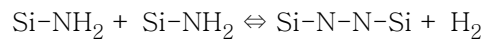
반응식 4



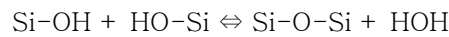
그러나, 표면은 NH<sub>4</sub>OH중의 H<sub>2</sub>O 함량에 기인하여 NH<sub>4</sub>OH 침지 후에도 OH 그룹으로 여전히 부분적으로 종결된다.

Si-NH<sub>2</sub> 및 Si-OH 종결된 표면을 실온에서 결합시키고 두 표면이 충분히 근접할 때 하기 반응이 일어난다:

반응식 5



반응식 6



예를 들면, 문헌: Q.Y. Tong and U. Goesele, J Electroch. Soc., 142 (1995), p.3975에서는 실온에서 대향하는 결합 친수성 표면상에 결합되는 수소인 두 Si-OH 그룹간에 Si-O-Si 공유 결합이 형성될 수 있음을 보고하였다. 그러나, 상기 중합 반응은 약 425°C 이하의 온도에서는 가역적이다. 예를 들면, 전 내용이 본원에 참조로 편입되는 문헌: M.L. Hair, in Silicon Chemistry, E.R. Corey, J.Y. Corey and P.P. Gaspar, Eds, Wiley, New York, (1987), p. 482 참조.

상기 반응에 의해 생성된 물과 수소가 가열 없이 제거될 수 있다면, 공유 결합은 상기 반응에 따른 가역성을 받지 않게 되며 실온에서 영구적인 공유 결합이 일어나게 된다. 본 발명에 따르면, 결합 전에 산화물을 플루오르화시킴으로써, 불소가 결합 계면으로부터 산화물 층으로 혼입되고, 상기 중합 반응의 부산물인 물은 결합 계면으로부터 저밀도 플루오르화 산화물 층으로 확산함으로써 흡수될 수 있고, 이에 따라 실온에서 계면을 가로질러 고도의 공유 결합이 유도된다. 실온에서의 저장 시간의 제곱근의 함수로서의 결합 에너지를 그룹 II의 것들과 동일한 공정 조건을 이용하여 실온에서 결합시킨 산화물 전환된 웨이퍼 쌍에 대해 도 7에 나타내었다. 웨이퍼의 일정 총량 S에 대해, 결합 계면에서의 수소 농도 C<sub>s1</sub>는 시간의 제곱근 t에 반비례하고 결합 계면에서의 수소 농도 C<sub>s2</sub>는 시간의 제곱근 t와 수소 확산 계수 D<sub>2</sub>에 반비례한다:

반응식 7.1

$$C_{s1} = S/(\pi D_1 t)^{1/2}$$

반응식 7.2

$$C_{s2} = S/(\pi D_2 t)^{1/2}$$

예를 들면, 전 내용이 본원에 참조로 편입되는 문헌: J.C.C. Tsai, in VLSI Technology, S.M. Sze, Ed, McGraw-Hill, Auckland,(1983), p.147 참조.

결합 에너지 γ가 결합 계면에서의 물과 수소 농도에 반비례함에 따라, 결합 에너지는 계면에서의 수소 및 물 농도의 역에 비례하여야 한다:

반응식 8

$$\gamma \sim (C_{s1} + C_{s2})^{-1}$$

비록 NH<sub>2</sub> 종결의 농도가 OH 종결보다 크고 그에 따라 결합 후에 H<sub>2</sub>O보다 H<sub>2</sub>의 농도가 더 높아지지만, 수소의 확산도는 이의 훨씬 작은 크기(2.5Å 대 3.3Å)에 기인하여 물의 확산도보다 현저히 더 높을 것으로 예상된다. 따라서 물의 확산에 의해 결합 에너지의 증가가 우세해질 수 있고 확산 계수가 일정할 경우 시간의 제곱근에 비례할 수 있다:



반응식 9

$$\gamma \sim 1/Cs_1 = (\pi D_1 t)^{1/2} / S$$

이러한 이해와 일치되게, 측정된 결합 에너지 대 저장 시간의 제곱근의 직선 관계가 도 7에 도시한 바와 같이 관찰되며, 이는 결합 계면으로부터 플루오르화 산화물층으로의 물 (및 수소)의 확산과 일치한다. 따라서, 결합 계면으로부터 물 (및 수소)의 확산은 본 발명에서 관찰된 결합 에너지의 증대에 원인이 되는 것 같지만, 본 발명은 부산물 및 결합 계면으로부터 물 (및 수소) 부산물의 확산을 초래하는 반응에 국한되지 않는다.

주로 OH 그룹으로 종결되는 결합 표면, 예를 들면, 그룹 IV의 웨이퍼처럼 NH<sub>4</sub>OH로 처리하지 않은 것에 대해서, 계면으로부터 확산할 상당히 더 높은 농도의 H<sub>2</sub>O가 존재한다. 따라서, NH<sub>4</sub>OH 침지한 웨이퍼 쌍의 결합 에너지는 저장 시간에 따라 신속히 증가하며 도 5에 도시된 바와 같이 NH<sub>4</sub>OH 침지를 행하지 않은 웨이퍼 쌍의 것보다 훨씬 더 높은 값에 도달한다.

후속 결합에 사용하기 위한 산화물층을 플루오르화시키는 방법은 도 8A-8C에 도시되어 있다. 산화물층(81)을 결합시키고자 하는 기판(90)상에 형성한 후(도 9A), 산화물을 습식 공정 또는 가스상 공정에 의해 HF에 노출시킨다. 가스상 공정의 일례는 HF 용액에서의 액침 없이 HF 증기에 웨이퍼 표면을 노출시키는 것이다. 산화물은 스퍼터링, 플라즈마 화학 기상 증착법(PECVD), 및 열 성장을 포함한(이에 한정되지 않음) 다양한 방법으로 형성시킬 수 있다. 기판은 이에 형성되는 소자를 구비하거나 구비하지 않은 실리콘 웨이퍼일 수 있다. 이와 달리, F는 20 내지 30 keV의 에너지로 1 x 10<sup>15</sup> 내지 1x10<sup>16</sup>/cm<sup>2</sup>의 불소 이온 주입에 의해 산화물층으로 도입될 수 있다.

약 250°C에서 어닐링 후, 약 0.5μm 두께의 SiOF 표면 결합층(83)을 층(81)의 표면(82)에 형성시킨다(도 8B). 층(83)의 치수는 축소 비율로 도시되지 않았음이 주지된다. 기판은 표면에 SiOF 층(86)이 또한 형성된 제 2 결합층(85)을 갖는 또 다른 기판(84)에 결합할 준비가 되며, 결합은 도 8C에 도시된 바와 같이 실온의 주위 조건에서 수행될 수 있다. HF 침지 및 베이킹 없이 결합된 쌍보다 2.5배까지 더 높은 매우 고밀도의 공유 결합(측정된 결합 강도에 의해 추론)이 실온에서 기판 사이에 형성된다.

SiOF 표면층 없이 또 다른 결합층에 SiOF 표면층을 결합시키는 것도 가능하다. 또한, F<sup>+</sup> 주입 및/또는 실리콘 산화물의 식각(예를 들면, SF<sub>6</sub> 및/또는 CF<sub>4</sub>를 이용한 건식 식각)에 이온 승온에서의 베이킹에 의해 SiOF 표면층을 형성시키는 것도 가능하다. 또한, 플라즈마 화학 기상 증착법(PECVD)에 의해 SiOF 표면층을 형성시키는 것도 가능하다. 예를 들면, 실온에서 SiF<sub>4</sub>/Ar/N<sub>2</sub>O를 이용한 전자-공명 PECVD 산화물 증착(S.P. Kim, S.K. Choi, Y. Park and I Chung, Appl. Phys. Lett. 79 (2001), p.185), 120°C에서 Si<sub>2</sub>H<sub>6</sub>/CF<sub>4</sub>/N<sub>2</sub>O를 이용하는 PECVD 산화물 증착(J. Song, P.K. Ajmera and G.S. Lee, Appl. Phys. Lett. 69 (1996), p. 1876) 또는 300°C에서 SiF<sub>4</sub>/O<sub>2</sub>/Ar를 이용하는 PECVD 산화물 증착(S. Lee and J. Park, Appl. Phys. Lett. 80 (1996), p. 5260).

이산화실리콘 표면상에 SiOF 표면 결합층을 형성하기 위한 HF-침지 및 어닐링은 고유의 적용을 갖는다. 도 9A-9E는 본 발명이 공유 결합의 편재된 변화 및 따라서 표면을 가로질러 결합 에너지를 생성하는 데 사용될 수 있음을 보여준다. 도 9A는 실리콘 웨이퍼 상의 노출된 이산화실리콘의 선택된 영역에서, 이 경우에는 실리콘 소자 영역에서, 표면으로부터 소량의 산화물을 식각하는 데 희석 HF (또는 완충된 HF) 용액이 사용됨을 보여준다. 기판(90)은 이산화실리콘 층(91)과 소자 부분(92)을 구비한다. 소자 부분은 분리된 소자, 회로 또는 집적 회로일 수 있다. 포토레지스트 또는 마스크 층(93)을 개구부(94)가 있는 산화물(91) 상에 형성시킨다. 희석 HF 용액은 개구부(94)에 의해 노출된 이산화실리콘을 식각하여 리세스 영역(95)을 생성한다. 리세스 영역은 수 나노미터 내지는 수 마이크론의 매우 광범위한 깊이를 가질 수 있지만, 더 두꺼운 두께도 가능하다(도 9B). 포토레지스트 또는 마스크 층은 HF에 의한 식각에 내식성이다. 층(93)을 제거한 다음, 도 9C에 도시된 바와 같이, 전 표면에 걸쳐서 약 250°C에서 이산화실리콘의 증착을 수행한다. 250°C 재-증착 공정은 실제로는 후-HF 베이킹 처리를 모방하며 희석 HF 처리 표면을 매립한다.

이어서, CMP 공정 단계를 이용하여 리세스 영역을 평탄화하고 표면 조도를 향상시킬 수 있다. 이어서, 도 9D에 도시한 바와 같이, 그룹 I 표면 처리를 층(96)에 적용한 다음, 실리콘 웨이퍼를 실온에서 이산화실리콘 층(97) 피복 웨이퍼(98)와 같은 또 다른 웨이퍼에 결합시킨다. 따라서, HF 식각 영역에서의 실온 결합 에너지는 본 발명에 따른 결합 계면을 따라 비-HF 식각 영역보다 현저히 더 높다.

이와 같이 형성된 결합 쌍을 강제로 분리시킬 경우, 그에 따른 분리는 HF 침지 소자 영역의 결합 계면에서는 통상적으로 일어나지 않는다. 대신, 도 9D에 개략적으로 도시된 바와 같이, 실리콘 웨이퍼의 일부 또는 실리콘 웨이퍼 자체가 결합 계면 아래에서 균열을 일으켜 기판으로부터 박리될 수 있다. 기판(90)의 일부(99)를 소자 또는 회로(92)에 부착시킨다. 층(91)의 일부(100)와 층(96)의 일부(101)가 균열에 의해 분리된다(도 9E).

도 9의 물리적 일례가 강제로 분리시킨 결합 쌍으로부터의 웨이퍼의 잔류물을 보여주는 도 10의 현미경 사진에 개략적으로 도시되어 있다. 이러한 잔류물은 표면이 HF에 노출된 결합 계면 아래의 실리콘 웨이퍼에서의 균열을 보여준다. 이러한 결과는 이들 위치에서의 실리콘 산화물간의 결합 에너지가 벌크 실리콘의 파쇄 에너지보다 높다는 사실과 일치한다. 또한 도 10에 도시된 바와 같이 웨이퍼 쌍의 결합 계면의 다른 위치에서는, 표면이 HF에 노출되지 않았다. 이러한 위치에서, 결합 에너지는 벌크 실리콘의 파쇄 에너지보다 낮을 것으로 예상된다. 이러한 점은 이들 영역에서 실리콘 박리가 결여된다는 사실과 일치한다.

이러한 편제된 플루오르화는 또한 재료의 유전 상수를 저하시키는 산화물 증착으로의 F의 도입에 기인하여 저-k 유전체의 형성을 초래할 수 있다. 본 발명의 이러한 특징은 집적 회로 또는 기타 구조물의 설계에 유리하게 이용될 수 있다. 예를 들면, 저-k 유전체를 VLSI 소자에서의 다층 연결물 내 비아 레벨(via level)에서가 아니라 금속 라인들 사이에, 저-k 유전체가 요망되는 영역에서 HF 노출과 같은 식각 공정에 이은 약 250°C에서의 산화물 증착에 의해 형성시킬 수 있다. 도 11은 포매된 저-k 구조의 일례를 도시한다. 도 11에서, 저 k-물질층 부분(111,113)을 SiO<sub>2</sub>와 같은 산화물층(110,112,114) 사이에 형성시킨다. 금속층(115,117)은 비아스(vias)(116,118)에 의해 연결된다.

## 실시예

본 발명에 따른 방법의 제 2 실시예를 도 8A-8C를 사용하여 다시 설명한다. 제 1 산화물층(81)을 기판(80)상에 형성시킨다(도 8A). 불소를 전술한 절차 중 하나, 즉 HF에의 노출 또는 F-함유 가스에의 노출에 의해 막(81) 증착으로 도입시킨다. 제 2 산화막(82)을 예를 들면, PECVD에 의해 막(81) 상에 형성시킨다(도 8B). 불소를 확산 및/또는 표면 분리에 의해 제 2 층에 도입시킨다. 불소는 또한 상기 산화막(82)의 증착을 위한 적당한 F-함유 전구체의 사용을 통해 제 2 막 증착으로 도입될 수도 있다. 도면이 막(81)의 표면에 막(82)이 형성되는 실시예를 설명하는 데에도 사용되었으므로 막(81,82)의 치수는 본 실시예의 경우 축소 비율로 도시되지 않았지만, 도면은 막(81,82)의 위치를 정확하게 나타내고 있음이 주지된다. 본 실시예에서, 구조는 산화막(82)과 관련된 증착 온도 및/또는 F-함유 전구체 때문에 반응 부산물의 제거에 조력하는 플루오르화층을 생성하기 위해 베이킹할 필요는 없다. 이어서, 샘플은 도 8C에 도시한 바와 같이 또 다른 웨이퍼에 결합될 준비가 된다.

실리콘 산화물층이 형성되고 HF 용액에 노출된 다음 250°C에서의 산화물 증착이 수행되는 공정 처리된 샘플의 HF-노출 표면 영역에서 도 10에 도시된 샘플에 대해 SIMS (Secondary Ion Mass Spectroscopy) 측정을 하였다. 샘플을 이어서 NH<sub>4</sub>OH 용액에 침지시켰다. 측정 결과는 도 12에 나타내었다. 결합에 앞서 NH<sub>4</sub>OH 용액에 침지시킨 결합 웨이퍼의 결합 계면에서의 Si-N 공유 결합의 존재는 도 12에 도시된 바와 같이 SIMS 측정에 의해 확인된다. 더욱이, SIMS 프로파일 측정은 HF 식각 리세스 상의 산화물 증착 계면 부근에서 높은 F 농도의 존재를 명백하게 확인시켜 준다. 산화물 증착 전에 이 샘플에 HF 노출만을 수행하였으므로, 결합 계면에서의 F 신호가 증착 산화물을 통한 F의 확산 및 250°C 산화물 증착 동안 산화물 표면에서의 축적에 기인한다고 생각하는 것이 합당하다. 결합 계면에서의 불소 농도는 약  $2 \times 10^{18}/\text{cm}^3$ 이고 피크 질소 농도는 약  $3.5 \times 10^{20}/\text{cm}^3$ 이다. 결합 계면으로부터 떨어져 위치한 F는 HOH와 같은 반응 부산물의 제거를 촉진하며, 따라서 영구적인 공유 결합의 농도 및 결합 강도를 증가시킨다.

250°C에서 10시간의 후-HF 수성 침지 베이킹은 반복되는 PECVD 산화물 증착의 온도와 지속기간에 필적한다. 따라서, HF 처리 표면에 PECVD 산화물을 대신 증착시킴으로써 HF 침지 후의 별도의 어닐링 단계를 피할 수 있다. 이러한 이점의 일례는 웨이퍼 결합을 위한 제조에서 비-평탄 웨이퍼의 평탄화에 있다. 예를 들면, 실온 결합은 집적 회로(IC)의 결합에 매우 유용할 수 있다. 그러나, IC는 통상적으로 실온 직접 웨이퍼 결합에 바람직한 평탄하고 평활한 표면에 대해 전도성이 아닌 비-평탄 표면을 갖는다. 이러한 평탄성을 개선하는 하나의 방법은 산화물층을 증착한 다음 CMP를 수행하는 것이다. 이는 비-평탄성이 1 마이크로 이상일 수 있는 경우를 제외하고는 상기 제공된 실시예와 유사하다. 이와 같이 비-평탄성이 증가된 경우에, 더 두꺼운 산화물을 증착시키거나 산화물 증착과 CMP를 1회 이상 반복하여 목적하는 평탄도를 달성한다. 이러한 평탄화 공정에서, HF 처리가 (최종) 산화물 증착 전에 적용되면, 후속 산화물 증착은 F 농도의 증가 및 산화물 증착 후에 표면에 F의 축적을 초래하게 된다. 이어서 이러한 F 농도는 어떠한 후-산화물-성장 열처리도 없이, 예를 들면 전술한 바와 같이 그룹 I 전-결합 처리로, HF 처리가 이용되지 않은 경우에 수득될 때보다 더 높은 결합 에너지를 초래할 수 있다.

본 발명의 방법은 고진공 또는 초-고진공(UHV) 조건에 제한되기보다는 주위 조건에서 수행될 수 있다. 결과적으로, 본 발명의 방법은 저비용 대량생산 기술이다. 또한 본 방법은 결합되는 웨이퍼, 기판 또는 요소의 유형에 의해 제한되지 않는다. 웨이퍼는 실리콘, 소자를 구비한 웨이퍼, 핸들러 기판, 히트 싱크 등과 같은 벌크 재료일 수 있다.

도 2A 및 2B는 상호 결합된 두 소자를 도시하고 있지만, 본 발명의 방법은 두 소자의 결합에 국한되지 않는다. 기판(200,203) 중의 하나는 제거시킬 수 있으며 도 2C 및 2D에 도시된 바와 같이 공정을 반복한다. 도 2C에서, 도 2B에 도시된 구조의 기판(203)을 연삭, 래핑, 연마 및 화학적 식각 중 하나 이상의 공정을 포함한 절차에 의해 기판 제거에 투입하여 일부(207)를 남긴다. 적당한 공정(들)은 재료의 유형 및 공정(들)에 투입되는 구조에 따라 결정될 수 있다. 기판(203)이 이의 표면에 소자 또는 타 요소를 포함하고 있는 경우에, 소자 또는 타 요소가 소재하고 있는 영역을 제외한 기판(203)의 전부 또는 본질적으로 전부가 제거될 수 있다. 제거되는 양은 재료, 재료의 식각 특성, 또는 특정 적용의 세부사항에 따라 변동될 수 있다.

증착된 실리콘 산화물 재료와 같이 동일하거나 상이한 재료의 또 다른 결합층(208)이 (도 2C에 도시된 바와 같이) 일부분(207) 위에 형성되며, 결합층(210)을 갖는 또 다른 기판(209)이 전술한 바와 같이 제조된다. 즉, 층(210)의 표면은 전술한 범위의 표면 조도로 평활화되며, 전술한 바와 동일한 방식으로 계면(211)에서 층(108)에 결합된다. 생성되는 구조는 도 2D에 도시하였다. 공정은 (N+1)-집적 구조를 생성하기 위하여 원하는 만큼 N회 수행될 수 있다.

본 발명은 전 웨이퍼 표면 영역을 국소적으로 또는 전역에 걸쳐서 결합시킬 수 있다. 환언하면, 소형 다이를 대형 다이에 결합시킬 수 있다. 이는 각각의 결합층(134,136,138)을 갖는 수개의 소형 다이(133,135,137)가 결합층(131)의 표면(132)에 결합하고 있는 도 13에 도시되어 있다.

본 발명은 또한 전 내용이 본원에 참조로 편입되는 특허출원 No. 10/359,608에 기재된 바와 같이 실온 금속 직접 결합에 이용될 수 있다. 도 14A에 도시된 바와 같이, 두 기판(140,143)은 각각의 결합층(141,144)과 금속 패드(142,145)를 구비한다. 겹(146)은 패드를 분리시키고, 패드의 상부 표면은 층(141,144)의 상부 표면 위로 연장한다. 층(141,144)의 표면은 앞서 논의된 바와 같이 결합을 위해 준비되며, 이어서 기판의 금속 패드는 접촉시킨다(도 14B). 기판의 적어도 하나는 탄성 변형되고 결합층(141,144)은 접촉하여 층(141,144)간의 하나 이상의 접촉 지점에서 결합하기 시작한다(도 14C). 결합은 전파되어 결합(147)을 형성한다. 실온에서, (공유 결합과 같은) 강한 결합이 형성된다.

도 15는 소형 소자 또는 다이(151,152)와 단일 대형 기판(150)의 금속 결합을 도시한다. 각각 소자(151,152)내 구조물(153,154)은 활성 소자 또는 접촉 구조물일 수 있다. 또한 기판(150)내 활성 소자일 수 있거나 이를 포함할 수 있는 구조(156)는 접촉 구조(155)를 구비한다. 결합은 기판(150)상의 결합층(157)과 소형 소자(151,152)상의 결합층(158) 사이의 계면(159)에 형성된다.

금속 직접 결합은 참조된 기술에서 기술하고 있는 바와 같이 결합된 웨이퍼를 상호 연결하기 위한 전기적 연결을 형성하는 식각 및 금속 증착을 통한, 다이 연삭 및 박막화 단계의 제거를 포함한 다양한 이점을 제공한다. 이는 그러한 다이 연삭 및 박막화에 의해 초래되는 기계적 손상을 제거한다. 더욱이, 딥 비아 식각(deep via etching) 단계의 제거는 단차 회복 문제를 피하고, 공정을 좀더 작은 치수로 비율 축소되도록 하여, 결합된 웨이퍼와 접촉하기 위한 비아 플러그가 좀더 작아지게 된다. 본 방법은 다른 표준 반도체 공정과 호환성이며, VLSL 호환성이다.

추가 실시예에서, 본 발명의 방법은 도 16A-16E에 도시된 바와 같이 기밀성 캡슐화에 적용될 수 있다. 플루오르화 결합층(162)은 캐리어상에 형성되며, MEMS와 같은 소자(161)를 형성하는 동안 보호된다. 도 16A는 캐리어(160) 상에 결합층(162)을 형성한 다음, 결합층(162) 상에 보호막(163)을 형성하고, 캐리어(160) 상에 소자(161)를 형성하는 단계를 보여준다. 일례로서, 캐리어(160)는 실리콘 기판일 수 있고 결합층(162)은 실온 결합을 촉진하기 위한 적당한 표면 조도와 평탄도 특징을 갖는 증착된 산화물층일 수 있다. 도 16B에 도시된 바와 같이, 막(163)은 소자(161)의 형성 후에 제거시켰으며, 결합층(162)의 표면(164)에 결합시킬 위치에 적당한 표면 조도와 평탄도 특징을 가지면서 표면(167)을 구비한 부분(166)을 지닌 커버(165)를 제조하였다. 표면(167)을 표면(164)과 직접 접촉시킨 다음 결합시켜 도 16C에 도시한 바와 같이 결합(169)을 형성한다. 도 16D는 도 16A-16C에 도시된 방법의 변형을 나타내며, 여기에서 결합층(170)은 적당한 표면 조도와 평탄도 특징을 가지면서 부분(166) 위에 형성되어 있다. 막(170)의 표면을 막(162)의 표면과 접촉시킨 다음 결합시켜 결합(171)을 형성시킨다. 도 16A-16C에 도시된 방법의 또 다른 변형이 도 16E에 예시되어 있으며, 여기에서 커버는 플레이트(172) 및 플레이트(172)상에 형성된 부분(173)으로 이루어져 있다. 부분(173)의 표면은 전술한 바와 같이 제조된 다음 막(162)에 결합시켜 결합(174)을 형성한다. 도 16E의 우측 부분은 부분(173)이 막(174)과 함께 플레이트(172)에 및 층(162)의 표면에 결합하여 결합(175)을 형성하는 추가 변형을 도시한다. 어느 경우에든, 부분(173)은 산화물 또는 실리콘 재료일 수 있고, 플레이트(172)는 실리콘 플레이트일 수 있다.

본 발명에 따르면, 증착, 스퍼터링, 열 또는 화학적 산화, 및 스핀 온-글래스와 같은 임의 방법에 의해 형성된 이산화실리콘은 순수한 상태 또는 도핑된 상태로 사용될 수 있다.

본 발명의 바람직한 양태에서, 수화 후 및 결합 전에, 플루오르화 표면 이산화실리콘 층에 의해 피복된 웨이퍼의 암모니아 용액 침지는 Si-N 결합의 형성 및 수소에 기인하여 실온에서의 결합 에너지를 현저히 증가시킨다.

HF-침지 및 후-HF 베이킹은 이산화실리콘 층내 식각 윈도우에서와 같이 웨이퍼상의 바람직한 위치에서 편재된 공유 결합을 생성할 수 있다. 이와 달리, F 주입 및 후속 어닐링 작업은 바람직한 위치에서 편재된 공유 결합을 생성할 수 있다.

본 발명에 따르면, HF-침지 및 후-HF 베이킹은 이산화실리콘 층에 국소적으로 저-k 유전체를 형성할 수 있다. 예를 들면, 저-k 유전체는 VLSI 소자에서의 다층 연결물내 비아 레벨에서가 아니라 금속 라인 사이에 형성될 수 있다.

본 발명의 방법은 히트 싱크, 핸들러 또는 대응 기관, 능동 소자를 구비한 기관, 집적 회로를 구비한 기관 등과 같이 임의 유형의 기관에 적용 가능하다. 상이한 기술의 기관, 즉 실리콘, III-IV 물질, II-VI 물질 등이 본 발명에 사용될 수 있다.

본 발명의 적용 범위는 3-D SOC용 공정 처리된 집적 회로의 수직 집적화, 마이크로 패드 패키징, 플립칩 결합의 저가 고성능 교체, 웨이퍼 스케일 패키징, 열 관리 및 특유의 소자 구조물, 예를 들면 금속 베이스 소자를 포함하며 이에 한정되지 않는다.

상기의 교시 내용에 비추어 볼 때 본 발명의 다양한 수정 및 변형이 가능하다. 따라서, 첨부 특허청구범위의 범주 내에서, 본 발명은 본원에서 구체적으로 기재된 바와 다른 방법으로도 실시될 수 있음을 이해하여야 한다.

#### (57) 청구의 범위

##### 청구항 1.

각각의 제 1 및 제 2 요소 상에 결합층 중 적어도 하나가 플루오르화 층을 포함하는 제 1 및 제 2 결합층을 형성하고;

실온의 주위 조건에서 제 1 및 제 2 결합층을 접촉시킨 다음;

실온에서 제 1 층과 제 2 층간의 결합을 형성하는 단계를 포함하는 결합 방법.

##### 청구항 2.

제 1 항에 있어서, 실온에서 적어도 600 mJ/m<sup>2</sup>의 결합을 형성하는 단계를 포함하는 방법.

##### 청구항 3.

제 1 항에 있어서, 실온에서 적어도 1000 mJ/m<sup>2</sup>의 결합을 형성하는 단계를 포함하는 방법.

##### 청구항 4.

제 1 항에 있어서, 실온에서 적어도 2500 mJ/m<sup>2</sup>의 결합을 형성하는 단계를 포함하는 방법.

##### 청구항 5.

제 1 항에 있어서, 제 1 및 제 2 결합층 각각을 약 0.1 내지 1.5 nm RMS 범위의 표면 조도를 갖도록 형성하는 단계를 포함하는 방법.

#### 청구항 6.

제 5 항에 있어서, 제 1 및 제 2 결합층을 활성화시키는 단계를 포함하는 방법.

#### 청구항 7.

제 1 항에 있어서, 제 1 및 제 2 결합층을 활성화시키는 단계를 포함하는 방법.

#### 청구항 8.

제 1 항에 있어서, 플루오르화 층의 형성이

산화물층을 형성한 다음;

산화물층을 불소-함유 용액에 노출시키는 단계를 포함하는 방법.

#### 청구항 9.

제 8 항에 있어서, 플루오르화 산화물을 포함하는 층 중 적어도 하나를 베이킹하는 단계를 포함하는 방법.

#### 청구항 10.

제 9 항에 있어서, 층 중 적어도 하나를 베이킹 후에 RCA 용액에 노출시키는 단계를 포함하는 방법.

#### 청구항 11.

제 9 항에 있어서, 플루오르화 산화물을 포함하는 층 중 적어도 하나를 약 100 내지 300°C 범위의 온도에서 베이킹하는 단계를 포함하는 방법.

#### 청구항 12.

제 9 항에 있어서, 플루오르화 산화물을 포함하는 층 중 적어도 하나를 약 250°C의 온도에서 베이킹하는 단계를 포함하는 방법.

#### 청구항 13.

제 9 항에 있어서, 층 중 적어도 하나를 베이킹 후에 RCA 용액에 노출시키는 단계를 포함하는 방법.

#### 청구항 14.

제 8 항에 있어서, 층을 HF-함유 용액에 노출시키는 단계를 포함하는 방법.

#### 청구항 15.

제 8 항에 있어서, 층을 약 0.025% HF를 함유하는 용액에 노출시키는 단계를 포함하는 방법.

#### 청구항 16.

제 1 항에 있어서,

플루오르화 산화물층을 포함하는 결합층 중 적어도 하나의 형성이

산화물층을 형성한 다음;

생성된 산화물층을 불소-함유 가스에 노출시키는 단계를 포함하는 방법.

#### 청구항 17.

제 16 항에 있어서, 산화물층을 HF 증기에 노출시키는 단계를 포함하는 방법.

#### 청구항 18.

제 16 항에 있어서, 산화물층을 SF<sub>6</sub> 및 CF<sub>4</sub> 중 하나를 함유하는 플라즈마에 노출시키는 단계를 포함하는 방법.

#### 청구항 19.

제 1 항에 있어서, 플루오르화 산화물층을 포함하는 결합층 중 적어도 하나의 형성이 F-함유 가스를 이용하여 산화물을 증착하는 단계를 포함하는 방법.

#### 청구항 20.

제 1 항에 있어서, 플루오르화 산화물층을 포함하는 결합층 중 적어도 하나의 형성이 SiF<sub>4</sub>, CF<sub>4</sub> 및 Si<sub>2</sub>H<sub>6</sub> 중 하나를 함유하는 가스를 이용하여 PECVD 산화물을 증착하는 단계를 포함하는 방법.

#### 청구항 21.

제 1 항에 있어서,

플루오르화 산화물층을 포함하는 결합층 중 적어도 하나의 형성이

산화물층을 형성한 다음;

F-함유 종을 상기 산화물층에 주입하는 단계를 포함하는 방법.

**청구항 22.**

제 21 항에 있어서, F-함유 중을 산화물층에 약  $1 \times 10^{15}$  내지  $1 \times 10^{16}/\text{cm}^2$  범위의 용량으로 주입하는 단계를 포함하는 방법.

**청구항 23.**

제 1 항에 있어서, 제 1 및 제 2 결합층을 RIE 공정에 노출시킴으로써 식각하는 단계를 포함하는 방법.

**청구항 24.**

제 1 항에 있어서, 결합층을  $\text{NH}_4\text{OH}$  용액 및 증기 중 하나에 노출시키는 단계를 포함하는 방법.

**청구항 25.**

제 1 항에 있어서,

제 1 결합층의 제 1 부분을 피복하고;

상기 피복 단계에서 피복되지 않은 제 1 결합층의 제 2 부분을 플루오르화시킨 다음;

제 2 부분을 제 2 결합층과 결합시키는 단계를 포함하는 방법.

**청구항 26.**

제 1 항에 있어서, 제 1 및 제 2 결합층 중 하나에 플루오르화 산화물의 형성이

제 1 산화물층을 불소에 노출시킨 다음;

상기 노출 단계 후에 제 1 산화물층 위에 제 2 산화물층을 형성하는 단계를 포함하는 방법.

**청구항 27.**

제 26 항에 있어서, 제 2 산화물층을 약 100 내지 300°C 범위의 온도에서 형성하는 단계를 포함하는 방법.

**청구항 28.**

제 26 항에 있어서, 제 2 산화물층을 약 250°C의 온도에서 형성하는 단계를 포함하는 방법.

**청구항 29.**

제 1 항에 있어서, 제 1 및 제 2 결합층 중 적어도 하나를 적어도  $10^{17}/\text{cm}^3$ 의 불소 농도를 갖도록 형성하는 단계를 포함하는 방법.

### 청구항 30.

제 1 항에 있어서, 제 1 및 제 2 결합층간의 계면 부근에서 제 1 피크를 갖고 제 1 피크로부터 분리되어 있고 제 1 피크로부터 일정 거리만큼 떨어져 위치한 제 1 및 제 2 층 중 적어도 하나에 제 2 피크를 갖는 불소 농도를 형성하는 단계를 포함하는 방법.

### 청구항 31.

제 30 항에 있어서, 제 1 및 제 2 결합층 중 하나의 형성이

제 1 산화물층을 형성하고;

불소를 상기 산화물 층에 도입한 다음;

상기 도입 단계 후에 제 1 산화물층 위에 제 2 산화물층을 형성하는 단계를 포함하는 방법.

### 청구항 32.

제 31 항에 있어서, 불소를 제 1 산화물층으로부터 제 2 산화물층으로 확산시키는 단계를 포함하는 방법.

### 청구항 33.

제 31 항에 있어서, 제 1 산화물층을 각각 불소를 함유하는 용액, 증기 및 가스 중 하나에 노출시키는 단계를 포함하는 방법.

### 청구항 34.

제 31 항에 있어서, 제 1 산화물층의 형성이 불소를 함유하는 가스를 이용하여 산화물을 증착하는 단계를 포함하는 방법.

### 청구항 35.

제 31 항에 있어서, 제 1 산화물층을  $\text{SF}_6$  및  $\text{CF}_4$  중 하나를 함유하는 플라즈마에 노출시키는 단계를 포함하는 방법.

### 청구항 36.

제 31 항에 있어서, 제 1 산화물층의 형성이 F-함유 가스를 이용하여 산화물을 증착하는 단계를 포함하는 방법.

### 청구항 37.



제 31 항에 있어서, 제 1 산화물층의 형성이  $\text{SiF}_4$ ,  $\text{CF}_4$  및  $\text{Si}_2\text{H}_6$  중 하나를 함유하는 가스를 이용하여 PECVD 산화물을 증착하는 단계를 포함하는 방법.

### 청구항 38.

제 1 및 제 2 요소; 및

제 1 및 제 2 요소상에 각각 형성된 제 1 및 제 2 결합층을 포함하고;

제 1 결합층은 제 2 결합층에 비-접착제 결합되고;

제 1 결합층은 플루오르화 산화물을 포함하는 결합 구조.

### 청구항 39.

제 38 항에 있어서,

제 1 결합층은 제 2 산화물층 상에 형성된 제 1 산화물층을 포함하고;

제 1 결합층내 불소 농도는 제 1 및 제 2 결합층간의 계면 부근에 위치한 제 1 피크 및 제 1 및 제 2 산화물층간의 계면에 위치한 제 2 피크를 갖는 구조.

### 청구항 40.

제 38 항에 있어서, 제 1 결합층은 불소-주입층을 포함하는 구조.

### 청구항 41.

제 38 항에 있어서, 제 1 결합층은 불소 용액으로 식각된 표면을 갖는 층을 포함하는 구조.

### 청구항 42.

제 38 항에 있어서, 제 1 결합층은 HF-함유 용액으로 식각된 표면을 갖는 산화물층을 포함하는 구조.

### 청구항 43.

제 38 항에 있어서, 제 1 결합층은 불소를 함유하는 제 2 산화물층 상에 약 100 내지 250°C 범위의 온도에서 형성된 제 1 산화물층을 포함하는 구조.

### 청구항 44.

제 38 항에 있어서, 제 1 결합층은 불소를 함유하는 제 2 산화물층 상에 약 250°C의 온도에서 형성된 제 1 산화물층을 포함하는 구조.

청구항 45.

제 38 항에 있어서, 제 1 결합층은 F-함유 층을 약  $1 \times 10^{15}$  내지  $1 \times 10^{16}/\text{cm}^2$  범위의 용량으로 주입한 산화물층을 포함하는 구조.

청구항 46.

제 38 항에 있어서, 제 1 결합층은 불소를 함유하는 복수개의 분리된 영역을 갖는 층을 포함하는 구조.

청구항 47.

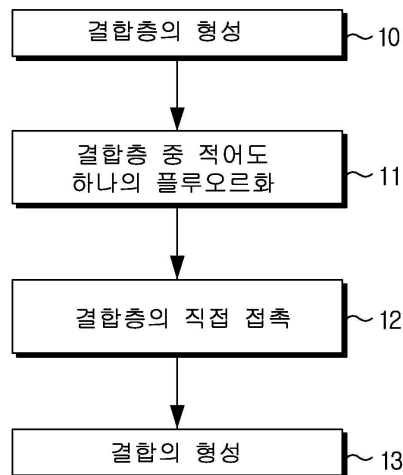
제 38 항에 있어서, 제 1 결합층은 Si-NH<sub>2</sub> 및 Si-OH 중 적어도 하나로 종결된 표면을 포함하는 구조.

청구항 48.

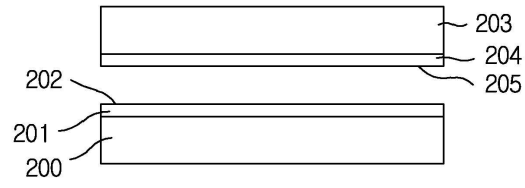
제 38 항에 있어서, 제 1 결합층은 Si-NH<sub>2</sub> 및 Si-OH로 종결된 표면을 포함하는 구조.

도면

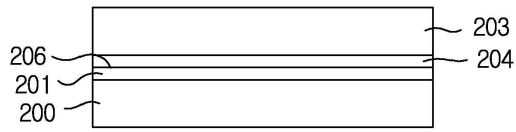
도면1



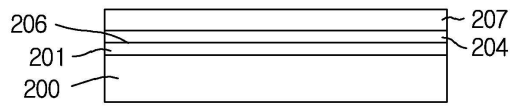
도면2A



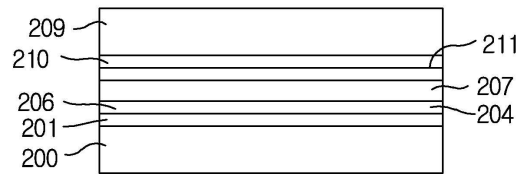
도면2B



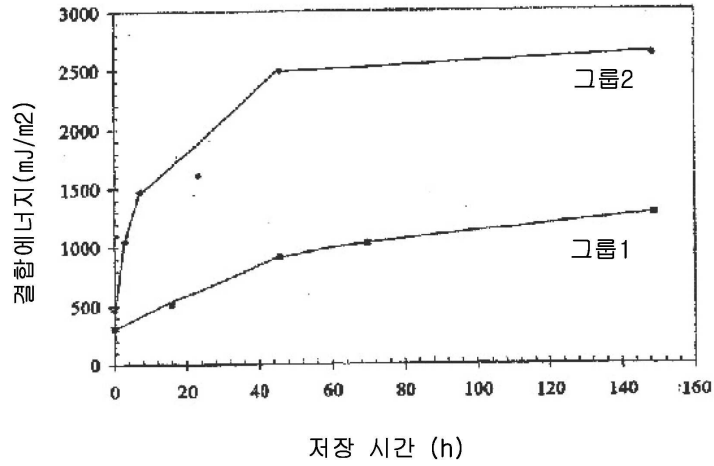
도면2C



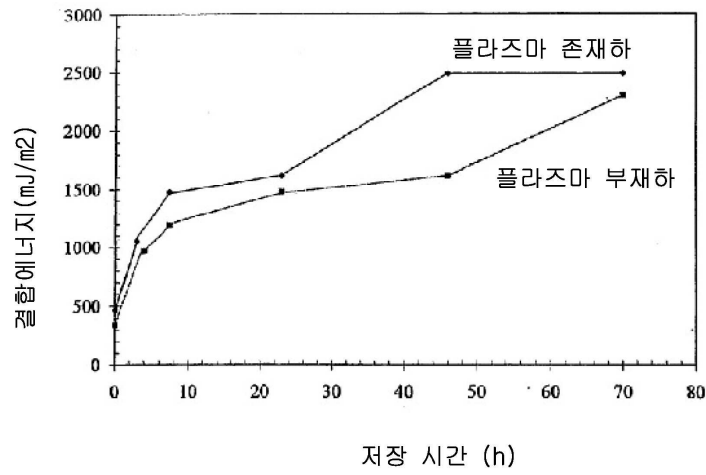
도면2D



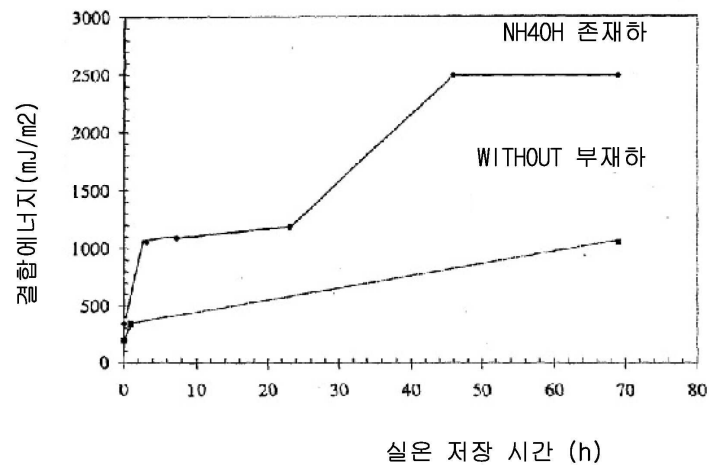
도면3



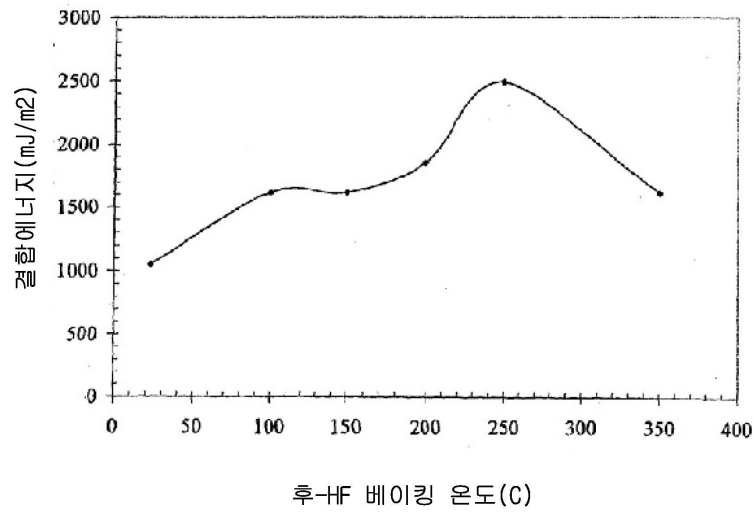
도면4



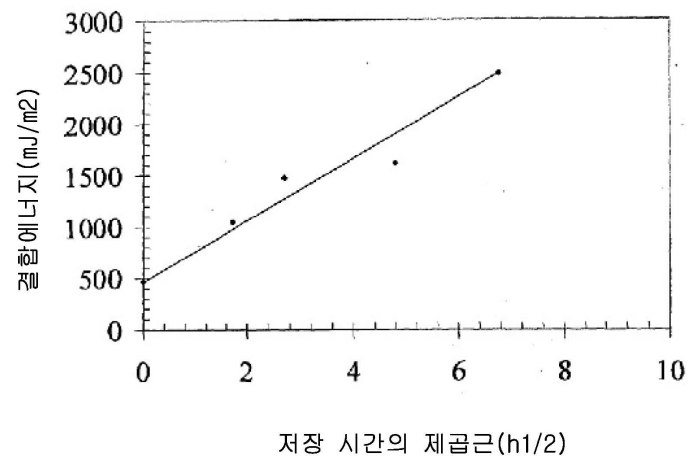
도면5



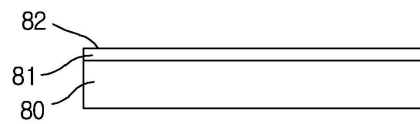
도면6



도면7



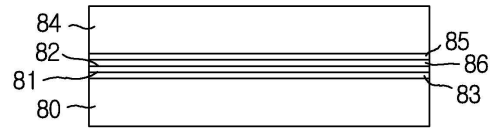
도면8A



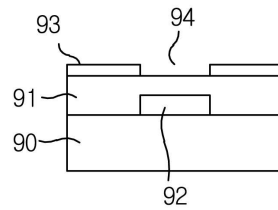
도면8B



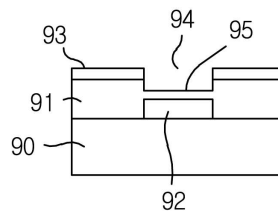
도면8C



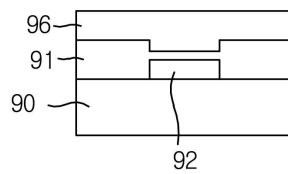
도면9A



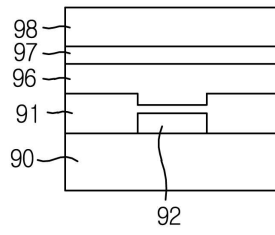
도면9B



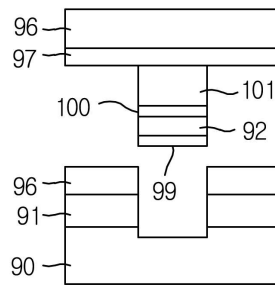
도면9C



도면9D



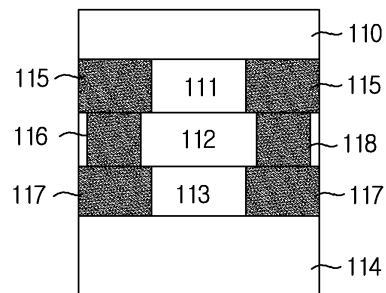
도면9E



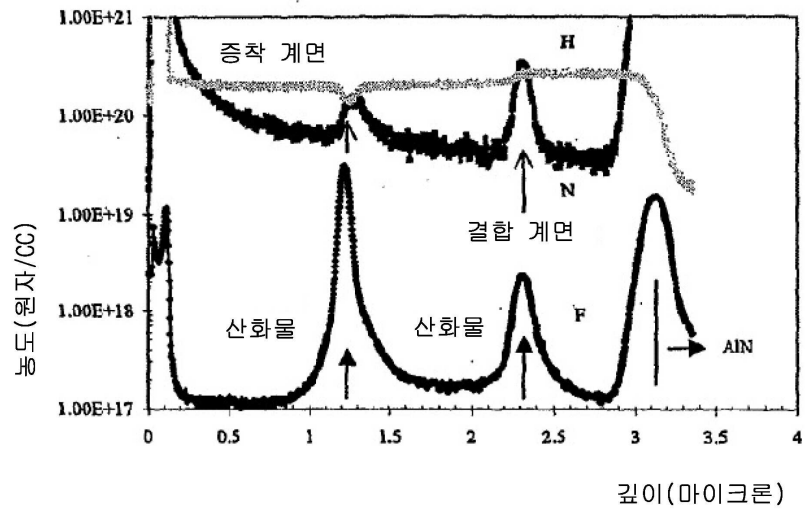
도면10



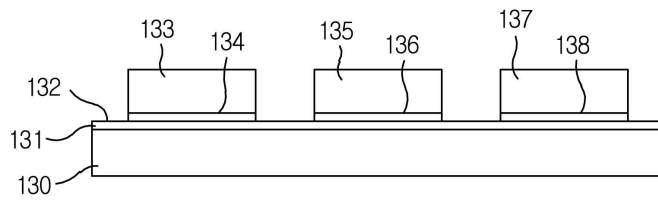
도면11



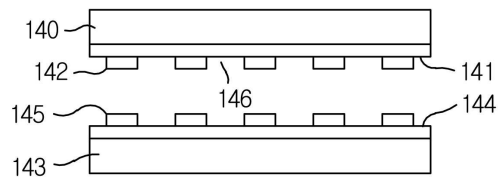
도면12



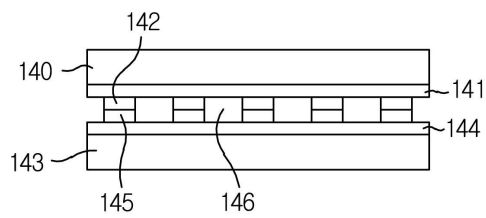
도면13



도면14A

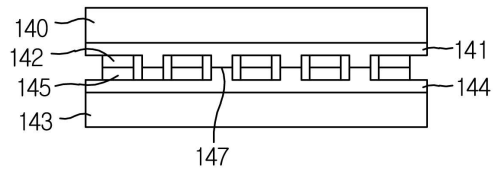


도면14B

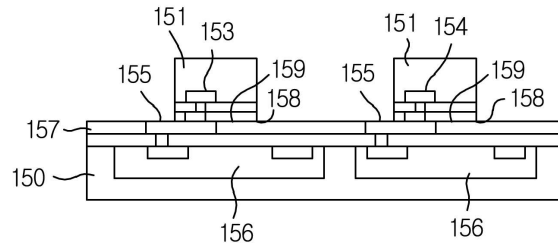




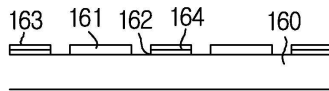
도면14C



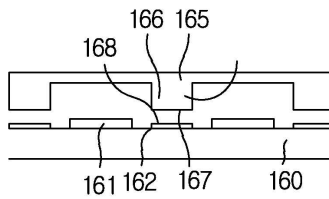
도면15



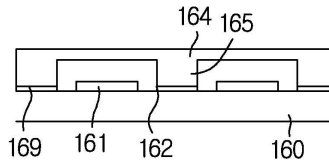
도면16A



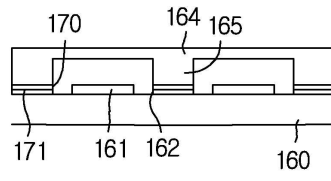
도면16B



도면16C



도면16D



도면16E

