

## 【特許請求の範囲】

## 【請求項 1】

基板上に少なくとも一つの下部電極膜を含む下部電極層を形成する段階と、  
前記下部電極層上に強誘電体層を形成する段階と、  
前記強誘電体層上に上部電極層を形成する段階と、  
前記上部電極層上に第 1 ハードマスク及び第 2 ハードマスクを具備するハードマスク構造物を形成する段階と、  
前記ハードマスク構造物をエッチングマスクとして利用して、前記上部電極層、前記強誘電体層、及び前記下部電極層を部分的にエッチングして前記基板上に下部電極、強誘電体層パターン、及び上部電極を形成する段階と、を含む強誘電体キャパシタの製造方法。 10

## 【請求項 2】

前記ハードマスク構造物を形成する段階は、  
前記強誘電体層上に第 1 ハードマスク層を形成する段階と、  
前記第 1 ハードマスク層上に第 2 ハードマスク層を形成する段階と、  
前記第 2 ハードマスク層及び前記第 1 ハードマスク層をエッチングして前記上部電極層上に前記第 1 ハードマスク及び前記第 2 ハードマスクを形成する段階と、を更に含むことを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

## 【請求項 3】

前記第 1 ハードマスク層は、前記上部電極層に対してエッチング選択比を有する物質を使用して形成されることを特徴とする請求項 2 記載の強誘電体キャパシタの製造方法。 20

## 【請求項 4】

前記第 2 ハードマスク層は、前記第 1 ハードマスク層、前記上部電極層、及び前記強誘電体層に対してエッチング選択比を有する物質を使用して形成されることを特徴とする請求項 2 記載の強誘電体キャパシタの製造方法。

## 【請求項 5】

前記上部電極層、前記強誘電体層、及び前記下部電極層を部分的にエッチングする段階は、  
前記第 2 ハードマスクをエッチングマスクとして利用して前記第 1 ハードマスク層及び前記上部電極層を部分的にエッチングする段階と、  
前記第 1 ハードマスクをエッチングマスクとして利用して、前記強誘電体層及び前記下部電極層を部分的にエッチングする段階と、を更に含むことを特徴とする請求項 4 記載の強誘電体キャパシタの製造方法。 30

## 【請求項 6】

前記第 1 ハードマスク層は、ストロンチウムルテニウム酸化物 (SRO)、ストロンチウムチタニウム酸化物 (STO)、カルシウムルテニウム酸化物 (CRO)、シリコン窒化物、及びシリコン酸窒化物からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 2 記載の強誘電体キャパシタの製造方法。

## 【請求項 7】

前記第 1 ハードマスク層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又は、パルスレーザー蒸着工程を利用して形成されることを特徴とする請求項 2 記載の強誘電体キャパシタの製造方法。 40

## 【請求項 8】

前記第 2 ハードマスク層は、シリコン窒化物、シリコン酸化物、ドーピングされないポリシリコン、及びシリコン酸窒化物からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 2 記載の強誘電体キャパシタの製造方法。

## 【請求項 9】

前記第 2 ハードマスク層は、化学気相蒸着工程、原子層積層工程、パルスレーザー蒸着工程、又はプラズマ化学気相成長工程を利用して形成されることを特徴とする請求項 2 記載の強誘電体キャパシタの製造方法。

## 【請求項 10】

前記第 1 ハードマスクと前記第 2 ハードマスクの厚さの比は、 $1 : 1 \sim 1 : 10$ であることを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 1 1】

前記上部電極を形成した後、前記強誘電体層パターンを形成する前に、前記第 2 ハードマスクを除去する段階を更に含むことを特徴とする請求項 1 2 記載の強誘電体キャパシタの製造方法。

【請求項 1 2】

前記強誘電体キャパシタの側壁は、前記基板に水平な方向に対して  $80 \sim 90^\circ$  の角度を有することを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 1 3】

前記下部電極層を形成する段階は、  
前記基板上に第 1 下部電極膜を形成する段階と、  
前記第 1 下部電極膜上に第 2 下部電極膜を形成する段階と、を更に含むことを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 1 4】

前記第 1 下部電極膜は、チタニウムアルミニウム窒化物、アルミニウム窒化物、チタニウム窒化物、チタニウムシリコン窒化物、タンタル窒化物、及びタンタルシリコン窒化物からなる群から選択されたいずれか一つを使用して形成され、前記第 2 下部電極膜はイリジウム、白金、ルテニウム、パラジウム、及び金からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 1 3 記載の強誘電体キャパシタの製造方法。

【請求項 1 5】

前記下部電極層を形成する段階は、前記第 2 下部電極膜上に第 3 下部電極膜を形成する段階を更に含むことを特徴とする請求項 1 3 記載の強誘電体キャパシタの製造方法。

【請求項 1 6】

前記第 3 下部電極膜は、ストロンチウムルテニウム酸化物 ( $\text{SRO}$ )、ストロンチウムチタニウム酸化物 ( $\text{STO}$ )、ランタンニッケル酸化物 ( $\text{LNO}$ )、及びカルシウムルテニウム酸化物 ( $\text{CRO}$ ) からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 1 5 記載の強誘電体キャパシタの製造方法。

【請求項 1 7】

前記下部電極層を形成する前に、  
前記基板上に絶縁構造物を形成する段階と、  
前記絶縁構造物を貫通するホールを形成する段階と、  
前記ホールを部分的に埋め立てるパッドを形成する段階と、を更に含むことを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 1 8】

前記下部電極層を形成する段階は、  
前記パッド上に前記ホールを完全に埋め立てる第 1 下部電極膜を形成する段階と、  
前記第 1 下部電極膜及び前記絶縁構造物上に第 2 下部電極膜を形成する段階と、を含むことを特徴とする請求項 1 7 記載の強誘電体キャパシタの製造方法。

【請求項 1 9】

前記強誘電体層は、 $\text{PZT}[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3]$ 、 $\text{SBT}(\text{SrBi}_2\text{Ti}_2\text{O}_9)$ 、 $\text{BLT}[\text{Bi}(\text{La}, \text{Ti})\text{O}_3]$ 、 $\text{PLZT}[\text{Pb}(\text{La}, \text{Zr})\text{TiO}_3]$ 、及び  $\text{BST}[\text{Bi}(\text{Sr}, \text{Ti})\text{O}_3]$  からなる群から選択されたいずれか一つ、又は、カルシウム ( $\text{Ca}$ )、ランタン ( $\text{Ln}$ )、マンガン ( $\text{Mn}$ )、又はビスマス ( $\text{Bi}$ ) がドーピングされた  $\text{PZT}$ 、 $\text{SBT}$ 、 $\text{BLT}$ 、 $\text{PLZT}$ 、及び  $\text{BST}$  からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 2 0】

前記上部電極層は、イリジウム、白金、ルテニウム、白金 - マンガン合金、イリジウム

10

20

30

40

50

- ルテニウム合金、イリジウム酸化物、ストロンチウムルテニウム酸化物 (SRO)、ストロンチウムチタニウム酸化物 (STO)、ランタンニッケル酸化物 (LNO)、及びカルシウムルテニウム酸化物 (CRO) からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 2 1】

前記上部電極層を形成する段階は、

前記強誘電体層上に第 1 上部電極膜を形成する段階と、

前記第 2 上部電極膜上に第 2 上部電極膜を形成する段階と、を更に含むことを特徴とする請求項 1 記載の強誘電体キャパシタの製造方法。

【請求項 2 2】

前記第 1 上部電極膜は、ストロンチウムルテニウム酸化物 (SRO)、ストロンチウムチタニウム酸化物 (STO)、ランタンニッケル酸化物 (LNO)、及びカルシウムルテニウム酸化物 (CRO) からなる群から選択されたいずれか一つを使用して形成され、前記第 2 上部電極膜は、イリジウム、白金、ルテニウム、パラジウム、及び金からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項 2 1 記載の強誘電体キャパシタの製造方法。

【請求項 2 3】

基板上に下部構造物を形成する段階と、

前記下部構造物上に絶縁構造物を形成する段階と、

前記絶縁構造物を貫通して前記下部構造物に接触されるパッドを形成する段階と、

前記パッド及び絶縁構造物上に少なくとも一つの下部電極膜を含む下部電極層を形成する段階と、

前記下部電極層上に強誘電体層を形成する段階と、

前記強誘電体層上に上部電極層を形成する段階と、

前記上部電極層上に第 1 ハードマスク及び第 2 ハードマスクを具備するハードマスク構造物を形成する段階と、

前記ハードマスク構造物をエッチングマスクとして利用して、前記上部電極層、前記強誘電体層、及び前記下部電極層を部分的にエッチングして、前記絶縁構造物及びパッド上に下部電極、強誘電体層パターン、並びに上部電極を形成する段階と、を含む半導体装置の製造方法。

【請求項 2 4】

前記ハードマスク構造物を形成する段階は、

前記強誘電体層上に第 1 ハードマスク層を形成する段階と、

前記第 1 ハードマスク層上に第 2 ハードマスク層を形成する段階と、

前記第 2 ハードマスク層及び前記第 1 ハードマスク層を部分的にエッチングして前記上部電極層上に前記第 1 ハードマスク及び前記第 2 ハードマスクを形成する段階と、を更に含むことを特徴とする請求項 2 3 記載の半導体装置の製造方法。

【請求項 2 5】

前記第 1 ハードマスク層は、前記上部電極層に対してエッチング選択比を有する物質を使用し形成され、前記第 2 ハードマスク層は、前記第 1 ハードマスク層、前記上部電極層、及び前記強誘電体層に対してエッチング選択比を有する物質を使用して形成されることを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 2 6】

前記上部電極層、前記強誘電体層、及び前記下部電極層を部分的にエッチングする段階は、

前記第 2 ハードマスクをエッチングマスクとして利用して前記第 1 ハードマスク層及び前記上部電極層を部分的にエッチングする段階と、

前記第 1 ハードマスクをエッチングマスクとして利用して前記強誘電体層及び前記下部電極層を部分的にエッチングする段階と、を更に含むことを特徴とする請求項 2 5 記載の半導体装置の製造方法。

10

20

30

40

50

## 【請求項 27】

前記第1ハードマスク層は、ストロンチウムルテニウム酸化物（SRO）、ストロンチウムチタニウム酸化物（STO）、カルシウムルテニウム酸化物（CRO）、シリコン窒化物、及びシリコン酸窒化物からなる群から選択されたいずれか一つを使用して形成され、前記第2ハードマスク層は、シリコン窒化物、シリコン酸化物、ドーピングされないポリシリコン、及びシリコン酸窒化物からなる群から選択されたいずれか一つを使用して形成されることを特徴とする請求項24記載の半導体装置の製造方法。

## 【請求項 28】

前記第1ハードマスク層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又は、パルスレーザー蒸着工程を利用して形成され、前記第2ハードマスク層は、化学気相蒸着工程、原子層積層工程、パルスレーザー蒸着工程、又はプラズマ化学気相成長工程を利用して形成されることを特徴とする請求項24記載の半導体装置の製造方法。

10

## 【請求項 29】

前記上部電極を形成した後、前記強誘電体層パターンを形成する前に、前記第2ハードマスクを除去する段階を更に含むことを特徴とする請求項24記載の半導体装置の製造方法。

## 【請求項 30】

前記第1ハードマスクと前記第2ハードマスクの厚さの比は、1:1~1:10であることを特徴とする請求項23記載の半導体装置の製造方法。

## 【請求項 31】

前記下部電極層を形成する段階は、  
前記絶縁構造物及び前記パッド上に第1下部電極膜を形成する段階と、  
前記第1下部電極膜上に第2下部電極膜を形成する段階と、を更に含むことを特徴とする請求項23記載の半導体装置の製造方法。

20

## 【請求項 32】

前記下部電極層を形成する段階は、前記第2下部電極膜上に第3下部電極膜を形成する段階を更に含むことを特徴とする請求項31記載の半導体装置の製造方法。

## 【請求項 33】

前記パッドを形成する段階は、  
前記絶縁構造物に前記下部構造物を露出させるホールを形成する段階と、  
前記ホールを満たしながら前記絶縁構造物上に導電層を形成する段階と、  
前記導電層を除去して前記ホールを部分的に埋め立てる前記パッドを形成する段階と、  
を更に含むことを特徴とする請求項23記載の半導体装置の製造方法。

30

## 【請求項 34】

前記下部電極層を形成する段階は、  
前記パッド上に前記ホールを完全に埋め立てる第1下部電極膜を形成する段階と、  
前記第1下部電極膜及び前記絶縁構造物上に第2下部電極膜を形成する段階と、を含むことを特徴とする請求項33記載の半導体装置の製造方法。

## 【請求項 35】

前記上部電極層を形成する段階は、  
前記強誘電体層上に第1上部電極膜を形成する段階と、  
前記第2上部電極膜上に第2上部電極膜を形成する段階と、を更に含むことを特徴とする請求項23記載の半導体装置の製造方法。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、強誘電体キャパシタの製造方法及びこれを利用した半導体装置の製造方法に係り、より詳細には、有効面積の拡張を通じて向上された強誘電的及び電気的特性を有する強誘電体キャパシタの製造方法及びこれを利用した半導体装置及びその製造方法に関する。

50

## 【背景技術】

## 【0002】

半導体メモリ装置は、電源供給が中断された場合に、保存されたデータを失う揮発性半導体メモリ装置と、電源供給が中断される場合にも保存されたデータを失わない不揮発性半導体メモリ装置とに区分される。前記揮発性半導体メモリ装置としては、DRAM装置やSRAM装置等が挙げられ、前記不揮発性半導体メモリ装置としては、EPROM装置、EEPROM装置、又はフラッシュメモリ装置等が開発されている。

## 【0003】

これに対し、FRAM装置は、読み書きが全部可能な揮発性であるRAM装置の特性と不揮発性であるROM装置の特性を全部有している。前記FRAM装置において、現在の製造技術水準がDRAM装置に達していないので、FRAM装置の動作速度がDRAM装置に対して相対的に劣化するが、FRAM装置は電源供給が中断されても、強誘電体が有している自発分極特性のために、保存された情報を失わないという優れた情報保存特性を有する。又、前記FRAM装置は、EPROM装置やEEPROM装置に対して低い電力で駆動させることができ、情報の入出力回数を顕著に増加させることができるという長所も有する。

## 【0004】

前記FRAM装置の製造のために、開発されている強誘電体は大きく2種類に区分される。その一つは、PZT[Pb(Zr、Ti)O<sub>3</sub>]系列の強誘電体であり、他の一つは、SBT(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>)系列の強誘電体である。PZT系列の強誘電体の場合には、約650程度の相対的に低い温度で製造することができ、残留分極が大きいという長所が有するが、PZT系列の強誘電体は分極反転を反復する場合に、強誘電体薄膜の疲労現象が深刻になり、有害な鉛(Pb)を含有しているという短所を有する。SBT系列の強誘電体は白金(Pt)電極を使用して、約1000回以上の分極反転を繰り返しても疲労現象が現れず、分極-電圧履歴曲線(P-V hysteresis)が特定方向に傾く現象がないという長所を有する。しかし、SBT系列の強誘電体は結晶化のために、約800以上の高温で熱処理をしなければならないという短所を有する。

## 【0005】

前記強誘電体を利用して強誘電体キャパシタを製造する方法は、特許文献1、特許文献2、及び特許文献3に開示されている。

【特許文献1】韓国特許出願公開第2001/113271号明細書

【特許文献2】韓国特許出願公開第2001/4306号明細書

【特許文献3】米国特許出願公開第2004/175954号明細書

## 【0006】

図1乃至図3は、従来の強誘電体キャパシタの製造方法を説明するための断面図である。

## 【0007】

図1を参照すると、半導体基板10上に酸化物を使用して絶縁膜15を形成した後、フォトリソグラフィ工程で絶縁膜15をエッチングして、絶縁膜15に半導体基板10に形成されたコンタクト領域(図示せず)を露出させるホールを形成する。

## 【0008】

前記ホールを埋め立てながら絶縁膜15上に導電層を形成した後、絶縁膜15が露出されるまで、前記導電層を除去して前記ホール内にパッド25を形成する。

## 【0009】

絶縁膜15及びパッド25上に第1下部電極層30及び第2下部電極層35を順次に形成する。ここで、第1下部電極層30は、金属窒化物を使用して形成され、第2下部電極層35は金属を使用して形成される。

## 【0010】

第2下部電極層35上にPZT又はSBTのような強誘電体を使用して強誘電体層40を形成した後、強誘電体層40上に上部電極層45を形成する。上部電極層45は、金属

10

20

30

40

50

酸化物又は金属を使用して形成される。

【0011】

上部電極層45上にハードマスク層50を形成する。ハードマスク層50は、窒化物を使用して形成される。従って、第1下部電極層30とハードマスク層50は全て窒化物を含む。

【0012】

図2を参照すると、ハードマスク層50上にフォトリジストパターン(図示せず)を形成した後、前記フォトリジストパターンをエッチングマスクとして利用してハードマスク層50をパターニングすることにより、上部電極層45上にハードマスク51を形成する。

10

【0013】

ハードマスク51をエッチングマスクとして利用して、上部電極層45及び強誘電体層40を順次にエッチングすることによって、第2下部電極層35上に強誘電体層パターン60及び上部電極55を形成する。

【0014】

図3を参照すると、ハードマスク51を継続的にエッチングマスクとして利用して、第2下部電極層35をパターニングすることにより、第1下部電極層30上に第2下部電極層パターン65を形成する。

【0015】

その後、第1下部電極層30をエッチングしながら、同時にハードマスク51を除去して、絶縁膜15上に強誘電体キャパシタ80を形成する。強誘電体キャパシタ80は、下部電極、強誘電体層パターン60、及び上部電極55を含む。前記下部電極は、絶縁膜15及びパッド25上に順次に形成された第1下部電極層パターン70及び第2下部電極層パターン65を含む。

20

【0016】

しかし、前述した従来の強誘電体キャパシタの製造方法において、窒化物からなるハードマスク51を利用して、上部電極層45、強誘電体層40、及び第2下部電極層35をエッチングするので、強誘電体キャパシタ80の実質的に低い側壁傾斜角度( )を有するので、強誘電体キャパシタ80の有効面積が減少される問題点がある。これを添付図面を参照して説明すると、次の通りである。

30

【0017】

図4は、従来の強誘電体キャパシタの断面電子顕微鏡写真を示す図である。

【0018】

図3及び図4を参照すると、窒化物ハードマスク51を利用して、上部電極55、強誘電体層パターン60、及び第2下部電極層パターン65をエッチングする工程が進行されるにつれて、初期には約80°の側壁傾斜角度を有する上部電極55と強誘電体層パターン60の側壁が漸次崩れながら約60°以下の低い側壁傾斜を有することになる。たとえば、第1下部電極層パターン70が形成されると、強誘電体キャパシタ80の側壁傾斜角度( )は少し増加されるが、上部電極55と強誘電体層パターン60の側壁傾斜角度が低いので、結局、強誘電体キャパシタ80は実質的に68°以上の側壁傾斜角度( )を有するのは難しくなる。特に、高温で強誘電体層40をエッチングする場合には、前記高温エッチング工程の間、窒化物ハードマスク51が強誘電体層40を十分に保護しないので、強誘電体層パターン60の側壁傾斜角度が大幅に低くなるのみならず、強誘電体層パターン60にエッチング損傷が発生することになる。このように、強誘電体キャパシタ80が低い側壁傾斜角度( )を有する場合、強誘電体層パターン60を含む強誘電体キャパシタ80の有効面積が減少することになる。従って、強誘電体層パターン60に蓄積される電荷も減少されると同時に、強誘電体層パターン80の2Pr値のような分極特性も低下することにより、結局、強誘電体キャパシタ80のデータセンシングマージンも大幅減少することになる。又、強誘電体層パターン60にエッチング損傷が発生する場合、強誘電体層パターン60から漏洩電流が増加し、強誘電体層パターン60のデータ保存特性

40

50

が低下される等のように、強誘電体キャパシタ 80 の強誘電的及び電気的特性も大きく劣化される問題が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明の第1目的は、有効面積の拡張を通じて向上された強誘電的及び電気的特性を有する強誘電体キャパシタの製造方法を提供することにある。

【0020】

本発明の第2目的は、有効面積の拡張を通じて向上された強誘電的及び電気的特性を有する強誘電体キャパシタを具備する半導体装置の製造方法を提供することにある。

10

【課題を解決するための手段】

【0021】

前記した本発明の第1目的を達成するために、本発明の好ましい実施例による強誘電体キャパシタの製造方法において、基板上に少なくとも一つの下部電極膜を含む下部電極層を形成した後、前記下部電極層上に強誘電体層を形成する。前記強誘電体層上に上部電極層を形成した後、前記上部電極層上に第1ハードマスク及び第2ハードマスクを具備するハードマスク構造物を形成する。次いで、前記ハードマスク構造物を利用して、前記上部電極層、前記強誘電体層、及び前記下部電極層をエッチングして、前記基板上に下部電極、強誘電体層パターン、及び上部電極を形成する。前記ハードマスク構造物を形成する段階において、前記強誘電体層上に順次に第1ハードマスク層及び第2ハードマスク層を形成した後、前記第2ハードマスク層及び前記第1ハードマスク層をエッチングして前記上部電極層上に前記第1ハードマスク及び前記第2ハードマスクを形成する。

20

【0022】

前述した本発明の第2目的を達成するために、本発明の好ましい実施例による半導体装置の製造方法において、基板上に下部構造物を形成した後、前記下部構造物上に絶縁構造物を形成する。次いで、前記絶縁構造物を貫通して前記下部構造物に接触されるパッドを形成した後、前記パッド及び絶縁構造物上に少なくとも一つの下部電極膜を含む下部電極層を形成する。継続して、前記下部電極層上に強誘電体層を形成した後、前記強誘電体層上に上部電極層を形成する。次いで、前記上部電極層上に第1ハードマスク及び第2ハードマスクを具備するハードマスク構造物を形成した後、前記ハードマスク構造物を利用して、前記上部電極層、前記強誘電体層、及び前記下部電極層をエッチングして、前記絶縁構造物及びパッド上に下部電極、強誘電体層パターン、及び上部電極を形成する。

30

【0023】

本発明によると、第1及び第2ハードマスクを含むハードマスク構造物を利用して、上部電極、強誘電体層パターン、及び下部電極を形成することにより、高い側壁傾斜角度によって拡張された有効面積を有する強誘電体キャパシタを形成することができる。従って、このような強誘電体層パターンを含む強誘電体キャパシタのデータセンシングマージンをより大きく確保することができ、データ保存力又は分極保存力等のような強誘電的特性が改善された強誘電体キャパシタを形成することができる。又、前記ハードマスク構造物を利用して強誘電体層パターンのエッチング損傷による劣化を最小化することができるので、強誘電体層パターンから漏洩電流が発生することを防止することができるので、強誘電体キャパシタの電気的特性を向上させることができる。又、前記強誘電体キャパシタを具備するFRAM装置のような半導体装置の信頼性を十分に確保することができる。

40

【発明を実施するための最良の形態】

【0024】

以下、本発明による好ましい実施例による強誘電体キャパシタの製造方法及びこれを利用した半導体装置の製造方法を添付図面を参照して詳細に説明する。添付図面において、基板、層(膜)、領域、パッド、パターン、又は構造物の寸法は、本発明の明確性のために、実際より拡大して示した。又、添付図面において、実質的に同じであるか、類似な部材には、同じであるか、類似な参照符号を付与する。本発明において、各層(膜)、領域

50



、パッド、パターン、又は構造物が基板、各層（膜）、領域、パッド、又はパターンの「上に」、「上部に」、又は「下部」に形成されると言及される場合には、各層（膜）、領域、パッド、パターン、又は構造物が直接基板、各層（膜）、領域、パッド、又はパターン上に形成されるか、下に位置することを意味するか、他の層（膜）、他の領域、他のパッド、他のパターン、又は他の構造物が基板上に追加的に形成されることができる。又、各層（膜）、領域、パッド、パターン、構造物、又は電極が「第１」、「第２」、及び／又は「第３」として言及される場合、このような部材を限定するためのものではないが、但し、各層（膜）、領域、パッド、構造物、又は電極を区分するためのものである。従って、「第１」、「第２」、及び／又は「第３」は、各層（膜）、領域、パッド、パターン、構造物、又は電極に対してそれぞれ選択的に又は交換的に使用されることができる。

10

#### 強誘電体キャパシタの製造方法

##### 【００２５】

図５及び図６は、本発明の一実施例による強誘電体キャパシタの製造方法を説明するための工程順序図を示す図であり、図７乃至図１３は、本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図を示す図である。

##### 【００２６】

図５及び図７を参照すると、基板１００上に下部構造物１０５を形成する（段階Ｓ１０）。基板１００は、シリコンウェーハ乃至ＳＯＩ（Silicon On Insulator）基板のような半導体基板又は金属酸化物単結晶基板を含む。例えば、基板１００は、アルミニウム酸化物（ $Al_2O_3$ ）単結晶基板、ストロンチウムチタニウム酸化物（ $SrTiO_3$ ）単結晶基板又はマグネシウム酸化物（ $MgO$ ）単結晶基板等を含む。下部構造物１０５は、基板１００に形成されたコンタクト領域、パッド、プラグ、導電性配線、導電性パターン、ゲート構造物、又はトランジスタ等を具備する。

20

##### 【００２７】

下部構造物１０５をカバーしながら、基板１００上に絶縁構造物１１０を形成する（段階Ｓ２０）。絶縁構造物１１０は、下部電極１９０（図１３参照）と下部構造物１０５を電氣的に絶縁させる。絶縁構造物１１０は、少なくとも一つの絶縁膜又は層間絶縁膜を具備する。絶縁構造物１１０は、酸化物、窒化物、及び／又は酸窒化物を使用して形成される。例えば、絶縁構造物１１０は、ＢＰＳＧ（Boro-Phosphor Silicate Glass）、ＰＳＧ（Phosphor Silicate Glass）、ＵＳＧ（Undoped Silicate Glass）、ＳＯＧ（Spin On Glass）、ＦＯＸ（Flowable Oxide）、ＰＥ－ＴＥＯＳ（Plasma Enhanced-Tetra Ethyl Ortho Silicate）、ＨＤＰ－ＣＶＤ（High Density Plasma-Chemical Vapor Deposition）酸化物、シリコン窒化物、又はシリコン酸窒化物等を使用し形成される。ここで、絶縁構造物１１０は、化学気相蒸着（ＣＶＤ）工程、プラズマ化学気相成長工程（ＰＥＣＶＤ）、原子層積層（ＡＬＤ）工程、又は高密度プラズマ化学気相蒸着（ＨＤＰ－ＣＶＤ）工程を利用して形成される。

30

##### 【００２８】

図５及び図８を参照すると、絶縁構造物１１０を部分的にエッチングして、下部構造物１０５を露出させるホール（図示せず）を形成した後、前記ホールを満たしながら、絶縁構造物１１０上に導電層を形成する。前記導電層は、不純物でドーピングされたポリシリコン、金属、又は導電性金属窒化物を使用して形成される。例えば、前記導電層は、タングステン（Ｗ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、チタニウム（Ｔｉ）、タングステン窒化物（ＷＮ）、アルミニウム窒化物（ＡｌＮ）、又はチタニウム窒化物（ＴｉＮ）等を使用して形成される。前記導電層は、スパッタリング工程、化学気相蒸着（ＣＶＤ）工程、原子層積層（ＡＬＤ）工程、又はパルスレーザ蒸着（ＰＬＤ）工程を利用して形成される。

40

##### 【００２９】

絶縁構造物１１０が露出されるまで、前記導電層を部分的に除去して、前記ホールを埋

50

め立てるパッド 115 を形成する（段階 S30）。前記導電層は、エッチバック工程、化学機械的研磨（CMP）工程、又は化学機械的研磨（CMP）とエッチバックを組合せた工程を利用して部分的にエッチングされる。

【0030】

パッド 115 及び絶縁構造物 110 上に下部電極層 130 を形成する（段階 S40）。下部電極層 130 は、パッド 115 及び絶縁構造物 110 上に順次に形成された第 1 下部電極膜 120 及び第 2 下部電極膜 125 を含む。第 1 下部電極膜 120 は、絶縁構造物 110 の上面から約 50 ~ 300 程度の厚さに形成される。又、第 2 下部電極膜 125 は、第 1 下部電極膜 120 の上面から約 300 ~ 1200 程度の厚さに形成される。

【0031】

より具体的に、第 1 下部電極膜 120 は、パッド 115 及び絶縁構造物 110 上に導電性金属窒化物を化学気相蒸着（CVD）工程、原子層積層（ALD）工程、スパッタリング工程、又はパルスレーザー蒸着（PLD）工程で蒸着して形成される。例えば、第 1 下部電極膜 120 は、チタニウムアルミニウム窒化物（TiAlN）、アルミニウム窒化物、チタニウム窒化物、チタニウムシリコン窒化物（TiSiN）、タンタル窒化物（Ta<sub>2</sub>N）、タンタルシリコン窒化物（TaSiN）、又はタングステン窒化物等を使用して形成される。好ましくは、第 1 下部電極膜 120 は、パッド 115 及び絶縁構造物 110 上にチタニウムアルミニウム窒化物を原子層積層工程で蒸着して形成される。

【0032】

第 2 下部電極膜 125 は、金属をスパッタリング工程、パルスレーザー蒸着（PLD）工程、化学気相蒸着（CVD）工程、又は原子層積層（ALD）工程で第 1 下部電極膜 120 上に蒸着して形成される。例えば、第 2 下部電極膜 125 は、イリジウム（Ir）、白金（Pt）、ルテニウム（Ru）、パラジウム（Pd）、又は金（Au）等を使用して形成される。好ましくは、第 2 下部電極膜 125 は、第 1 下部電極膜 120 上にイリジウムをスパッタリング工程で蒸着して形成される。第 2 下部電極膜 125 を形成する段階において、基板 100 が収容された反応チャンバーは、約 20 ~ 350 程度の温度及び約 3 ~ 10 mTorr 程度の圧力で維持される。この際、第 2 下部電極膜 125 は、不活性ガス雰囲気下で約 300 ~ 1000 W 程度の電力を印加して形成される。例えば、前記不活性ガスは、アルゴンガス、窒素ガス、ヘリウムガス、又はこれらが混合されたガスを含む。

【0033】

本発明の他の実施例によると、絶縁構造物 110 と第 1 下部電極膜 120 との間 の接着力を向上させるために、絶縁構造物 110 と第 1 下部電極膜 120 との間に接着膜（図示せず）を更に形成することができる。前記接着膜は、絶縁構造物 110 及びパッド 215 上に金属又は導電性金属窒化物をスパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程で蒸着して形成される。例えば、前記接着膜は、チタニウム、タンタル、アルミニウム、タングステン、チタニウム窒化物、タンタル窒化物、アルミニウム窒化物、又はタングステン窒化物を使用して形成される。

【0034】

図 5 及び図 9 を参照すると、第 2 下部電極膜 125 上に強誘電体層 135 を形成する（段階 S50）。強誘電体層 135 は、第 2 下部電極膜 125 の上面から約 200 ~ 1200 程度の厚さに形成される。強誘電体層 135 は、有機金属化学気相蒸着（MOCVD）工程、ゾル - ゲル工程、原子層積層工程、又は化学気相蒸着工程を利用して形成される。

【0035】

本発明の一実施例によると、強誘電体層 135 は、 $PZT[Pb(Zr, Ti)O_3]$ 、 $SBT(SrBi_2Ti_2O_9)$ 、 $BLT[Bi(La, Ti)O_3]$ 、 $PLZT[Pb(La, Zr)TiO_3]$ 、及び  $BST[Bi(Sr, Ti)O_3]$  等の強誘電体を使用して形成される。本発明の他の実施例によると、強誘電体層 135 は、カルシウム、ランタン、マンガン、乃至ビスマス等の金属がドーピングされた PZT、SBT、BLT、

10

20

30

40

50

P L Z T、又はB S T等の強誘電体を使用して形成される。本発明の更に他の実施例によると、強誘電体層135は、チタニウム酸化物( $TiO_x$ )、タンタル酸化物( $TaO_x$ )、アルミニウム酸化物( $AlO_x$ )、亜鉛酸化物( $ZnO_x$ )、又はハフニウム酸化物( $HfO_x$ )等の金属酸化物を使用して形成される。好ましくは、強誘電体層135は、第2下部電極膜125上にP Z Tを有機金属化学気相蒸着工程で蒸着して形成される。前記有機金属化学気相蒸着工程で第2下部電極膜125上に強誘電体層135を形成する段階において、基板100が収容された反応チャンバーは、約350~650程度の温度及び約1~10 Torr程度の圧力に維持される。又、強誘電体層135は、前記反応チャンバー内に有機金属前駆体及び酸化剤を供給した後、前記有機金属前駆体と酸化剤を反応させて第2下部電極膜125上に形成される。この場合、前記有機金属前駆体は、鉛又は鉛を含む第1化合物、ジルコニウム、又はジルコニウムを含む第2化合物、そしてチタニウム又はチタニウムを含む第3化合物からなる。又、前記酸化剤は、酸素( $O_2$ )、オゾン( $O_3$ )、二酸化窒素( $NO_2$ )、酸化二窒素( $N_2O$ )等を含む。

10

#### 【0036】

強誘電体層135上には、上部電極層140が形成される(段階S60)。上部電極層140は、強誘電体層135上に金属酸化物又は金属をスパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程で蒸着して形成される。例えば、上部電極層140は、イリジウム、白金、ルテニウム、パラジウム、金、白金-マンガン合金、イリジウム-ルテニウム合金、イリジウム酸化物( $IrO_x$ )、ストロンチウムルテニウム酸化物( $SrRuO_3$ :SRO)、ストロンチウムチタニウム酸化物(STO)、ランタンニッケル酸化物( $LaNiO_3$ :LNO)、又はカルシウムルテニウム酸化物( $CaRuO_3$ :CRO)等を使用して形成される。上部電極層140は、強誘電体層135の上面から約100~1200程度の厚さに形成される。上部電極層140を形成する段階において、基板100が収容された反応チャンバーは約20~350程度の温度及び約3~10 mTorr程度の圧力に維持される。ここで、上部電極層140は不活性ガス雰囲気下で約300~1000 W程度の電力を印加することによって形成される。

20

#### 【0037】

本発明の他の実施例によると、強誘電体層135上に上部電極層140を形成した後、強誘電体層135及び上部電極層140を酸素ガス、窒素ガス、又はこれらの混合ガス雰囲気下で急速熱処理工程(Rapid Thermal Process: RTP)で熱処理することにより、上部電極層140及び強誘電体層135を構成する物質を結晶化させる。この場合、前記急速熱処理工程は、約500~650程度の温度で約30秒~3分間行われる。

30

#### 【0038】

図5及び図10を参照すると、上部電極層140上に第1ハードマスク層145を形成する(段階S70)。第1ハードマスク層145は、上部電極層140の上面から約100~300程度の厚さに形成される。第1ハードマスク層145は、上部電極層140、強誘電体層135、及び下部電極層130に対してエッチング選択比を有する物質を使用して形成される。例えば、第1ハードマスク層145は、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、カルシウムルテニウム酸化物、シリコン窒化物、又はシリコン酸窒化物を使用して形成される。好ましくは、第1ハードマスク層145は、ストロンチウムルテニウム酸化物を使用して形成される。又、第1ハードマスク層145は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して形成される。

40

#### 【0039】

本発明の一実施例において、上部電極層140がストロンチウムルテニウム酸化物からなる場合、第1ハードマスク層145は、シリコン窒化物、シリコン酸窒化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物を使用して形成される。本発明の他の実施例によると、上部電極層140がイリジウム、白金、ルテニウム、パラジウム、金、白金-マンガン合金、イリジウム-ルテニウム合金、

50

又はイリジウム酸化物からなる場合、第 1 ハードマスク層 145 は、ストロンチウムルテニウム酸化物を使用して形成される。

【0040】

図 6 及び図 10 を参照すると、第 1 ハードマスク層 145 上には、第 2 ハードマスク層 150 が形成される（段階 S80）。第 2 ハードマスク層 150 は、第 1 ハードマスク層 145 の上面から約 300 ~ 1000 程度の厚さに形成される。これによって、第 1 ハードマスク層 145 と第 2 ハードマスク層 150 の厚さの比は、約 1 : 1 ~ 1 : 10 程度になる。第 2 ハードマスク層 150 は、化学気相蒸着工程、プラズマ化学気相成長工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して形成される。第 2 ハードマスク層 150 は、第 1 ハードマスク層 145、上部電極層 140、及び強誘電体層 135 に対してエッチング選択比を有する物質を使用して形成される。例えば、第 2 ハードマスク層 150 は、ドーピングされないポリシリコン、シリコン酸化物、シリコン窒化物のような窒化物、又はシリコン酸窒化物のような酸窒化物を使用して形成される。好ましくは、第 2 ハードマスク層 150 は、シリコン窒化物を使用して形成される。

10

【0041】

図 6 及び図 11 を参照すると、第 2 ハードマスク層 150 上にフォトレジストパターン（図示せず）を形成した後、前記フォトレジストパターンをエッチングマスクとして利用して、第 2 ハードマスク層 150 を部分的にエッチングすることにより、第 1 ハードマスク層 145 上に第 2 ハードマスク 155 を形成する（段階 S90）。

【0042】

前記フォトレジストパターンをアッシング工程及び/又はストリッピング工程を利用して除去した後、第 2 ハードマスク 155 をエッチングマスクとして利用して、第 1 ハードマスク層 145 を部分的にエッチングすることにより、上部電極層 140 上に第 1 ハードマスク 160 を形成する（段階 S100）。これによって、上部電極層 140 上には、第 1 ハードマスク 160 及び第 2 ハードマスク 155 を具備するハードマスク構造物 165 が形成される。ここで、スピンスクラッピング工程（spin scrubbing process）を利用して、前記エッチング工程を通じて形成された第 2 ハードマスク 160 の表面を改善することができる。

20

【0043】

本発明の他の実施例によると、前記フォトレジストパターンをエッチングマスクとして利用して、第 2 ハードマスク層 150 及び第 1 ハードマスク層 140 を連続的にパターンニングすることにより、上部電極 170 上にハードマスク構造物 165 を形成することができる。

30

【0044】

図 6 及び図 12 を参照すると、ハードマスク構造物 165 をエッチングマスクとして利用して上部電極層 140 を部分的にエッチングすることによって、強誘電体層 135 上に上部電極 170 を形成する（段階 S110）。この場合、上部電極 170 は、下部の面積より若干狭い上部面積を有するように形成される。即ち、上部電極 170 の側壁は、実質的に約 80 ~ 90 ° の傾斜角度を有する。第 2 及び第 1 ハードマスク 155、160 を含むハードマスク構造物 165 をエッチングマスクとして利用して、上部電極層 140 をパターンニングするエッチング工程の間、第 2 ハードマスク 155 もある程度消耗されるので、第 2 ハードマスク 155 の厚さが薄くなる。

40

【0045】

強誘電体層 135 上に上部電極 170 を形成した後、第 2 ハードマスク 155 を第 1 ハードマスク 160 から除去する（段階 S120）。これによって、上部電極 170 の上には、第 1 ハードマスク 160 のみが残留することになる。本発明の他の実施例によると、スピンスクラッピング工程を利用して、第 2 ハードマスク 155 の除去によって露出された第 1 ハードマスク 160 の表面状態を改善することができる。

【0046】

図 6 及び図 13 を参照すると、第 1 ハードマスク 160 をエッチングマスクとして利用

50

して、強誘電体層 135 をエッチングして第 2 下部電極膜 125 上に強誘電体層パターン 175 を形成する（段階 S130）。強誘電体層 135 を低温でエッチングする場合には、強誘電体層パターン 175 が低い側壁傾斜角度を有することになる。これによって、強誘電体キャパシタ 195 が要求される高い側壁傾斜角度を有するために、強誘電体層 135 を高温でエッチングして強誘電体層パターン 175 を形成する。例えば、強誘電体層 135 は、約 200 ~ 400 程度の温度でエッチングされる。

【0047】

図 14 は、本発明の一実施例によって強誘電体層パターン 175 を形成した状態を示す断面電子顕微鏡写真である。

【0048】

図 14 に示すように、第 1 ハードマスク 160 を利用して強誘電体層 135 をパターンニングすることにより得られる強誘電体層パターン 175 は、約 80 ~ 90 ° 程度の高い側壁傾斜角度を有する。又、前述したように、高温で強誘電体層 135 をエッチングするエッチング工程の間、第 1 ハードマスク 160 が上部電極 170 を効果的に保護するので、上部電極 170 の側壁も実質的に約 80 ~ 90 ° 程度の高い側壁傾斜角度をそのまま維持する。

【0049】

継続して、第 1 ハードマスク 160 をエッチングマスクとして利用するエッチング工程を通じて第 2 下部電極膜 125、及び第 1 下部電極膜 120 を順次にパターンニングすることによって、絶縁構造物 110 上に下部電極 190 を形成する（段階 S140）。

【0050】

上部電極 170 から第 1 ハードマスク 160 を除去して、基板 100 の上部に下部電極 190、強誘電体層パターン 175、及び上部電極 170 を具備する強誘電体キャパシタ 195 を形成する。下部電極 190 は、絶縁構造物 110 及びパッド 115 上に形成された第 1 下部電極膜パターン 185 と第 1 下部電極膜パターン 185 上に形成された第 2 下部電極膜パターン 180 を含む。第 1 下部電極膜パターン 185 は、強誘電体層パターン 175 から酸素が拡散されることを防止し、第 2 下部電極膜パターン 180 は強誘電体層パターン 175 を構成する強誘電体の結晶性を向上させる役割を果たす。又、第 1 下部電極膜パターン 185 は、絶縁構造物 110 上に前記接着膜が形成されない場合、絶縁構造物 110 と第 2 下部電極膜パターン 180 との間の接着力を向上させる機能も果たす。

【0051】

本発明の他の実施例によると、第 2 ハードマスク 155 を除去することなく、第 2 ハードマスク 155 及び第 1 ハードマスク 160 を共にエッチングマスクとして利用して、強誘電体層パターン 175 及び下部電極 190 を形成することができる。ここで、強誘電体層 135、第 2 下部電極膜 125、及び第 1 下部電極膜 120 を部分的にエッチングする間、第 2 ハードマスク 155 は実質的に殆ど消耗されるので、強誘電体キャパシタ 195 を形成した後、第 2 ハードマスク 155 を除去するための別の工程を必要としない。

【0052】

図 15 は、本発明の一実施例によって製造された強誘電体キャパシタの断面電子顕微鏡写真を示す図である。

【0053】

図 13 及び図 15 に示すように、第 1 及び第 2 ハードマスク 160、155 を具備するハードマスク構造物 165 を利用して形成された強誘電体キャパシタ 195 は、基板 100 に平行な方向に対して約 80 ~ 90 ° 程度の高い側壁傾斜角度（ $\theta$ ）を有する。即ち、上部電極 170、強誘電体層パターン 175、及び下部電極 190 を形成する比較的長時間のエッチングの間、第 2 及び第 1 ハードマスク 155、160 が上部電極 170 及び強誘電体層パターン 175 を効果的に保護するので、上部電極 170 と強誘電体層パターン 175 のそれぞれ約 80 ~ 90 ° 程度の高い側壁傾斜角度を維持する。これによって、強誘電体キャパシタ 195 も約 80 ~ 90 ° 程度の高い側壁傾斜角度（ $\theta$ ）を有し、結局、強誘電体キャパシタ 195 の有効面積を拡張させることができる。強誘電体層パター

10

20

30

40

50

ン 175 が高い側壁傾斜を有する場合には、強誘電体層パターン 175 に蓄積される電荷量を増加させることができるので、強誘電体層パターン 175 の  $2Pr$  値が向上される。このように、強誘電体層パターン 175 の分極特性が向上されると、強誘電体キャパシタ 195 のデータ保存力乃至分極保存力 (polarization retention) が向上され、結局、強誘電体キャパシタ 195 は大きく増加された電氣的及び強誘電的特性を有することになる。又、第 1 ハードマスク 160 が強誘電体層パターン 175 のエッチング損傷を効果的に防止することができるので、強誘電体層パターン 175 から漏洩電流が発生されることを遮断することができる。従って、このような強誘電体層パターン 175 を含む強誘電体キャパシタ 195 の電氣的特性をより向上させることができる。

10

【0054】

図 16 乃至図 19 は、本発明の他の実施例による強誘電体キャパシタの製造方法を説明するための断面図を示す。

【0055】

図 16 を参照すると、基板 200 上にコンタクト領域、パッド、プラグ、導電性配線、導電性パターン、ゲート構造物、又はトランジスタ等を含む下部構造物 205 を形成する。基板 200 は、シリコンウェーハ乃至 SOI 基板のような半導体基板又は金属酸化物単結晶基板を含む。

【0056】

下部構造物 205 をカバーしながら、基板 200 上に少なくとも一つの絶縁膜又は層間絶縁膜を含む絶縁構造物 210 を形成する。絶縁構造物 210 は、下部電極 290 (図 18 参照) と下部構造物 205 を電氣的に絶縁させる。

20

【0057】

絶縁構造物 210 を部分的にエッチングして、下部構造物 205 を露出させるホール (図示せず) を形成した後、前記ホールを満たしながら絶縁構造物 210 上に導電層を形成する。

【0058】

絶縁構造物 210 が露出されるまで前記導電層を部分的に除去して、前記ホールを埋め立てるパッド 215 を形成する。パッド 215 は、エッチバック工程、化学機械的研磨工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して形成される。

30

【0059】

パッド 215 及び絶縁構造物 210 上に第 1 下部電極膜 220 及び第 2 下部電極膜 225 を順次に形成して、下部電極層 230 を完成する。第 1 下部電極膜 220 は、絶縁構造物 210 の上面から約 50 ~ 300 程度の厚さに形成され、第 2 下部電極膜 225 は、第 1 下部電極膜 220 の上面から約 300 ~ 1200 程度の厚さに形成される。第 1 下部電極膜 220 は、導電性金属窒化物を使用して形成され、第 2 下部電極膜 225 は金属を使用して形成される。

【0060】

前述したように、絶縁構造物 210 と第 1 下部電極膜 220 との間の接着力を向上させるために、絶縁構造物 210 と第 1 下部電極膜 220 との間に金属又は導電性金属窒化物からなる接着膜 (図示せず) が更に形成されることができる。

40

【0061】

第 2 下部電極膜 225 上に有機金属化学気相蒸着工程、ゾル - ゲル工程、原子層積層工程、又は化学気相蒸着工程を利用して強誘電体層 235 を形成する。強誘電体層 235 は、第 2 下部電極膜 225 の上面から約 200 ~ 1200 程度の厚さに形成される。強誘電体層 135 は、強誘電体、金属がドーピングされた強誘電体又は金属酸化物を使用して形成される。

【0062】

強誘電体層 235 上に上部電極層 240 を形成する。上部電極層 240 は、強誘電体層 235 上に順次に形成された第 1 上部電極膜 241 及び第 2 上部電極膜 243 を含む。

50

## 【0063】

第1上部電極膜241は、強誘電体層235の上面から約10～300程度の厚さに形成される。第1上部電極膜241は、金属がドーピングされた金属酸化物を強誘電体層235上にスパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程で蒸着して形成される。例えば、第1上部電極膜241は、銅、鉛、ピスマス等の金属がドーピングされたストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物等を使用して形成される。好ましくは、第1上部電極膜241は、銅又は鉛がドーピングされたストロンチウムルテニウム酸化物を強誘電体層235上にスパッタリング工程で蒸着して形成する。第1上部電極膜241を形成する間、基板200が位置する反応チャンバーは約20～350程度の温度、及び約3～10mTorr程度の圧力に維持される。又、第1上部電極膜240は不活性ガス雰囲気下で約300～1000W程度の電力を印加することによって形成される。

## 【0064】

第2上部電極膜243は、第1上部電極膜241の上面から約300～1000程度の厚さに形成される。第2上部電極膜243は、第1上部電極膜241上に金属、合金、又は金属酸化物をスパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程で蒸着して形成する。例えば、第2上部電極膜243は、イリジウム、白金、ルテニウム、パラジウム、金、白金-マンガン合金、イリジウム-ルテニウム合金、又はイリジウム酸化物等を使用して形成される。第2上部電極膜243を形成する間、基板200が収容された反応チャンバーは約20～350程度の温度、及び約3～10mTorr程度の圧力で維持される。この場合、第2上部電極膜243は、不活性ガス雰囲気下で約300～1000W程度の電力を印加することによって形成される。

## 【0065】

強誘電体層235上に第1及び第2上部電極膜241、243を含む上部電極層240を形成した後、強誘電体層235及び上部電極層240を酸素ガス、窒素ガス、又はこれらの混合ガス雰囲気下で急速熱処理工程(RTP)で熱処理することにより、上部電極層240及び強誘電体層235を構成する物質を結晶化させる。

## 【0066】

図17を参照すると、第2上部電極膜243上に第1ハードマスク層及び第2ハードマスク層を順次に形成する。前記第1ハードマスク層は、第2上部電極膜243の上面から約100～300程度の厚さに形成され、前記第2ハードマスク層は、前記第1ハードマスク層の上面から約300～1000程度の厚さに形成される。前記第1ハードマスク層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して形成され、前記第2ハードマスク層は、化学気相蒸着工程、プラズマ化学気相成長工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して形成される。

## 【0067】

前記第2ハードマスク層上にフォトレジストパターンを形成した後、前記フォトレジストパターンをエッチングマスクとして利用して、前記第2ハードマスク層及び前記第1ハードマスク層をパターニングすることにより、第2上部電極膜243上にハードマスク構造物265を形成する。ハードマスク構造物265は、上部電極層240上に順次に形成された第1ハードマスク260及び第2ハードマスク255を含む。

## 【0068】

第1ハードマスク260は、第1及び第2上部電極膜241、243、強誘電体層235、そして第1及び第2下部電極膜220、225に対して高いエッチング選択比を有する物質からなる。例えば、第1ハードマスク260は、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、カルシウムルテニウム酸化物、シリコン窒化物、又はシリコン酸窒化物からなる。好ましくは、第1ハードマスク260は、ストロンチウムルテニウム酸化物からなる。第2ハードマスク255は、第1

ハードマスク 260、第1及び第2上部電極膜 241、243、及び強誘電体層 235 に対してエッチング選択比を有する物質を使用して形成される。例えば、第2ハードマスク 255は、ドーピングされないポリシリコン、シリコン酸化物、シリコン窒化物のような窒化物、又はシリコン酸窒化物のような酸窒化物からなる。好ましくは、第2ハードマスク 255は、シリコン窒化物からなる。

#### 【0069】

図18を参照すると、前記フォトリジストパターンをアッシング工程及び/又はストリッピング工程を利用して除去した後、ハードマスク構造物 265をエッチングマスクとして利用して、第2及び第1上部電極膜 243、241を順次にエッチングすることにより、強誘電体層 235上に上部電極 270を形成する。上部電極 270は、強誘電体層 235上に順次に形成された第1上部電極膜パターン 273、及び第2上部電極膜パターン 271を具備する。第1及び第2上部電極膜パターン 273、271は、それぞれ下部が上部に対して若干広い面積を有するように形成される。これによって、第1及び第2上部電極膜パターン 273、271を含む上部電極 270の側壁は、約80°~90°程度の傾斜角度を有する。

10

#### 【0070】

上部電極 270を形成した後、第2ハードマスク 255を第1ハードマスク 260から除去して、第2上部電極膜パターン 271上に第1ハードマスク 260のみを残留させる。

#### 【0071】

第1ハードマスク 260をエッチングマスクとして利用して高温で強誘電体層 235をエッチングすることにより、第2下部電極膜 225上に強誘電体層パターン 275を形成する。強誘電体層 235をエッチングする高温エッチング工程の間、第1ハードマスク 260が強誘電体層パターン 275を効果的に保護するので、強誘電体層パターン 275は約80°~90°程度の高い側壁傾斜角度を有する。

20

#### 【0072】

第1ハードマスク 260を継続エッチングマスクとして利用するエッチング工程を通じて第2下部電極膜 225及び第1下部電極膜 220を順次にエッチングすることにより、絶縁構造物 210上に下部電極 290を形成する。下部電極 290は、絶縁構造物 210及びパッド 215上に順次に形成された第1下部電極膜パターン 285及び第2下部電極膜パターン 280を含む。ここで、第2及び第1下部電極膜パターン 280、285は、それぞれ下部が上部に対して若干広い面積を有するように形成される。第1ハードマスク 260を利用して下部電極 290を形成するので、下部電極 290の側壁は約80°~90°程度の高い傾斜角度を有する。

30

#### 【0073】

図19を参照すると、上部電極 270から第1ハードマスク 260を除去して、基板 200の上部に下部電極 290、強誘電体層パターン 275、及び上部電極 270を含む強誘電体キャパシタ 295を形成する。強誘電体層 135、第2下部電極膜 225、及び第1下部電極膜 220に対して高いエッチング選択比を有する物質からなる第1ハードマスク 260を使用して強誘電体キャパシタ 295を形成するので、強誘電体キャパシタ 295の側壁は約80°~90°程度の高い傾斜角度(2)を有する。

40

#### 【0074】

図20乃至図22は、本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

#### 【0075】

図20を参照すると、基板 300上にコンタクト領域、導電性配線、導電性パターン、パッド、プラグ、又はトランジスタ等を含む下部構造物 305を形成する。

#### 【0076】

下部構造物 305をカバーしながら、基板 300上にPSG、USG、SOG、FOX、PE-TEOS、又はHDP-CVD酸化物等を使用して絶縁構造物 310を形成する

50



。絶縁構造物 310 は、化学気相蒸着工程、プラズマ化学気相成長工程、又は高密度プラズマ化学気相蒸着工程で形成される。

【0077】

絶縁構造物 310 上に第 1 フォトリジストパターン（図示せず）を形成した後、前記第 1 フォトリジストパターンをエッチングマスクとして利用して、絶縁構造物 310 を部分的にエッチングすることによって、絶縁構造物 310 に下部構造物 305 を露出させるホールを形成する。

【0078】

スパッタリング工程、化学気相蒸着工程、又は原子層積層工程を利用して前記ホールを満たしながら、絶縁構造物 310 上にタングステン、アルミニウム、銅、又はチタニウム等のような金属や、タングステン窒化物、アルミニウム窒化物、又はチタニウム窒化物等のような導電性金属窒化物を使用して導電層を形成する。

10

【0079】

化学機械的研磨工程、エッチバック工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して、絶縁構造物 310 が露出されるまで前記導電層を除去することによって、前記ホールを埋め立て露出された下部構造物 310 に接触されるパッド 315 を形成する。

【0080】

絶縁構造物 310 及びパッド 315 上に約 50 ~ 300 程度の厚さに第 1 下部電極膜 320 を形成する。第 1 下部電極膜 320 は、金属窒化物を化学気相蒸着工程、スパッタリング工程、又は原子層積層工程で蒸着して形成される。

20

【0081】

第 1 下部電極膜 310 上に約 300 ~ 1000 程度の厚さに第 2 下部電極膜 325 を形成する。第 2 下部電極膜 325 は、イリジウム、白金、ルテニウム、パラジウム、又は金等の金属をスパッタリング工程、パルスレーザー蒸着工程、又は原子層積層工程で形成する。

【0082】

第 2 下部電極膜 325 上に約 10 ~ 500 程度の厚さに第 3 下部電極膜 327 を形成して、絶縁構造物 310 及びパッド 315 上に下部電極層 330 を形成する。第 3 下部電極膜 327 は、銅、鉛、又はヒ素等の金属がドーピングされたストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物等のような金属酸化物を使用して形成する。第 3 下部電極膜 327 を形成する段階において、基板 300 が収容された反応チャンバーは約 20 ~ 350 程度の温度、及び約 3 ~ 10 mTorr 程度の圧力に維持される。第 3 下部電極膜 327 は、アルゴンガス、窒素ガス、又はヘリウムガスを含む不活性ガス雰囲気下で約 300 ~ 1000 W 程度の電力を印加することにより形成される。

30

【0083】

有機金属化学気相蒸着工程、ゾル - ゲル工程、又は原子層積層工程を利用して、第 3 下部電極膜 327 上に約 200 ~ 1000 程度の厚さに強誘電体層 335 を形成する。強誘電体層 335 は、強誘電性物質やカルシウム、ランタン、マンガン、又はビスマス等の金属がドーピングされた強誘電性物質乃至金属酸化物を使用して形成される。

40

【0084】

スパッタリング工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して、強誘電体層 335 上に約 10 ~ 300 程度の厚さに第 1 上部電極膜 341 を形成する。第 1 上部電極膜 341 は、銅、鉛、又はビスマスのような金属がドーピングされたストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物等の金属酸化物を使用して形成される。

【0085】

第 1 上部電極膜 341 上にイリジウム、白金、ルテニウム、パラジウム、又は金等の金属を使用して第 2 上部電極膜 343 を形成する。これによって、強誘電体層 335 上には

50

、第1及び第2上部電極膜341、343を含む上部電極層340が形成される。第2上部電極膜333は、スパッタリング工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して、第1上部電極膜341の上面から約300～1000程度の厚さに形成される。

【0086】

第2上部電極膜343を形成した後、強誘電体層335及び上部電極層340を酸素ガス、窒素ガス、又はこれらの混合ガス雰囲気下で急速熱処理工程で熱処理して、上部電極層340及び強誘電体層335を構成する物質を結晶化させる。

【0087】

図21を参照すると、第2上部電極膜343上に第1ハードマスク層及び第2ハードマスク層を順次に形成する。前記第1ハードマスク層は、第2上部電極膜343の上面から約100～300程度の厚さに形成され、前記第2ハードマスク層は、前記第1ハードマスク層の上面から約300～1000程度の厚さに形成される。前記第1ハードマスク層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して形成され、前記第2ハードマスク層は、化学気相蒸着工程、プラズマ化学気相成長工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して形成される。

10

【0088】

前記第2ハードマスク層上に第2フォトリソパターンを形成した後、前記第2フォトリソパターンをエッチングマスクとして利用して、前記第2ハードマスク層及び前記第1ハードマスク層をエッチングすることにより、第2上部電極膜343上にハードマスク構造物365を形成する。ハードマスク構造物365は、上部電極層340上に順次に形成された第1ハードマスク360及び第2ハードマスク355を含む。

20

【0089】

第1ハードマスク360は、第1及び第2上部電極膜341、343、強誘電体層335、そして第1乃至第3下部電極膜320、325、327に対して高いエッチング選択比を有する物質からなる。例えば、第1ハードマスク360は、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、カルシウムルテニウム酸化物、シリコン窒化物、又はシリコン酸窒化物からなる。第2ハードマスク355は、第1ハードマスク360、第1及び第2上部電極膜341、243、及び強誘電体層335に対してエッチング選択比を有する物質を使用して形成される。例えば、第2ハードマスク355はドーピングされないポリシリコン、シリコン酸化物、シリコン窒化物のような窒化物、又はシリコン酸窒化物のような酸窒化物からなる。

30

【0090】

前記第2フォトリソパターンをアッシング工程及び/又はストリッピング工程を利用して除去した後、ハードマスク構造物365をエッチングマスクとして利用して、第2及び第1上部電極膜343、341を順次にパターンングすることにより、強誘電体層335上に上部電極370を形成する。上部電極370は、強誘電体層335上に順次に形成された第1上部電極膜パターン373及び第2上部電極膜パターン371を具備する。これによって、第1及び第2上部電極膜パターン373、371を含む上部電極370の側壁は約80～90°程度の傾斜角度を有する。

40

【0091】

図22を参照すると、上部電極370を形成した後、第2ハードマスク355を第1ハードマスク360から除去して、第2上部電極膜パターン371上に第1ハードマスク360のみを残留させる。

【0092】

第1ハードマスク360をエッチングマスクとして利用して、高温で強誘電体層335をエッチングすることにより、第3下部電極膜327上に強誘電体層パターン375を形成する。強誘電体層335をエッチングする高温エッチング工程の間、第1ハードマスク360が強誘電体層パターン375を効果的に保護するので、強誘電体層パターン375

50

は約 80 ~ 90 ° 程度の高い側壁傾斜角度を有する。

【0093】

第1ハードマスク360を継続エッチングマスクとして利用するエッチング工程を通じて第3下部電極膜327、第2下部電極膜325、及び第1下部電極膜320を順次にパターンングすることにより、絶縁構造物310及びパッド315上に下部電極390を形成する。下部電極390は、絶縁構造物310及びパッド315上に順次に形成された第1下部電極膜パターン385、第2下部電極膜パターン380、及び第3下部電極膜パターン377を含む。第3乃至第1下部電極膜パターン377、380、385は、それぞれ下部が上部に対して若干広い面積を有するように形成される。第1ハードマスク360を利用して下部電極390を形成するので、下部電極390の側壁も約80 ~ 90 ° 程度の高い傾斜角度を有する。 10

【0094】

上部電極370から第1ハードマスク360を除去して、基板300の上部に下部電極390、強誘電体層パターン375、及び上部電極370を含む強誘電体キャパシタ395を形成する。強誘電体層335、第3下部電極膜327、第2下部電極膜325、及び第1下部電極膜320に対して高いエッチング選択比を有する物質からなる第1ハードマスク360を使用して強誘電体キャパシタ395を形成するので、強誘電体キャパシタ395の側壁も全体的に約80 ~ 90 ° 程度の高い傾斜角度( 3 )を有する。

【0095】

図23乃至図27は、本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図を示す。 20

【0096】

図23を参照すると、基板400上に下部構造物405を形成する。基板400は、シリコンウェーハ乃至SOI基板のような半導体基板又は金属酸化物単結晶基板を含む。例えば、基板400は、アルミニウム酸化物単結晶基板、ストロンチウムチタニウム酸化物単結晶基板、又はマグネシウム酸化物単結晶基板等を含む。下部構造物405は、基板400に形成されたコンタクト領域、パッド、プラグ、導電性配線、導電性パッド、ゲート構造物、又はトランジスタ等を具備する。

【0097】

下部構造物405をカバーしながら、基板400上に絶縁構造物410を形成する。絶縁構造物410は、下部電極490(図27参照)と下部構造物405を電氣的に絶縁させる。絶縁構造物410は、それぞれ酸化物、窒化物、及び/又は酸窒化物からなる少なくとも一つの絶縁膜又は層間絶縁膜を具備する。例えば、絶縁構造物410は、BPSG、PSG、USG、SOG、FOX、PE-TEOS、HDP-CVD酸化物、シリコン窒化物、又はシリコン酸窒化物等を使用して形成される。絶縁構造物410は、化学気相蒸着工程、プラズマ化学気相成長工程、原子層積層工程、又は高密度プラズマ化学気相蒸着工程を利用して形成される。 30

【0098】

絶縁構造物410を部分的にエッチングして、下部構造物405を露出させるホール(図示せず)を形成した後、前記ホールを満たしながら、絶縁構造物410上に導電層を形成する。前記導電層は、不純物でドーピングされたポリシリコン、金属、又は導電性金属窒化物を使用して形成される。例えば、前記導電層は、タングステン、アルミニウム、銅、チタニウム、タングステン窒化物、アルミニウム窒化物、又はチタニウム窒化物等を使用して形成される。前記導電層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して形成される。 40

【0099】

絶縁構造物410が露出されるまで、前記導電層を部分的に除去して前記ホールを埋め立てるパッド415を形成する。ここで、前記導電層は、エッチバック工程、化学機械的研磨工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して部分的にエッチングされる。前記ホールを埋め立てるパッド415の上部をエッチングして、パッド41 50

5 が前記ホールを部分的に満たすようにする。即ち、前記ホールの上部側壁が露出されるようにパッド 4 1 5 を部分的に除去する。

【0100】

本発明の他の実施例によると、前記導電層を部分的に除去する工程をより長時間進行して、前記ホールを部分的に埋め立てるパッド 4 1 5 を形成することができる。

【0101】

前記ホールを完全に満たしながら、パッド 4 1 5 及び絶縁構造物 4 2 0 上に第 1 下部電極膜 4 2 0 を形成する。第 1 下部電極膜 4 2 0 は、導電性金属窒化物を化学気相蒸着工程、原子層積層工程、スパッタリング工程、又はパルスレーザー蒸着工程で蒸着して形成される。例えば、第 1 下部電極膜 4 2 0 は、チタニウムアルミニウム窒化物、アルミニウム窒化物、チタニウム窒化物、チタニウムシリコン窒化物、タンタル窒化物、タンタルシリコン窒化物、又はタングステン窒化物等を使用して形成される。好ましくは、第 1 下部電極膜 4 2 0 は、パッド 4 1 5 及び絶縁構造物 4 1 0 上にチタニウムアルミニウム窒化物を原子層積層工程で蒸着して形成される。

10

【0102】

図 2 4 を参照すると、化学機械的研磨工程、エッチバック工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して絶縁構造物 4 1 0 が露出されるまで、第 1 下部電極膜 4 2 0 を部分的に除去して、パッド 4 1 5 上に前記ホールを完全に埋め立てる第 1 下部電極膜パターン 4 8 5 を形成する。即ち、前記ホールは、パッド 4 1 5 及び第 1 下部電極膜パターン 4 8 5 によって完全に満たされる。又、第 1 下部電極膜パターン 4 8 5 は、パッド 4 1 5 上にのみ位置することになる。

20

【0103】

絶縁構造物 4 1 0 及び第 1 下部電極膜パターン 4 8 5 上に第 2 下部電極膜 4 2 5 を形成する。第 2 下部電極膜 4 2 5 は、第 1 下部電極膜パターン 4 8 5 又は絶縁構造物 4 1 0 の上面から約 300 ~ 1200 程度の厚さに形成される。第 2 下部電極膜 4 2 5 は、イリジウム、白金、ルテニウム、パラジウム、又は金等の金属をスパッタリング工程、パルスレーザー蒸着工程、化学気相蒸着工程、又は原子層積層工程で第 1 下部電極膜パターン 4 8 5 及び絶縁構造物 4 1 0 上に蒸着して形成される。好ましくは、第 2 下部電極膜 4 2 5 は、イリジウムをスパッタリング工程で蒸着して形成される。第 2 下部電極膜 4 2 5 を形成する段階において、基板 4 0 0 が収容された反応チャンバーは、約 20 ~ 350 程度の温度及び約 3 ~ 10 m T o r r 程度の圧力に維持される。この場合、第 2 下部電極膜 4 2 5 は、アルゴンガス、窒素ガス、ヘリウムガス、又はこれらが混合されたガスを含む不活性ガス雰囲気下で約 300 ~ 1000 W 程度の電力を印加して形成される。

30

【0104】

図 2 5 を参照すると、第 2 下部電極膜 4 2 5 上に有機金属化学気相蒸着工程、ゾル - ゲル工程、原子層積層工程、又は化学気相蒸着工程を利用して、強誘電体層 4 3 5 を形成する。強誘電体層 4 3 5 は、第 2 下部電極膜 4 2 5 の上面から約 200 ~ 1200 程度の厚さに形成される。強誘電体層 4 3 5 は、P Z T、S B T、B L T、P L Z T、又は B S T 等の強誘電体を使用して形成される。又、強誘電体層 4 3 5 は、カルシウム、ランタン、マンガン、乃至ビスマスがドーピングされた P Z T、S B T、B L T、P L Z T、又は B S T を使用して形成される。又、強誘電体層 4 3 5 は、チタニウム酸化物、タンタル酸化物、アルミニウム酸化物、亜鉛酸化物、又はハフニウム酸化物等を使用して形成される。好ましくは、強誘電体層 4 3 5 は、第 2 下部電極膜 4 2 5 上に P Z T を有機金属化学気相蒸着工程で蒸着して形成される。前記強誘電体層 4 3 5 を形成する段階において、基板 4 0 0 が収容された反応チャンバーは約 350 ~ 650 程度の温度及び約 1 ~ 10 T o r r 程度の圧力に維持される。

40

【0105】

強誘電体層 4 3 5 上にスパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して上部電極層 4 4 0 を形成する。上部電極層 4 4 0 は、イリジウム、白金、ルテニウム、パラジウム、金、白金 - マンガン合金、イリジウム - ル

50

テニウム合金、イリジウム酸化物、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物等を使用して形成される。上部電極層 440 は、強誘電体層 435 の上面から約 100 ~ 1200 程度の厚さに形成される。上部電極層 440 を形成する段階において、基板 400 が収容された反応チャンバーは、約 20 ~ 350 程度の温度及び約 3 ~ 10 mTorr 程度の圧力に維持される。この場合、上部電極層 440 は、不活性ガス雰囲気下で約 300 ~ 1000 W 程度の電力を印加することにより形成される。

#### 【0106】

強誘電体層 435 上に上部電極層 440 を形成した後、強誘電体層 435 及び上部電極層 440 を酸素ガス、窒素ガス、又はこれらの混合ガス雰囲気下で急速熱処理工程で熱処理して、上部電極層 440 及び強誘電体層 435 を構成する物質を結晶化させる。前記急速熱処理工程は、約 500 ~ 650 程度の温度で約 30 秒 ~ 3 分間進行される。

10

#### 【0107】

上部電極層 440 上に第 1 ハードマスク層及び第 2 ハードマスク層を順次に形成する。前記第 1 ハードマスク層は、上部電極層 440 の上面から約 100 ~ 300 程度の厚さに形成される。前記第 1 ハードマスク層は、上部電極層 440、強誘電体層 435、及び第 2 下部電極膜 425 に対して高いエッチング選択比を有する物質を使用して形成される。例えば、前記第 1 ハードマスク層は、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、カルシウムルテニウム酸化物、シリコン窒化物、又はシリコン酸窒化物を使用して形成される。好ましくは、前記第 1 ハードマスク層は、ストロンチウムルテニウム酸化物を使用して形成される。又、前記第 1 ハードマスク層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して形成される。上部電極層 440 がストロンチウムルテニウム酸化物からなる場合、前記第 1 ハードマスク層は、シリコン窒化物、シリコン酸窒化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物を使用して形成される。上部電極層 440 がイリジウム、白金、ルテニウム、パラジウム、金、白金 - マンガン合金、イリジウム - ルテニウム合金、又はイリジウム酸化物からなる場合、前記第 1 ハードマスク層は、ストロンチウムルテニウム酸化物を使用して形成される。

20

#### 【0108】

前記第 2 ハードマスク層は、前記第 1 ハードマスク層の上面から約 300 ~ 1000 程度の厚さに形成される。即ち、前記第 1 ハードマスク層に対する前記第 2 ハードマスク層の厚さの比は、約 1 : 1 ~ 1 : 10 程度になる。前記第 2 ハードマスク層は、化学気相蒸着工程、プラズマ化学気相成長工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して形成される。前記第 2 ハードマスク層は、前記第 1 ハードマスク層、上部電極層 440、及び強誘電体層 435 に対してエッチング選択比を有する物質を使用して形成される。例えば、前記第 2 ハードマスク層はドーピングされないポリシリコン、シリコン酸化物、シリコン窒化物のような窒化物、又はシリコン酸窒化物のような酸窒化物を使用して形成される。好ましくは、前記第 2 ハードマスク層は、シリコン窒化物を使用して形成される。

30

40

#### 【0109】

前記第 2 ハードマスク層上にフォトレジストパターン（図示せず）を形成した後、前記フォトレジストパターンをエッチングマスクとして利用して、前記第 2 ハードマスク層を部分的にエッチングすることにより、前記第 1 ハードマスク層上に第 2 ハードマスク 455 を形成する。

#### 【0110】

前記フォトレジストパターンをアッシング工程及び/又はストリッピング工程を利用して除去した後、第 2 ハードマスク 455 をエッチングマスクとして利用して前記第 1 ハードマスク層を部分的にエッチングすることにより、上部電極層 440 上に第 1 ハードマスク 460 を形成する。従って、上部電極層 440 上には、第 1 ハードマスク 460 及び第

50

2 ハードマスク 4 5 5 を含むハードマスク構造物 4 6 5 が形成される。この場合、スピンスクラッピング工程を利用して前記エッチング工程を通じて形成された第 2 ハードマスク 4 6 0 の表面を改善することができる。一方、前記フォトレジストパターンをエッチングマスクとして利用して、前記第 2 ハードマスク層及び前記第 1 ハードマスク層を連続的にエッチングすることによって、上部電極層 4 4 0 上にハードマスク構造物 6 6 5 を形成することもできる。

【0 1 1 1】

図 2 6 を参照すると、ハードマスク構造物 4 6 5 をエッチングマスクとして利用して上部電極層 4 4 0 をパターンニングすることにより、強誘電体層 4 3 5 上に上部電極 4 7 0 を形成する。上部電極 4 7 0 は、実質的に約 80°～90°の側壁傾斜角度を有する。第 2 及び第 1 ハードマスク 4 5 5、4 6 0 を含むハードマスク構造物 4 6 5 をエッチングマスクとして利用して上部電極層 4 4 0 をエッチングするエッチング工程の間、第 2 ハードマスク 4 5 5 もある程度消耗されるので、第 2 ハードマスク 4 5 5 の厚さが薄くなる。

10

【0 1 1 2】

第 2 ハードマスク 4 5 5 を第 1 ハードマスク 4 6 0 から除去して、上部電極 4 7 0 上に第 1 ハードマスク 4 6 0 のみを残留させる。この場合、スピンスクラッピング工程を利用して、第 2 ハードマスク 4 5 5 の除去によって露出された第 1 ハードマスク 4 6 0 の表面状態を改善することができる。

【0 1 1 3】

図 2 7 を参照すると、第 1 ハードマスク 4 6 0 をエッチングマスクとして利用して強誘電体層 4 3 5 をエッチングすることによって、第 2 下部電極膜 4 2 5 上に強誘電体層パターン 4 7 5 を形成する。ここで、強誘電体層 4 3 5 を低温でエッチングする場合には、強誘電体層パターン 1 7 5 が低い側壁傾斜角度を有するので、強誘電体層 4 3 5 を約 200°～400°程度の高温でエッチングして強誘電体層パターン 4 7 5 を形成する。第 1 ハードマスク 4 6 0 を利用して強誘電体層 4 3 5 をエッチングすることによって得られる強誘電体層パターン 4 7 5 は、約 80°～90°程度の高い側壁傾斜角度を有する。又、高温で強誘電体層 4 3 5 をエッチングするエッチング工程の間、第 1 ハードマスク 4 6 0 が上部電極 4 7 0 を効果的に保護するので、上部電極 4 7 0 の側壁も実質的に約 80°～90°程度の高い側壁傾斜角度を維持する。

20

【0 1 1 4】

第 1 ハードマスク 4 6 0 を継続的にエッチングマスクとして利用するエッチング工程を通じて第 2 下部電極膜 4 2 5 をエッチングすることにより、絶縁構造物 4 1 0 及び第 1 下部電極膜パターン 4 8 5 上に第 2 下部電極膜パターン 4 8 0 を形成する。これによって、第 1 下部電極膜パターン 4 8 5 及び第 2 下部電極膜パターン 4 8 0 を具備する下部電極 4 9 0 が形成される。

30

【0 1 1 5】

上部電極 4 7 0 から第 1 ハードマスク 4 6 0 を除去すると、基板 4 0 0 の上部には下部電極 4 9 0、強誘電体層パターン 4 7 5、及び上部電極 4 7 0 を具備する強誘電体キャパシタ 4 9 5 が完成される。第 1 及び第 2 ハードマスク 4 6 0、4 5 5 を含むハードマスク構造物 4 6 5 を利用して形成された強誘電体キャパシタ 4 9 5 は、基板 4 0 0 に平行な方向に対して約 80°～90°程度の高い側壁傾斜角度( 3 )を有する。上部電極 4 7 0、強誘電体層パターン 4 7 5、及び下部電極 4 9 0 を形成する比較的長時間のエッチングの間、第 2 及び第 1 ハードマスク 4 5 5、4 6 0 が上部電極 4 7 0 及び強誘電体層パターン 4 7 5 を効果的に保護するので、上部電極 4 7 0 と強誘電体層パターン 4 7 5 がそれぞれ約 80°～90°程度の高い側壁傾斜角度を維持する。これによって、強誘電体キャパシタ 4 9 5 も約 80°～90°程度の高い側壁傾斜角度( 3 )を有し、結局、強誘電体キャパシタ 1 9 5 の有効面積を拡張させることができる。又、第 1 ハードマスク 4 6 0 が強誘電体層パターン 4 7 5 のエッチング損傷を効果的に防止することができるので、強誘電体層パターン 4 7 5 から漏洩電流が発生されることを遮断できると同時に、強誘電体層パターン 4 7 5 の劣化を最小化することができる。

40

50

半導体装置の製造方法

## 【0116】

図28乃至図32は、本発明の一実施例による半導体装置の製造方法を説明するための断面図を示す。

## 【0117】

図28を参照すると、シャロートレンチ素子分離工程のような素子分離工程を利用して半導体基板500上に素子分離膜503を形成することにより、半導体基板500にアクティブ領域及びフィールド領域を画定する。熱酸化法や化学気相蒸着工程で素子分離膜503が形成された半導体基板500上に薄い厚さのゲート酸化膜を形成する。

## 【0118】

前記ゲート酸化膜上に第1導電層及び第1マスク層を順次に形成する。前記第1導電層は、不純物でドーピングされたポリシリコンで形成され、前記第1マスク層は、後続して形成される第1層間絶縁膜527に対してエッチング選択比を有する物質を使用して形成される。例えば、第1層間絶縁膜527が酸化物からなる場合に、前記第1マスク層はシリコン窒化物のような窒化物からなる。

## 【0119】

前記第1マスク層上に第1フォトリジストパターン（図示せず）を形成した後、前記第1フォトリジストパターンをエッチングマスクとして利用して前記第1マスク層、第1導電層、及びゲート酸化膜を順次にパターニングすることにより、半導体基板500上にそれぞれゲート酸化膜パターン506、ゲート導電層パターン509、及びゲートマスクパターン512を含むゲート構造物515を形成する。

## 【0120】

本発明の他の実施例によると、前記第1フォトリジストパターンをエッチングマスクとして利用して前記第1マスク層をパターニングすることにより、前記第1導電層上にゲートマスクパターン512をまず形成する。その後、アッシング工程及び/又はストリッピング工程でゲートマスクパターン512上の第1フォトリジストパターンを除去した後、ゲートマスクパターン512をエッチングマスクとして利用して、前記第1導電層及びゲート酸化膜を順次にパターニングすることにより、半導体基板500上にそれぞれゲート酸化膜パターン506、ゲート導電層パターン509、及びゲートマスクパターン512を含むゲート構造物515を形成することができる。

## 【0121】

前記ゲート構造物515が形成された半導体基板500上にシリコン窒化物のような窒化物からなる第1絶縁膜を形成した後、前記第1絶縁膜を異方性エッチングして、各ゲート構造物515の側面にゲートスペーサ518を形成する。

## 【0122】

図28を更に参照すると、ゲートスペーサ518が形成されたゲート構造物515をイオン注入マスクとして利用して、ゲート構造物515の間に露出される半導体基板500にイオン注入工程で不純物を注入した後、熱処理工程を行って半導体基板500にソース/ドレイン領域に該当される第1コンタクト領域521及び第2コンタクト領域524を形成する。ここで、第1及び第2コンタクト領域521、524は、強誘電体キャパシタ580（図32参照）のための第1パッド530とビットラインのための第2パッド533がそれぞれ接触されるキャパシタコンタクト領域及びビットラインコンタクト領域に区分される。例えば、第1コンタクト領域521は、第1パッド530が接触されるキャパシタコンタクト領域に該当され、第2コンタクト領域524は、第2パッド533が接続されるビットラインコンタクト領域に該当される。これによって、半導体基板500上にはそれぞれゲート構造物515、ゲートスペーサ518、及びコンタクト領域521、524を含むトランジスタが形成される。

## 【0123】

本発明の他の実施例によると、各ゲート構造物515の側壁にゲートスペーサ518を形成する前に、ゲート構造物515の間に露出される半導体基板500に低い濃度の不純

10

20

30

40

50

物を１次的にイオン注入する。その後、ゲート構造物５１５の側壁にゲートスペーサ５１８を形成した後、前記１次イオン注入された半導体基板５００に高い濃度の不純物を２次的にイオン注入して、ＬＤＤ（Ｌｉｇｈｔｌｙ Ｄｏｐｅｄ Ｄｒａｉｎ）構造を有する第１及び第２コンタクト領域５２１、５２４を形成することができる。

【０１２４】

前記ゲート構造物５１５をカバーしながら半導体基板５００上に酸化物からなる第１層間絶縁膜５２７を形成する。第１層間絶縁膜５２７は、ＢＰＳＧ、ＰＳＧ、ＳＯＧ、ＰＥ－ＴＥＯＳ、ＵＳＧ、又はＨＤＰ－ＣＶＤ酸化物を化学気相蒸着工程、プラズマ化学気相成長工程、高密度プラズマ化学気相蒸着工程、又は原子層積層工程を利用して形成する。

【０１２５】

化学機械的研磨工程、エッチバック工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して第１層間絶縁膜５２７の上部を除去することにより、第１層間絶縁膜５２７の上面を平坦化させる。ここで、第１層間絶縁膜５２７は、ゲートマスクパターン５１８の上面から所定の高さを有するように形成される。一方、ゲートマスクパターン５１８の上面が露出されるまで、第１層間絶縁膜５２７をエッチングして第１層間絶縁膜５２７の上面を平坦化することができる。

【０１２６】

第１層間絶縁膜５２７上に第２フォトレジストパターン（図示せず）を形成した後、前記第２フォトレジストパターンをエッチングマスクとして利用して、第１層間絶縁膜５２７を部分的にエッチングすることにより、第１層間絶縁膜５２７に半導体基板５００に形成された第１及び第２コンタクト領域５２１、５２４を露出させる第１コンタクトホール（図示せず）を形成する。好ましくは、酸化物からなる第１層間絶縁膜５２７をエッチングする時、窒化物からなるゲートマスクパターン５１８に対して高いエッチング選択比を有するエッチングガスを使用して第１層間絶縁膜５２７をエッチングする。従って、前記第１コンタクトホールは、ゲート構造物５１５に対して自己整列されながら、第１及び第２コンタクト領域５２１、５２４を露出させる。前記第１コンタクトホールのうち、一部はキャパシタコンタクト領域である第１コンタクト領域５２１を露出させ、前記第１コンタクトホールのうち、他の部分はビットラインコンタクト領域である第２コンタクト領域５２４を露出させる。

【０１２７】

前記第２フォトレジストパターンをアッシング及び／又はストリッピング工程を通じて除去した後、第１及び第２コンタクト領域５２１、５２４を露出させる前記第１コンタクトホールを満たしながら第１層間絶縁膜５２７上に第２導電層を形成する。前記第２導電層は、高濃度の不純物でドーピングされたポリシリコン又は金属を使用して形成する。

【０１２８】

化学機械的研磨工程、エッチバック工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して、第１層間絶縁膜５２７の上面が露出されるまで前記第２導電層を部分的に除去することにより、それぞれ前記第１コンタクトホールを埋め立てる自己整列されたコンタクトパッドである第１パッド５３０及び第２パッド５３３を形成する。第１パッド５３０は、キャパシタコンタクト領域である第１コンタクト領域５２１上に形成され、第２パッド５３３は、ビットラインコンタクト領域である第２コンタクト領域５２４上に形成される。即ち、第１パッド５３０は、キャパシタコンタクト領域に接触され、第２パッド５３３はビットラインコンタクト領域に接触される。

【０１２９】

第１及び第２パッド５３０、５３３を含む第１層間絶縁膜５２７上に第２層間絶縁膜５３６を形成する。第２層間絶縁膜５３６は、後続して形成されるビットライン５３９と第１パッド５３０を電氣的に絶縁させる役割を果たす。第２層間絶縁膜５３６は、ＢＰＳＧ、ＰＳＧ、ＳＯＧ、ＰＥ－ＴＥＯＳ、ＵＳＧ、又はＨＤＰ－ＣＶＤ酸化物を化学気相蒸着工程、プラズマ化学気相成長工程、高密度プラズマ化学気相蒸着工程、又は原子層積層工程を利用して形成する。本発明の一実施例によると、第１及び第２層間絶縁膜５２７、５

10

20

30

40

50



36は、前記酸化物のうち、同じ物質を使用して形成することができる。本発明の他の実施例によると、第1及び第2層間絶縁膜527、536は、前記酸化物のうち、互いに異なる物質を使用して形成することができる。

【0130】

化学機械的研磨工程、エッチバック工程、又は化学機械的研磨とエッチバックを組合せた工程を利用して、第2層間絶縁膜536を部分的に除去することにより、第2層間絶縁膜536の上面を平坦化させる。

【0131】

第2層間絶縁膜536上に第3フォトレジストパターン（図示せず）を形成した後、前記第3フォトレジストパターンをエッチングマスクとして利用して、第2層間絶縁膜536を部分的にエッチングすることにより、第2層間絶縁膜536に第1層間絶縁膜527を埋め立てた第2パッド533を露出させる第2コンタクトホール537を形成する。

【0132】

図29を参照すると、前記第3フォトレジストパターンをアッシング及び／又はストリッピング工程を利用して除去した後、第2コンタクトホール537を満たしながら第2層間絶縁膜536上に第3導電層を形成する。

【0133】

前記第3導電層上に第4フォトレジストパターン（図示せず）を形成した後、前記第4フォトレジストパターンをエッチングマスクとして利用して前記第3導電層をエッチングすることにより、第2コンタクトホール537を満たしながら第2層間絶縁膜536上にビットライン539を形成する。ビットライン539は、大体が金属／金属化合物で構成された第1層及び金属からなる第2層で構成される。例えば、前記第1層は、チタニウム／チタニウム窒化物（Ti/TiN）からなり、前記第2層はタングステン（W）からなる。

【0134】

化学気相蒸着工程、プラズマ化学気相成長工程、高密度プラズマ化学気相蒸着工程、又は原子層積層工程を利用して、ビットライン439をカバーしながら、第2層間絶縁膜536上に第3層間絶縁膜542を形成する。第3層間絶縁膜542は、BPSG、PSG、SOG、PE-TEOS、USG、又はHDP-CVD酸化物を使用して形成される。第3層間絶縁膜542は、第2層間絶縁膜536と同じ物質を使用するか、異なる物質を使用して形成することができる。好ましくは、低温で蒸着されながらボイド（void）やシーム（seam）を発生させず、ビットライン539間のギャップを埋めることができるHDP-CVD酸化物を利用して第3層間絶縁膜542を形成する。

【0135】

化学機械的研磨工程、エッチバック工程、又は化学機械的研磨とエッチバックを組合せた工程で第3層間絶縁膜542を部分的に除去することにより、第3層間絶縁膜542の上面を平坦化させる。本発明の他の実施例によると、隣接するビットライン539の間に位置する第3層間絶縁膜542内にボイドが発生する現象を防止するために、ビットライン539及び第2層間絶縁膜538上に窒化物からなる追加絶縁膜を形成した後、このような追加絶縁膜上に第3層間絶縁膜542を形成することもできる。

【0136】

第3層間絶縁膜542上に第5フォトレジストパターン（図示せず）を形成した後、前記第5フォトレジストパターンをエッチングマスクとして利用して第3層間絶縁膜542及び第2層間絶縁膜536を部分的にエッチングすることにより、第1パッド530を露出させる第3コンタクトホール543を形成する。本発明の他の実施例によると、第3コンタクトホール543を形成した後、追加的な洗浄工程を行って第3コンタクトホール543を通じて露出される第1パッド530の表面に存在する自然酸化膜やポリマー又は各種異物質等を除去することができる。

【0137】

図30を参照すると、第3コンタクトホール543を満たしながら、第3層間絶縁膜5

10

20

30

40

50

4 2 上に第 4 導電層を形成した後、化学機械的研磨、エッチバック、又はこれらを組合せた工程を利用して第 3 層間絶縁膜 5 4 2 の上面が露出されるまで、前記第 4 導電層を部分的に除去することにより、第 3 コンタクトホール 5 4 3 内にそれぞれ第 3 パッド 5 4 5 を形成する。第 3 パッド 5 4 5 は、大体が不純物でドーピングされたポリシリコンで形成され、第 1 パッド 5 3 0 とこれに後続して形成される下部電極 5 6 9 (図 3 1 参照) とを互いに連結させる役割を果たす。下部電極 5 6 9 は、第 3 パッド 5 4 5 及び第 1 パッド 5 3 0 を通じて第 1 コンタクト領域 5 2 1 に電氣的に連結される。

#### 【0138】

第 3 パッド 5 4 5 及び第 3 層間絶縁膜 5 4 2 上に、約 50 ~ 300 程度の厚さを有する第 1 下部電極膜 5 4 8 及び約 300 ~ 1000 程度の厚さを有する第 2 下部電極膜 5 5 1 を順次に形成する。これによって、第 3 パッド 5 4 5 及び第 3 層間絶縁膜 5 4 2 上には下部電極層 5 5 2 が形成される。第 1 下部電極膜 5 4 8 は、金属窒化物を化学気相蒸着工程、スパッタリング工程、又は原子層積層工程で積層して形成され、第 2 下部電極膜 5 5 1 は金属をスパッタリング工程、パルスレーザー蒸着工程、又は原子層積層工程で積層して形成される。

10

#### 【0139】

第 2 下部電極膜 5 5 1 上に約 200 ~ 1000 程度の厚さを有する強誘電体層 5 5 4 を形成する。強誘電体層 5 5 4 は、強誘電性物質や、カルシウム、ランタン、マンガン、又はビスマス等の金属がドーピングされた強誘電性物質乃至金属酸化物を有機金属化学気相蒸着工程、ゾル-ゲル工程、又は原子層積層工程で積層して形成される。本発明の他の実施例によると、強誘電体層 5 5 4 を形成する前に、第 2 下部電極膜 5 5 1 上に約 10 ~ 500 程度の厚さを有する第 3 下部電極膜 (図示せず) を形成することができる。前記第 3 下部電極膜は、銅、鉛、又はヒ素等のような金属がドーピングされたストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、又はカルシウムルテニウム酸化物を使用して形成される。前記第 3 下部電極膜は、約 20 ~ 350 程度の温度、約 3 ~ 10 mTorr 程度の低い圧力及び不活性ガス雰囲気下で約 300 ~ 1000 W 程度の電力を印加して形成される。

20

#### 【0140】

強誘電体層 5 5 4 上に約 10 ~ 1200 程度の厚さを有する上部電極層 5 5 7 を形成する。上部電極層 5 5 7 は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して形成される。上部電極層 5 5 7 は、イリジウム、白金、ルテニウム、パラジウム、金、白金-マンガン合金、イリジウム-ルテニウム合金、イリジウム酸化物、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、又はカルシウムルテニウム酸化物等を使用して形成される。上部電極層 5 4 0 は、約 20 ~ 350 程度の温度、約 3 ~ 10 mTorr 程度の圧力及び不活性ガス雰囲気下で約 300 ~ 1000 W 程度の電力を印加して形成される。

30

#### 【0141】

強誘電体層 5 5 4 上に上部電極層 5 5 7 を形成した後、強誘電体層 5 5 4 及び上部電極層 5 5 7 を酸素ガス、窒素ガス、又はこれらの混合ガス雰囲気下で急速熱処理工程で熱処理して、上部電極層 5 5 7 及び強誘電体層 5 5 4 を構成する物質を結晶化させる。

40

#### 【0142】

図 3 0 を更に参照すると、上部電極層 5 5 7 上に第 1 ハードマスク層及び第 2 ハードマスク層を順次に形成する。前記第 1 ハードマスク層は、スパッタリング工程、化学気相蒸着工程、原子層積層工程、又はパルスレーザー蒸着工程を利用して上部電極層 5 5 7 の上面から約 100 ~ 300 程度の厚さに形成される。前記第 1 ハードマスク層は、上部電極層 5 5 7、強誘電体層 5 5 4、及び下部電極層 5 5 2 に対して高いエッチング選択比を有する物質を使用して形成される。前記第 1 ハードマスク層は、ストロンチウムルテニウム酸化物、ストロンチウムチタニウム酸化物、ランタンニッケル酸化物、カルシウムルテニウム酸化物、シリコン窒化物、又はシリコン酸窒化物を使用して形成される。

#### 【0143】

50

前記第2ハードマスク層は、化学気相蒸着工程、プラズマ化学気相成長工程、パルスレーザー蒸着工程、又は原子層積層工程を利用して、前記第1ハードマスク層の上面から約300～1000程度の厚さに形成される。前記第2ハードマスク層は、前記第1ハードマスク層、上部電極層557、及び強誘電体層554に対してエッチング選択比を有する物質を使用して形成される。例えば、前記第2ハードマスク層は、ドーピングされないポリシリコン、シリコン酸化物、シリコン窒化物のような窒化物、又はシリコン酸窒化物のような酸窒化物を使用して形成される。

#### 【0144】

前記第2ハードマスク層上に第6フォトレジストパターン（図示せず）を形成した後、前記第6フォトレジストパターンをエッチングマスクとして利用して、前記第2ハードマスク層を部分的にエッチングすることにより、前記第1ハードマスク層上に第2ハードマスク563を形成する。

10

#### 【0145】

前記第6フォトレジストパターンをアッシング及び/又はストリッピング工程を利用して除去した後、第2ハードマスク560をエッチングマスクとして利用して、前記第1ハードマスク層をパターンングすることにより、上部電極層557上に第1ハードマスク560を形成する。これによって、上部電極層557上には、第1ハードマスク560及び第2ハードマスク563を含むハードマスク構造物564が形成される。ここで、スピンスクラッピング工程を利用して、前記エッチング工程を通じて形成された第2ハードマスク563の表面を改善することができる。一方、前記第6フォトレジストパターンをエッチングマスクとして利用して、前記第2ハードマスク層及び前記第1ハードマスク層を連続的にエッチングすることにより、上部電極層557上にハードマスク構造物564を形成することもできる。

20

#### 【0146】

図31を参照すると、ハードマスク構造物564をエッチングマスクとして利用して上部電極層557をエッチングすることにより、強誘電体層554上に上部電極575を形成する。上部電極575は、実質的に約80～90°の側壁傾斜角度を有する。

#### 【0147】

第2ハードマスク563を第1ハードマスク560から除去して、上部電極575上に第1ハードマスク560のみを残留させる。前述したように、スピンスクラッピング工程を利用して第2ハードマスク563の除去によって露出された第1ハードマスク560の表面状態を改善することができる。

30

#### 【0148】

第1ハードマスク560をエッチングマスクとして利用して、高温で強誘電体層554をエッチングすることにより、第2下部電極膜551上に約80～90°程度の高い側壁傾斜角度を有する強誘電体層パターン572を形成する。高温で強誘電体層554をエッチングするエッチング工程の間、第1ハードマスク560が上部電極575を十分に保護するので、上部電極575の側壁は約80～90°程度の高い側壁傾斜角度を維持する。

#### 【0149】

第1ハードマスク560を継続的にエッチングマスクとして利用するエッチング工程を通じて、第2下部電極膜551及び第1下部電極膜548を順次にエッチングすることにより、第3層間絶縁膜542及び第3パッド545上に下部電極569を形成する。

40

#### 【0150】

図32を参照すると、上部電極575から第1ハードマスク560を除去して、基板500の上部に下部電極569、強誘電体層パターン572、及び上部電極575を具備する強誘電体キャパシタ580を完成する。第1及び第2ハードマスク560、563を含むハードマスク構造物564を利用して形成された強誘電体キャパシタ580は、半導体基板500に平行な方向に対して約80～90°程度の高い側壁傾斜角度を有する。

#### 【0151】

図示していないが、強誘電体キャパシタ580をカバーする追加層間絶縁膜及び前記追

50

加絶縁膜を通じて強誘電体キャパシタ５８０の上部電極５７５に接触される上部配線を形成してＦＲＡＭ装置のような半導体メモリ装置を完成する。

【産業上の利用可能性】

【０１５２】

本発明によると、第１及び第２ハードマスクを含むハードマスク構造物を利用して、上部電極、強誘電体層パターン、及び下部電極を形成することにより、高い側壁傾斜角度によって拡張された有効面積を有する強誘電体キャパシタを形成することができる。従って、このような強誘電体層パターンを含む強誘電体キャパシタのデータセンシングマージンをより大きく確保することができ、データ保存力又は分極保存力等のような強誘電的特性が改善された強誘電体キャパシタを形成することができる。又、前記ハードマスク構造物を利用して強誘電体層パターンのエッチング損傷による劣化を最小化することができるので、強誘電体層パターンから漏洩電流が発生することが防止できるので、強誘電体キャパシタの電気的特性を向上させることができる。又、前記強誘電体キャパシタを具備するＦＲＡＭ装置のような半導体装置の信頼性を十分に確保することができる。

10

【０１５３】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と趣旨を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【０１５４】

20

【図１】従来の強誘電体キャパシタの製造方法を説明するための断面図である。

【図２】従来の強誘電体キャパシタの製造方法を説明するための断面図である。

【図３】従来の強誘電体キャパシタの製造方法を説明するための断面図である。

【図４】従来の強誘電体キャパシタの断面電子顕微鏡写真である。

【図５】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための工程順序図である。

【図６】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための工程順序図である。

【図７】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

30

【図８】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図９】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図１０】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図１１】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図１２】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

40

【図１３】本発明の一実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図１４】本発明の一実施例によって強誘電体層パターンを形成した状態を示す断面電子顕微鏡写真である。

【図１５】本発明の一実施例による強誘電体キャパシタの断面電子顕微鏡写真である。

【図１６】本発明の他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図１７】本発明の他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図１８】本発明の他の実施例による強誘電体キャパシタの製造方法を説明するための断

50

面図である。

【図 19】本発明の他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 20】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 21】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 22】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 23】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。 10

【図 24】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 25】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 26】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 27】本発明の更に他の実施例による強誘電体キャパシタの製造方法を説明するための断面図である。

【図 28】本発明の一実施例による半導体装置の製造方法を説明するための断面図である 20

【図 29】本発明の一実施例による半導体装置の製造方法を説明するための断面図である。

【図 30】本発明の一実施例による半導体装置の製造方法を説明するための断面図である。

【図 31】本発明の一実施例による半導体装置の製造方法を説明するための断面図である。

【図 32】本発明の一実施例による半導体装置の製造方法を説明するための断面図である。

【符号の説明】 30

【0155】

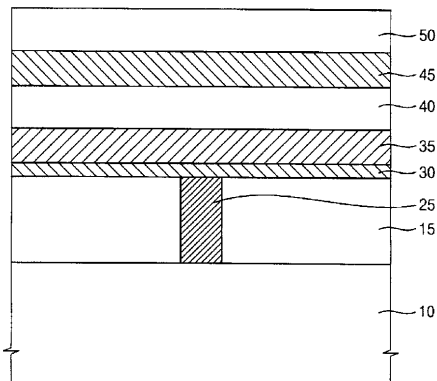
100、200、300、400	半導体基板	
105、205、305、405	下部構造物	
110、210、310、410	絶縁構造物	
115、215、315、415	パッド	
120、220、320、420、548	第1下部電極膜	
125、225、325、425、551	第2下部電極膜	
130、230、330、552	下部電極層	
135、235、335、435、554	強誘電体層	
140、240、340、440、557	上部電極層	40
145	第1ハードマスク層	
150	第2ハードマスク層	
155、255、355、455、563	第2ハードマスク	
160、260、360、460、560	第1ハードマスク	
165、265、365、465、564	ハードマスク構造物	
170、270、370、470、575	上部電極	
175、275、375、475、572	強誘電体層パターン	
180、280、380、480、566	第2下部電極膜パターン	
185、285、385、485、563	第1下部電極膜パターン	
190、290、390、490、569	下部電極	50

1 9 5、2 9 5、3 9 5、4 9 5、5 8 0	強誘電体キャパシタ
2 4 1、3 4 1	第 1 上部電極膜
2 4 3、3 4 3	第 2 上部電極膜
2 7 1、3 7 1	第 2 上部電極膜パターン
2 7 3、3 7 3	第 1 上部電極膜パターン
3 2 7	第 3 下部電極膜
3 7 7	第 3 下部電極膜パターン
5 0 3	素子分離膜
5 0 6	ゲート酸化膜パターン
5 0 9	ゲート導電層パターン
5 1 2	ゲートマスクパターン
5 1 5	ゲート構造物
5 1 8	ゲートスペーサ
5 2 1	第 1 コンタクト領域
5 2 4	第 2 コンタクト領域
5 2 7	第 1 層間絶縁膜
5 3 0	第 1 パッド
5 3 3	第 2 パッド
5 3 6	第 2 層間絶縁膜
5 3 9	ビットライン
5 4 2	第 3 層間絶縁膜
5 4 5	第 3 パッド

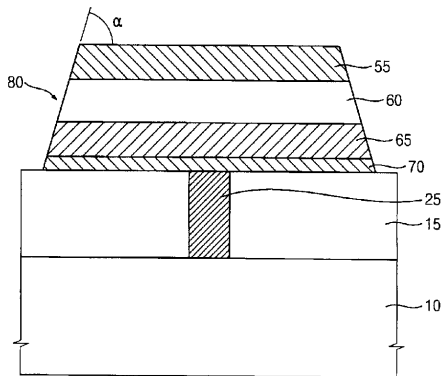
10

20

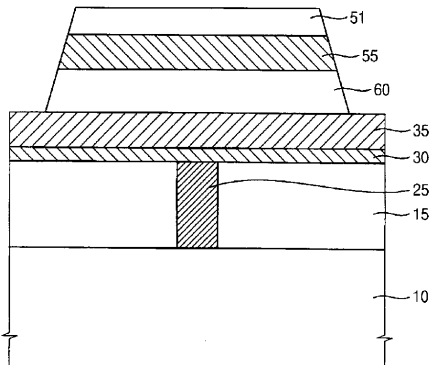
【図 1】



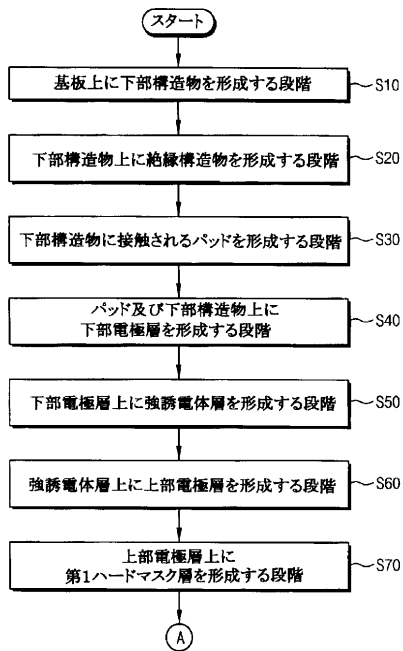
【図 3】



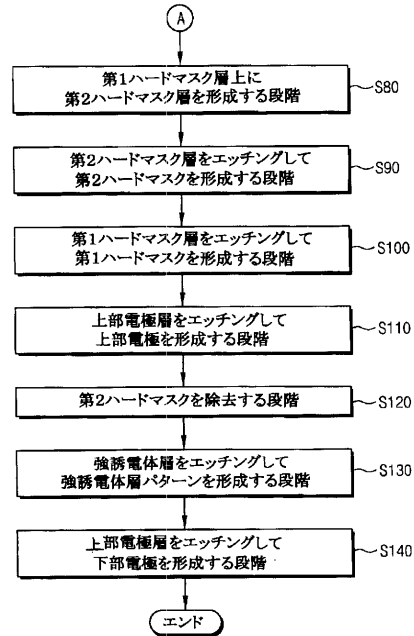
【図 2】



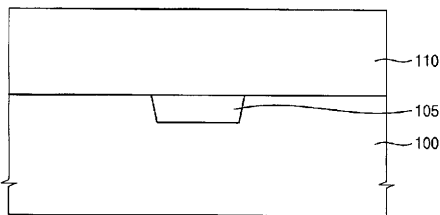
【図 5】



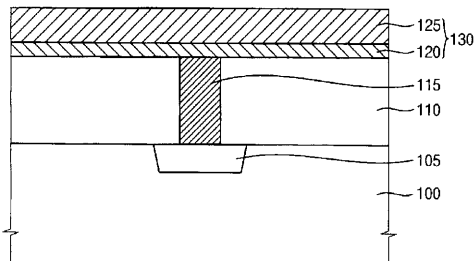
【図 6】



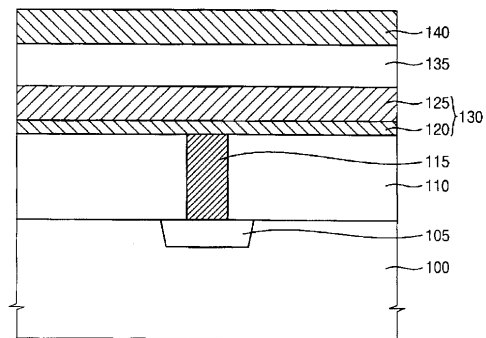
【図 7】



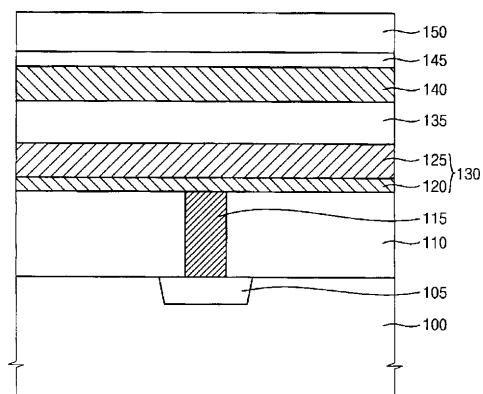
【図 8】



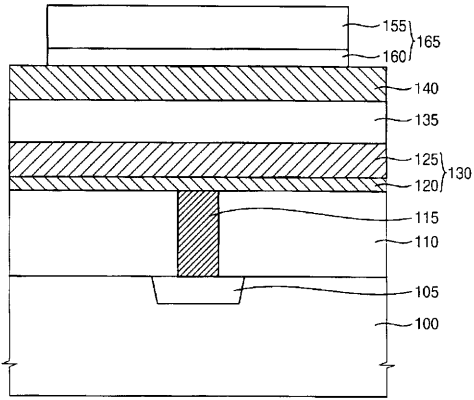
【図 9】



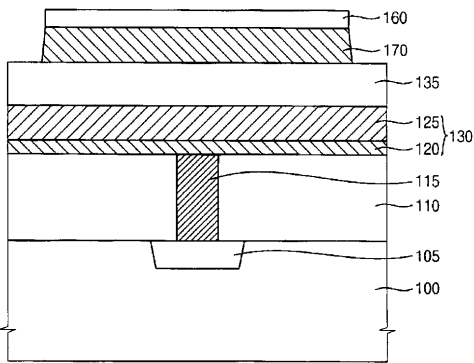
【図 10】



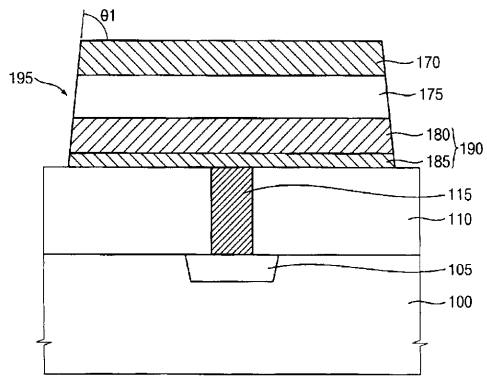
【図 1 1】



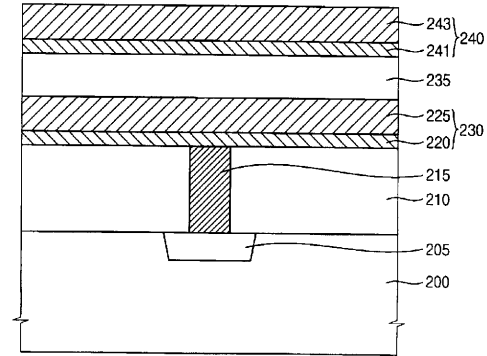
【図 1 2】



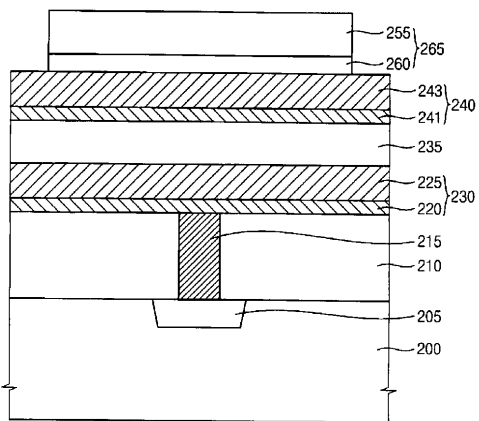
【図 1 3】



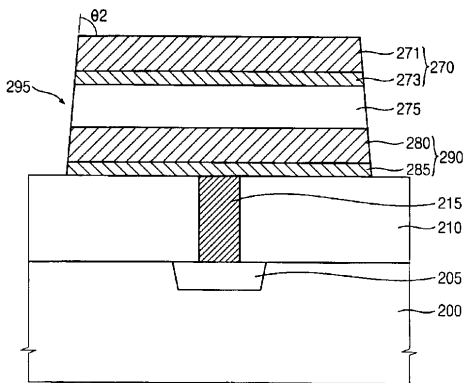
【図 1 6】



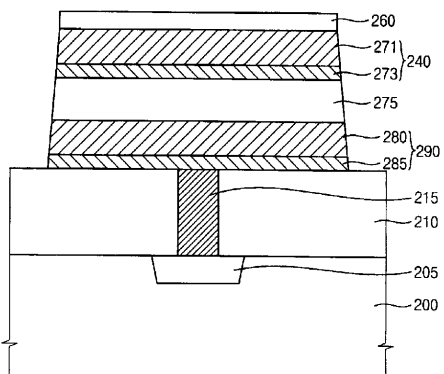
【図 1 7】



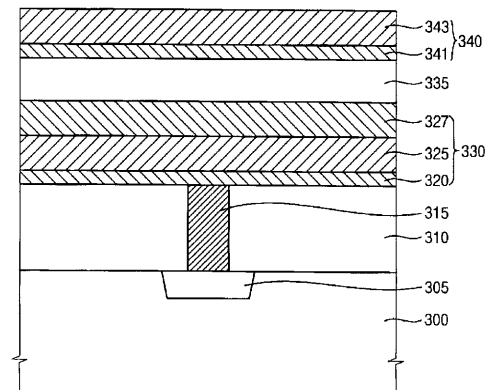
【図 1 9】



【図 1 8】

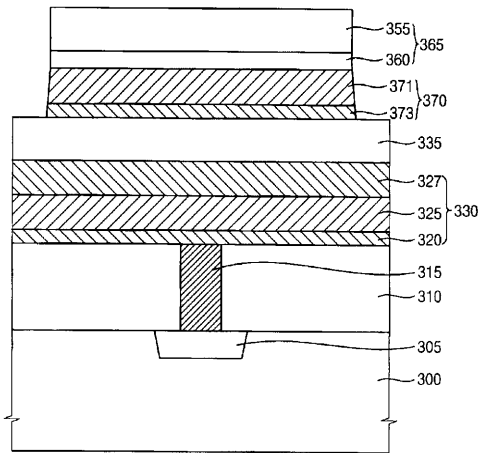


【図 2 0】

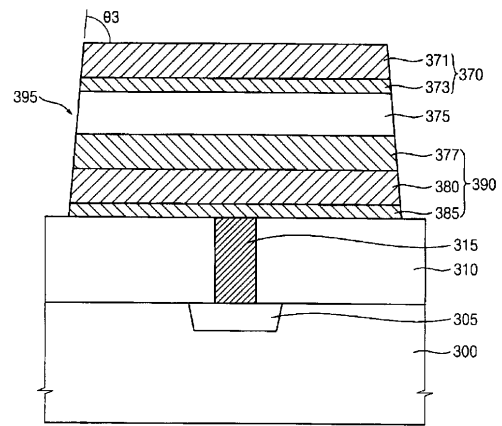




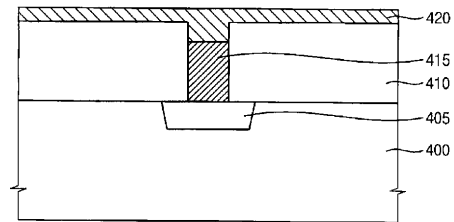
【図 2 1】



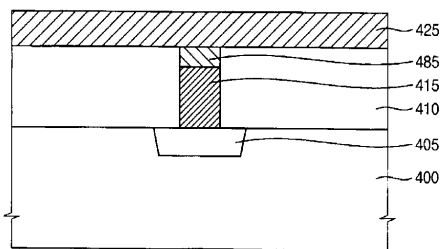
【図 2 2】



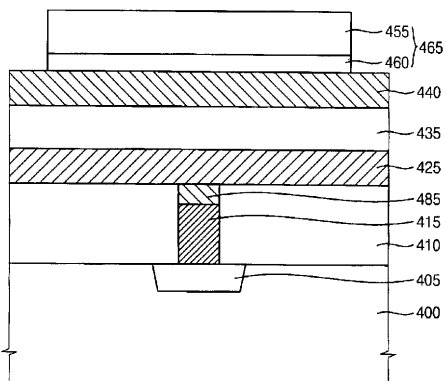
【図 2 3】



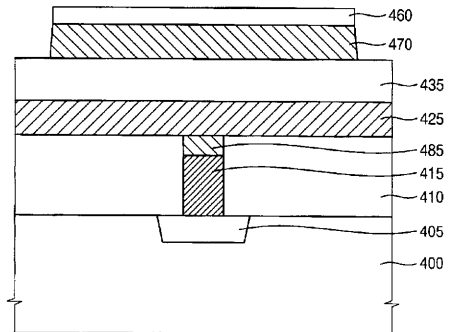
【図 2 4】



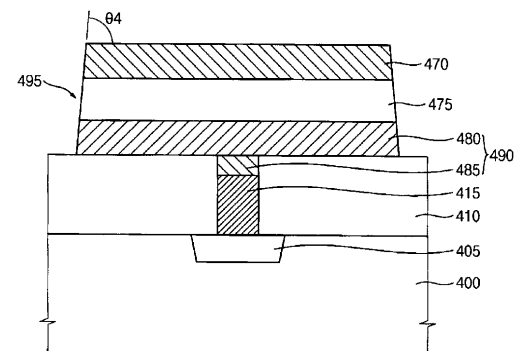
【図 2 5】



【図 2 6】

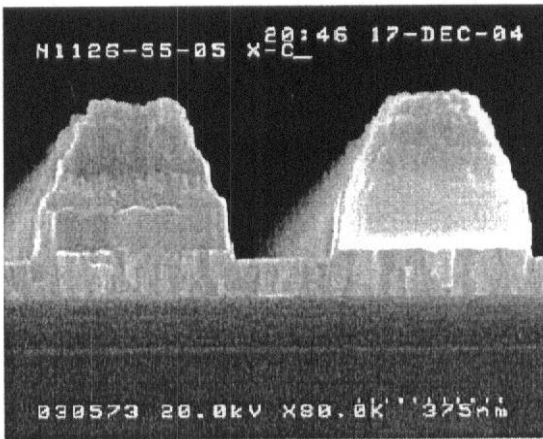


【図 2 7】





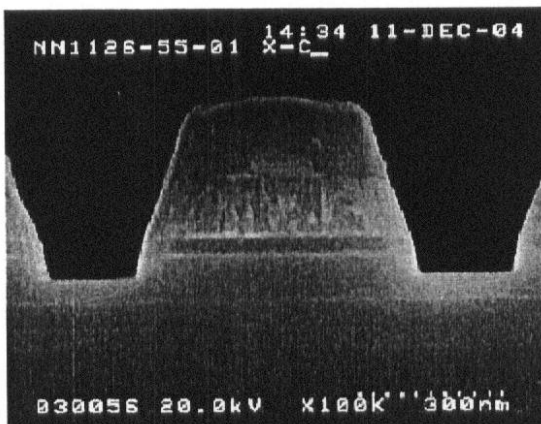
【 図 4 】



【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

- (72)発明者 高 化永  
大韓民国京畿道水原市霊通区霊通洞(番地なし) ビョックチョクゴル8団地アパート846棟5  
03号
- (72)発明者 朱 石昊  
大韓民国ソウル特別市江東区岩寺洞(番地なし) ソンサ現代アパート102棟1001号
- (72)発明者 ペ 丙才  
大韓民国京畿道水原市八達区霊通洞(番地なし) ビョックチョクゴル8団地宇成アパート824  
棟802号
- (72)発明者 金 熙錫  
大韓民国京畿道城南市盆唐区盆唐洞(番地なし) セッピョルマウル東成アパート203棟701  
号
- (72)発明者 邊 キュン 來  
大韓民国京畿道水原市霊通区霊通洞(番地なし) ビョックチョクゴル8団地ハンシンアパート8  
15棟1104号
- (72)発明者 咸 陳煥  
大韓民国ソウル特別市江南区道谷2洞(番地なし) 三星レミアンアパート106棟1602号
- Fターム(参考) 5F083 FR02 GA21 GA27 HA02 JA02 JA15 JA17 JA36 JA37 JA38  
JA39 JA40 JA42 JA43 JA45 MA06 MA17 MA20 PR03 PR06  
PR07 PR34 PR40