



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201203268 A1

(43)公開日：中華民國 101 (2012) 年 01 月 16 日

(21)申請案號：100102514

(22)申請日：中華民國 100 (2011) 年 01 月 24 日

(51)Int. Cl. : **G11C29/42 (2006.01)**

G11C11/56 (2006.01)

(30)優先權：2010/01/28 美國

12/695,918

(71)申請人：桑迪士克股份有限公司 (美國) SANDISK CORPORATION (US)

美國

(72)發明人：杜塔 狄班舒 DUTTA, DEEPANSHU (IN) ; 路特茲 傑佛瑞 W LUTZE, JEFFREY W. (US) ; 李顏 LI, YAN (US)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：20 項 圖式數：13 共 64 頁

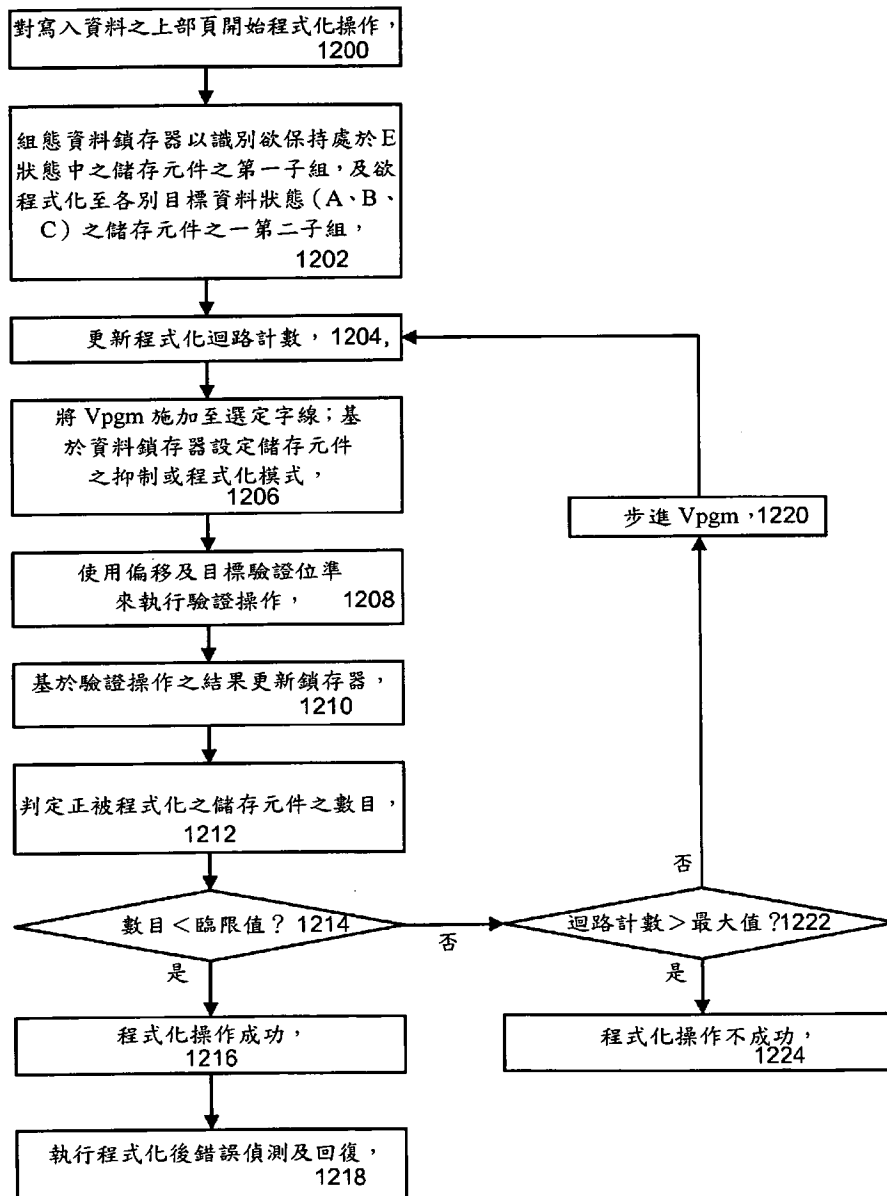
(54)名稱

基於資料狀態特定損壞之計數的非揮發性記憶體之資料回復

DATA RECOVERY FOR NON-VOLATILE MEMORY BASED ON COUNT OF DATA STATE-SPECIFIC FAILS

(57)摘要

本發明揭示一種用於一非揮發性記憶體系統之錯誤偵測及資料回復操作。即使在成功完成對一組儲存元件之一程式化操作之後，仍可能損毀某些儲存元件之資料。舉例而言，已抹除狀態之儲存元件可受其他儲存元件之程式化干擾。為允許此等情況中之資料之回復，相關聯之資料鎖存器可經組態以允許一旦完成程式化即將已抹除狀態之儲存元件與其他資料狀態區分開。此外，在完成程式化之後可執行一單個讀取操作。使用該讀取操作之結果及資料鎖存器中之值來執行邏輯操作以識別已偏離至另一資料狀態之已抹除狀態之儲存元件。若錯誤之數目超過一臨限值，則起始其中針對該等剩餘狀態執行讀取操作之一完全回復操作。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201203268 A1

(43)公開日：中華民國 101 (2012) 年 01 月 16 日

(21)申請案號：100102514

(22)申請日：中華民國 100 (2011) 年 01 月 24 日

(51)Int. Cl. : **G11C29/42 (2006.01)**

G11C11/56 (2006.01)

(30)優先權：2010/01/28 美國

12/695,918

(71)申請人：桑迪士克股份有限公司 (美國) SANDISK CORPORATION (US)

美國

(72)發明人：杜塔 狄班舒 DUTTA, DEEPANSHU (IN) ; 路特茲 傑佛瑞 W LUTZE, JEFFREY W. (US) ; 李顏 LI, YAN (US)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：20 項 圖式數：13 共 64 頁

(54)名稱

基於資料狀態特定損壞之計數的非揮發性記憶體之資料回復

DATA RECOVERY FOR NON-VOLATILE MEMORY BASED ON COUNT OF DATA STATE-SPECIFIC FAILS

(57)摘要

本發明揭示一種用於一非揮發性記憶體系統之錯誤偵測及資料回復操作。即使在成功完成對一組儲存元件之一程式化操作之後，仍可能損毀某些儲存元件之資料。舉例而言，已抹除狀態之儲存元件可受其他儲存元件之程式化干擾。為允許此等情況中之資料之回復，相關聯之資料鎖存器可經組態以允許一旦完成程式化即將已抹除狀態之儲存元件與其他資料狀態區分開。此外，在完成程式化之後可執行一單個讀取操作。使用該讀取操作之結果及資料鎖存器中之值來執行邏輯操作以識別已偏離至另一資料狀態之已抹除狀態之儲存元件。若錯誤之數目超過一臨限值，則起始其中針對該等剩餘狀態執行讀取操作之一完全回復操作。

六、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體。

【先前技術】

半導體記憶體已日益普遍地用於各種電子裝置中。舉例而言，非揮發性半導體記憶體用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其他裝置中。電可抹除可程式化唯讀記憶體(EEPROM)及快閃記憶體即在最受歡迎的非揮發性半導體記憶體之中。與傳統的全功能型EEPROM相比，可藉助快閃記憶體(其亦係一種類型之EEPROM)在一個步驟中抹除整個記憶體陣列或記憶體之一部分中之內容。

傳統EEPROM及快閃記憶體兩者皆利用一浮動閘極，將該浮動閘極定位於一半導體基板中之一通道區上面並與該通道區絕緣。將該浮動閘極定位於源極區與汲極區之間。一控制閘極提供於浮動閘極上方，並與該浮動閘極絕緣。如此形成之電晶體之臨限電壓(V_{th})係由該浮動閘極上所保留之電荷量控制。亦即，在導通電晶體以准許其源極與汲極之間的傳導之前必須施加至控制閘極之最小電壓量係由浮動閘極上之電荷位準控制。

準確地程式化及回讀來自記憶體之資料之能力係至關重要的。然而，各種損壞情形可導致損毀之資料。

【發明內容】

本發明提供一種方法及非揮發性儲存系統，其提供錯誤

偵測及資料回復。

【實施方式】

在程式化操作期間，若干個因素可導致損毀之資料。舉例而言，在一字線或區塊處可存在由於製造製程變化所致之一實體缺陷。在某些情形下，該字線對基板短路，以使得影響升壓且導致程式化干擾。其他潛在問題包含字線之間的一短路、變化的字線寬度、區塊之過度循環、與溫度相關之影響等等。此外，資料毀壞可能在太遲以致不能回復該資料之前未被偵測到。舉例而言，基於寫入資料，某些儲存元件應保持處於一已抹除狀態下而其他儲存元件被程式化至目標資料狀態。在此情形下，一抹除狀態儲存元件可在該等其他儲存元件之程式化期間受到干擾。經程式化至高於該已抹除狀態之一目標資料狀態之一儲存元件亦可當對其他儲存元件繼續程式化時受到干擾，以致程式化相同或不同字線上之一相同資料頁或另一資料頁。

一種用以偵測資料毀壞之方法係在將所有資料程式化後回讀該所有資料並將其與原始寫入資料相比較。然而，此強加大量時間懲罰且需要額外儲存資源(諸如額外資料鎖存器)。一種解決方案涉及利用現有資料鎖存器來針對較容易出現錯誤之一特定資料狀態(諸如已抹除狀態)偵測損毀之資料。在此方法中，資料鎖存器經組態以使得當完成一組儲存元件之程式化時可將該已抹除狀態與其他狀態區分開。藉由在成功完成程式化操作之後執行一單個讀取操作、存取該等資料鎖存器及執行邏輯操作，可識別損毀的

儲存元件。若損毀的儲存元件之數目超過一臨限值(諸如ECC可回復錯誤之一數目)，則可執行一回復操作。該回復操作基於該等讀取結果及該等資料鎖存器而執行額外讀取操作及邏輯操作以完全回復寫入資料。

接下來論述可用於提供較快之程式化及減小之功率消耗之一實例性記憶體系統。圖1係使用單個列/行解碼器及讀取/寫入電路之一非揮發性記憶體系統之一方塊圖。該圖圖解說明根據一項實施例具有用於並行讀取及程式化儲存元件之一頁之讀取/寫入電路之一記憶體裝置196。記憶體裝置196可包含一個或多個記憶體晶粒198。記憶體晶粒198包含儲存元件之二維記憶體陣列155、控制電路110及讀取/寫入電路165。關於圖4進一步論述記憶體陣列155。

在某些實施例中，儲存元件陣列可係三維的。記憶體陣列155可藉由字線經由一列解碼器130及藉由位元線經由一行解碼器160來定址。讀取/寫入電路165包含多個感測區塊100且允許並行讀取或程式化儲存元件之一頁。通常，一控制器150係包含於與一個或多個記憶體晶粒198相同之記憶體裝置196(例如，一可抽換儲存卡)中。經由線120在主機與控制器150之間及經由線118在控制器與一個或多個記憶體晶粒198之間傳送命令及資料。

控制電路110與讀取/寫入電路165協作以在記憶體陣列155上執行記憶體操作，且包含一狀態機112、一晶載位址解碼器114及一功率控制模組116。狀態機112提供記憶體操作之晶片級控制。晶載位址解碼器114在由主機或一記

記憶體控制器所使用之位址與解碼器130及160所使用之硬體位址之間提供一位址介面。功率控制模組116控制在記憶體操作期間供應至字線及位元線之功率及電壓。

在某些實施方案中，可組合圖1之組件中之某些組件。在各種設計中，可將除記憶體陣列155外之該等組件中的一者或多者(單獨或以組合方式)視為一管理或控制電路。舉例而言，一個或多個控制電路可包含以下各項中之任一者或一組合：控制電路110、狀態機112、解碼器114/160、功率控制件116、感測區塊100(包含圖2中之處理器192)、讀取/寫入電路165及控制器150等。關於圖2進一步論述感測區塊100。

在另一實施例中，一非揮發性記憶體系統使用雙列/行解碼器及讀取/寫入電路。由各種週邊電路對記憶體陣列155之存取係在該陣列之相對側上以一對稱方式實施，以使得每一側上之存取線及電路之密度減小一半。因此，將該列解碼器分裂成兩個列解碼器且將該行解碼器分裂成兩個行解碼器。類似地，將讀取/寫入電路分裂成自陣列155之底部連接至位元線之讀取/寫入電路及自陣列155之頂部連接至位元線之讀取/寫入電路。以此方式，使讀取/寫入模組之密度實質上減小一半。

圖2係繪示一感測區塊之一項實施例之一方塊圖。將一個別感測區塊100分割成一個或多個核心部分(稱為感測模組180或感測放大器)，及一共同部分(稱為一管理電路190)。在一項實施例中，將存在用於每一位元線之一單獨

感測模組180及用於一組多個(例如四個或八個)感測模組180之一個共同管理電路190。一群組中之該等感測模組中之每一者經由資料匯流排172與相關聯之管理電路通信。因此，存在與一組儲存元件之該等感測模組通信之一個或多個管理電路。

感測模組180包括感測電路170，該感測電路藉由判定一所連接位元線中之一傳導電流是高於還是低於一預定臨限值準來執行感測。感測模組180亦包含一位元線鎖存器182，該位元線鎖存器用於設定所連接位元線上之一電壓條件。舉例而言，鎖存於位元線鎖存器182中之一預定狀態將導致該所連接位元線被拉至指定程式化抑制之一狀態(例如，1.5至3 V)。作為一實例，一旗標=0可抑制程式化，而旗標=1不抑制程式化。

管理電路190包括一處理器192、四組實例性資料鎖存器194至197及耦合於一組資料鎖存器194與資料匯流排120之間的一I/O介面196。可針對每一感測模組提供一組資料鎖存器，且可針對每一組提供經識別為QDL、UDL及LDL之三個資料鎖存器。特定而言，下文關於圖8a至圖8f、圖9、圖10及圖11a至圖11c進一步論述資料鎖存器之使用。處理器192執行計算，以致判定儲存於所感測之儲存元件中之資料並將經判定之資料儲存於該組資料鎖存器中。使用每一組資料鎖存器194至197來儲存在一讀取操作期間由處理器192所判定之資料位元，及儲存在一程式化操作期間自資料匯流排120匯入之資料位元，該等資料位元表示

欲程式化至該記憶體中之寫入資料。I/O介面196在資料鎖存器194至197與資料匯流排120之間提供一介面。

在讀取期間，該系統之操作係處於狀態機112之控制下，該狀態機控制向經定址之儲存元件供應不同控制閘極電壓。在感測模組180步進通過對應於記憶體所支援之各種記憶體狀態之各種預定義控制閘極電壓時，其可在此等電壓中之一者下跳脫且將經由匯流排172將一對應輸出自感測模組180提供至處理器192。彼時，處理器192藉由考量感測模組之跳脫事件及關於經由輸入線193自狀態機施加之控制閘極電壓之資訊來判定所得記憶體狀態。然後該處理器計算該記憶體狀態之二進制編碼且將所得資料位元儲存至資料鎖存器194至197中。在管理電路190之另一實施例中，位元線鎖存器182起到兩個職責：既作為用於鎖存感測模組180之輸出之一鎖存器，且亦作為如上文所闡述之一位元線鎖存器。

某些實施方案可包含多個處理器192。在一項實施例中，每一處理器192將包含一輸出線(未繪示)以使得該等輸出線中之每一者係線「或」連接在一起。在某些實施例中，該等輸出線在連接至線「或」線之前被反轉。此組態達成在程式化驗證過程期間快速判定該程式化過程何時已完成，此乃因接收線「或」之狀態機可判定正被程式化之所有位元何時已達到期望之位準。舉例而言，當每一位元已達到其期望之位準時，將向線「或」線發送彼位元之一邏輯0(或反轉一資料1)當所有位元輸出一資料0(或經反轉

之一資料1))時，則狀態機知曉將終止該程式化過程。由於每一處理器與八個感測模組通信，因此該狀態機需要讀取線「或」線八次，或將邏輯添加至處理器192以累加相關聯位元線之結果以使得該狀態機僅需讀取該線「或」線一次。類似地，藉由正確地選擇邏輯位準，該整個狀態機可偵測第一位元何時改變其狀態且相應地改變演算法。

在程式化或驗證操作期間，將欲程式化之資料(寫入資料)自資料匯流排120儲存於該組資料鎖存器194至197中。受該狀態機控制之程式化操作包括施加至經定址之儲存元件之控制閘極之一系列程式化電壓脈衝。在每一程式化脈衝之後進行一回讀(驗證)，以判定是否已將該儲存元件程式化至期望之記憶體狀態。在某些情形下，處理器192相對於期望之記憶體狀態來監視所回讀之記憶體狀態。當兩者一致時，處理器192設定位元線鎖存器182，以致使該位元線被拉至指定程式化抑制之一狀態。此阻止耦合至該位元線之儲存元件受到進一步程式化，即使在程式化脈衝出現於其控制閘極上時。在其他實施例中，處理器首先載入位元線鎖存器182且感測電路在驗證過程期間將該位元線鎖存器設定為一抑制值。

可將每一組資料鎖存器194至197實施為用於每一感測模組之一資料鎖存器堆疊。在一項實施例中，每一感測模組180存在三個資料鎖存器。在某些實施方案中，將該等資料鎖存器實施為一移位暫存器以使得將儲存於其中之並行資料轉換為用於資料匯流排120之串列資料，且反之亦

然。可將對應於 m 個儲存元件之讀取/寫入區塊之所有資料鎖存器鏈接在一起以形成一區塊移位暫存器，以使得可藉由串列傳送來輸入或輸出一資料區塊。特定而言，讀取/寫入模組之記憶體庫經調適以使得其一組資料鎖存器中之每一者將依序將資料移入至或移出資料匯流排，仿佛其等係用於該整個讀取/寫入區塊之一移位暫存器之部分一般。

該等資料鎖存器識別一相關聯之儲存元件在一程式化操作中何時已達到某些里程碑。舉例而言，鎖存器可識別：一儲存元件之 V_{th} ，在一快速程式化模式中低於一較低驗證位準(例如，圖5中之 V_{vaL} 或 V_{vbL})；在一慢速程式化模式中高於一較低驗證位準(例如， V_{vaL} 或 V_{vbL})但低於一較高或目標驗證位準(例如， V_{va} 、 V_{vb} 或 V_{vc})；或在一抑制模式中高於該較高或目標驗證位準。該等資料鎖存器指示一儲存元件當前是否儲存來自一資料頁之一個或多個位元。舉例而言，可使用LDL鎖存器來儲存一下部資料頁。當將一下部頁位元儲存於一相關聯之儲存元件中時，翻轉一LDL鎖存器(例如，自0至1)。舉例而言，可使用UDL鎖存器來儲存一上部資料頁。當將一上部頁位元儲存於一相關聯之儲存元件中時，翻轉一UDL鎖存器。此發生於一相關聯之儲存元件完成程式化時，例如，當其 V_{th} 超過一目標驗證位準(諸如 V_{va} 、 V_{vb} 或 V_{vc})時，。當一相關聯之儲存元件係處於一慢速程式化模式中時，可翻轉QDL鎖存器。

在某些偵測方案中，一旦將任一儲存元件鎖定，即將用於彼儲存元件之所有資料鎖存器(QDL、LDL、UDL)設定為「1」。然而，此不允許區分已在不同資料狀態下鎖定之儲存元件。舉例而言，不能將一E狀態儲存元件與一A、B或C狀態儲存元件區分開。如下文進一步所論述，可以一最佳方式使用該等資料鎖存器來克服此問題且藉此實施一有效的錯誤偵測及回復操作。

圖3繪示圖1中之記憶體陣列155中之NAND快閃記憶體單元之區塊。該記憶體陣列可包含諸多區塊。每一實例性區塊300、310包含若干個NAND串及各別位元線(例如，BL0、BL1、...)，其等在該等區塊間係共用的。每一NAND串在一個端處連接至一汲極選擇閘極(SGD)，且該等汲極選擇閘極之控制閘極經由一共同SGD線而連接。該等NAND串在其另一端處連接至一源極選擇閘極，該源極選擇閘極又連接至一共同源極線320。六十四個字線(舉例而言，WL0至WL63)在源極選擇閘極與汲極選擇閘極之間延伸。

亦可使用除NAND快閃記憶體以外之其他類型之非揮發性記憶體。舉例而言，可用於快閃EEPROM系統中之另一類型之記憶體單元利用一不導電電介質材料代替一導電浮動閘極來以一非揮發性方式儲存電荷。由氧化矽、氮化矽及氧化矽(「ONO」)形成之三層式電介質夾於一導電控制閘極與該記憶體單元通道上面之一半導體基板之一表面之間。藉由將電子自單元通道注入至氮化物中來程式化該單

元，其中電子被陷獲並儲存於一受限區中。然後，此儲存電荷以一可偵測之方式改變單元通道之一部分之臨限電壓。藉由將熱電洞注入至氮化物中來抹除該單元。可以一分裂閘極組態提供一類似單元，其中一經摻雜多晶矽閘極在該記憶體單元通道之一部分上方延伸以形成一單獨選擇電晶體。

在另一方法中，使用NROM單元。舉例而言，將兩個位元儲存於每一NROM單元中，其中一ONO電介質層跨越源極與汲極擴散部之間的通道延伸。一個資料位元之電荷定位於毗鄰於汲極之電介質層中，且另一資料位元之電荷定位於毗鄰於源極之電介質層中。藉由單獨讀取電介質內之空間分離電荷儲存區之二進制狀態來獲得多狀態資料儲存。亦已知其他類型之非揮發性記憶體。

圖4繪示一實例性臨限電壓分佈及一遍式程式化。針對其中每一儲存元件儲存兩個資料位元之一情形提供儲存元件陣列之實例性臨限電壓分佈。針對已抹除(E狀態)之儲存元件提供一第一臨限電壓分佈400。三個臨限電壓分佈402、404及406分別表示經程式化狀態A、B及C。在一項實施例中，E狀態分佈中之臨限電壓為負，而A、B及C狀態分佈中之臨限電壓為正。

處於一特定狀態下之儲存元件之數目可藉由維持其臨限電壓被判定為超過對應驗證位準之儲存元件之一計數來判定。

每一不同之臨限電壓範圍皆對應於該組資料位元之預定

值。經程式化至儲存元件中之資料與該儲存元件之臨限電壓位準之間的具體關係相依於針對儲存元件所採用之資料編碼方案。在一項實施例中，使用一格雷(Gray)碼指派將資料值指派至該等臨限電壓範圍，以使得若一浮動閘極之臨限電壓錯誤地移位至其鄰近實體狀態，則將僅影響一個位元。一個實例將「11」指派至臨限電壓範圍E(狀態E)，將「10」指派至臨限電壓範圍A(狀態A)，將「00」指派至臨限電壓範圍B(狀態B)，且將「01」指派至臨限電壓範圍C(狀態C)。然而，在其他實施例中，不使用格雷碼。雖然顯示四個狀態，但亦可使用包含包含多於或少於四個狀態之彼等多狀態結構之其他多狀態結構。

亦提供三個讀取參考電壓 V_{ra} 、 V_{rb} 及 V_{rc} 以用於自儲存元件讀取資料。藉由測試一給定儲存元件之臨限電壓是高於還是低於 V_{ra} 、 V_{rb} 及 V_{rc} ，該系統可判定儲存元件所處之狀態(例如，程式化狀況)。

此外，提供三個目標驗證參考電壓 V_{va} 、 V_{vb} 及 V_{vc} 。當將儲存元件程式化至狀態A時，系統將測試彼等儲存元件是否具有大於或等於 V_{va} 之一臨限電壓。當將儲存元件程式化至狀態B時，系統將測試該等儲存元件是否具有大於或等於 V_{vb} 之臨限電壓。當將儲存元件程式化至狀態C時，該系統將判定儲存元件是否具有其等大於或等於 V_{vc} 之臨限電壓。

在稱為全序列程式化之一項實施例中，可將儲存元件自E狀態直接程式化至經程式化狀態A、B或C中之任一者。

舉例而言，可首先抹除欲程式化之一儲存元件群以使得該群中之所有儲存元件皆處於已抹除狀態E中。然後，將使用一系列程式化脈衝(諸如圖13中所繪示)來將儲存元件直接程式化至狀態A、B或C。在將某些儲存元件自狀態E程式化至狀態A時，將其他儲存元件自狀態E程式化至狀態B及/或自狀態E程式化至狀態C。

此外，將偏移及目標驗證位準用於一個或多個資料狀態。舉例而言， V_{vaL} 及 V_{va} 分別係針對A狀態之偏移驗證位準及目標驗證位準，且 V_{vbL} 及 V_{vb} 分別係針對B狀態之偏移驗證位準及目標驗證位準。一偏移驗證位準係自一最終或目標驗證位準偏移。相依於程式化方案，一偏移驗證位準可能高於目標驗證位準。該驗證位準可表示一電壓或一電流。

在程式化期間，當一A狀態儲存元件(其意欲被程式化至A狀態作為一目標狀態)之 V_{th} 小於或等於 V_{vaL} 時，以一快速程式化模式程式化該儲存元件。此可藉由將位元線接地來達成。當 $V_{va} \geq V_{th} > V_{vaL}$ 時，以一慢速程式化模式來程式化該儲存元件，諸如藉由將相關聯之位元線電壓升高至位於接地與一完全抑制位準之間的一位準。此藉由避免臨限電壓之大幅增加來提供較高準確性及因此一較窄 V_t 分佈。當 $V_{th} > V_{va}$ 時，將該儲存元件鎖定免受進一步程式化。類似地，一B狀態儲存元件(其意欲被程式化至B狀態)可具有快速及慢速程式化模式。注意，在一個方法中，一慢速程式化模式不用於最高狀態(諸如C狀態)，此乃因其

不如藉助其他狀態更有益。

在具有一已抹除狀態與七個經程式化狀態A至G之八個狀態程式化之一實例中，舉例而言，可針對中間狀態A至F使用快速與慢速程式化模式。

圖5圖解說明程式化儲存兩個不同頁(一下部頁及一上部頁)之資料之一多狀態儲存元件之兩遍式技術之一實例。藉由重複圖4中之臨限電壓分佈400、402、404及406來繪示四個狀態。此等狀態及其等所表示之位元係：狀態E(11)、狀態A(01)、狀態B(00)及狀態C(10)。針對狀態E，兩個頁皆儲存「1」。針對狀態A，下部頁儲存「1」，而上部頁儲存「0」。針對狀態B，兩個頁皆儲存「0」。針對狀態C，下部頁儲存「0」且上部頁儲存「1」。注意，雖然已為該等狀態中之每一者指派具體位元型樣，但亦可指派不同的位元型樣。

在一第一遍程式化中，根據欲程式化至該下部邏輯頁中之位元來設定該儲存元件之 V_{th} 。若彼位元係邏輯「1」，則該 V_{th} 不改變，此乃因其處於由於早先已抹除而導致的適當狀態下。然而，若欲程式化之該位元係一邏輯「1」，則該 V_{th} 增加至狀態A，如箭頭500所示。彼結束該第一遍程式化。

在一第二遍程式化中，根據欲程式化至該上部邏輯頁中之位元來設定該儲存元件之 V_{th} 。在該下部頁、上部頁係1、1之條件下，則由於儲存元件係處於狀態E中而不發生程式化。在該下部頁、上部頁係0、1之條件下，則由於儲

存元件係處於狀態A中而不發生程式化。在該下部頁、上部頁係0、0之條件下，發生自狀態A至狀態B之一轉變(由箭頭510表示)。在該下部頁、上部頁係1、0之條件下，發生自狀態E至狀態C之一轉變(由箭頭520表示)。

在此實例中，亦可分別針對A及B狀態使用偏移驗證位準VvaL及VvbL。

在一個實施例中，若下部頁資料與上部頁資料兩者皆可用，則可設立一系統以執行全序列寫入。若不存在足夠可用之資料，則該程式化操作可藉助所接收之資料來程式化該下部頁資料。當接收到後續資料時，該系統將隨後程式化該上部頁。在又一實施例中，該系統可以程式化該下部頁之模式開始寫入且若隨後接收到足以填滿一整個字線(或其大部分)之儲存元件之資料則轉換成全序列程式化模式。

圖6a至圖6c繪示一組實例性臨限電壓分佈及使用一中間狀態之兩遍式程式化。此程式化技術藉由針對任一特定儲存元件相對於一特定頁繼針對先前頁寫入至毗鄰儲存元件之後寫入至彼特定儲存元件來減小浮動閘極至浮動閘極耦合之影響。在一個實例性實施方案中，非揮發性儲存元件使用四個資料狀態儲存每儲存元件兩個資料位元。舉例而言，E狀態係已抹除狀態且狀態A、B及C係經程式化狀態。如之前，狀態E儲存資料11，狀態A儲存資料01，狀態B儲存資料00且狀態C儲存資料10。亦可使用資料至實體資料狀態之其他編碼。每一儲存元件儲存兩個資料頁。

出於參考目的，此等資料頁將稱為上部頁及下部頁；然而，亦可賦予該等頁其他標記。

該程式化操作係一兩步式過程。在第一步驟中，將該下部頁程式化。若該下部頁欲保持資料1，則該儲存元件狀態保持處於狀態E下(分佈600)。若欲將該資料程式化至0，則升高該儲存元件之電壓之臨限值以使得將該儲存元件程式化至狀態B'(分佈610)。因此，圖6a顯示儲存元件自狀態E至狀態B'-之程式化。狀態B'係一臨時狀態B；因此，驗證點係繪示為 $V_{vb'}$ ，其低於 V_{vb} 。

在一項實施例中，在將一儲存元件自狀態E程式化至狀態B'-之後，然後將相對於該儲存元件之下部頁來程式化其在NAND串中之鄰近儲存元件($WLn+1$)。此將具有使狀態B'-之臨限電壓分佈加寬至如圖6b之臨限電壓分佈612所繪示之臨限電壓分佈之效應。當程式化該上部頁時，將修正該臨限電壓分佈之此視在加寬。E狀態亦將被加寬，如分佈602所繪示。

圖6c繪示程式化該上部頁之過程。若該儲存元件係處於已抹除狀態E中且上部頁係1，則該儲存元件將保持處於狀態E(分佈602)中。若該儲存元件係處於狀態E中且其上部頁資料係0，則將升高該儲存元件之臨限電壓以使得該儲存元件係處於狀態A(分佈604)中。若該儲存元件係處於中間臨限電壓分佈612中且該上部頁資料將係0，則該儲存元件將被程式化至最終狀態B(分佈606)。若該儲存元件係處於中間臨限電壓分佈612中且該上部頁資料係1，則將升高

該儲存元件之臨限電壓以使得該儲存元件係處於狀態C(分佈608)中。在此實例中，亦可針對A及B資料狀態使用偏移驗證位準。圖6a至圖6c所繪示之過程減小浮動閘極至浮動閘極耦合之影響，此乃因僅鄰近儲存元件之上部頁程式化將對一給定儲存元件之視在臨限電壓具有一影響。一替代狀態寫碼之一實例係當上部頁資料係0時自分佈612移至狀態C，且當上部頁資料係1時移至狀態B。

雖然圖6a至圖6c提供相對於四個資料狀態及兩個資料頁之一實例，但所教示之概念可應用於具有多於或少於四個狀態及多於或少於兩個頁之其他實施方案。舉例而言，當前正計劃或生產具有每儲存元件八個或十六個狀態之記憶體裝置。

圖7繪示以一往返字線次序對一組儲存元件之一多遍式程式化操作。所繪示之組件可係一組大得多之儲存元件、字線及位元線之一子組。在一個可能之程式化操作中，在一第一遍程式化中程式化 $WLn-1$ 上之儲存元件，例如儲存元件702、704及706。此步驟由圓圈「1」表示。接下來(「2」)，在一第一遍程式化中程式化 WLn 上之儲存元件，例如儲存元件712、714及716。在此實例中，當選擇一字線用於程式化時，在每一程式化脈衝之後發生驗證操作。在 WLn 上之驗證操作期間，將一個或多個驗證電壓施加至 WLn 且將通過電壓施加至剩餘之字線(包含 $WLn-1$ 及 $WLn+1$)。通過電壓係用於導通(使導電)未經選擇之儲存元件以使得可針對選定字線發生一感測操作。接下來

(「3」)，在一第二遍程式化中程式化 $WLn-1$ 上之儲存元件。接下來(「4」)，在一第一遍程式化中程式化 $WLn+1$ 上之儲存元件。接下來(「5」)，在一第二遍程式化中將 WLn 上之儲存元件程式化至其等最終之各別狀態。

由於 $WLn+1$ 上之程式化， WLn 上之儲存元件受趨於針對每一狀態升高及加寬其等臨限電壓分佈之耦合影響。此可發生於單遍式及多遍式程式化兩者期間。在單遍式程式化中，在移至下一字線之前將每一字線完全程式化，例如 $WLn-1$ 、然後 WLn 、然後 $WLn+1$ 。

圖 8a 至圖 8f 繪示在與圖 2 之感測區塊一起使用之一程式化操作中處於不同點處之實例性資料鎖存器值。在此實例中，每一位元線係與三個資料鎖存器(亦即，QDL、UDL 及 LDL)相關聯。該等資料鎖存器可分別視為第一、第二及第三資料鎖存器。每一位元線及選定儲存元件可具有第一、第二及第三資料鎖存器。一個位元線之第一資料鎖存器對應於另一位元線之第一資料鎖存器，例如，兩者皆可係 QDL。一個位元線之第二資料鎖存器對應於另一位元線之第二資料鎖存器，例如，兩者皆可係 UDL。一個位元線之第三資料鎖存器對應於另一位元線之第三資料鎖存器，例如，兩者皆可係 LDL。UDL 與 LDL 分別儲存關於上部頁及下部頁之位元資訊，而 QDL 儲存關於一儲存元件是否已通過較低驗證位準之資訊。

圖 8a 繪示根據相關聯儲存元件之目標資料狀態在程式化開始時每一組資料鎖存器之位元值。針對一 E 狀態儲存元

件，將所有鎖存器設定為1。針對一A狀態儲存元件，將QDL、UDL及LDL鎖存器分別設定為0、0及1。針對一B狀態儲存元件，將所有鎖存器設定為0。針對一C狀態儲存元件，將QDL、UDL及LDL鎖存器分別設定為0、1及0。

圖8b繪示在一A狀態儲存元件之 V_{th} 已通過較低驗證位準 V_{vaL} 之後根據相關聯之儲存元件之目標資料狀態之每一資料鎖存器之位元值。將QDL位元翻轉至1，如由虛線框所指示。在執行驗證操作之後，在每一程式化驗證反覆結束時作出資料鎖存器中之改變。

圖8c繪示在一A狀態儲存元件之 V_{th} 已通過目標驗證位準 V_{va} 之後根據相關聯儲存元件之目標資料狀態之每一鎖存器之位元值。將UDL位元翻轉至0，如由虛線框所指示。

圖8d繪示在一B狀態儲存元件之 V_{th} 已通過較低驗證位準 V_{vbL} 之後根據相關聯儲存元件之目標資料狀態之每一鎖存器之位元值。將QDL位元翻轉至1，如由虛線框所指示。

圖8e繪示在一B狀態儲存元件之 V_{th} 已通過目標驗證位準 V_{vb} 之後根據相關聯儲存元件之目標資料狀態之每一鎖存器之位元值。將UDL及LDL位元翻轉至1，如由虛線框所指示。

圖8f繪示在一C狀態儲存元件之 V_{th} 已通過目標驗證位準 V_{vc} 之後根據相關聯儲存元件之目標資料狀態之每一鎖存器之位元值。將QDL及LDL位元翻轉至1，如由虛線框所指示。

圖9繪示除兩個未使用之資料鎖存器組合外，針對不同資料狀態根據一儲存元件之一快速、慢速或抑制模式之圖8a至8f之資料鎖存器值。如所提及，一儲存元件可以一快速程式化模式進行程式化直至達到其目標資料狀態之偏移驗證位準為止，此後，該儲存元件以一慢速程式化模式進行程式化直至達到該目標資料狀態之目標驗證位準為止，此後，阻止該儲存元件受到進一步程式化。本文中所提供之資料鎖存器包含針對不同程式化模式及針對不同資料狀態之不同三位元組合。

「E」表示保持處於E狀態下以使得無損壞發生之一E狀態儲存元件。「Efail」表示受干擾以使得其升高於E狀態以使得發生一損壞之一E狀態儲存元件。兩種情況皆由相同資料鎖存器值表示，此乃因根據寫入資料，其等皆意欲係E狀態儲存元件。「Afast」、「Aslow」及Ainhibit(「Ainh」)分別表示用於一A狀態儲存元件之快速、慢速及受抑制模式。類似地，「Bfast」、「Bslow」及Binhibit(「Binh」)分別表示用於一B狀態儲存元件之快速、慢速及受抑制模式。「Cfast」及Cinhibit(「Cinh」)分別表示用於C狀態儲存元件之快速及受抑制模式。A、B及C狀態儲存元件在一程式化操作結束時皆具有 $QDL=UDL=LDL=1$ ，以使得其等不能藉由其資料鎖存器彼此區分。類似地，在此實施方案條件下，在程式化操作結束時不能將E狀態儲存元件與A、B及C狀態儲存元件區分開。

藉由實現以下條件可找到此問題之一解決方案：由於存在三個資料鎖存器，因此存在 $2^3=8$ 種可能的三個一組(QDL、UDL、LDL)之唯一組合。然而，在此實施例中，該等儲存元件可藉由僅六個類別而特徵化：E狀態、高於E狀態但低於VvaL、在VvaL與Vva之間、高於Vva但低於VvbL、在VvbL與Vvb之間，及高於Vvb但低於Vvc。因此，不使用該等組合中之兩者：即#1 (0, 1, 1)及#2 (1, 1, 0)。

此等組合可用於錯誤偵測及資料回復目的。組合#1具有以下優點：針對此組合之UDL及LDL資料係與針對一規則E狀態儲存元件之資料相同，亦即，UDL=1且LDL=1，此意味著關於一E狀態儲存元件之上部頁及下部頁位元資訊保持不改變。針對此組態，使用QDL=0，而QDL=1係用於表示受抑制之A、B及C狀態儲存元件。此允許在一程式化操作結束時將一E狀態儲存元件與A、B及C狀態儲存元件區分開。

圖10繪示圖9中之資料鎖存器值之一修改，以使得該已抹除狀態具有與受抑制之A、B及C狀態不同之一組合。此處，針對「E」及「Efail」儲存元件，QDL=0、UDL=1及LDL=1。針對其他資料狀態，可維持如圖9中所提供之相同組合，並在圖10中重複。在一程式化操作結束時，所有E狀態儲存元件具有資料鎖存器(0, 1, 1)，而已被抑制之A、B及C狀態儲存元件具有(1, 1, 1)之資料鎖存器。因此，在程式化結束時，掃描QDL可區分一E狀態儲存元件

與其他儲存元件。

E狀態儲存元件可視為係在一較大組儲存元件中之一第一子組儲存元件中，諸如在一字線上，且A、B及C狀態儲存元件可視為係在該組之一第二子組中。可隨機地分佈及互混不同狀態之各種儲存元件。該第二子組中之儲存元件欲經程式化至至少三個目標資料狀態，包含毗鄰於E狀態之一第一目標資料狀態(A狀態)、毗鄰於第一目標資料狀態之一第二目標資料狀態(B狀態)及毗鄰於該第二目標資料狀態之一第三目標資料狀態(C狀態)。在已成功完成程式化之該第二子組中之每一儲存元件具有其相關聯資料鎖存器中之一者(例如，QDL)中之一第一值(例如，1)，且該第一子組中之每一儲存元件係由與其相關聯資料鎖存器中之一者(例如，QDL)中之該第一值不同之一值(例如，0)來識別。

可使用此經修訂之資料鎖存器組態來判定E狀態損壞(稱為E->X損壞)之數目，此乃因該儲存元件轉變至一較高狀態X(通常係A狀態)。在一程式化操作結束時，可使用Vra(或在E狀態與A狀態分佈之間的其他電壓)來執行一讀取操作以識別針對其 $V_{th} > V_{ra}$ 之儲存元件。此等儲存元件在感測期間將係不導電的。基於讀取操作之結果及QDL值，可計數E->X損壞之數目。若一儲存元件頁中之損壞之數目高於稱為位元忽略臨限值(例如，由記憶體裝置中之一ROM熔絲參數設定)之一臨限值，則可在彼頁上設定一程式化狀態=損壞。彼頁上之資料可藉由一回復操作來回

復，該回復操作涉及執行一完全讀取操作，其包括在 V_{rc} (或在B與C狀態分佈之間的其他電壓) 下之一C狀態讀取及然後在 V_{rb} (或在A與B狀態分佈之間的其他電壓) 下之一B狀態讀取。該回復操作亦使用A狀態讀取結果(其已可自錯誤偵測過程獲得)，及存取資料鎖存器值並執行適當邏輯操作，如接下來所論述。

注意，圖10中之此資料鎖存器指派將影響指示是快速程式化模式還是慢速程式化模式有效之程式化資料傳送。為比較，圖9中之方法藉由僅查看QDL(使用 $SA \leq QDL$) 來決定是一快速程式化模式還是一慢速程式化模式有效，並相應地設定一位元線偏壓(V_{bl} 針對慢速程式化模式升高，且針對快速程式化模式接地)。此處「 $SA \leq QDL$ 」指示將資料自QDL載入至SA中。藉助圖10中之方法，一偏壓「0」覆寫程式化抑制資訊係可能的。為避免此，可將新程式化資料傳送改變為： $SA \leq QDL | (UDL \& LDL)$ ，其中「|」表示一邏輯「或」操作。

藉助圖10中之方法，在程式化操作結束時，可計數正被程式化之A、B及C狀態儲存元件以查看總數目是否小於一臨限值。此可藉由執行一邏輯操作 $YBOX \leq UDL \& LDL$ (其使一臨時變量YBOX載入有值 $UDL \& LDL$ (其中「&」表示一邏輯「與」) 並計數YBOX中0之數目來完成。該邏輯操作可由用於感測模組、狀態機或其他位置之管理電路執行，且可將YBOX維持於該管理電路中。

圖9與圖10中之方法之間的一個相似性係當(UDL,

LDL)=(1, 1)時一儲存元件被抑制。

圖 11a 繪示對基於圖 10 中之資料鎖存值及一 A 狀態讀取操作之結果用以提供一損壞偵測過程中之已抹除狀態錯誤及正被程式化之較高狀態錯誤之一計數之邏輯操作之使用。圖 11a 重複來自圖 10 中之表格之 QDL 列。圖 10 中之該等列亦在圖 11b 中重複以供參考。QDL 將在一程式化操作結束時識別剩餘之正被程式化之儲存元件。SA≤read@A 指示在 Vra 下執行一讀取操作，並將該讀取操作之一結果載入至感測放大器 (SA) (例如，感測模組) 中。此讀取操作區分處於目標資料狀態之已抹除狀態下之儲存元件與處於一毗鄰狀態 (例如，A 狀態) 下之儲存元件。該讀取操作判定任何 E 狀態儲存元件是否已由於一干擾而越過 Vra。在此讀取條件下，一「E」(非損壞 E 狀態) 儲存元件將係導電的而一「Efail」(損壞 E 狀態) 儲存元件及所有經程式化狀態 (例如，A、B、C 狀態) 儲存元件將係不導電的。

在此實例中，若在感測期間該儲存元件係導電的則 SA=0，且若該儲存元件係不導電的則 SA=1。如所繪示，針對一「E」儲存元件，SA=0，且針對一「Efail」儲存元件，SA=1。針對所有經程式化狀態之儲存元件，亦有 SA=1。在邏輯操作 SA&~QDL 中，「&」表示一邏輯「與」，且「~」標示負的或反的。SA&~QDL 識別處於「Efail」、「Afast」、「Bfast」及「Cfast」狀況中之儲存元件。在程式化結束時，忽略該等儲存元件中之不能被程式化至其目標狀態之幾個儲存元件。處於「Afast」、

「Bfast」及「Cfast」狀況中之儲存元件係由此等被忽略之儲存元件組成。

針對所有資料狀態之錯誤之數目可藉由在邏輯操作 $YBOX \leq \sim SA | QDL$ 之後計數 YBOX 中之「1」來判定。此計數包含「Efail」儲存元件以及尚未完成程式化(例如，處於「Afast」、「Aslow」、「Bfast」、「Bslow」及「Cfast」下)且在程式化完成之前被忽略之A、B及C狀態儲存元件。此等被忽略之儲存元件亦可潛在地導致錯誤。由於一錯誤校正碼(ECC)可處理此等錯誤，因此將所有狀態之錯誤一起計數可能更有意義。

圖11b繪示對基於圖10之資料鎖存器值及一A狀態讀取操作之結果用以提供一損壞偵測過程中之已抹除狀態錯誤(「Efail」)之一計數之邏輯操作之使用。在此操作中，僅計數「Efail」儲存元件且可避免其他未完成之A、B或C狀態儲存元件之計數。除來自圖11a之SA列以外，圖11b重複來自圖10中之表格之QDL、UDL及LDL列。在兩種計數方法(所有狀態一起或僅E狀態)中，三個資料鎖存器QDL、UDL及LDL中之資料將保持用於資料回復之資料。一旦損壞計數超出一臨限值，即可執行一完全字線讀取操作以回復該資料並將其移至該記憶體裝置中之另一位置。

為僅計數「Efail」儲存元件，可使用邏輯操作 $YBOX \leq SA \& \sim QDL \& UDL \& LDL$ 。此將一值指派至臨時變量 YBOX。虛線框指示針對「Efail」YBOX=1；且針對E及所有其他儲存元件狀況，YBOX=0。因此，YBOX將

「Efail」儲存元件與所有其他儲存元件區分開。因此，「Efail」儲存元件之數目可藉由在一程式化操作中跨越一組儲存元件計數針對其YBOX=1之儲存元件之數目來計數。

圖 11c 繪示對基於圖 10 之資料鎖存器值及在一資料回復過程中 C 及 B 狀態讀取操作之結果之邏輯操作之使用。關於資料回復之步驟如下：

1. QDL 回復—可依據 $QDL^* \leftarrow \sim(\sim QDL \& UDL \& LDL)$ 自三個資料鎖存器中之剩餘資料獲得 QDL 資料。
2. 在 C 狀態 (Vrc) 下讀取。由於 C 狀態儲存元件中之某些儲存元件可能尚未達到其目標狀態且在程式化期間被忽略，因此可假定 C 狀態資料中之某些資料將被不正確地讀取 (由 X 標示)。可更新 UDL 以藉由邏輯操作 $UDL^* \leftarrow SA | (UDL \& \sim LDL)$ 來回復 C 狀態。
3. 將再一次更新 UDL 鎖存器以使用 $UDL^{**} \leftarrow UDL | \sim QDL$ 來完全回復上部頁資料。
4. 在 B 狀態 (Vrb) 下讀取。另外，由於與上文針對 C 狀態所闡述之相同原因，可假定 B 狀態資料中之某些資料將被不正確地讀取 (由 X 標示)。由於具有剩餘資料，因此可藉由邏輯操作 $LDL \leftarrow LDL \& \sim SA$ 將 LDL 資料變換至原始程式化資料。

此處，首先進行 C 讀取，此乃因上部頁資料回復相依於 LDL 及 QDL 上之剩餘資料。

虛線框指示針對 UDL 及 LDL 之最終回復值。依據圖 10 或

11b可驗證此等值係與根據寫入資料原始地設定於該等資料鎖存器中之值相同。因此，藉由執行此資料回復操作，可正確地回復針對每一儲存元件之下部頁及上部頁資料資訊。

注意，該等邏輯操作可在感測區塊之管理電路中或在狀態機中執行，其兩者皆在記憶體晶片上。此避免將資料傳送至一外部晶片外控制器(例如，圖1中之150)以在那裏執行操作之需要。因此，可以實質上對該晶片外控制器或主機透明之一方式在晶片上執行錯誤偵測及資料回復操作。

圖12a繪示一實例性程式化及程式化後損壞偵測及回復操作。在步驟1200處，針對寫入資料之一上部頁開始一程式化操作。注意，一下部頁可係先前經程式化的。步驟1202組態與各別儲存元件之感測模組相關聯之資料鎖存器。舉例而言，該等感測模組可係與各別位元線及NAND串或其他串列連接儲存元件鏈相關聯。該等資料鎖存器經組態以識別欲保持處於一已抹除狀態下之一第一子組儲存元件，及欲程式化至各別目標資料狀態(諸如，A、B及C狀態)之一第二子組儲存元件。在步驟1204處更新一程式化迴路計數。首先，將其設定為0。在步驟1206處，將一程式化電壓 V_{pgm} 施加至一選定字線，該選定字線包含第一子組及第二子組儲存元件。此外，由該等感測模組基於該等資料鎖存器來設定一抑制或程式化模式。

在步驟1208處，使用偏移及目標驗證位準來執行一驗證操作。此係一感測操作，該感測操作可使用一感測模組來

預充電一各別位元線且當各別儲存元件係處於一導電狀態下時允許一感測節點放電至該位元線中。當儲存元件係處於一導電狀態時該儲存元件不明顯放電。在一放電週期之後，可將所得資料傳送至管理電路以監視並控制每一儲存元件之程式化。特定而言，在步驟1210處，管理電路基於來自該驗證操作之結果來更新該等資料鎖存器，諸如關於圖10所論述。步驟1212判定正被程式化之儲存元件之一數目。舉例而言，如關於圖10所論述，可藉由執行一邏輯操作 $YBOX \leq UDL \& LDL$ 來計數正被程式化之A、B及C狀態儲存元件。決策步驟1214判定正被程式化之儲存元件之數目是否少於一臨限值。若決策步驟1214為真，則程式化操作係成功的(步驟1216)，且執行一程式化後錯誤偵測及回復操作(步驟1218)，如關於圖12b及圖12c所進一步論述。當該第二子組中之不多於最大數目個儲存元件已不能達到其各別目標資料狀態時，決策步驟1214為真。

若決策步驟1214為假，則決策步驟1222判定迴路計數是否已超過一最大值。若決策步驟1222為真，則程式化操作係不成功的(步驟1224)。若決策步驟1222為假，則Vp_{gm}步升(步驟1220)且更新迴路計數(步驟1204)以使得執行另一程式化驗證反覆。

圖12b繪示圖12a中之步驟1218之程式化後錯誤偵測及回復操作之進一步細節。在步驟1230處，在V_{ra}下執行二進制讀取操作。見圖11a中之操作 $SA \leq read@A$ 。步驟1232識別針對其 $V_{th} > V_{ra}$ (例如，依據 $SA=1$)之儲存元件。步驟

1234評估針對其 $V_{th} > V_{ra}$ 之儲存元件之資料鎖存器，以識別意欲根據寫入資料保持處於E狀態下之儲存元件(「Efails」)。步驟1234可執行關於圖11b所論述之操作 $YBOX \leq SA \& \sim QDL \& UDL \& LDL$ 。步驟1236計數針對E狀態儲存元件之損壞之數目，例如，依據針對其 $YBOX=1$ 之該等儲存元件。

在決策步驟1238處，若該計數少於或等於一臨限值，則在步驟1240處將設定一狀態=通過。此指示(例如)偵測到小數目個ECC可校正之錯誤，此並非係將資料重寫至另一位置之根據。若決策步驟1238為假，則設定一狀態=損壞。可將其中偵測到錯誤之區塊標示為係壞的以使得其不再被使用。此外，在步驟1244處執行一回復操作，如關於圖12c進一步所論述。

圖12c繪示圖12b之步驟1244之資料回復操作之進一步細節。步驟1250在 V_{rc} 下執行一讀取操作(圖11c中之 $SA \leq read@C$)，步驟1252在 V_{rb} 下執行一讀取操作(圖11c中之 $SA \leq read@B$)，且步驟1254基於該等讀取結果及資料鎖存器中之值來執行邏輯操作，亦如關於圖11c所闡述。步驟1256將經回復之資料寫入至另一區塊中之另一字線。

圖13繪示在一程式化操作及後續資料回復過程中之一選定字線之一實例性波形。一程式化操作可包含一系列程式化驗證反覆，其中將一程式化脈衝(例如，1302、1304、1306、...、1308)施加至一選定字線，後跟有在 V_{vaL} 、 V_{va} 、 V_{vbL} 、 V_{vb} 及 V_{vc} 下之驗證電壓(例如，1310)。該程

式化操作在一時間週期(自一開始時間 t_s 至一最後結束時間 t_f)1312中延伸。在一錯誤偵測過程中在 t_a 時發生在 V_{ra} 下之一讀取操作。基於該錯誤偵測過程之一結果，可起始一資料回復操作，其中使用在 t_c 時在 V_{rc} 下之一C狀態讀取及在 t_b 時在 V_{rb} 下之一B狀態讀取。

可提供該錯誤偵測及回復過程之各種替代形式：

1. 在所闡述之方案中，針對E狀態儲存元件之資料鎖存器使用一(0, 1, 1)組態以將其等與受抑制之A/B/C狀態儲存元件(其等使用一(1, 1, 1)組態)區分開。一替代形式係一相反方法，該方法針對受抑制之A/B/C狀態儲存元件使用(0, 1, 1)，且針對E狀態儲存元件使用(1, 1, 1)。

2. 在所闡述之方案中，將一唯一(0, 1, 1)資料鎖存器組態用於一E狀態儲存元件以在一程式化操作結束時將其與任一其他儲存元件區分開。但是，一般而言，可替代地將(0, 1, 1)組態指派至受抑制之A/B/C狀態儲存元件中之任一者，且因此在一程式化操作結束時可區分彼狀態之儲存元件。舉例而言，可將(0, 1, 1)指派至一受限制之A狀態儲存元件以使得在程式化結束時可將經程式化之A狀態儲存元件與其他儲存元件區分開。相依於選擇哪一選項，保證將針對對應於彼狀態之該等儲存元件回復正確資料。在其中該狀態之資料中僅一者係損毀的之情況下，此可係有用的。舉例而言，在某些具體情形下，儲存元件難以經程式化至C狀態，從而致使該頁損壞程式化狀態，而所有其他狀態之資料看起來正常。在此一情形下，可藉由依據QDL

資料確定該等C狀態儲存元件且藉由使用A讀取、B讀取及C讀取來確定其他狀態來回復完整資料。亦可提供一ROM熔絲選項以選擇哪一狀態將係與此狀態回復方案相關聯。

3. 如所闡述，存在兩個未使用之資料鎖存器組合：(0, 1, 1)及(1, 1, 0)。可能可一起使用兩個組合以表示兩個不同種類之儲存元件。舉例而言，可使用(0, 1, 1)組態來表示一E狀態儲存元件而可將(1, 1, 0)組態用於受抑制之C狀態儲存元件。在此情形下，針對至少此兩個資料狀態可保證一完全資料回復。

注意，上文已關於圖9論述通常不使用(QDL, UDL, LDL)之組合中之兩者：即，#1(0, 1, 1)及#2 (1, 1, 0)。在所提供之詳細實例中，曾單獨使用#1組合自身。然而，亦可能使用#1組合與#2組合兩者(例如)以自兩個種類之損壞回復。舉例而言，可將#1組合指派至E狀態損壞，且可將#2組合指派至A狀態損壞(例如，Ainh)。在此情形下，可回復E->X以及A->X損壞。作為另一替代形式，相依於其他鎖存器指派，可使用#2組合替代#1組合。

在一項實施例中，一種用於程式化一非揮發性儲存系統中之一組儲存元件之方法包含：基於寫入資料，組態與該組之一第一子組中欲保持處於一已抹除狀態下之儲存元件相關聯之資料鎖存器中及與該組之一第二子組中欲程式化至各別目標資料狀態之儲存元件相關聯之資料鎖存器中之資料。該方法進一步包含：抑制該第一子組中之該等儲存元件同時程式化該第二子組中之該等儲存元件，且在程式

化期間基於該第二子組中之該等儲存元件之一進度來更新該第二子組中之該等儲存元件之該等相關聯之資料鎖存器。該方法進一步包含：判定該第二子組中之不多於最大數目個儲存元件已不能達到其等各別目標資料狀態(此與具有不多於指定數目個位元或儲存元件錯誤相關)，以使得將該第二子組中之該等儲存元件之程式化視為已成功完成。該方法進一步包含，回應於該第二子組中之該等儲存元件之程式化之成功完成，藉由對該第一子組中之該等儲存元件執行區分該已抹除狀態及該等目標資料狀態中之一毗鄰狀態之一讀取操作來判定該第一子組中具有一錯誤之儲存元件之一數目。

在另一實施例中，一非揮發性儲存系統包含一組非揮發性儲存元件，其包含該組之一第一子組中欲保持處於一已抹除狀態下之儲存元件，及該組之一第二子組中欲程式化至各別目標資料狀態之儲存元件。亦提供與每一儲存元件相關聯之資料鎖存器，及至少一個控制電路。該至少一個控制電路：(a)基於寫入資料，組態與該第一子組中之該等儲存元件相關聯之該等資料鎖存器中及與該第二子組中之該等儲存元件相關聯之該等資料鎖存器中之資料；(b)抑制該第一子組中之該等儲存元件，程式化該第二子組中之該等儲存元件，及當已程式化時基於該第二子組中之該等儲存元件之一進度來更新該第二子組中之該等儲存元件之該等相關聯資料鎖存器；(c)判定該第二子組中之不多於最大數目個該等儲存元件已不能達至其等各別目標資料狀態，

以使得將該第二子組中之該等儲存元件之該程式化視為成功完成；及(d)回應於該第二子組中之該等儲存元件之該程式化之該成功完成，藉由對該第一子組中之該等儲存元件執行區分該已抹除狀態及該等目標資料狀態之一毗鄰狀態之一讀取操作來判定該第一子組中具有一錯誤之儲存元件之一數目。

在另一實施例中，一非揮發性儲存系統包含用於以下操作之構件：基於寫入資料，組態與該組之一第一子組中欲保持處於一已抹除狀態下之儲存元件相關聯之資料鎖存器中及與該組之一第二子組中欲程式化至各別目標資料狀態之儲存元件相關聯之資料鎖存器中之資料。亦提供用於以下操作之構件：抑制該第一子組中之儲存元件同時程式化該第二子組中之儲存元件，且在該程式化期間基於該第二子組中之該等儲存元件之一進度來更新該第二子組中之該等儲存元件之相關聯資料鎖存器。亦提供用於以下操作之構件：判定該第二子組中之不多於最大數目個儲存元件已不能達到其各別目標資料狀態，以使得將該第二子組中之該等儲存元件之程式化視為已成功完成。亦提供用於以下操作之構件：回應於該第二子組中之該等儲存元件之程式化之成功完成，藉由對該第一子組中之該等儲存元件執行區分該已抹除狀態及該等目標資料狀態之一毗鄰狀態之一讀取操作來判定該第一子組中具有一錯誤之儲存元件之一數目。

在另一實施例中，一種用於程式化一非揮發性儲存系統

中之一組之方法包含：基於寫入資料，組態與該等儲存元件相關聯之資料鎖存器中之資料，該寫入資料識別意欲將該等儲存元件中之至少某些儲存元件程式化至之不同目標資料狀態。該方法進一步包含：執行一程式化操作以將該等儲存元件中之該至少某些儲存元件程式化至該等不同目標資料狀態，且在該程式化操作期間基於該等儲存元件中之該至少某些儲存元件之一進度來更新該等儲存元件中之該至少某些儲存元件之相關聯資料鎖存器。該方法進一步包含：回應於該程式化操作之成功完成，執行將處於該等不同目標資料狀態下之一個目標資料狀態(例如，E狀態)下之儲存元件與處於該不同目標資料狀態中之其他目標資料狀態(例如，A、B及C狀態)下之儲存元件區分開之一讀取操作。該方法進一步包含：藉由判定意欲程式化至該一個目標資料狀態之儲存元件之一數目而自處於該等其他目標資料狀態中之該等儲存元件中判定出錯之儲存元件之一數目。該方法進一步包含：若出錯之儲存元件之數目足夠高，則執行一回復操作以回復該寫入資料。

提供用於執行本文中所提供方法之對應方法、系統及電腦可讀或處理器可讀儲存裝置。

出於圖解說明及闡述之目的，上文已呈現詳細闡述。本文並非意欲窮舉或將本發明限制於所揭示之精確形式。根據上文之教示內容可作出諸多修改及變化。選擇所闡述之實施例旨在最好地闡釋本技術之原理及其實際應用，以藉此使得熟習此項技術者能夠在各種實施例中並藉助適合於

所涵蓋之特定使用之各種修改更好地利用本技術。本技術之範疇意欲由隨附申請專利範圍來界定。

【圖式簡單說明】

圖1係使用單個列/行解碼器及讀取/寫入電路之一非揮發性記憶體系統之一方塊圖。

圖2係繪示圖1中之感測區塊100之一項實施例之一方塊圖。

圖3繪示圖1中之記憶體陣列155中之NAND快閃記憶體單元之區塊。

圖4繪示一實例性臨限電壓分佈及一遍式程式化。

圖5繪示一實例性臨限電壓分佈及兩遍式程式化。

圖6a至圖6c繪示一實例性臨限電壓分佈及使用一中間狀態之兩遍式程式化。

圖7繪示以一往返字線次序針對一組儲存元件之一多遍式程式化操作。

圖8a至圖8f繪示供與圖2中之感測區塊一起使用之在一程式化操作中處於不同點處之實例性資料鎖存器值。

圖9繪示除兩個未使用之資料鎖存器組合外，針對不同資料狀態根據一儲存元件之一快速、慢速或抑制模式的圖8a至圖8f之資料鎖存器值。

圖10繪示圖9中之資料鎖存器值之一修改，以使得該已抹除狀態具有不同於受抑制之A、B及C狀態之一組合。

圖11a繪示對基於圖10中之資料鎖存值及一A狀態讀取操作之結果用以提供一損壞偵測過程中已抹除狀態錯誤及正

被程式化之較高狀態錯誤之一計數之邏輯操作之使用。

圖 11b 繪示對基於圖 10 之資料鎖存器值及一 A 狀態讀取操作之結果用以提供一損壞偵測過程中已抹除狀態錯誤之一計數之邏輯操作之使用。

圖 11c 繪示對基於圖 10 之資料鎖存器值及一資料回復操作中之 C 及 B 狀態讀取操作之結果之邏輯操作之使用。

圖 12a 繪示一實例性程式化及程式化後損壞偵測及回復操作。

圖 12b 繪示圖 12a 中之步驟 1218 之程式化後錯誤偵測及回復操作之進一步細節。

圖 12c 繪示圖 12b 中之步驟 1244 之資料回復操作之進一步細節。

圖 13 繪示一程式化操作及後續資料回復操作中之一選定字線之一實例性波形。

【主要元件符號說明】

100	感測區塊
110	控制電路
112	狀態機
114	晶載位址解碼器
116	功率控制模組
118	線
120	線
130	列解碼器
150	控制器

155	二維記憶體陣列
160	行解碼器
165	讀取/寫入電路
170	感測電路
172	資料匯流排
180	感測區塊
182	位元線鎖存器
190	管理電路
192	處理器
193	輸入線
194	一組資料鎖存器
195	一組資料鎖存器
196	記憶體裝置(資料鎖存器組)(I/O介面)
197	一組資料鎖存器
198	記憶體晶粒
300	區塊
310	區塊
320	共同源極線
400	臨限電壓分佈
402	臨限電壓分佈
404	臨限電壓分佈
406	臨限電壓分佈
600	分佈
602	分佈

604	分佈
606	分佈
608	分佈
610	分佈
612	臨限電壓分佈
702	儲存元件
704	儲存元件
706	儲存元件
712	儲存元件
714	儲存元件
716	儲存元件
1302	程式化脈衝
1304	程式化脈衝
1306	程式化脈衝
1308	程式化脈衝
1310	驗證電壓

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100102514

※ 申請日： 100. 1. 24

※IPC 分類：G11C 29/42 (2006.01)

一、發明名稱：(中文/英文)

G11C 11/56 (2006.01)

基於資料狀態特定損壞之計數的非揮發性記憶體之資料回復

DATA RECOVERY FOR NON-VOLATILE MEMORY BASED ON
COUNT OF DATA STATE-SPECIFIC FAILS

二、中文發明摘要：

本發明揭示一種用於一非揮發性記憶體系統之錯誤偵測及資料回復操作。即使在成功完成對一組儲存元件之一程式化操作之後，仍可能損毀某些儲存元件之資料。舉例而言，已抹除狀態之儲存元件可受其他儲存元件之程式化干擾。為允許此等情況中之資料之回復，相關聯之資料鎖存器可經組態以允許一旦完成程式化即將已抹除狀態之儲存元件與其他資料狀態區分開。此外，在完成程式化之後可執行一單個讀取操作。使用該讀取操作之結果及資料鎖存器中之值來執行邏輯操作以識別已偏離至另一資料狀態之已抹除狀態之儲存元件。若錯誤之數目超過一臨限值，則起始其中針對該等剩餘狀態執行讀取操作之一完全回復操作。

三、英文發明摘要：

An error detection and data recovery operation for a non-volatile memory system. Even after a programming operation for a set of storage elements is successfully completed, the data of some storage elements may be corrupted. For example, erased state storage element may be disturbed by programming of other storage elements. To allow recovery of data in such situations, associated data latches can be configured to allow the erased state storage elements to be distinguished from other data states once programming is completed. Furthermore, a single read operation can be performed after programming is completed. Logical operations are performed using results from the read operation, and values in the data latches, to identify erased state storage elements which have strayed to another data state. If the number of errors exceeds a threshold, a full recovery operation is initiated in which read operations are performed for the remaining states.

七、申請專利範圍：

1. 一種用於程式化一非揮發性儲存系統中之一組儲存元件之方法，該方法包括：

基於寫入資料，組態與該組之一第一子組中欲保持處於一已抹除狀態下之儲存元件相關聯之資料鎖存器中及與該組之一第二子組中欲程式化至各別目標資料狀態之儲存元件相關聯之資料鎖存器中之資料；

抑制該第一子組中之該等儲存元件同時程式化該第二子組中之該等儲存元件，且在該程式化期間基於該第二子組中之該等儲存元件之一進度來更新該第二子組中之該等儲存元件之該等相關聯資料鎖存器；

判定該第二子組中之不多於最大數目個儲存元件已不能達到其各別目標資料狀態，以使得將該第二子組中之該等儲存元件之該程式化視為已成功完成；及

回應於該第二子組中之該等儲存元件之該程式化之該成功完成，藉由對該第一子組中之該等儲存元件執行區分該已抹除狀態及該等目標資料狀態中之一毗鄰狀態之一讀取操作來判定該第一子組中具有一錯誤之儲存元件之一數目。

2. 如請求項1之方法，其中：

若該第一子組中具有一錯誤之儲存元件之數目足夠高，則執行一回復操作以回復該寫入資料，該回復操作對該第二子組中之該等儲存元件執行區分每一目標資料狀態之額外讀取操作。

3. 如請求項2之方法，其中：

欲將該第二子組中之該等儲存元件程式化至至少三個目標資料狀態，其中包含係該毗鄰狀態之一第一目標資料狀態(A)，毗鄰於該第一目標資料狀態之一第二目標資料狀態(B)，及毗鄰於該第二目標資料狀態之一第三目標資料狀態(C)；且

該等額外讀取操作區分該第二及第三目標資料狀態，且然後區分該第一及第二目標資料狀態。

4. 如請求項1之方法，其中：

該第二子組中已成功完成程式化之每一儲存元件具有其相關聯資料鎖存器之一者中之一第一值；

由不同於其相關聯資料鎖存器中之一者中之該第一值之一值識別該第一子組中之每一儲存元件；且

該判定該第一子組中具有該錯誤之儲存元件之數目包括使用該第一子組中之每一儲存元件之該等相關聯資料鎖存器之該一者及該讀取操作之結果來執行一邏輯操作。

5. 如請求項1之方法，其中：

與每一儲存元件相關聯之該等資料鎖存器包含第一、第二及第三資料鎖存器；

該程式化包含針對該等目標資料狀態中之至少一者，對照一偏移驗證位準及一目標驗證位準來驗證該第二子組中該等儲存元件中之至少某些儲存元件；

針對該第二子組中之針對該等目標資料狀態中之該至

少一者對照該偏移驗證位準及該目標驗證位準來驗證之該等儲存元件中之每一者，該第一資料鎖存器指示該儲存元件是否已達到該偏移驗證位準，該第二資料鎖存器提供上部頁資料，且該第三資料鎖存器提供下部頁資料；

針對該第一子組中之該等儲存元件中之每一者，該第一資料鎖存器具有不同於該第二子組中已成功完成程式化之該等儲存元件之該等第一資料鎖存器中之一值之一值；且

該判定該第一子組中具有該錯誤之儲存元件之數目包括使用該第一子組中之該等儲存元件之該等第一資料鎖存器及該讀取操作之結果來執行邏輯操作。

6. 如請求項1之方法，其中：

該判定該第二子組中不多於該最大數目個該等儲存元件已不能達到其各別目標資料狀態包括使用該第二子組中之該等儲存元件中之每一者之該等資料鎖存器來執行邏輯操作。

7. 如請求項1之方法，其中：

該判定該第一子組中具有該錯誤之儲存元件之數目包括判定該第一子組中當處於該等目標資料狀態中之至少一者中時被讀取之該等儲存元件之一數目。

8. 如請求項1之方法，其中：

該判定該第一子組中具有該錯誤之儲存元件之數目包括當該讀取操作將一控制閘極電壓施加至該第一子組中

之每一儲存元件時判定該第一子組中係不導電的之該等儲存元件之一數目，在區分該已抹除狀態與該等目標資料狀態中之一毗鄰狀態之一位準下施加該控制閘極電壓。

9. 如請求項1之方法，其中：

使得該第二子組中之該等儲存元件程式化有至少兩個資料頁。

10. 一種非揮發性儲存系統，其包括：

一組非揮發性儲存元件，其包含該組之一第一子組中欲保持處於一已抹除狀態中之儲存元件，及該組之一第二子組中欲被程式化至各別目標資料狀態之儲存元件；

與每一儲存元件相關聯之資料鎖存器；及

至少一個控制電路，該至少一個控制電路：(a)基於寫入資料，組態與該第一子組中之該等儲存元件相關聯之該等資料鎖存器中及與該第二子組中之該等儲存元件相關聯之該等資料鎖存器中之資料；(b)抑制該第一子組中之該等儲存元件，程式化該第二子組中之該等儲存元件，及當被程式化時基於該第二子組中之該等儲存元件之一進度來更新該第二子組中之該等儲存元件之該等相關聯資料鎖存器；(c)判定該第二子組中之不多於最大數目個該等儲存元件已不能達到其各別目標資料狀態，以使得將該第二子組中之該等儲存元件之該程式化視為已成功完成；及(d)回應於該第二子組中之該等儲存元件之該程式化之該成功完成，藉由對該第一子組中之該等儲

存元件執行區分該已抹除狀態與該等目標資料狀態中之一毗鄰狀態之一讀取操作來判定該第一子組中具有一錯誤之儲存元件之一數目。

11. 如請求項10之非揮發性儲存系統，其中：

若該第一子組中具有一錯誤之該等儲存元件之數目足夠高，則該至少一個控制電路執行一回復操作以回復該寫入資料，該回復操作針對該第二子組中之該等儲存元件執行區分每一目標資料狀態之額外讀取操作。

12. 如請求項10之非揮發性儲存系統，其中：

該第二子組中已成功完成程式化之每一儲存元件具有其相關聯資料鎖存器中之一者中之一第一值；

該第一子組中之該等儲存元件之每一者係由不同於其相關聯資料鎖存器中之一者中之該第一值之一值來識別；且

為識別該第一子組中之該等儲存元件，該至少一個控制電路使用該第一子組中之每一儲存元件之該等相關聯資料鎖存器中之該一者及該讀取操作之結果來執行邏輯操作。

13. 如請求項10之非揮發性儲存系統，其中：

與每一儲存元件相關聯之該等資料鎖存器包含第一、第二及第三資料鎖存器；

為程式化該第二子組中之該等儲存元件，該至少一個控制電路針對該等目標資料狀態中之至少一者對照一偏移驗證位準及一目標驗證位準來驗證該第二子組中之該

等儲存元件中之至少某些儲存元件；

針對該第二子組中之針對該等目標資料狀態中之該至少一者對照該偏移驗證位準及該目標驗證位準來驗證之該等儲存元件中之每一者，該第一資料鎖存器指示該儲存元件是否已達到該偏移驗證位準，該第二資料鎖存器提供上部頁資料，且該第三資料鎖存器提供下部頁資料；

針對該第一子組中之該等儲存元件中之每一者，該第一資料鎖存器具有不同於該第二子組中已成功完成程式化之該等儲存元件之該等第一資料鎖存器中之一值之一值；且

為識別該第一子組中之該等儲存元件，該至少一個控制電路使用第一資料鎖存器執行邏輯操作。

14. 如請求項10之非揮發性儲存系統，其中：

該至少一個控制電路使用該第二子組中之該等儲存元件之每一者之該等資料鎖存器來執行邏輯操作以驗證該第二子組中不多於該最大數目個該等儲存元件已不能達到該等目標資料狀態。

15. 如請求項10之非揮發性儲存系統，其中：

為判定該第一子組中具有該錯誤之該等儲存元件之數目，該至少一個控制電路判定該第一子組中當處於該等目標資料狀態中之至少一者中時被讀取之該等儲存元件之一數目。

16. 一種用於程式化一非揮發性儲存系統中之一組之方法，

該方法包括：

基於寫入資料，組態與該等儲存元件相關聯之資料鎖存器中之資料，該寫入資料識別意欲將該等儲存元件中之至少某些儲存元件程式化至之不同目標資料狀態；

執行一程式化操作以將該等儲存元件中之該等至少某些儲存元件程式化至該等不同目標資料狀態，且在該程式化操作期間基於該等儲存元件中之該等至少某些儲存元件之一進度來更新該等儲存元件中之該等至少某些儲存元件之該等相關聯資料鎖存器；

回應於該程式化操作之成功完成，執行將處於該等不同目標資料狀態中之一個目標資料狀態下之儲存元件與處於該等不同目標資料狀態中之其他目標資料狀態下之儲存元件區分開之一讀取操作；

藉由判定意欲被程式化至該一個目標資料狀態之儲存元件之一數目而自處於該等其他目標資料狀態下之該等儲存元件中判定出錯之儲存元件之一數目；及

若出錯之儲存元件之該數目足夠高，則執行一回復操作以回復該寫入資料。

17. 如請求項16之方法，其中：

該回復操作針對該第二子組中之該等儲存元件執行區分每一目標資料狀態之額外讀取操作。

欲將該等儲存元件中之該等至少某些儲存元件程式化至之該等不同目標資料狀態包括至少三個目標資料狀態。

18. 如請求項16之方法，其中：

已成功完成程式化之每一儲存元件具有其相關聯資料鎖存器中之一者中之第一值；及

意欲被程式化至該一個資料狀態之每一儲存元件係由不同於其相關聯資料鎖存器中之一者中之該第一值之一值來識別，以使得意欲被程式化至該一個目標資料狀態之每一儲存元件可藉由評估該等相關聯之資料鎖存器中之該一者來識別。

19. 如請求項16之方法，其中：

針對該等目標資料狀態中之至少一者對照一偏移驗證位準及一目標驗證位準來驗證該等儲存元件中之至少某些儲存元件；

與每一儲存元件相關聯之該等資料鎖存器包含第一、第二及第三資料鎖存器；

針對該等針對該等目標資料狀態中之該至少一者對照該偏移驗證位準及該目標驗證位準來驗證之儲存元件中之每一者，該第一資料鎖存器指示該儲存元件是否已在該偏移驗證位準下通過一驗證測試，該第二資料鎖存器提供上部頁資料，且該第三資料鎖存器提供下部頁資料；及

針對該等意欲被程式化至該一個資料狀態之儲存元件中之每一者，該第一資料鎖存器具有不同於已成功完成程式化之該等儲存元件之該等第一資料鎖存器中之一值之一值，以使得該等意欲被程式化至該一個資料狀態之

該等儲存元件可使用其第一資料鎖存器來識別。

20. 如請求項16之方法，其中：

當不多於該最大數目個該等儲存元件已不能達到其各別目標資料狀態時發生該程式化操作之該成功完成。

八、圖式：

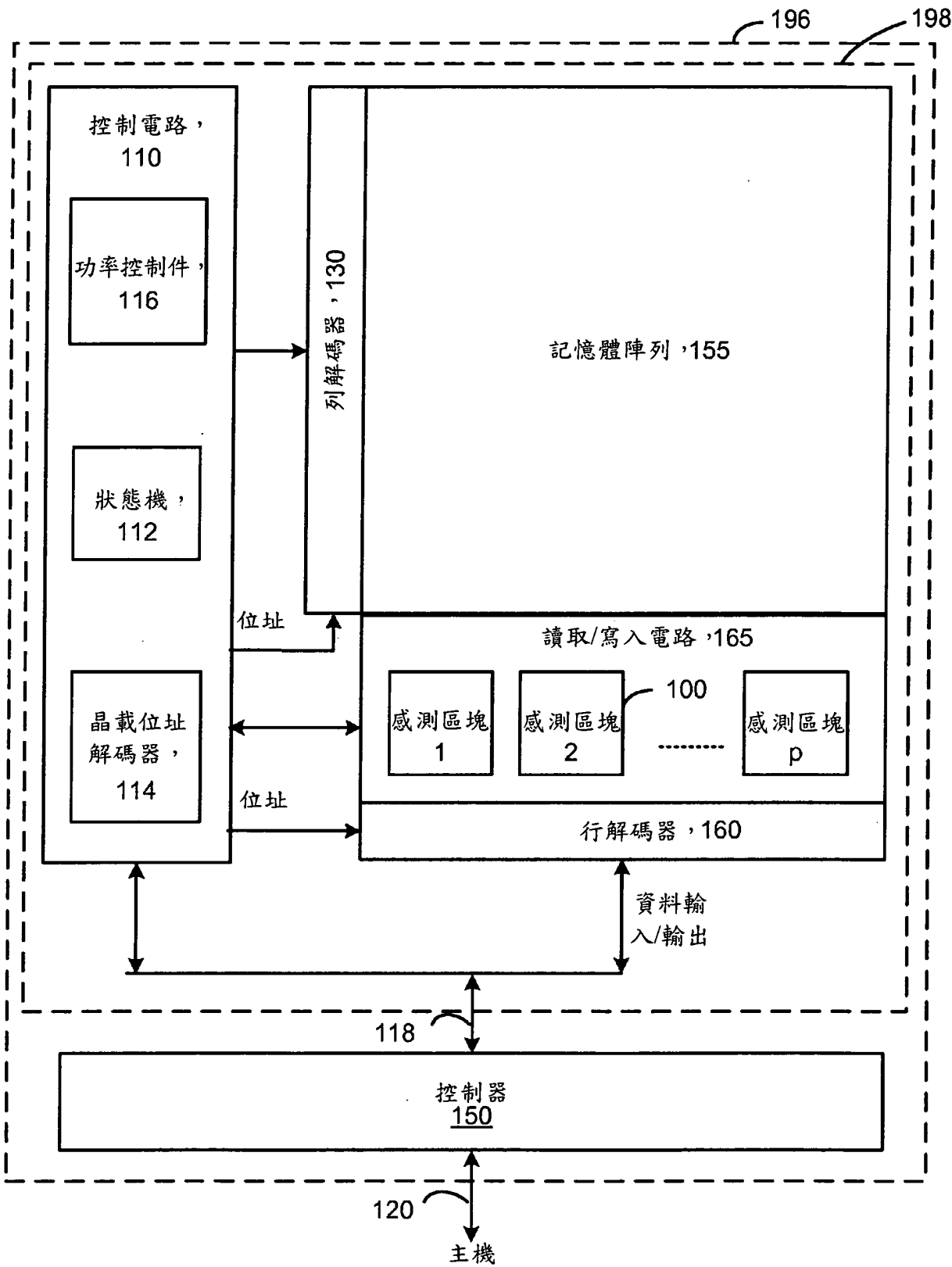


圖 1

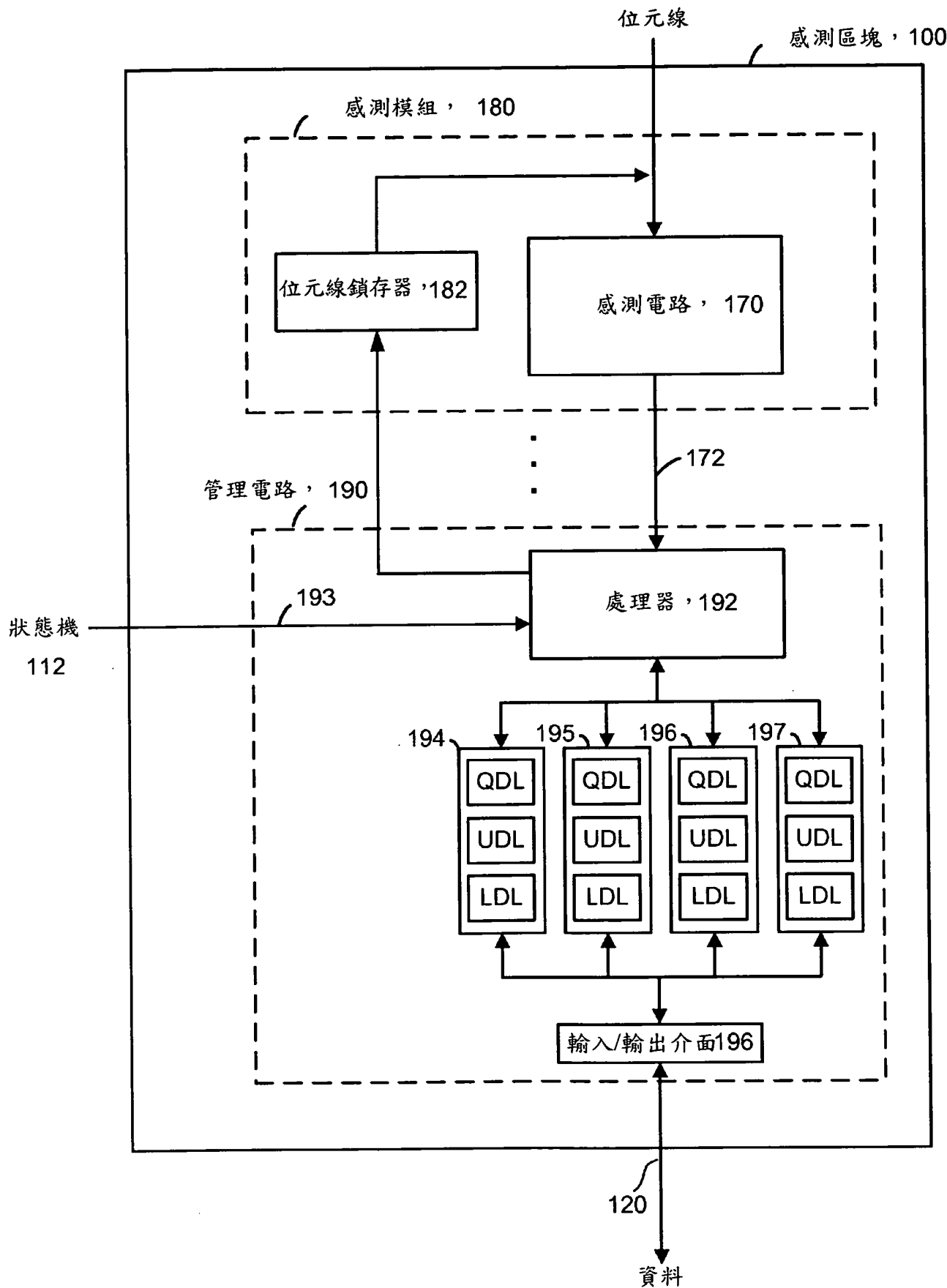


圖 2

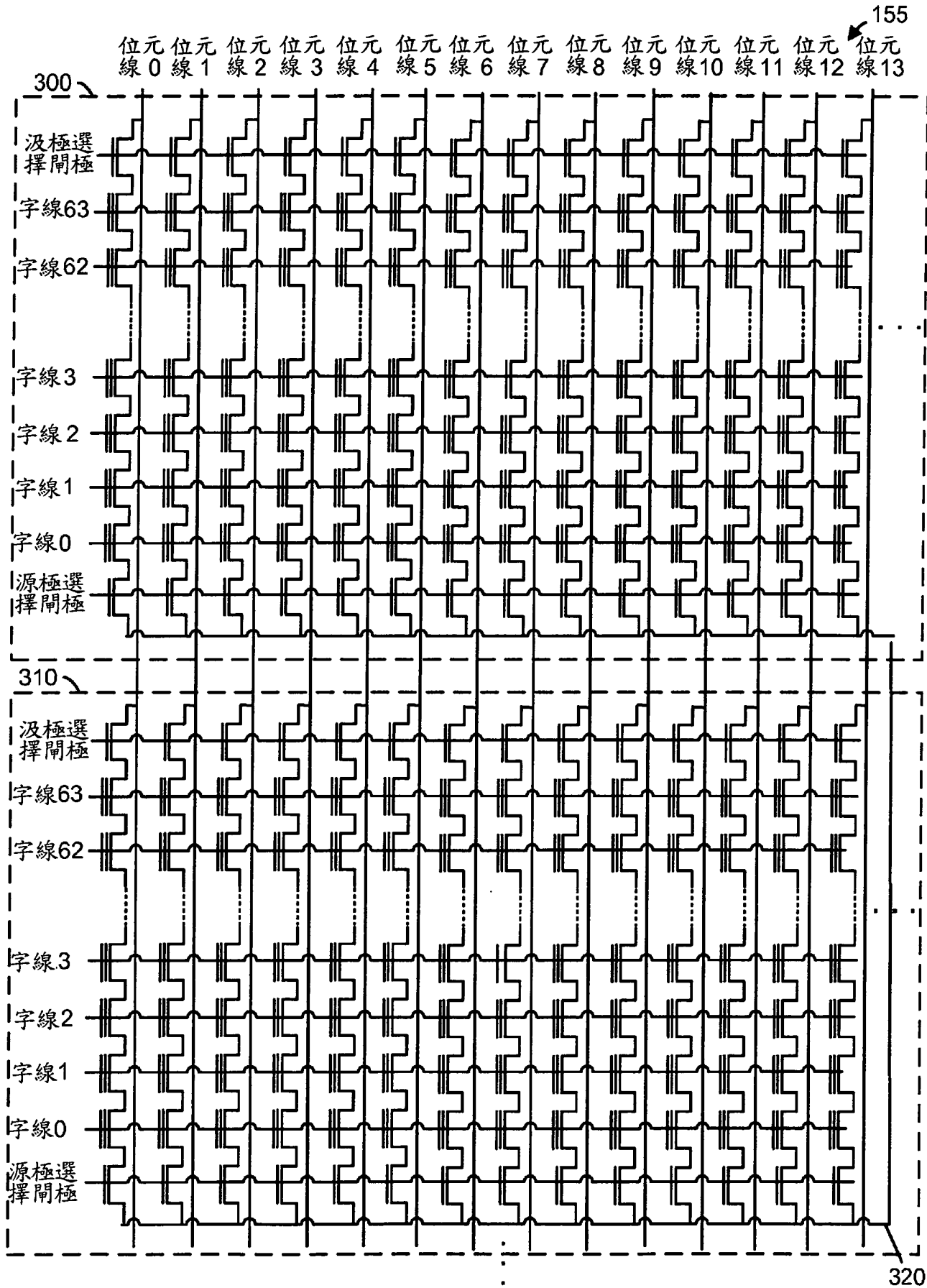


圖 3

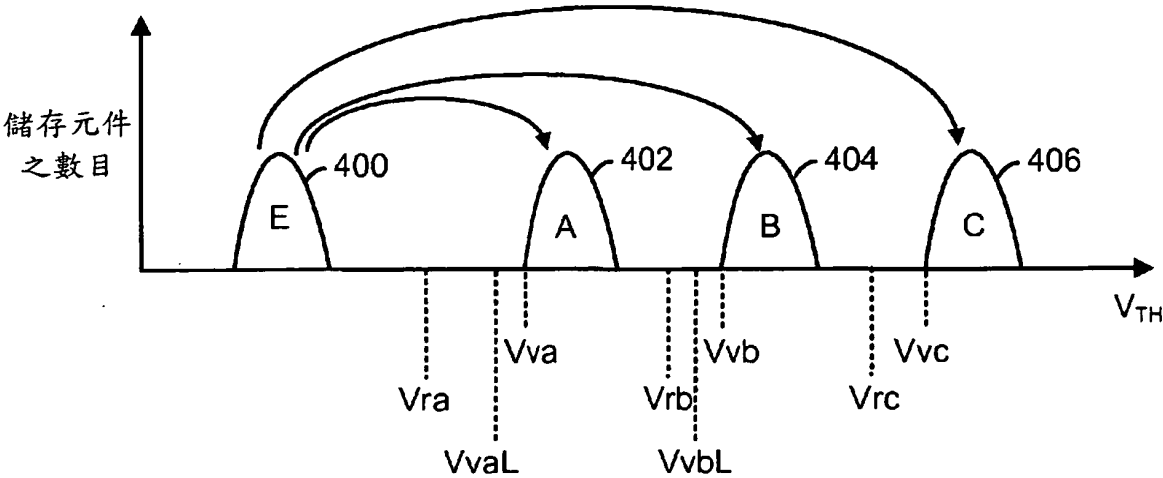


圖 4

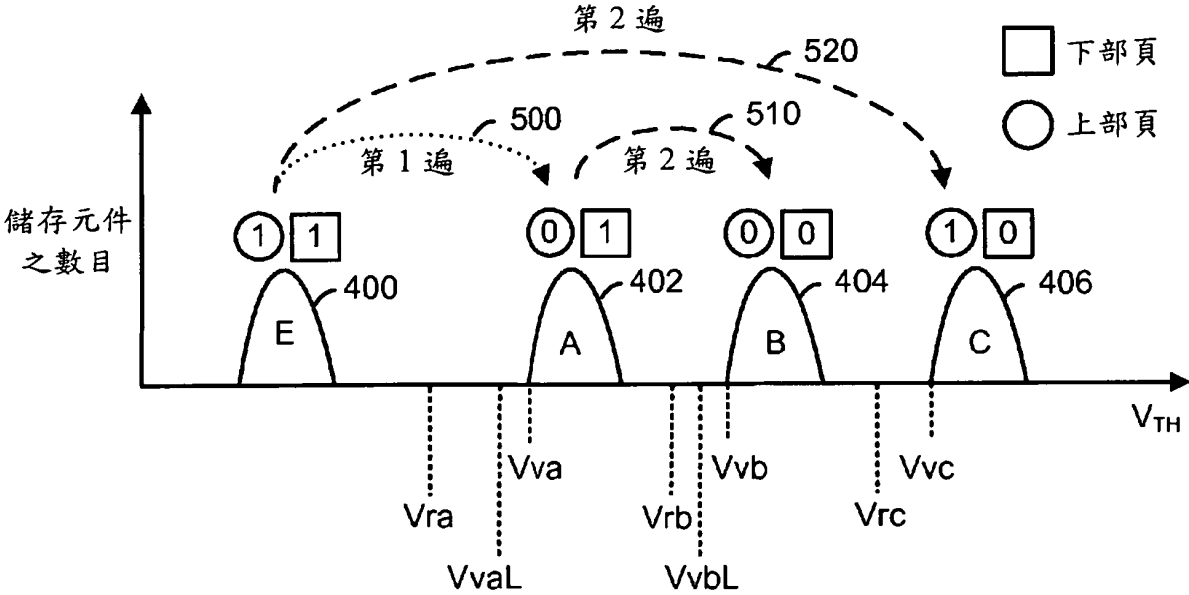


圖 5

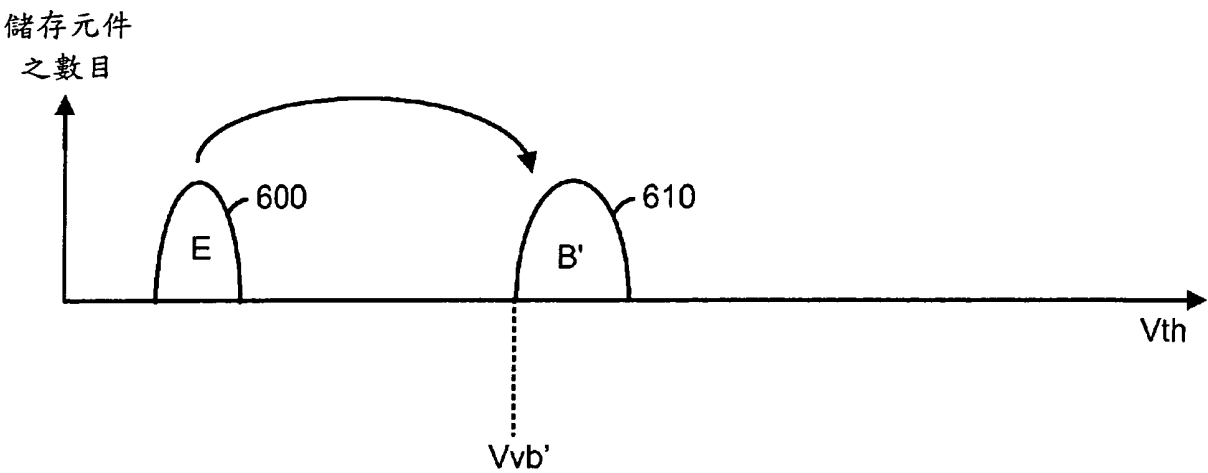


圖 6a

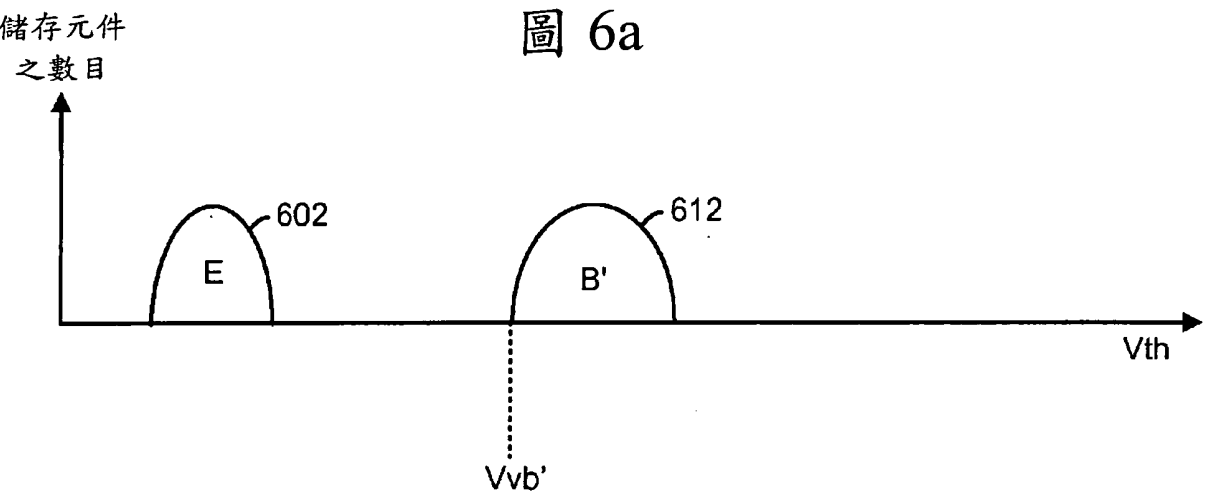


圖 6b

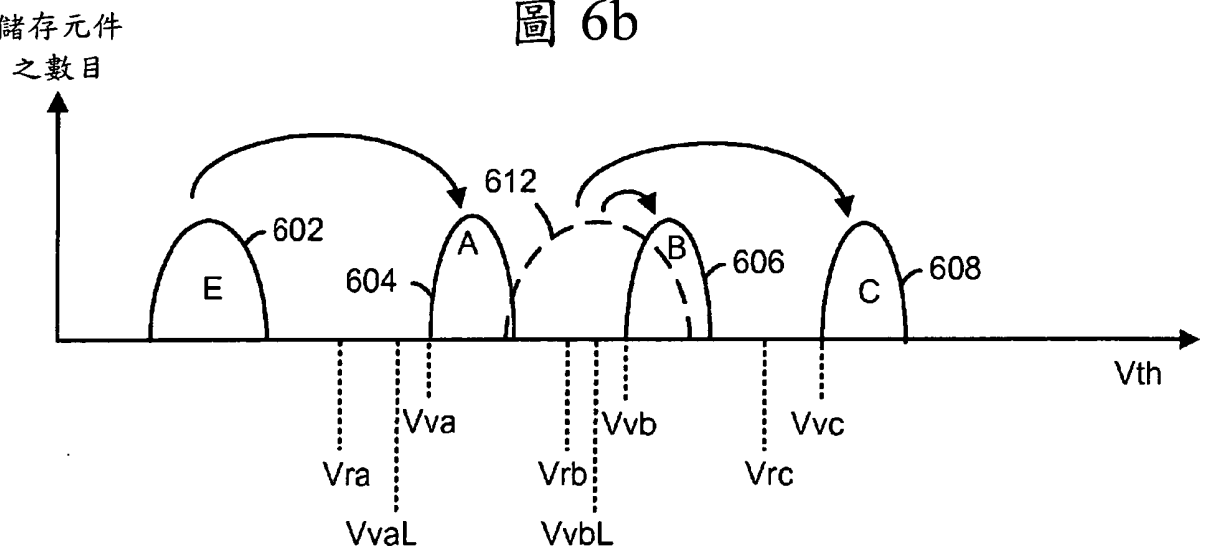


圖 6c

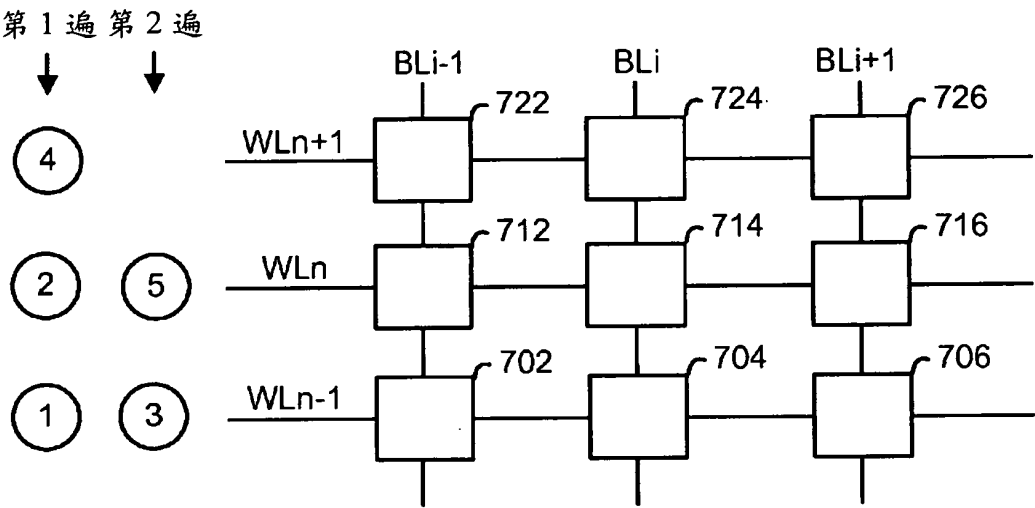


圖 7

	<u>E</u>	<u>A</u>	<u>B</u>	<u>C</u>
QDL	1	0	0	0
UDL	1	0	0	1
LDL	1	1	0	0

圖 8a

	<u>E</u>	<u>A</u>	<u>B</u>	<u>C</u>
QDL	1	$\begin{bmatrix} 1 \end{bmatrix}$	0	0
UDL	1	0	0	1
LDL	1	1	0	0

圖 8b

	<u>E</u>	<u>A</u>	<u>B</u>	<u>C</u>
QDL	1	$\begin{bmatrix} 1 \end{bmatrix}$	0	0
UDL	1	$\begin{bmatrix} 1 \end{bmatrix}$	0	1
LDL	1	1	0	0

圖 8c

	<u>E</u>	<u>A</u>	<u>B</u>	<u>C</u>
QDL	1	1	$\begin{bmatrix} 1 \end{bmatrix}$	0
UDL	1	1	0	1
LDL	1	1	0	0

圖 8d

	<u>E</u>	<u>A</u>	<u>B</u>	<u>C</u>
QDL	1	1	1	0
UDL	1	1	$\begin{bmatrix} 1 \end{bmatrix}$	1
LDL	1	1	$\begin{bmatrix} 1 \end{bmatrix}$	0

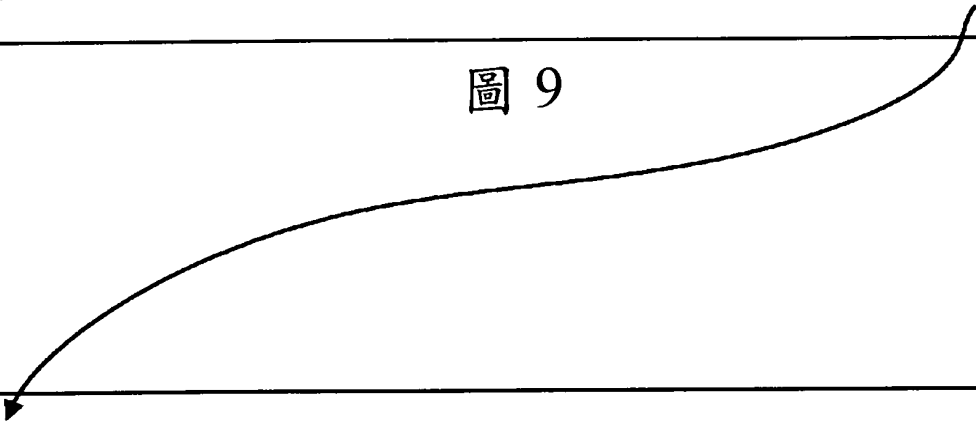
圖 8e

	<u>E</u>	<u>A</u>	<u>B</u>	<u>C</u>
QDL	1	1	1	$\begin{bmatrix} 1 \end{bmatrix}$
UDL	1	1	1	$\begin{bmatrix} 1 \end{bmatrix}$
LDL	1	1	1	$\begin{bmatrix} 1 \end{bmatrix}$

圖 8f

	<u>E</u>	<u>Efail</u>	<u>Afast</u>	<u>Aslow</u>	<u>Ainh</u>	<u>Bfast</u>	<u>Bslow</u>	<u>Binh</u>	<u>Cfast</u>	<u>Cinh</u>	<u>#1</u>	<u>#2</u>
QDL	1	1	0	1	1	0	1	1	0	1	0	1
UDL	1	1	0	0	1	0	0	1	1	1	1	1
LDL	1	1	1	1	1	0	0	1	0	1	1	0

圖 9



	<u>E</u>	<u>Efail</u>	<u>Afast</u>	<u>Aslow</u>	<u>Ainh</u>	<u>Bfast</u>	<u>Bslow</u>	<u>Binh</u>	<u>Cfast</u>	<u>Cinh</u>
QDL	0	0	0	1	1	0	1	1	0	1
UDL	1	1	0	0	1	0	0	1	1	1
LDL	1	1	1	1	1	0	0	1	0	1

圖 10

	<u>E</u>	<u>Efail</u>	<u>Afast</u>	<u>Aslow</u>	<u>Ainh</u>	<u>Bfast</u>	<u>Bslow</u>	<u>Binh</u>	<u>Cfast</u>	<u>Cinh</u>
QDL	0	0	0	1	1	0	1	1	0	1
SA<=read@A	0	1	1	1	1	1	1	1	1	1
SA&~QDL	0	1	1	0	0	1	0	0	1	0

圖 11a

	<u>E</u>	<u>Efail</u>	<u>Afast</u>	<u>Aslow</u>	<u>Ainh</u>	<u>Bfast</u>	<u>Bslow</u>	<u>Binh</u>	<u>Cfast</u>	<u>Cinh</u>
QDL	0	0	0	1	1	0	1	1	0	1
UDL	1	1	0	0	1	0	0	1	1	1
LDL	1	1	1	1	1	0	0	1	0	1
SA<=read@A	0	1	1	1	1	1	1	1	1	1
YBOX	0	1	0	0	0	0	0	0	0	0
YBOX<=SA&~QDL&UDL&LDL										

圖 11b

	<u>E</u>	<u>Efail</u>	<u>Afast</u>	<u>Aslow</u>	<u>Ainh</u>	<u>Bfast</u>	<u>Bslow</u>	<u>Binh</u>	<u>Cfast</u>	<u>Cinh</u>
QDL	0	0	0	1	1	0	1	1	0	1
UDL	1	1	0	0	1	0	0	1	1	1
LDL	1	1	1	1	1	0	0	1	0	1
QDL*	0	0	1	1	1	1	1	1	1	1
SA<=read@C	0	0	0	0	0	0	0	0	X	1
UDL*	0	0	0	0	0	0	0	0	0	1
UDL**	1	1	0	0	0	0	0	0	1	1
SA<=read@B	0	0	0	0	0	X	1	1	1	1
LDL*	1	1	1	1	1	0	0	0	0	0
QDL*<=~(~QDL&UDL&LDL)										
UDL*<=SA (UDL&~LDL)										
UDL**<=UDL ~QDL										
LDL*<=LDL&~SA										

圖 11c

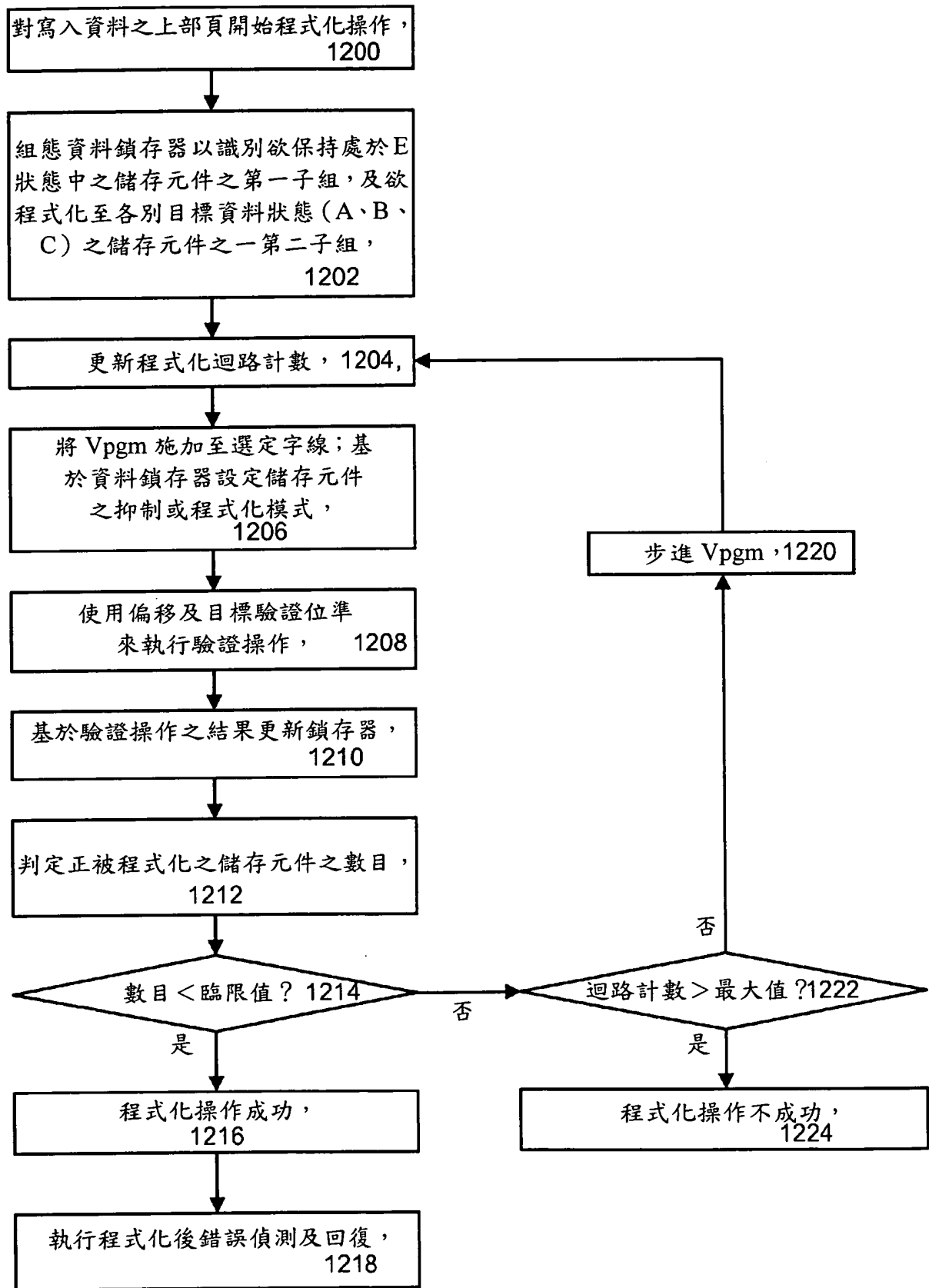


圖 12a

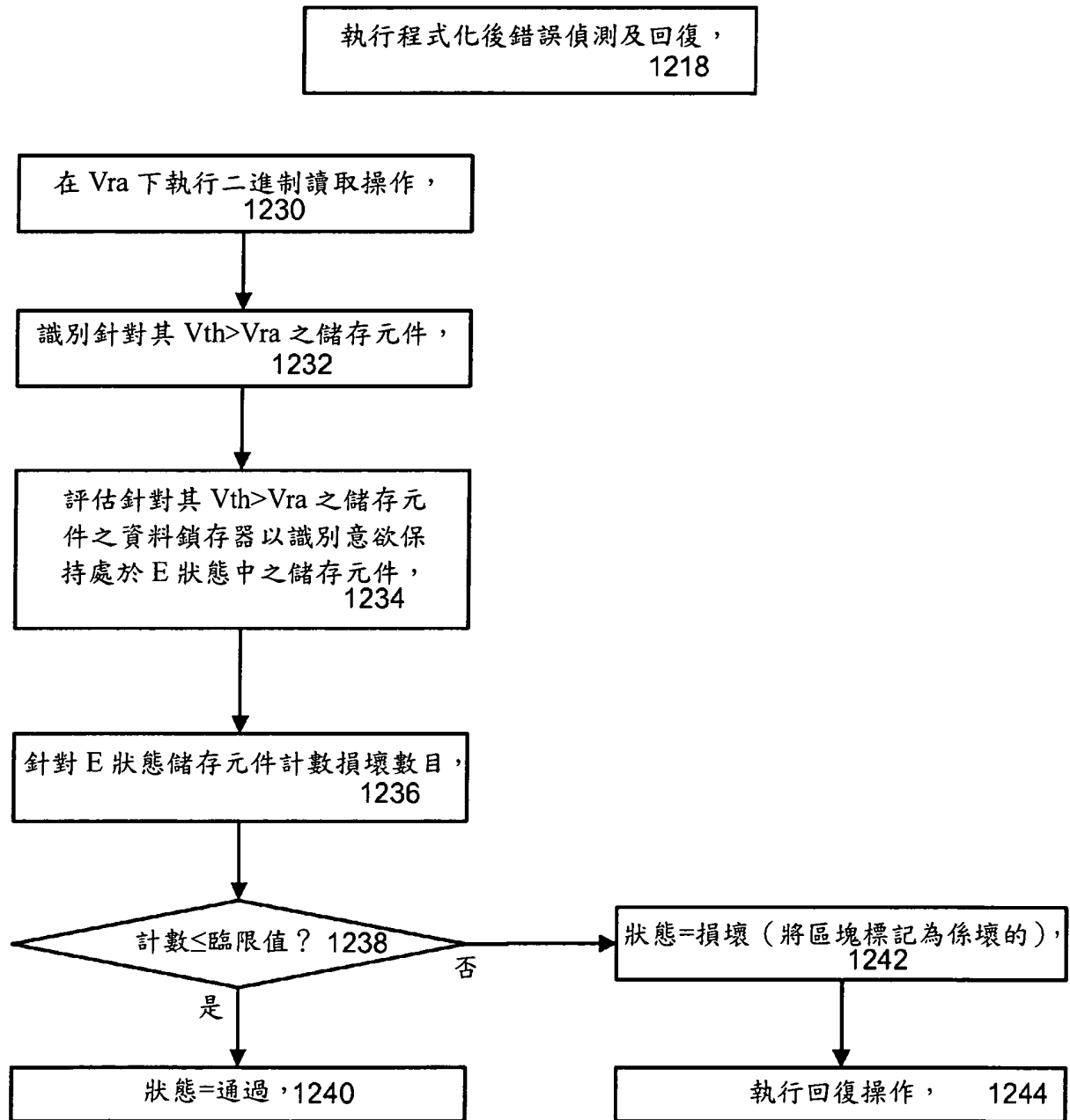


圖 12b

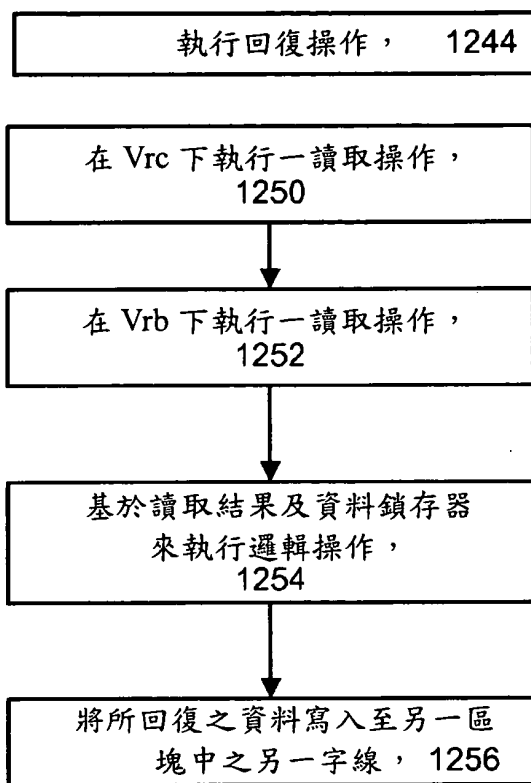


圖 12c

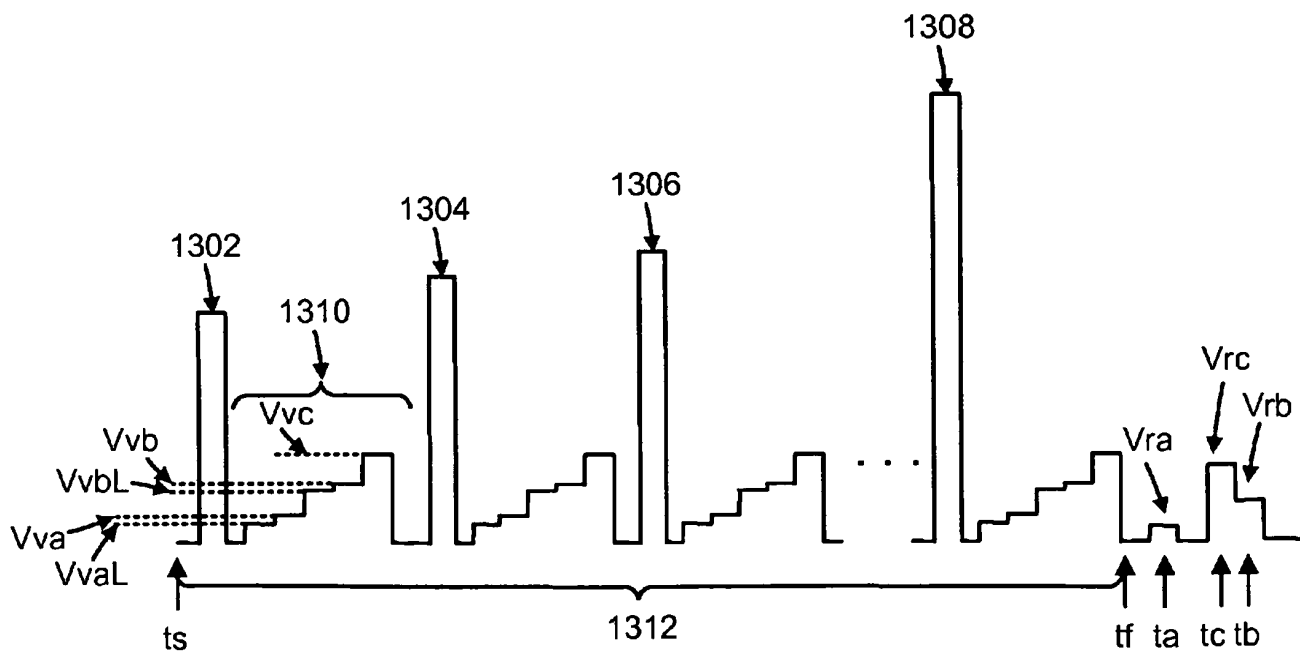


圖 13

四、指定代表圖：

(一)本案指定代表圖為：第 (12a) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)