

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4869504号
(P4869504)

(45) 発行日 平成24年2月8日 (2012.2.8)

(24) 登録日 平成23年11月25日 (2011.11.25)

(51) Int. Cl.

F I

HO 1 L 21/20 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 29/786 (2006.01)

HO 1 L 21/20

HO 1 L 29/78 6 2 7 G

請求項の数 8 (全 66 頁)

(21) 出願番号	特願2001-194326 (P2001-194326)	(73) 特許権者	000153878
(22) 出願日	平成13年6月27日 (2001.6.27)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2002-93705 (P2002-93705A)		神奈川県厚木市長谷398番地
(43) 公開日	平成14年3月29日 (2002.3.29)	(72) 発明者	山崎 舜平
審査請求日	平成20年6月13日 (2008.6.13)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2000-193523 (P2000-193523)		半導体エネルギー研究所内
(32) 優先日	平成12年6月27日 (2000.6.27)	(72) 発明者	三津木 亨
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2000-193612 (P2000-193612)		半導体エネルギー研究所内
(32) 優先日	平成12年6月27日 (2000.6.27)	(72) 発明者	笠原 健司
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	浅見 勇臣
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上にゲルマニウムを 0 . 1 原子% ~ 1 0 原子% で含むシリコンからなる第 1 の非晶質半導体膜を形成し、

前記第 1 の非晶質半導体膜上に、シリコンからなる第 2 の非晶質半導体膜を形成し、結晶化を助長する元素を前記第 1 の非晶質半導体膜または前記第 2 の非晶質半導体膜に導入し、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜を加熱して結晶化し、
前記結晶化を助長する元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au から選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

10

【請求項 2】

絶縁表面上にゲルマニウムを 0 . 1 原子% ~ 1 0 原子% で含むシリコンからなる第 1 の非晶質半導体膜を形成し、

前記第 1 の非晶質半導体膜上に、シリコンからなる第 2 の非晶質半導体膜を形成し、結晶化を助長する元素を前記第 1 の非晶質半導体膜または前記第 2 の非晶質半導体膜に導入し、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜にレーザ光を照射して結晶化し、

前記結晶化を助長する元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、P

20

t、C u、A uから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項 3】

絶縁表面上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にゲルマニウムを 0 . 1 原子% ~ 1 0 原子%で含むシリコンからなる第 1 の非晶質半導体膜を形成し、
前記第 1 の非晶質半導体膜上に、シリコンからなる第 2 の非晶質半導体膜を形成し、
結晶化を助長する元素を前記第 1 の非晶質半導体膜または前記第 2 の非晶質半導体膜に導入し、
前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜を加熱して結晶化し、
前記結晶化を助長する元素は、F e、C o、N i、R u、R h、P d、O s、I r、P t、C u、A uから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

10

【請求項 4】

絶縁表面上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にゲルマニウムを 0 . 1 原子% ~ 1 0 原子%で含むシリコンからなる第 1 の非晶質半導体膜を形成し、
前記第 1 の非晶質半導体膜上に、シリコンからなる第 2 の非晶質半導体膜を形成し、
結晶化を助長する元素を前記第 1 の非晶質半導体膜または前記第 2 の非晶質半導体膜に導入し、
前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜にレーザ光を照射して結晶化し、
前記結晶化を助長する元素は、F e、C o、N i、R u、R h、P d、O s、I r、P t、C u、A uから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

20

【請求項 5】

請求項 2 または請求項 4 において、
前記レーザ光はエキシマレーザであることを特徴とする半導体装置の作製方法。

30

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、
前記第 1 の非晶質半導体膜は前記第 2 の非晶質半導体膜の厚さよりも薄く形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、
前記結晶化後に結晶質半導体膜上にバリア層を形成し、
前記バリア層上に希ガス元素を含む非晶質半導体膜を形成し、
前記結晶質半導体膜及び前記希ガス元素を含む非晶質半導体膜を加熱し、前記結晶化を助長する元素をゲッタリングし、
前記バリア層を除去することを特徴とする半導体装置の作製方法。

40

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、
前記結晶化を助長する元素の導入方法は、スパッタ法、蒸着法、プラズマ処理法、吸着法、または前記元素を含有する塩の溶液を塗布する方法であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は結晶構造を有する半導体膜でチャンネル形成領域を形成した半導体装置に関する。

50

特に、本発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【０００２】

尚、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、半導体集積回路、電気光学装置、及び半導体集積回路や電気光学装置を搭載した電子機器は半導体装置の範疇に含まれるものとする。

【０００３】

【従来の技術】

近年、厚さ数ｎｍから数百ｎｍ程度の結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いて、薄膜トランジスタ（以下、ＴＦＴという）を作製する技術が開発されている。ＴＦＴは液晶表示装置に用いるスイッチング素子として実用化が進み、近年においてはガラス基板上に半導体集積回路を形成することも可能になっている。

【０００４】

ＴＦＴに用いる結晶質半導体膜の材料は、主としてシリコンが用いられている。結晶構造を有するシリコン膜（以下、結晶質シリコン膜という）は、プラズマＣＶＤ法や減圧ＣＶＤ法により、ガラスまたは石英などの基板上に堆積した非晶質シリコン膜を、加熱処理、或いはレーザー光の照射（以下、本明細書中においてレーザー処理という）により結晶化したものが利用されてきた。

【０００５】

例えば、加熱処理による場合には、非晶質シリコン膜を結晶化させるために６００以上の温度で１０時間以上の加熱処理が必要とされている。この処理温度と処理時間は、ＴＦＴの生産性を考慮すると必ずしも適切な方法とは考えられていない。ＴＦＴを用いた応用製品として液晶表示装置を考慮すると、基板の大面积化に対応するために大型の熱処理炉が必要となり、生産工程における消費エネルギーが増大するばかりか、広い面積に渡って一様な結晶を得ることが困難となる。

【０００６】

また、従来の技術により作製された結晶質シリコン膜を用いたＴＦＴは、単結晶シリコン基板を用いたＭＯＳトランジスタの特性と比べ、依然劣っていた。ガラスや石英などの異種材料上に厚さ数ｎｍから数百ｎｍ程度の半導体膜を結晶化させたとしても、複数の結晶粒が集合して成る多結晶構造しか得ることが出来ず、結晶粒中及び結晶粒界に多数存在する欠陥によりキャリアがトラップされ、ＴＦＴの性能を拘束する要因となっていた。

【０００７】

また、ＴＦＴに適用される代表的な結晶質半導体材料はシリコンであり、結晶構造を有するシリコン膜（以下、結晶質シリコン膜という）は、プラズマＣＶＤ法や減圧ＣＶＤ法により、ガラスまたは石英などの基板上に堆積した非晶質シリコン膜を、加熱処理、或いはレーザー光の照射（以下、本明細書中においてレーザー処理という）により結晶化したものが適用されている。しかし、ＴＦＴに必要な半導体膜の厚さは１０～１００ｎｍ程度であり、この程度の膜厚で高品質の結晶質半導体膜をガラスや石英などの異種材料から成る基板上に形成することは困難である。

【０００８】

加熱処理による場合には、非晶質シリコン膜を結晶化させるために６００以上の温度で１０時間以上の加熱処理が必要とされている。この処理温度と処理時間は、ＴＦＴの生産性を考慮すると必ずしも適切な方法とはならない。ＴＦＴを用いた応用製品として液晶表示装置を考慮すれば、基板の大面积化に対応するために大型の熱処理炉が必要となり、生産工程における消費エネルギーが増大するばかりか、広い面積に渡って一様な結晶を得ることが困難となる。また、レーザー処理による場合には、レーザー発振器の出力の不安定さのために、やはり均質な結晶を得ることが困難である。このような結晶の品質のばらつきはＴＦＴの特性ばらつきの原因となっている。

【０００９】

結晶質シリコン膜を形成する他の手法として、非晶質シリコン膜にシリコンの結晶化を助長する元素を導入し、従来よりも低い温度の加熱処理で結晶質シリコン膜を作製する技術が開示されている。例えば、特開平 7 - 1 3 0 6 5 2 号公報、特開平 8 - 7 8 3 2 9 号公報では、非晶質シリコン膜にニッケルなどの金属元素を導入し、550、4 時間の熱処理により結晶質シリコン膜を得ることができる。

【0010】

【発明が解決しようとする課題】

上記従来の方法で作製される結晶質シリコン膜は、結晶化の際、基板や下地絶縁膜の影響を受けるため、複数の結晶粒が析出し、{ 1 1 1 } に配向する傾向があるものの、その面方位に配向する割合は低かった。

10

【0011】

本発明はこのような問題点を解決する手段を提供することを目的とし、非晶質半導体膜を結晶化して得られる結晶質半導体膜の特性を高め、そのような結晶質半導体膜を活性層に用いた T F T を提供することを第 1 の目的とする。

【0012】

また、ガラスまたは石英などの基板上の非晶質半導体膜を上記方法（特開平 7 - 1 3 0 6 5 2 号公報、特開平 8 - 7 8 3 2 9 号公報）により結晶化させると、通常は多結晶構造が得られる。非晶質半導体膜の結晶化は、非晶質半導体膜と基板との界面に自然に発生する結晶核が基になり結晶化が進むと考えられている。多結晶構造における個々の結晶粒は任意な結晶面が析出してしまいが、下地にある酸化シリコンとの界面エネルギーが最小となる（1 1 1）面の結晶が析出する確率的に最も多くなっている。

20

【0013】

また、シリコンの結晶化を助長する元素を非晶質シリコン膜に導入して結晶化を行う場合には、自然核が発生するより低い温度で導入した元素のシリサイド化物が形成され、当該シリサイドを基にした結晶成長が起こっている。例えば、形成される NiSi_2 は特定の配向性を持たないが、非晶質半導体膜の厚さを 20 ~ 100 nm とすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、 NiSi_2 と結晶シリコンの（1 1 1）面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は（1 1 0）面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも（1 1 0）面が配向するとは限らないため、その他の格子面も析出し、全体として（1 1 0）面に配向する割合はやはり 20 % に満たなかった。

30

【0014】

配向率が低い場合、異なる方位の結晶がぶつかる結晶粒界で、格子の連続性を保持することが殆ど不可能となり、不對結合手が多く形成されることが容易に推定される。粒界にできる不對結合手は再結合中心または捕獲中心となり、キャリア（電子・ホール）の輸送特性を低下させている。その結果、キャリアが再結合で消滅したり欠陥にトラップされたりするため、このような結晶質半導体膜を用いて T F T を作製しても高い電界効果移動度を有する T F T を期待することができない。

40

【0015】

また、結晶粒の位置を意図的に制御することは殆ど不可能であり、結晶粒界はランダムに存在するため、T F T のチャネル形成領域を特定の結晶方位をもつ結晶粒で形成することができない。このことは、T F T の電気的特性がばらつく要因として非常に憂慮されている。

【0016】

本発明はこのような問題点を解決する手段を提供することを目的とし、非晶質半導体膜を結晶化して得られる結晶質半導体膜の配向率を高め、そのような結晶質半導体膜を用いた T F T を提供することを第 2 の目的とする。

【0017】

50

【課題を解決するための手段】

上記第1の目的を達成するため、本明細書で開示する発明の構成は、絶縁表面上に半導体層を有する半導体装置であって、前記半導体層は、ゲルマニウムを含む第1の結晶質半導体層15と、前記第1の結晶質半導体層に接する第2の結晶質半導体層16とを有することを特徴とする半導体装置である。

【0018】

また、上記構成において、前記第1の結晶質半導体層15は、ゲルマニウムを0.1原子%～10原子%未満、さらに好ましくは1～5原子%の範囲で含むことを特徴としている。また、上記構成において、前記第2の結晶質半導体層16は、シリコンを主成分とすることを特徴としている。また、結晶質半導体層15、16中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満である。

10

【0019】

また、上記構成において、前記第1の結晶質半導体層15および前記第2の結晶質半導体層16は、レーザー光により結晶化されたことを特徴としている。

【0020】

また、上記構成を実現するための発明の構成は、図1に示すように、絶縁表面上にゲルマニウムを含む第1の非晶質半導体膜11を形成する第1の工程と、前記第1の非晶質半導体膜11上に接する第2の非晶質半導体膜12を形成する第2の工程と、前記第1の非晶質半導体膜及び前記第2の非晶質半導体膜12にレーザー光を照射して結晶化させる第3の工程と、を有することを特徴とする半導体装置の作製方法である。

20

【0021】

また、他の発明の構成は、図6に示すように、絶縁表面上の電極（ゲート電極401、402）を覆う絶縁膜403a、403bを形成する第1の工程と、前記絶縁膜上にゲルマニウムを含む第1の非晶質半導体膜を形成する第2の工程と、前記第1の非晶質半導体膜上に接する第2の非晶質半導体膜を形成する第3の工程と、前記第1の非晶質半導体膜及び前記第2の非晶質半導体膜にレーザー光を照射して結晶化させる第4の工程と、を有することを特徴とする半導体装置の作製方法である。

30

【0022】

また、上記構成において、前記第1の非晶質半導体膜は、0.1原子%～10原子%未満、さらに好ましくは1～5原子%の範囲でゲルマニウムを含むことを特徴としている。また、上記構成において、前記第2の非晶質半導体膜は、シリコンを主成分とすることを特徴としている。また、非晶質半導体膜11、12中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満である。

【0023】

また、上記第2の目的を達成するため、本発明の構成は、結晶構造を有する半導体層でチャネル形成領域を形成した半導体装置において、半導体層は、シリコンを主成分としゲルマニウムを含有する第1の半導体膜と、シリコンを主成分とする第2の半導体膜とから成り、第1の半導体膜及び第2の半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

40

【0024】

また、他の発明の構成は、結晶構造を有する半導体層でチャネル形成領域を形成した半導体装置において、半導体層は、シリコンを主成分とし、該シリコンよりも原子半径の大きな元素を含有する第1の半導体膜と、シリコンを主成分とする第2の半導体膜とから成り、第1の半導体膜及び第2の半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

50

【 0 0 2 5 】

また、他の発明の構成は、絶縁表面上に、シリコンを主成分としゲルマニウムを含有する第1の非晶質半導体膜を形成する第1の工程と、第1の半導体膜上に、シリコンを主成分とする第2の非晶質半導体膜を形成する第2の工程と、第1の非晶質半導体膜または第2の非晶質半導体膜にシリコンの結晶化を助長する元素を添加する第3の工程と、第1の非晶質半導体膜及び第2の非晶質半導体膜とを加熱処理により結晶化させ、第1の結晶質半導体膜と第2の結晶質半導体膜を形成する第4の工程とを有することを特徴としている。

【 0 0 2 6 】

絶縁表面上に、シリコンを主成分とし、該シリコンよりも原子半径の大きな元素を含有する第1の非晶質半導体膜を形成する第1の工程と、第1の半導体膜上に、シリコンを主成分とする第2の非晶質半導体膜を形成する第2の工程と、第1の非晶質半導体膜または第2の非晶質半導体膜にシリコンの結晶化を助長する元素を添加する第3の工程と、第1の非晶質半導体膜及び第2の非晶質半導体膜とを加熱処理により結晶化させ、第1の結晶質半導体膜と第2の結晶質半導体膜を形成する第4の工程とを有することを特徴としている。

10

【 0 0 2 7 】

結晶方位の分布は反射電子回折パターン (E B S P : Electron Backscatter diffraction Pattern) により求めることができる。E B S P は走査型電子顕微鏡 (S E M : Scanning Electron Microscopy) に専用の検出器を設け、一次電子の後方散乱から結晶方位を分析する手法である (以下、この手法を便宜上 E B S P 法と呼ぶ)。E P S P を用いた結晶半導体膜の評価は、"Microtexture Analysis of Location Controlled Large Si Grain Formed by Excimer-Laser Crystallization Method: R. Ishihara and P. F. A. Alkemade, AMLCD'99 Digest of Technical Papers 1999 Tokyo Japan, pp99-102" に紹介されている。

20

【 0 0 2 8 】

この測定方法は、結晶構造を持った試料に電子線が入射すると、後方にも非弾性散乱が起こり、その中には試料中でブラッグ回折による結晶方位に特有の線状パターン (一般に菊地像と呼ばれる) も合わせて観察される。E B S P 法は検出器スクリーンに映った菊地像を解析することにより試料の結晶方位を求めている。試料の電子線の当たる位置を移動させつつ方位解析を繰り返す (マッピング測定) ことで、面状の試料について結晶方位または配向の情報を得ることができる。入射電子線の太さは、走査型電子顕微鏡の電子銃のタイプにより異なるが、ショットキー電界放射型の場合、10 ~ 20 nm の非常に細い電子線が照射される。マッピング測定では、測定点数が多いほど、また測定領域が広いほど、結晶配向のより平均化した情報を得ることができる。実際には、100 × 100 μm² の領域で、10000 点 (1 μm 間隔) ~ 40000 点 (0.5 μm 間隔) の程度の測定を行っている。

30

【 0 0 2 9 】

マッピング測定により各結晶粒の結晶方位がすべて求まると、膜に対する結晶配向の状態を統計的に表示できる。図42 (A) に E B S P 法により求められる逆極点図の例を示す。逆極点図は多結晶体の優先配向を表示する際によく用いられるもので、試料のある特定の面 (ここでは膜表面) が、どの格子面に一致しているかを集合的に表示したものである。

40

【 0 0 3 0 】

図42 (A) の扇形状の枠は一般に標準三角形と呼ばれるもので、この中に立方晶系における全ての指数が含まれている。またこの図中における長さは、結晶方位における角度に対応している。たとえば { 0 0 1 } と { 1 0 1 } の間は45度、{ 1 0 1 } と { 1 1 1 } の間は35.26度、{ 1 1 1 } と { 0 0 1 } の間は54.74度である。また、白抜きの点線は { 1 0 1 } からのずれ角5度及び10度の範囲を示している。

【 0 0 3 1 】

図42 (A) は、マッピングにおける全測定点 (この例では11655点) を標準三角形内にプロットしたものである。{ 1 0 1 } 付近で点の密度が濃くなっていることがわかる。

50

図 4 2 (B) は、このような点の集中度を等高線表示したものである。ここで数値は各結晶粒が完全に無秩序な配向だと仮定した場合、すなわち標準三角形内に点を偏りなく分布させた場合に対する倍率を示しており無次元数である。

【 0 0 3 2 】

このように特定の指数（ここでは { 1 0 1 } ）に優先配向している事がわかった場合、その指数近傍にどの程度の結晶粒が集まっているか、その割合を数値化することで、優先配向の度合いをよりイメージしやすくなる。例えば図 4 2 (A) に例示した逆極点図において { 1 0 1 } からのずれ角 5 度及び 1 0 度の範囲（図中に白点線で示す）に存在する点数の全体に対する割合を配向率として次式により求めて示すことができる。

【 0 0 3 3 】

【 数 1 】

$$\text{配向比率} = \frac{\text{{101} 格子面と膜表面がなす角が許容値以内の測定点の数}}{\text{測定点の全数}}$$

【 0 0 3 4 】

この割合は、次のように説明することもできる。図 4 2 (A) のように { 1 0 1 } 付近に分布が集中している場合、実際の膜においては各結晶粒の < 1 0 1 > 方位は基板に概略垂直であるが、その周りにやや揺らぎを持って並んでいることが予想される。この揺らぎの角に許容値を 5 度、1 0 度と設け、それより小さいものの割合を数値で示してゆく。以上

【 0 0 3 5 】

【 発明の実施の形態 】

本発明の実施形態 1 について、以下に説明する。

【 0 0 3 6 】

（実施形態 1）

まず、絶縁表面を有する基板 1 0 上に、シリコンを主成分としゲルマニウムを含む第 1 の非晶質半導体膜（ゲルマニウムを含むシリコン膜とも呼ぶ）1 1 と、シリコンを主成分とする第 2 の非晶質半導体膜（シリコン膜とも呼ぶ）1 2 を積層形成する。（図 1 (A) ）

【 0 0 3 7 】

絶縁表面を有する基板 1 0 としては、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどで代表されるガラス基板や石英基板やサファイア基板を用いることができる。あるいはシリコン、ゲルマニウム、ガリウム・砒素などの半導体基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 0 3 8 】

第 1 の非晶質半導体膜 1 1 の材料に限定はないが、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）、好ましくは、シリコンを主成分としゲルマニウムを 0 . 1 原子 % ~ 1 0 原子 % 未満、さらに好ましくは 1 ~ 5 原子 % の範囲で含有している非晶質半導体膜（ゲルマニウムを含む非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【 0 0 3 9 】

第 1 の非晶質半導体膜 1 1 の成膜方法は、特に限定されず、プラズマ C V D 法や減圧 C V D 法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマ C V D 法や減圧 C V D 法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【 0 0 4 0 】

10

20

30

40

50

プラズマCVD法を用いる場合には、 SiH_4 と GeH_4 とから成る反応ガス、或いは、 SiH_4 と H_2 で希釈した GeH_4 成る反応ガスを加えて反応室に導入し、1~200MHzの高周波放電により分解し基板上に第1の非晶質半導体膜を堆積させる。反応ガスは、 SiH_4 の代わりに Si_2H_6 または SiF_4 を、 GeH_4 の代わりに GeF_4 を採用しても良い。減圧CVD法を用いる場合にも同様な反応ガスを適用することが可能であり、好ましくは He で反応ガスを希釈して、400~500の温度で基板上に第1の非晶質半導体膜を堆積する。なお、第1の非晶質半導体膜11中におけるゲルマニウムの含有量は、反応ガスの混合比により適宜調節することができる。

【0041】

図17は第1の非晶質半導体膜及び第2の非晶質半導体膜を形成するために用いるプラズマCVD装置の構成の一例を説明する図である。プラズマCVD装置は反応室1001に高周波電源1005が接続する陰極(カソード)1002、陽極(アノード)1003が設けられた平行平板型である。陰極1002はシャワー板となっていて、ガス供給手段1006からの反応ガスは、このシャワー板を通して反応室中に供給される。陽極1003にはシーズヒーターなどによる加熱手段が設けられ、基板1015が設置されている。ガス供給系の詳細は割愛するが、 SiH_4 や GeH_4 などが充填されたシリンダー1014、ガスの流量を制御するマスフローコントローラー1012、ストップバルブ1013などから構成されている。排気手段1007は、ゲートバルブ1008、自動圧力制御弁1009、ターボ分子ポンプ(または複合分子ポンプ)1010、ドライポンプ1007から成っている。ターボ分子ポンプ(または複合分子ポンプ)1010、ドライポンプ1007は潤滑油を使用しないもので、油の拡散による反応室内の汚染を完全に無くしている。排気速度は、反応室の容積13Lの反応室に対し、一段目に排気速度300L/秒のターボ分子ポンプ、二段目に排気速度40m³/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【0042】

このような装置で作製される非晶質半導体膜に含まれる窒素、炭素、酸素のそれぞれの含有量は二次イオン質量分析法(SIMS)によって測定した場合、いずれの成膜条件においても窒素、炭素の含有量は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の含有量は $1 \times 10^{19} / \text{cm}^3$ 未満である。

【0043】

第2の非晶質半導体膜12は、シリコンを主成分とする非晶質半導体膜(非晶質シリコン膜)を用いる。また、第1の非晶質半導体膜と同様に、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0044】

第2の非晶質半導体膜12の成膜方法は、プラズマCVD法や減圧CVD法やスパッタ法、あるいはその他適宜の方法を用いればよい。

【0045】

また、第2の非晶質半導体膜の膜厚は、第1の非晶質半導体膜の半分以下の膜厚とすることが好ましく、第1の非晶質半導体膜と第2の非晶質半導体膜との積層膜の総膜厚を20~100nm(好ましくは30~60nm)とすることが望ましい。

【0046】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜11と第2の非晶質半導体膜12とを連続的に成膜することが好ましい。

【0047】

また、基板から半導体膜への不純物の汚染を防ぐため、第1の非晶質半導体膜を形成する前に基板上に下地絶縁膜を形成してもよい。下地絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜から選ばれた単層膜、またはそれらを2層以上積層させた積層膜を用いることができる。また、汚染を防ぐために大気に触れることなく、下

10

20

30

40

50

地絶縁膜と第1の非晶質半導体膜11と第2の非晶質半導体膜12とを連続的に成膜することが好ましい。

【0048】

次いで、レーザー処理を行い、第1の非晶質半導体膜11及び第2の非晶質半導体膜12を結晶化させて、第1の結晶質半導体膜13及び第2の結晶質半導体膜14を形成する。
(図1(B))

【0049】

レーザー処理は、波長400nm以下のエキシマレーザーや、YAGレーザーまたはYVO₄レーザーの第2高調波(波長532nm)~第4高調波(波長266nm)を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を100~700mJ/cm²として照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。また、図1(B)では表面側からのみ照射した例を示しているが、両面から照射してもよい。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。また、レーザー処理の後、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどの光を照射してもよい。

【0050】

なお、このレーザー処理を行う前に第1の非晶質半導体膜11及び第2の非晶質半導体膜が含有する水素を放出させておくことが好ましく、400~500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてからレーザー照射させて結晶化させると膜表面の荒れを防ぐことができるので良い。

【0051】

上記レーザー処理によって、結晶成長が生じて良好な膜質を有する結晶質半導体膜が得られる。

【0052】

次いで、第1の結晶質半導体膜13と第2の結晶質半導体膜14との積層膜に公知のパターニング処理を行い、所望の形状の半導体層(第1の結晶質半導体層15と第2の結晶質半導体層16との積層構造を有する)を形成する。

【0053】

以上の工程により積層構造を有する半導体層が得られる。

【0054】

こうして得られた積層構造を有する半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0055】

上記レーザー処理において、結晶成長が生じるメカニズムは、現段階で必ずしも明らかではないが、概略以下のように推測することができる。

【0056】

レーザー処理する半導体膜(シリコン膜)が単層であった場合、レーザー光の照射後の固相化過程において、熔融した液相シリコンの熱は基板に拡散するため、液相シリコンは基板との界面から冷却されて、固相化が進み結晶化する。従って、膜面に対して垂直方向に結晶成長が生じる。また、こうして結晶化した半導体膜は、基板上に形成された下地絶縁膜(SiO₂)の影響を受け、エネルギー的に安定しやすい[111]に配向する傾向が強かった。

【0057】

これに対して、レーザー処理する半導体膜が本発明のような積層(ゲルマニウムを含むシリコン膜とシリコン膜との積層)であった場合、ゲルマニウムの融点は937℃であり、シリコンの融点である1415℃より低いことからわかるように、第1の非晶質半導体膜(ゲルマニウムを含むシリコン膜)と第2の非晶質半導体膜(シリコン膜)とでは、固相化が始まる温度が若干異なり、シリコン膜のほうが高い温度で固相化が始まる。従って、シリコン膜が一部固相化し始めても、しばらくゲルマニウムを含むシリコン膜は熔融した

液相である状態が続く。こうして結晶化した半導体膜は、基板上に形成された下地絶縁膜 (SiO_2) の影響を受けない。また、レーザー光の照射後の固相化過程において、溶融した液相シリコンは、溶融した液相状態のゲルマニウムを含むシリコン膜との界面付近で過冷却になりやすいと考えられる。

【0058】

また、図19で示したように、非晶質半導体膜のパターニング後にレーザー処理を行って端部から結晶核を発生させて横方向（ラテラル方向）に結晶成長させてもよい。

【0059】

また、図20で示したように、パターニングした絶縁層を利用してレーザー光強度を空間的に変調させて適度な温度勾配を形成し、ラテラル方向に結晶成長させてもよい。

10

【0060】

上記実施の形態における非晶質半導体膜としては、非晶質半導体膜、微結晶半導体膜、または非晶質構造を含む化合物半導体膜を用いることが可能である。

【0061】

（実施形態2）

本発明で得られる{101}面の配向率が高い結晶質半導体膜は、シリコンを主成分とすることに特徴を有している。このような結晶質半導体膜の典型的な一実施形態は、シリコンを主成分とし、ゲルマニウムを含む第1の結晶質半導体膜と、シリコンを主成分とする第2の結晶質半導体膜とから成っている。第1の結晶質半導体膜及び第2の結晶質半導体膜はいずれも非晶質半導体膜を絶縁表面上にプラズマCVD法または減圧CVD法などで形成し、その後シリコンの結晶化を助長する元素を添加して結晶化させることにより得られるものである。

20

【0062】

このような結晶質半導体膜を形成するための基板は、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラス基板や石英基板が適している。その他に、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成しこれを基板とすることも可能である。

【0063】

上記ガラス基板を用いる場合には、非晶質半導体膜とガラス基板との間に窒化シリコン、酸化シリコン、または酸化窒化シリコンなどでブロッキング層を形成する。こうして、ガラス基板中に含まれるアルカリ金属元素などの不純物元素が半導体膜中に拡散することを防ぐ。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2 を反応ガスとして用い、窒化シリコン膜を形成する。または、 SiH_4 、 N_2O 、 NH_3 を反応ガスとして用い、酸化窒化シリコン膜を形成する。ブロッキング層の厚さは20～200nmで形成する。

30

【0064】

このような絶縁体の表面上に形成する非晶質半導体膜は、シリコンを主成分とし、ゲルマニウムを含む第1の非晶質半導体膜と、シリコンを主成分とする第2の非晶質半導体膜とを積層させた構造となっている。第1の非晶質半導体膜は、シリコンを主成分としゲルマニウムを0.1原子%以上、75原子%未満の範囲で含有する非晶質半導体膜を用いる。ゲルマニウムの含有量は、代表的な反応ガスとして用いられる SiH_4 と GeH_4 の混合比により調節することができる。また、第1及び第2の非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とし、非晶質半導体膜の結晶化の過程において、また作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

40

【0065】

上記第1及び第2の非晶質半導体膜の形成は、プラズマCVD法または減圧CVD法、その他適宜の方法により行う。プラズマCVD法を適用する場合には、 SiH_4 と GeH_4 とから成る反応ガス、或いは、 SiH_4 と H_2 で希釈した GeH_4 成る反応ガスを加えて反応室に導入し、1～200MHzの高周波放電により分解し基板上に非晶質半導体膜を堆積させる。反応ガスは、 SiH_4 の代わりに Si_2H_6 または SiF_4 を、 GeH_4 の代わりに

50

GeF₄を採用しても良い。減圧CVD法を用いる場合にも同様な反応ガスを適用することが可能であり、好ましくはHeで反応ガスを希釈して、400～500の温度で基板上に非晶質半導体膜を堆積する。いずれにしても、本発明で用いる上記ガスは、堆積される非晶質半導体膜に取り込まれる酸素、窒素、炭素などの不純物元素の濃度を低減するために高純度に精製されたものを用いる。堆積される非晶質半導体膜の厚さは20～100nmの範囲とする。

【0066】

結晶化に際しては、第2の非晶質半導体膜の表面に、該非晶質半導体膜の結晶化を助長する元素を導入する。当該元素としては、鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスニウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)から選ばれた一種または複数種の元素を用いる。これらの元素は、本明細書に記載する何れの発明においても非晶質半導体膜の結晶化を助長する元素として使用することができる。上記いずれの元素を用いても同質、同様の効果を得ることができるが、代表的にはニッケルを用いる。

10

【0067】

当該元素を導入する箇所は、第2の非晶質半導体膜の全面、または第1の非晶質半導体膜の全面とする。或いは第2の非晶質半導体膜の膜面における適宜箇所のスリット状の面または点状の面などとする。後者の場合には、好ましくは非晶質半導体膜上に絶縁膜が形成され、その絶縁膜に設けられた開孔を利用して当該元素を導入することができる。開孔の大きさに特に限定はないが、その幅は10～40μmとすることができる。また、その長手方向の長さは任意に決めれば良く、数十μm～数十cmの範囲とすることができる。

20

【0068】

これらの当該元素を導入する方法は、当該元素を含む薄膜を非晶質半導体膜の表面又は内部に存在させる手法であれば特に限定はなく、例えば、スパッタ法、蒸着法、プラズマ処理法(含むプラズマCVD法)、吸着法、金属塩の溶液を塗布する方法などを使用することができる。プラズマ処理法は、不活性ガスによるグロー放電雰囲気において、陰極からスパッタされる当該元素を利用する。また、金属塩の溶液を塗布する方法は簡易であり、当該元素の濃度調整が容易である点で有用である。

【0069】

金属塩としては各種塩を用いることが可能であり、溶媒としては水、アルコール類、アルヒド類、エーテル類その他の有機溶媒、または水とこれらの有機溶媒の混合物を用いることができる。また、それらの金属塩が完全に溶解した溶液とは限らず、金属塩の一部または全部が懸濁状態で存在する溶液であっても良い。いずれの方法を採用するにしても、当該元素は非晶質半導体膜の表面又は内部に分散させて導入する。

30

【0070】

上記何れかの方法でシリコンの結晶化を助長する元素を導入した後、当該元素を利用して非晶質半導体膜の結晶化を行う。結晶化は加熱処理、レーザー光または紫外線、赤外線などの強光の照射によって行う。加熱処理のみでも{101}に優先的に配向する結晶質シリコン膜を得ることができるが、好ましくは、加熱処理を行いその後レーザー光などの強光の照射を行う方法を適用する。加熱処理後のレーザー処理は、結晶粒内に残される結晶欠陥を修復し消滅させることができ、作製される結晶の品質を向上させる目的に対して有効な処置となる。

40

【0071】

結晶化をするための加熱処理に先立って、第1及び第2の非晶質半導体膜が含有する水素を放出させる脱水素化処理を行う。この処理は400～500にて0.5～5時間、代表的には500にて1時間の条件で脱水素化処理を行う。

【0072】

結晶化のための加熱処理は450～1000の範囲で行うことが可能であるが、温度の上限は使用する基板の耐熱温度が一つの上限として考慮される。例えば、石英基板を用いる場合には1000の熱処理にも耐え得るが、ガラス基板の場合にはその歪み点以下が

50

上限温度の一つの根拠となる。例えば、歪み点 667 のガラス基板に対しては、660 程度が限度と見るべきである。必要とされる時間は加熱温度や、その後の処理条件（例えばレーザー光を照射する処理の有無など）により適宜設定するが、好適には 550 ~ 600 にて 4 ~ 24 時間の加熱処理を行う。また、その後レーザー処理を行う場合には、500 ~ 550 にて 4 ~ 8 時間の熱処理を行う。以上の加熱処理は空気中や水素雰囲気中でも良いが、好適には窒素或いは不活性ガス雰囲気中にて行う。

【0073】

また、レーザー処理は、波長 400 nm 以下のエキシマレーザーや、YAG または YVO₄ レーザーの第 2 高調波（波長 532 nm）~ 第 4 高調波（波長 266 nm）を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を 100 ~ 700 mJ / cm² として照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。

【0074】

以上のような工程により、本発明における {101} 面の配向率が高い結晶質半導体膜が得られるメカニズムは、現段階で必ずしも明らかではないが、概略以下のように推測することができる。

【0075】

第 1 及び第 2 の非晶質半導体膜に導入されたシリコンの結晶化を助長する元素は、脱水素処理中に速やかに非晶質半導体中に拡散する。そして、不均質な核形成が始まる。そして、当該元素とシリコンが反応してシリサイドが形成され、これが結晶核となりその後の結晶成長に寄与する。例えば、代表的な元素としてニッケルを用いた場合、ニッケルシリサイド（以下、NiSi₂と記する）が形成される。第 1 の非晶質半導体膜においては、NiSi₂中にゲルマニウムが殆ど固溶されないため、非晶質半導体膜中のゲルマニウムを周囲に排除しつつ核が形成する。

【0076】

NiSi₂は特定の配向性を持たないが、非晶質半導体膜の厚さを 20 ~ 100 nm とすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、NiSi₂と結晶シリコンの（111）面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は（110）面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、しかも柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも（110）面が配向するとは限らないため、その他の格子面も析出すると考えられる。

【0077】

NiSi₂から見ると、周囲の非晶質半導体のみに原子半径の大きいゲルマニウムが存在しているため、大きな歪み（引っ張り応力）が発生していることが予想される。この歪みエネルギーにより、核生成の臨界半径を大きくする方向に働く。さらに、この歪み（引っ張り応力）は、NiSi₂による核の結晶方位に制限を与え、特定の結晶面（具体的には、{101}面）の配向率を高める作用があると推測される。

【0078】

NiSi₂の構造はホタル石型構造であり、ダイヤモンド型構造のシリコン格子間にニッケル原子を配置した構造となっている。NiSi₂からニッケル原子が無くなるとシリコンの結晶構造が残ることになる。数々の実験の結果から、ニッケル原子は非晶質シリコン側に移動していくことが判明しており、この理由は非晶質シリコン中の固溶度の方が結晶シリコン中のそれよりも高いためであると考えられる。従って、恰もニッケルが非晶質シリコン中を移動しながら結晶シリコンを形成するというモデルを立案することができる。

【0079】

また、非晶質半導体膜中におけるニッケルの拡散速度は、膜中にゲルマニウムが含まれる方が早いことが考えられる。本発明の場合、NiSi₂による結晶の成長は、第 1 の非晶

10

20

30

40

50

質半導体膜の方が早く結晶成長することが考えられる。

【 0 0 8 0 】

以上の考察より、加熱処理によって、第1の非晶質半導体膜は{ 1 0 1 }面の配向率が高い結晶が成長し、それに伴って第2の非晶質半導体膜ではエピタキシャル成長的に同じ面方位の結晶が成長する。

【 0 0 8 1 】

本発明は、シリコンを主成分とする結晶質半導体膜の{ 1 0 1 }面の配向を高めるために、シリコンを主成分としゲルマニウムを含む第1の非晶質半導体膜と、シリコンを主成分とする第2の非晶質半導体膜とを順次形成し、シリコンの結晶化を助長する元素を添加して、加熱処理、または加熱処理とレーザー処理を行って結晶化させる方法を採用する。

10

【 0 0 8 2 】

非晶質シリコンに0.1～10原子%のゲルマニウムを含有させると結晶核の発生密度が低下する。図36は結晶核の隣接間距離について、GeH₄の添加量依存性について調べた結果であり、縦軸はその累積度数を示している。図36(A)はシリコンの結晶化を助長する元素として、酢酸ニッケル塩が3ppmの水溶液を用いた結果であり、図36(B)は1ppmの結果を示している。GeH₄の添加量の増加は、非晶質シリコン中に含まれるゲルマニウム濃度がそれに伴って増えることを意味する。図36(A)、(B)の結果は、いずれもGeH₄の添加量が多い方が結晶核の隣接間距離が長くなることを示している。図37はこの結果を基に、GeH₄の添加量に対する結晶核の密度を示している。GeH₄の量が増加するに従い、結晶核密度が低下している傾向が示されている。この結果は、上記考察において、非晶質シリコン膜中にゲルマニウムが存在することにより核生成の臨界半径を大きくする方向に働くことを裏付けている。

20

【 0 0 8 3 】

次に上述の本発明に基づいて作製される結晶質半導体膜について、その作製条件の一例を示す。表1はプラズマCVD法で作製する第1及び第2の非晶質半導体膜の作製条件である。反応ガスはSiH₄と水素で10%に希釈されたGeH₄を用いる。これらの反応ガスは、形成される非晶質半導体膜に含まれる酸素、窒素、炭素の不純物濃度を低減させるために、SiH₄の純度は99.9999%以上のものを、またGeH₄は窒素、炭化水素化合物が1ppm以下、CO₂が2ppm以下の高純度品を用いている。第1の非晶質半導体膜において、シリコンに対するゲルマニウムの含有量を変化させるために、合計流量が一定になるようにして、SiH₄とH₂で10%に希釈したGeH₄のガス流量の混合比を変化させている。共通条件としては、高周波電力が0.35W/cm²(27MHz)であり、繰り返し周波数10kHz(デューティ比30%)のパルス放電に変調して平行平板型のプラズマCVD装置の陰極に給電する。その他、共通条件として反応圧力33.25Pa、基板温度300℃、電極間隔35mmとする。

30

【 0 0 8 4 】

【表1】

項目		第1の非晶質半導体膜	第2の非晶質半導体膜
SiH ₄ 流量	[sccm]	50～95	100
GeH ₄ (H ₂ ベース10%)流量	[sccm]	50～5	0
RF power	[W/cm ²]	0.35	←
パルス周波数	[KHz]	10	←
Duty	[%]	30	←
圧力	[Pa]	33.25	←
基板温度(Tsub)	[°C]	300	←
電極間隔(GAP)	[mm]	35	←

40

【 0 0 8 5 】

50

図35は第1及び第2の非晶質半導体膜を形成するために用いるプラズマCVD装置の構成の一例を示している。プラズマCVD装置は反応室3501に高周波電源3505が接続する陰極(カソード)3502、陽極(アノード)3503が設けられた平行平板型である。陰極3502はシャワー板となっていて、ガス供給手段3506からの反応ガスは、このシャワー板を通して反応室中に供給される。陽極3503にはシーズヒーターなどによる加熱手段が設けられ、基板3515が設置されている。ガス供給系の詳細は割愛するが、 SiH_4 や GeH_4 などが充填されたシリンダー3514、ガスの流量を制御するマスフローコントローラー3512、ストップバルブ3513などから構成されている。排気手段3507は、ゲートバルブ3508、自動圧力制御弁3509、ターボ分子ポンプ(または複合分子ポンプ)3510、ドライポンプ3507から成っている。ターボ分子ポンプ(または複合分子ポンプ)3510、ドライポンプ3507は潤滑油を使用しないもので、油の拡散による反応室内の汚染を完全に無くしている。排気速度は、反応室の容積13Lの反応室に対し、一段目に排気速度300L/秒のターボ分子ポンプ、二段目に排気速度40m³/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

10

【0086】

このような装置で作製される非晶質半導体膜に含まれる窒素、炭素、酸素のそれぞれの含有量は二次イオン質量分析法(SIMS)によって測定されている。図38にその結果を示す。測定に用いた試料は、シリコン基板上に SiH_4 のみ、水素で10%に希釈した GeH_4 を5SCCM添加した条件、同10SCCM添加した条件の順に積層したものであるが、いずれの成膜条件においても窒素、炭素の含有量は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の含有量は $1 \times 10^{19} / \text{cm}^3$ 未満である。

20

【0087】

絶縁表面上に形成する第1の非晶質半導体膜の厚さは5~30nmとし、その上に形成する第2の非晶質半導体膜の厚さは15~70nmとして形成し、第1の非晶質半導体膜の厚さ第2の非晶質半導体膜に対して薄くなるように形成する。第1の非晶質半導体膜にはシリコンに対して原子半径の大きなゲルマニウムを含有し、結晶核の生成密度を小さくすることができる。上述の如く、この第1の非晶質半導体膜は結晶化において第2の非晶質半導体膜を結晶化させ、特定の結晶面の配向を高めるためのシード層として利用するため、本来第2の非晶質半導体膜よりも薄く形成することが望ましい。

30

【0088】

第1及び第2の非晶質半導体膜の結晶化は、シリコンの結晶化を助長する元素としてニッケルを用い、500~600の加熱処理、または加熱処理とレーザー処理を行う。代表的な作製条件として、窒素雰囲気中550にて4時間の加熱処理及びレーザー処理を行う方法がある。ニッケルは酢酸ニッケルを10ppmの濃度で含有する水溶液を用い、スピナーで塗布する。また、レーザー処理はXeClエキシマレーザー(波長308nm)を用い、照射エネルギー密度300~600mJ/cm²、重ね合わせ率90~95%で照射する。レーザー処理は加熱処理により結晶化した膜の未結晶化部分の結晶化や、結晶粒内に欠陥を補修するために行っている。

40

【0089】

結晶質半導体膜に残存する欠陥は水素化処理により、0.01~1原子%程度の水素を含有させることにより効果的に低減させることができる。水素化は水素を含む雰囲気中で350~500の加熱処理により行うことができる。また、プラズマにより生成された水素を用いて水素化を行うことも可能である。また、 SiF_4 、 GeF_4 などのフッ化物により第1の非晶質半導体膜を形成した場合には0.001~1原子%程度のフッ素が膜中に残存し、欠陥を補償する元素となる。

【0090】

こうして{101}面に対して高い配向性を示す結晶質半導体膜は、添加するゲルマニウムの濃度を0.1~10原子%の範囲で添加するだけでなく、膜中に含まれる酸素、窒素

50

、炭素の元素の濃度を $1 \times 10^{19} / \text{cm}^3$ 未満にすること、及び膜厚を $20 \sim 100 \text{ nm}$ の範囲として、基板表面と平行な方向の成長が支配的となるようにすることの相乗効果により達成される。

【0091】

このような $\{110\}$ 面の配向率の高い結晶質半導体膜は T F T のチャネル形成領域、光起電力素子の光電変換層など素子の特性を決定付けるチャネル形成領域に好適に用いることができる。

【0092】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0093】

【実施例】

〔実施例1〕

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T (n チャネル型 T F T 及び p チャネル型 T F T) を同時に作製する方法について詳細に図2～図5を用いて説明する。

【0094】

まず、実施の形態に従って、基板 100 a 上に積層構造を有する島状の半導体層 101 a ~ 105 b を形成した。(図2(A)) 積層構造を有する島状の半導体層のうち、下層の 101 a ~ 105 a は、図1(C)中の第1の結晶質半導体層 15 に相当するシリコン膜 (ゲルマニウムを含む) であり、上層の 101 b ~ 105 b は図1中の第2の結晶質半導体層 16 に相当するシリコン膜である。なお、基板 100 a 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地絶縁膜 100 b を形成した。

【0095】

本実施例では下地絶縁膜 100 b として2層構造を用いるが、単層膜または2層以上の積層膜を用いても良い。下地絶縁膜 100 b の一層目 (下層) としては、プラズマ C V D 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜を $10 \sim 200 \text{ nm}$ (好ましくは $50 \sim 100 \text{ nm}$) 形成する。本実施例では、膜厚 50 nm の酸化窒化シリコン膜 (組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$) を形成した。次いで、下地絶縁膜 100 b の二層目 (上層) としては、プラズマ C V D 法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜を $50 \sim 200 \text{ nm}$ (好ましくは $100 \sim 150 \text{ nm}$) の厚さに積層形成する。本実施例では、膜厚 100 nm の酸化窒化シリコン膜 (組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$) を形成した。

【0096】

次いで、プラズマ C V D 法またはスパッタ法により $50 \sim 100 \text{ nm}$ の厚さの酸化珪素膜によるマスク層 106 を形成した。この状態で上記半導体層に対し、T F T のしきい値電圧 (V_{th}) を制御する目的で p 型を付与する不純物元素、ここではボロンを $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で上記半導体層の全面に添加した。(図2(B)) 本実施例ではマスク層形成後にボロンの添加を行ったが、特に工程順序は限定されず、例えば、パターンングによって半導体層を形成する前に行っても良い。

【0097】

半導体に対して p 型を付与する不純物元素には、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドーピング法を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン (B_2H_6) をソースガスとして用いボロン (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 T F T のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。省略した場合、マスク層 106 の形成は必要でない。

10

20

30

40

50

【0098】

次いで、マスク層106をフッ酸などの溶液でエッチング除去した。

【0099】

次いで、膜厚を10～200nmとして珪素を含む絶縁膜でゲート絶縁膜107を形成した。(図2(C))ゲート絶縁膜107としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜(SiO_xN_y)、有機樹脂膜(BCB(ベンゾシクロブテン)膜)、またはこれらの積層膜等を100～400nmの膜厚範囲で用いることができる。また、ゲート絶縁膜107の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法、塗布法等の形成方法を用いることができる。また、熱酸化工程によってゲート絶縁膜107を形成してもよい。

10

【0100】

また、ゲート絶縁膜107を形成する前に、半導体層の表面を洗浄することが望ましい。被膜表面の汚染不純物(代表的にはC、Na等)除去は、オゾンを含ませた純水で洗浄を行った後に、フッ素を含有する酸性溶液を用い、被膜表面を極薄くエッチングすることにより行えばよい。

【0101】

次いで、駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を半導体層102a、102b、104a、104bに選択的に添加する。そのため、あらかじめレジストマスク108a～108eを形成した。n型を付与する不純物元素としては、燐(P)や砒素(As)を用いれば良く、ここでは燐(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。形成された不純物領域は低濃度n型不純物領域109とし、含まれる燐(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域109に含まれるn型を付与する不純物元素の濃度を(n^-)と表す。また、不純物領域110は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度で燐(P)を添加した。(図2(D))

20

【0102】

次いで、添加した不純物元素を活性化させる工程を行う。活性化は、レーザー活性化処理や不活性雰囲気中、例えば窒素雰囲気中で600～900℃で1～4時間の熱処理により行うことができる。また、両者を併用しても良い。

30

【0103】

次いで、図2(E)に示すように、ゲート絶縁膜107上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A)111と金属膜から成る導電層(B)112とを積層した構造とすると良い。導電層(B)112はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)111は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)111はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。

40

【0104】

導電層(A)111は10～50nm(好ましくは20～30nm)とし、導電層(B)112は200～400nm(好ましくは250～350nm)とすれば良い。本実施例では、Wターゲット(純度99.9999%)を用いたスパッタ法で、アルゴン(Ar)ガスと窒素(N_2)ガスを導入して導電層(A)111を窒化タングステン(WN)で50nmの厚さに形成し、導電層(B)112をタングステン(W)で250nmの厚さに形成した。その他の方法として、熱CVD法でW膜を形成することもできる。

【0105】

50

尚、図示しないが、導電層(A)111の下に2~20nm程度の厚さで燐(P)をドーブした珪素膜を形成しておくことは有効である。ドーブした珪素膜上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)111または導電層(B)112が微量に含有するアルカリ金属元素がゲート絶縁膜107に拡散するのを防ぐことができる。いずれにしても、(A)111及び導電層(B)112の抵抗率を $10 \sim 50 \mu \text{ cm}$ の範囲とすることが好ましい。

【0106】

次いで、フォトリソマスクを用いレジストマスク113~118を形成し、導電層(A)111と導電層(B)112とをエッチングしてゲート電極119~123と容量配線124を形成した。ゲート電極119~123と容量配線124は、導電層(A)から成る119a~124aと、導電層(B)から成る119b~124bとが一体として形成されている。(図3(A))

10

【0107】

次いで、画素TFETのnチャネル型TFETにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n⁻ドーブ工程)を行う。ゲート電極119~123をマスクとして自己整合的にn型を付与する不純物元素をイオンドーブ法で添加した。n型を付与する不純物元素として添加する燐(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加した。このようにして、図3(B)に示すように半導体層に低濃度n型不純物領域125~128を形成した。

20

【0108】

次いで、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った(n⁺ドーブ工程)。まず、フォトリソマスクを用い、レジストのマスク129~132を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域133~138を形成した。n型を付与する不純物元素には燐(P)を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン(PH₃)を用いたイオンドーブ法で行った。(図3(C))

【0109】

次いで、pチャネル型TFETを形成する半導体層101a、101b、103a、103bにソース領域およびドレイン領域とする高濃度p型不純物領域142、143を形成する。本実施例では、ゲート電極119、121をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成した。このとき、nチャネル型TFETを形成する半導体層102a、102b、104、105は、第4のフォトリソマスクを用いてレジストマスク139~141を形成し全面を被覆しておく。高濃度p型不純物領域142、143はジボラン(B₂H₆)を用いたイオンドーブ法で形成した。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。(図3(D))

30

【0110】

この高濃度p型不純物領域142、143には、前工程において燐(P)が添加されていて、高濃度p型不純物領域142a、143aには $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で含有し、高濃度p型不純物領域142b、143bには $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン(B)の濃度を1.5から3倍となるようにすることにより、pチャネル型TFETのソース領域およびドレイン領域として機能する上で何ら問題はなかった。

40

【0111】

その後、図4(A)に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜144を形成した。保護絶縁膜は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜144は無機絶縁材料から形成する。保護絶縁膜144の膜厚は100~200nmとする。

【0112】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、

50

レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。本実施例では550℃で4時間の熱処理を行った。（図4（B））。

【0113】

活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃、1～12時間の熱処理を行い、半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層中にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0114】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜145を1.0～2.0μmの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。

10

【0115】

このようにして層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜144として形成した酸化珪素膜、酸化窒化珪素膜、窒化珪素膜などと組み合わせる必要がある。

【0116】

20

その後、フォトリソグラフィを用い、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。本実施例では、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用いたドライエッチング法により有機樹脂材料から成る層間絶縁膜をエッチングし、その後、エッチングガスを CF_4 、 O_2 として保護絶縁膜144をエッチングした。

【0117】

次いで、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトリソグラフィによりレジストマスクパターンを形成し、エッチングによってソース配線146～150とドレイン配線151～155を形成する。ここで、ドレイン配線155は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、Ti膜を50～150nmの厚さで形成し、半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成して配線とした。

30

【0118】

この状態で水素化処理を行うとTFETの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。（図4（C））。

【0119】

こうして、同一の基板上に、駆動回路230のTFETと画素部231の画素TFETとを有した基板を完成させることができた。駆動回路には第1のpチャネル型TFET200、第1のnチャネル型TFET201、第2のpチャネル型TFET202、第2のnチャネル型TFET203、画素部には画素TFET204、保持容量205が形成されている。また、駆動回路230にはロジック回路232及びサンプリング回路233が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

40

【0120】

駆動回路の第1のpチャネル型TFET200には、ゲルマニウムを含むシリコン膜101aとシリコン膜101bとの積層構造を有する半導体層にチャネル形成領域206、高濃度p型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。第1のnチャネル型TFET201に

50

は、ゲルマニウムを含むシリコン膜 102a とシリコン膜 102b との積層構造を有する半導体層にチャネル形成領域 209、ゲート電極 120 と重なる LDD 領域 210、ソース領域 212、ドレイン領域 211 を有している。

【0121】

この LDD 領域において、ゲート電極 120 と重なる LDD 領域を Lov としてそのチャネル長方向の長さは 0.5 ~ 3.0 μm 、好ましくは 1.0 ~ 2.0 μm とした。n チャネル型 TFT における LDD 領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFT の劣化を防止することができる。

【0122】

駆動回路の第 2 の p チャネル型 TFT 202 は同様に、ゲルマニウムを含むシリコン膜 103a とシリコン膜 103b との積層構造を有する半導体層にチャネル形成領域 213、高濃度 p 型不純物領域から成るソース領域 214a、214b、ドレイン領域 215a、215b を有したシングルドレインの構造を有している。

【0123】

また、駆動回路の第 2 の n チャネル型 TFT 203 には、ゲルマニウムを含むシリコン膜 104a とシリコン膜 104b との積層構造を有する半導体層にチャネル形成領域 216、ゲート電極 122 と一部が重なる LDD 領域 217、218、ソース領域 220、ドレイン領域 219 が形成されている。この TFT のゲート電極と重なる Lov の長さも 0.5 ~ 3.0 μm 、好ましくは 1.0 ~ 2.0 μm とした。また、ゲート電極と重ならない LDD 領域を Loff として、このチャネル長方向の長さは 0.5 ~ 4.0 μm 、好ましくは 1.0 ~ 2.0 μm とした。

【0124】

画素 TFT 204 には、ゲルマニウムを含むシリコン膜 105a とシリコン膜 105b との積層構造を有する半導体層にチャネル形成領域 221、222、LDD 領域 223 ~ 225、ソースまたはドレイン領域 226 ~ 228 を有している。LDD 領域 (Loff) のチャネル長方向の長さは 0.5 ~ 4.0 μm 、好ましくは 1.5 ~ 2.5 μm である。

【0125】

さらに、容量配線 124 と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素 TFT 204 のドレイン領域 228 に接続する半導体層 229 とから保持容量 205 が形成されている。なお、図 4 (C) では画素 TFT 204 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0126】

以上の様な TFT 構成は、画素 TFT および駆動回路が要求する仕様に応じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。

【0127】

また、このアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。

【0128】

次いで、上記アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0129】

まず、図 5 に示すように、図 4 (C) の状態のアクティブマトリクス基板にスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後、樹脂膜をパターンニングして柱状スペーサ 157 を形成する方法を採用した。

【0130】

柱状スペーサ 157 の配置は任意に決定すれば良いが、好ましくは、図 5 で示すように、

10

20

30

40

50

画素部 2 3 1 においてはドレイン配線 1 5 5 (画素電極) のコンタクト部と重ねてその部分を覆うように柱状スペーサ 1 5 7 を形成すると良い。コンタクト部は平坦性が損なわれ、この部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部にスペーサ用の樹脂を充填する形で柱状スペーサ 1 5 7 を形成することでディスクリネーションなどを防止することができる。

【 0 1 3 1 】

その後、配向膜 1 5 8 を形成した。通常、液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の T F T 上にもスペーサ 1 5 7 を形成しておくこと、スペーサとしての本来の役割と、静電気から T F T を保護する効果を得ることができる。

10

【 0 1 3 2 】

対向側の対向基板 1 5 8 には、遮光膜 1 5 9、透明導電膜 1 6 0 および配向膜 1 6 1 を形成する。遮光膜 1 5 9 は T i、C r、A l などを 1 5 0 ~ 3 0 0 n m の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 1 6 2 で貼り合わせる。シール剤 1 6 2 にはフィラー 1 6 3 が混入されていて、このフィラー 1 6 3 とスペーサ 1 5 7 によって均一な間隔を保ちつつ、2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1 6 4 を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図 5 に示すアクティブマトリクス型液晶表示装置が完成する。

20

【 0 1 3 3 】

[実施例 2]

本実施例では実施例 1 とは異なるアクティブマトリクス基板及びアクティブマトリクス型液晶表示装置の作製方法について説明する。ここでは、同一基板上に N チャネル型逆スタガ型 T F T 4 2 0 及び P チャネル型の逆スタガ型 T F T 4 2 1 を作製する例について図 6、図 7 を用い、以下に説明する。

【 0 1 3 4 】

まず、基板 4 0 0 を用意する。基板 4 0 0 としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板等を用いることができる。なお、基板からの不純物の拡散を防止して T F T の電気特性を向上させるための下地絶縁膜を設ける構成としてもよい。下地絶縁膜を設ける場合、その下地絶縁膜の材料としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (S i O x N y)、またはこれらの積層膜等を 1 0 0 ~ 5 0 0 n m の膜厚範囲で用いることができ、形成手段としては熱 C V D 法、プラズマ C V D 法、蒸着法、スパッタ法、減圧熱 C V D 法等の形成方法を用いることができる。或いは、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成し、これを基板としても良い。また、プラスチック基板も用いることができる。

30

【 0 1 3 5 】

次いで、単層構造または積層構造を有するゲート配線 (ゲート電極含む) 4 0 1、4 0 2 を形成する。ゲート配線 4 0 1、4 0 2 の形成手段としては熱 C V D 法、プラズマ C V D 法、減圧熱 C V D 法、蒸着法、スパッタ法等を用いて 1 0 ~ 1 0 0 0 n m、好ましくは 3 0 ~ 3 0 0 n m の膜厚範囲の導電膜を形成した後、公知のパターニング技術で形成する。また、ゲート配線 4 0 1、4 0 2 の材料としては、導電性材料または半導体材料を主成分とする材料、例えば T a (タンタル)、M o (モリブデン)、T i (チタン)、W (タングステン)、クロム (C r) 等の高融点金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N 型又は P 型の導電性を有するポリシリコン等の材料、低抵抗金属材料 C u (銅)、A l (アルミニウム) 等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることなく用いることができる。なお、ゲート配線の下層を低抵抗金属材料とし上層を高融点金属材料とした積層構造が好ましく、例えば A l (下層) と T a (上層) の積層構造、A l (下層) と W (上層) の積層構造、A l (下層) と C u (上層) の積層構造が望ましい。また、ゲート配線を保護するための陽極酸化膜または酸化

40

50

膜を形成する構成としてもよい。

【0136】

次いで、ゲート絶縁膜を形成する。ゲート絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (SiO_xNy)、有機樹脂膜 (BCB (ベンゾシクロブテン) 膜)、またはこれらの積層膜等を $100 \sim 400 \text{ nm}$ の膜厚範囲で用いることができる。ゲート絶縁膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法、塗布法等の形成方法を用いることができる。ここでは図6(A)に示すように、積層構造のゲート絶縁膜403a、403bを用いた。下層のゲート絶縁膜403aは、基板やゲート配線からの不純物の拡散を効果的に防止する窒化シリコン膜等を膜厚 $10 \text{ nm} \sim 60 \text{ nm}$ の膜厚範囲で形成する。

10

【0137】

次いで、ゲルマニウムを含むシリコン膜とシリコン膜との積層膜を形成する。下層となるゲルマニウムを含むシリコン膜としては、シリコンを主成分としゲルマニウムを $0.1 \text{ 原子}\% \sim 10 \text{ 原子}\%$ 未満、好ましくは $1 \sim 5 \text{ 原子}\%$ の範囲で含有している膜を用いる。また、ゲルマニウムを含むシリコン膜中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0138】

ゲルマニウムを含むシリコン膜の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られ

20

【0139】

また、上層となるシリコン膜も同様に窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。また、シリコン膜の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法やスパッタ法等の公知の技術を用いることができる。

【0140】

なお、上記ゲート絶縁膜403a、403bと非晶質半導体膜 (ゲルマニウムを含むシリコン膜とシリコン膜) とを大気にさらすことなく連続成膜すれば、不純物がゲート絶縁膜と非晶質半導体膜との界面に混入しないため良好な界面特性を得ることができる。

30

【0141】

次いで、非晶質半導体膜の結晶化処理を行い、結晶質半導体膜を形成した後、得られた結晶質半導体膜を所望の形状にパターニングして、ゲルマニウムを含むシリコン膜404a、405aとシリコン膜404b、405bとの積層構造を有する結晶質半導体層を形成する。(図6(A)) 結晶化処理としては、実施の形態に示したレーザー処理を用いればよい。

【0142】

次いで、結晶質半導体層上に絶縁層406、407を形成する。この絶縁層406、407は不純物元素の添加工程時にチャネル形成領域を保護する。この絶縁層406、407としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 (SiO_xNy)、有機樹脂膜 (BCB 膜)、またはこれらの積層膜等を $100 \sim 400 \text{ nm}$ の膜厚範囲で用いることができる。絶縁層406、407は、公知のパターニング技術、例えば通常の露光や裏面露光等を用いて形成する。

40

(図6(B))

【0143】

次いで、フォトリソマスクを用いてNチャネル型TFETとなる半導体層の一部を覆うレジストマスク408及びPチャネル型TFETとなる半導体層を覆うレジストマスク409を形成し、半導体層にn型を付与する不純物元素を添加するドーピング工程を行ない、第1の不純物領域 (n^+ 領域) 410aを形成する。(図6(C))

【0144】

50

次いで、レジストマスク408、409を除去した後、絶縁層406、407をマスクとして半導体層にn型を付与する不純物元素を添加する2回目のドーピング工程を行ない、第2の不純物領域(n-領域)412を形成する。(図6(D))この工程において、さらに不純物が添加されて第1の不純物領域410bが形成される。

【0145】

次いで、フォトリソマスクを用いてNチャネル型TFTを覆うレジストマスク414を形成し、半導体層にp型を付与する不純物元素を添加する工程を行ない、第3の不純物領域(p+領域)413を形成する。(図7(A))

【0146】

次いで、レジストマスク414を除去した後、ファーンズアニール、レーザーアニールまたはランブアニールにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。

10

【0147】

以上の工程を経て、Nチャネル型TFT420のソース領域、ドレイン領域、低濃度不純物領域、及びチャネル形成領域が形成され、Pチャネル型TFT421のソース領域、ドレイン領域、及びチャネル形成領域が形成される。

【0148】

次いで、実施例1に従って全面に層間絶縁膜415を形成する。(図7(B))

【0149】

そして、公知の技術を用いてコンタクトホールを形成した後、配線416~419を形成して、図7(C)に示す状態を得る。この配線416~419はソース配線またはドレイン配線として機能する。最後に水素雰囲気中で熱処理を行い、全体を水素化してNチャネル型TFT及びPチャネル型TFTが完成する。

20

【0150】

なお、本実施例でのドーピング順序(n+領域 n-領域 p+領域)に限定されず、例えば、p+領域 n-領域 n+領域の順とすることも可能である。

【0151】

また、上記本実施例においてチャネル形成領域へ微量な不純物元素の添加を行ない、TFTのしきい値制御を行う工程(チャネルドーピング工程とも呼ぶ)を加えてもよい。

【0152】

30

本実施例で示すNチャネル型TFT及びPチャネル型TFTを用いて相補的に結合させた回路はCMOS回路と呼ばれ、半導体回路を構成する基本回路である。

【0153】

また、本実施例で示すNチャネル型TFTを用いて画素部の画素TFTを形成することができる。図8(A)は、画素部の画素の一つを拡大した上面図であり、図8(A)において、点線A-A'で切断した部分が、図8(B)の画素部の断面構造に相当する。

【0154】

画素部において、画素TFT部423はNチャネル型TFTで形成されている。基板上51にゲート電極52が形成され、その上に窒化珪素からなる第1絶縁膜53a、酸化珪素からなる第2絶縁膜53bが設けられている。また、第2絶縁膜上には、活性層としてn+領域54~56と、チャネル形成領域57、58と、前記n+型領域とチャネル形成領域の間にn-型領域59、60が形成される。また、活性層は、下層をゲルマニウムを含むシリコン膜とし、上層をシリコン膜とする積層構造を有する半導体層である。また、チャネル形成領域57、58は絶縁層61、62で保護される。絶縁層61、62及び活性層を覆う第1の層間絶縁膜63にコンタクトホールを形成した後、n+領域54に接続する配線64が形成され、n+領域56に配線65が接続され、さらにその上にパッシベーション膜66が形成される。そして、その上に第2の層間絶縁膜67が形成される。さらに、その上に第3の層間絶縁膜68が形成され、ITO、SnO₂等の透明導電膜からなる画素電極69が配線65と接続される。また、70は画素電極69と隣接する画素電極である。

40

50

【 0 1 5 5 】

本実施例では一例として透過型の液晶表示装置の例を示したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加 / 削除を適宜行えば反射型の液晶表示装置を作製することが可能である。

【 0 1 5 6 】

[実施例 3]

本実施例では、実施例 1 または実施例 2 で作製したアクティブマトリクス型液晶表示装置の構成を図 9 に説明する。

【 0 1 5 7 】

図 9 に示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子、外部入力端子と各回路の入力部までを接続する配線 8 1 などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 8 2 とがシール材 8 3 を介して貼り合わされている。

【 0 1 5 8 】

ゲート側駆動回路 8 4 と重なるように対向基板側に遮光層 8 6 a が設けられ、ソース側駆動回路 8 5 と重なるように対向基板側に遮光層 8 6 b が形成されている。また、画素部 8 7 上の対向基板側に設けられたカラーフィルタ 8 8 は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【 0 1 5 9 】

ここでは、カラー化を図るためにカラーフィルタ 8 8 を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【 0 1 6 0 】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 8 6 a、8 6 b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【 0 1 6 1 】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【 0 1 6 2 】

また、外部入力端子にはベースフィルムと配線から成る FPC 8 9 が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【 0 1 6 3 】

以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【 0 1 6 4 】

また、上記液晶表示装置におけるブロック図を図 1 0 に示す。なお、図 1 0 はアナログ駆動を行うための回路構成である。本実施例では、ソース側駆動回路 9 0、画素部 9 1 及びゲート側駆動回路 9 2 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【 0 1 6 5 】

ソース側駆動回路 9 0 は、シフトレジスタ 9 0 a、バッファ 9 0 b、サンプリング回路（トランスファゲート）9 0 c を設けている。また、ゲート側駆動回路 9 2 は、シフトレジ

10

20

30

40

50

スタ 9 2 a、レベルシフタ 9 2 b、バッファ 9 2 c を設けている。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【 0 1 6 6 】

また、本実施例において、画素部 9 1 は複数の画素を含み、その複数の画素に各々 T F T 素子が設けられている。

【 0 1 6 7 】

これらソース側駆動回路 9 0 およびゲート側駆動回路 9 2 は N チャンネル型 T F T または P チャンネル型 T F T で形成されている。

【 0 1 6 8 】

なお、図示していないが、画素部 9 1 を挟んでゲート側駆動回路 9 2 の反対側にさらにゲート側駆動回路を設けても良い。

10

【 0 1 6 9 】

また、デジタル駆動させる場合は、図 1 1 に示すように、サンプリング回路の代わりにラッチ (A) 9 3 b、ラッチ (B) 9 3 c を設ければよい。ソース側駆動回路 9 3 は、シフトレジスタ 9 3 a、ラッチ (A) 9 3 b、ラッチ (B) 9 3 c、D / A コンバータ 9 3 d、バッファ 9 3 e を設けている。また、ゲート側駆動回路 9 5 は、シフトレジスタ 9 5 a、レベルシフタ 9 5 b、バッファ 9 5 c を設けている。また、必要であればラッチ (B) 9 3 c と D / A コンバータ 9 3 d との間にレベルシフタ回路を設けてもよい。

【 0 1 7 0 】

なお、上記構成は、実施例 1 または実施例 2 に示した製造工程に従って実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、さらに複雑なロジック回路 (信号分割回路、D / A コンバータ、オペアンプ、補正回路など) をも構成することができ、さらには同一基板上にメモリやマイクロプロセッサをも形成しうる。

20

【 0 1 7 1 】

[実施例 4]

本実施例は実施例 2 において、ゲート電極が設けられた基板上にスパッタ法を用いて、連続的にゲート絶縁膜と半導体膜とを成膜する例を示す。

【 0 1 7 2 】

まず、基板上にゲート配線 4 0 1、4 0 2 を形成した後、下層のゲート絶縁膜 4 0 3 a、上層のゲート絶縁膜 4 0 3 b、第 1 の非晶質半導体膜、第 2 の非晶質半導体膜を順次、連続的に積層する。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図 1 8 に示した。

30

【 0 1 7 3 】

本実施例では、全てスパッタ法を用い、比較的低温での成膜を行うことが可能であるのでプラスチック基板を用いた。ただし、本実施例に限定されず、プラスチック基板以外の基板を用いることが可能なことは言うまでもない。

【 0 1 7 4 】

図 1 8 に本実施例で示す装置 (連続成膜システム) の上面からみた概要を示す。図 1 8 において、1 1 1 0 ~ 1 1 1 5 が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

40

【 0 1 7 5 】

1 1 1 0、1 1 1 5 で示されるチャンバーは、試料 (処理基板) 1 1 3 0 をシステムに搬入するためのロードロック室である。1 1 1 1 は第 1 のゲート絶縁膜を成膜するための第 1 のチャンバーである。1 1 1 2 は第 2 のゲート絶縁膜を成膜するための第 2 のチャンバーである。1 1 1 3 は第 1 の非晶質半導体膜及び第 2 の非晶質半導体膜を成膜するための第 3 のチャンバーである。また、1 1 2 0 は各チャンバーに対して共通に配置された試料の共通室である。さらに非晶質半導体膜上に連続して絶縁膜を形成して絶縁層 4 0 6、4 0 7 を形成する場合、1 1 1 4 は、その絶縁膜を成膜するための第 4 のチャンバーである。

50

【 0 1 7 6 】

以下に動作の一例を示す。

【 0 1 7 7 】

最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態（常圧）とする。また、全てのゲート弁 1 1 2 2 ~ 1 1 2 7 を閉鎖した状態とする。

【 0 1 7 8 】

まず、処理基板は多数枚が収納されたカセット 1 1 2 8 ごとロードロック室 1 1 1 0 に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁 1 1 2 2 を開けてカセットから処理基板 1 1 3 0 を 1 枚取り出し、ロボットアーム 1 1 2 1 によって共通室 1 1 2 0 に取り出す。この際、共通室において位置合わせが行われる。なお、この基板 1 1 3 0 は実施例 2 に従って得られた配線 4 0 1、4 0 2 が形成されたものを用いた。

10

【 0 1 7 9 】

ここでゲート弁 1 1 2 2 を閉鎖し、次いでゲート弁 1 1 2 3 を開ける。そして第 1 のチャンバー 1 1 1 1 へ処理基板 1 1 3 0 を移送する。第 1 のチャンバー内では、絶縁膜 4 0 3 a を得る。本実施例では単層の窒化シリコン膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではターゲットを用いたスパッタ法が可能なチャンバーを用いたが、プラズマ C V D 法が可能なチャンバーを用いても良い。

20

【 0 1 8 0 】

絶縁膜 4 0 3 a の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第 2 のチャンバー 1 1 1 2 に移送される。第 2 のチャンバー内では、第 1 のチャンバーと同様にスパッタ法で絶縁膜 4 0 3 b を得る。

【 0 1 8 1 】

絶縁膜 4 0 3 b の成膜終了後、処理基板は共通室に引き出され、第 3 のチャンバー 1 1 1 3 に移送される。第 3 のチャンバー内では第 2 のチャンバーと同様に、第 1 の非晶質半導体膜及び第 2 の非晶質半導体膜を得る。第 3 のチャンバー内には複数のターゲットを備え、第 1 の非晶質半導体膜の成膜時にはゲルマニウムを含むシリコンからなるターゲットを用い、第 2 の非晶質半導体膜の成膜時にはシリコンからなるターゲットを用いた。ここでは同一チャンバーで積層させたが、異なるチャンバーで積層させてもよい。なお、ここではターゲットを用いたスパッタ法が可能なチャンバーを用いたが、プラズマ C V D 法が可能なチャンバーを用いても良い。

30

【 0 1 8 2 】

非晶質半導体膜の成膜終了後、処理基板は共通室に引き出される。

【 0 1 8 3 】

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室 1 1 1 5 に移送されカセット 1 1 2 9 に収納される。

【 0 1 8 4 】

このように、大気にさらすことなく連続成膜すれば、不純物がゲート絶縁膜と非晶質半導体膜との界面に混入しないため良好な界面特性を得ることができる。

40

【 0 1 8 5 】

さらに、非晶質半導体膜上に連続して絶縁膜を形成して絶縁層 4 0 6、4 0 7 を形成する場合、第 4 のチャンバーに移送して同様に成膜した後、パターンニングすればよい。

【 0 1 8 6 】

なお、図 1 8 に示した装置は一例に過ぎないことはいうまでもない。また、本実施例は実施例 1 乃至 3 のいずれか一と自由に組み合わせることができる。

【 0 1 8 7 】

例えば、本実施例を実施例 1 における下地絶縁膜 1 0 0 a、非晶質半導体膜とを連続的に成膜する場合に適用することができる。その場合、下層の下地絶縁膜を第 1 のチャンバーで成膜し、上層の下地絶縁膜を第 2 のチャンバーで成膜し、第 1 の非晶質半導体膜及び第

50

2の非晶質半導体膜を第3のチャンバーで成膜すればよい。また、第1の非晶質半導体膜及び第2の非晶質半導体膜を別々のチャンバーで成膜してもよい。即ち、第1の非晶質半導体膜を第3のチャンバー、第2の非晶質半導体膜を第4のチャンバーで成膜してもよい。

【0188】

[実施例5]

ここでは、上記実施例1で得られるTFETを用いてEL（エレクトロルミネセンス）表示装置を作製した例について図12～図15を用い、以下に説明する。

【0189】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例（但し封止前の状態）を図12に示す。なお、駆動回路には基本単位となるCMOS回路を示し、画素部には一つの画素を示す。このCMOS回路は実施例1に従えば得ることができる。

【0190】

図12において、500は絶縁体であり、その上にはNチャネル型TFET501、Pチャネル型TFET502、Pチャネル型TFETからなるスイッチングTFET503およびNチャネル型TFETからなる電流制御TFET504が形成されている。

【0191】

Nチャネル型TFET501およびPチャネル型TFET502の説明は実施例1を参照すれば良いので省略する。また、スイッチングTFET503はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、実施例1でのPチャネル型TFETの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0192】

また、電流制御TFET504のドレイン領域505の上には層間絶縁膜507a、507bが設けられる前に、保護絶縁膜506及びゲート絶縁膜にコンタクトホールが設けられている。これは第1層間絶縁膜507a及び第2の層間絶縁膜507bにコンタクトホールを形成する際に、エッチング工程を簡単にするためである。層間絶縁膜507a、507bにはドレイン領域505に到達するようにコンタクトホールが形成され、ドレイン領域505に接続された画素電極508が設けられている。画素電極508はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0193】

次に、513は画素電極508の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク513は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12}$ m（好ましくは $1 \times 10^8 \sim 1 \times 10^{10}$ m）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0194】

また、EL素子509は画素電極（陰極）508、EL層511および陽極512からなる。陽極512は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0195】

なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。

【0196】

なお、ここでは図示しないが陽極512を形成した後、EL素子509を完全に覆うよう

10

20

30

40

50

にしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化シリコン膜もしくは窒化酸化シリコン膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0197】

次いで、EL素子を保護するための封止（または封入）工程まで行った後のEL表示装置について図13（A）、（B）を用いて説明する。

【0198】

図13（A）は、EL素子の封止までを行った状態を示す上面図、図13（B）は図13（A）をA-A'で切断した断面図である。点線で示された601は画素部、602はソース側駆動回路、603はゲート側駆動回路である。また、604はカバー材、605は第1シール材、606は第2シール材である。

10

【0199】

なお、608はソース側駆動回路602及びゲート側駆動回路603に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）608からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。

【0200】

次に、断面構造について図13（B）を用いて説明する。絶縁体600の上方には画素部、ソース側駆動回路609が形成されており、画素部は電流制御TFT710とそのドレインに電氣的に接続された画素電極611を含む複数の画素により形成される。また、ソース側駆動回路609はNチャネル型TFTとPチャネル型TFTとを組み合わせたCMOS回路を用いて形成される。なお、絶縁体600には偏光板（代表的には円偏光板）を貼り付けても良い。

20

【0201】

また、画素電極611の両端にはバンク612が形成され、画素電極611上にはEL層613およびEL素子の陽極614が形成される。陽極614は全画素に共通の配線としても機能し、接続配線615を経由してFPC616に電氣的に接続されている。さらに、画素部及びソース側駆動回路609に含まれる素子は全てパッシベーション膜（図示しない）で覆われている。

30

【0202】

また、第1シール材605によりカバー材604が貼り合わされている。なお、カバー材604とEL素子との間隔を確保するためにスペースを設けても良い。そして、第1シール材605の内側には空隙617が形成されている。なお、第1シール材605は水分や酸素を透過しない材料であることが望ましい。さらに、空隙617の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を設けることは有効である。

【0203】

なお、カバー材604の表面および裏面には保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）を2～30nmの厚さに設けると良い。このような炭素膜（ここでは図示しない）は、酸素および水の侵入を防ぐとともにカバー材604の表面を機械的に保護する役割をもつ。

40

【0204】

また、カバー材604を接着した後、第1シール材605の露呈面を覆うように第2シール材606を設けている。第2シール材606は第1シール材605と同じ材料を用いることができる。

【0205】

以上のような構造でEL素子を封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置が得られる。

【0206】

50

次ぎに、上記工程で得られる E L 表示装置において、画素部のさらに詳細な上面構造を図 14 (A) に、回路図を図 14 (B) に示す。図 14 (A) 及び図 14 (B) では共通の符号を用いるので互いに参照すれば良い。

【 0 2 0 7 】

スイッチング T F T 7 0 2 のソースはソース配線 7 1 5 に接続され、ドレインはドレイン配線 7 0 5 に接続される。また、ドレイン配線 7 0 5 は電流制御 T F T 7 0 6 のゲート電極 7 0 7 に電氣的に接続される。また、電流制御 T F T 7 0 6 のソースは電流供給線 7 1 6 に電氣的に接続され、ドレインはドレイン配線 7 1 7 に電氣的に接続される。また、ドレイン配線 7 1 7 は点線で示される画素電極 (陰極) 7 1 8 に電氣的に接続される。

【 0 2 0 8 】

このとき、7 1 9 で示される領域には保持容量が形成される。保持容量 7 1 9 は、電流供給線 7 1 6 と電氣的に接続された半導体膜 7 2 0、ゲート絶縁膜と同一層の絶縁膜 (図示せず) 及びゲート電極 7 0 7 との間で形成される。また、ゲート電極 7 0 7、第 1 層間絶縁膜と同一の層 (図示せず) 及び電流供給線 7 1 6 で形成される容量も保持容量として用いることが可能である。

【 0 2 0 9 】

次ぎに、上記 E L 表示装置の回路構成例を図 15 に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路 8 0 1、画素部 8 0 6 及びゲート側駆動回路 8 0 7 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【 0 2 1 0 】

ソース側駆動回路 8 0 1 は、シフトレジスタ 8 0 2、ラッチ (A) 8 0 3、ラッチ (B) 8 0 4、バッファ 8 0 5 を設けている。なお、アナログ駆動の場合はラッチ (A)、(B) の代わりにサンプリング回路 (トランスファゲート) を設ければ良い。また、ゲート側駆動回路 8 0 7 は、シフトレジスタ 8 0 8、バッファ 8 0 9 を設けている。

【 0 2 1 1 】

また、本実施例において、画素部 8 0 6 は複数の画素を含み、その複数の画素に E L 素子が設けられている。このとき、E L 素子の陰極は電流制御 T F T のドレインに電氣的に接続されていることが好ましい。

【 0 2 1 2 】

これらソース側駆動回路 8 0 1 およびゲート側駆動回路 8 0 7 は実施例 1 で得られる N チャネル型 T F T または P チャネル型 T F T で形成されている。なお、本実施例では N チャネル型 T F T または P チャネル型 T F T でソース側駆動回路 8 0 1 およびゲート側駆動回路 8 0 7 を構成した例を示したが、特に限定されない。例えば、同一基板上の T F T を全て N チャネル型 T F T を用いて作製することができる。この場合、マスク数が低減されるため有用である。また、同一基板上の T F T を全て P チャネル型 T F T を用いて作製することもできる。

【 0 2 1 3 】

なお、図示していないが、画素部 8 0 6 を挟んでゲート側駆動回路 8 0 7 の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【 0 2 1 4 】

次ぎに、本実施例の T F T に代えて、実施例 2 に示した逆スタガ型 T F T を用いて E L 表示装置を作製した例を図 16 に示す。T F T の構造が異なる点以外は図 12 と同一である。

【 0 2 1 5 】

図 16 において、9 0 0 は絶縁体であり、その上には N チャネル型 T F T 9 0 1、P チャネル型 T F T 9 0 2、P チャネル型 T F T からなるスイッチング T F T 9 0 3 および N チャネル型 T F T からなる電流制御 T F T 9 0 4 が形成されている。

10

20

30

40

50

【0216】

Nチャネル型TF T 901およびPチャネル型TF T 902の説明は実施例2を参照すれば良いので省略する。また、スイッチングTF T 903はソース領域およびド레인領域の間に二つのチャネル形成領域を有した構造(ダブルゲート構造)となっているが、実施例2でのPチャネル型TF Tの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0217】

また、電流制御TF T 904のド레인領域905の上には層間絶縁膜507a、507bが設けられる前に、第1層間絶縁膜906にコンタクトホールが設けられている。これは第2層間絶縁膜907にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第1層間絶縁膜906、第2層間絶縁膜にはド레인領域905に到達するようにコンタクトホールが形成され、ド레인領域905に接続された画素電極908が設けられている。画素電極908はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

10

【0218】

次に、画素電極908の端部を覆うように設けられたバンク913は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \text{ m}$ (好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \text{ m}$)となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

20

【0219】

また、EL素子909は画素電極(陰極)908、EL層911および陽極912からなる。陽極912は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0220】

また、本実施例は実施例4と組み合わせることができる。

【0221】

30

[実施例6]

本実施例は、実施の形態に示した工程とは異なる工程で結晶化を行った例を示す。

【0222】

本実施例では、半導体層のパターニング後にレーザー処理を行う例である。

【0223】

まず、実施例1と同様に基板1200上に、ゲルマニウムを含むシリコン膜(第1の非晶質半導体膜)1201とシリコン膜(第2の非晶質半導体膜)1202からなる積層構造を有する非晶質半導体膜を形成する。(図19(A))なお、図19(A)は図1(A)と同一であるのでここでは詳細な説明は省略する。

【0224】

40

次いで、公知のフォトリソグラフィ法によりパターニングを行い、ゲルマニウムを含むシリコン層1203とシリコン層1204からなる積層構造を有する非晶質半導体層を形成する。(図19(B))

【0225】

次いで、レーザー処理を行い結晶化させてゲルマニウムを含むシリコン層(第1の結晶質半導体層)1205とシリコン層(第2の結晶質半導体層)1206からなる積層構造を有する結晶質半導体層を形成する。なお、レーザー処理は実施の形態に示した方法を用いればよい。

【0226】

この時、パターニングされた結晶質半導体層の端部から結晶核が発生して横方向(ラテラ

50

ル方向)に結晶成長する。

【0227】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0228】

なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることができる。

【0229】

[実施例7]

本実施例は、実施の形態に示した工程とは異なる工程で結晶化を行った例を示す。

【0230】

本実施例では、パターニングした絶縁層を利用してレーザー光強度を空間的に変調させて適度な温度勾配を形成し、横方向(ラテラル方向)に結晶成長させる例である。

【0231】

まず、基板1300上に絶縁膜を形成し、その絶縁膜をパターニングして絶縁層1301を形成する。(図20(A))なお、本実施例では1つの絶縁層を用いた例を示すが特に限定されず、複数の絶縁層を用いて適宜配置してもよい。

【0232】

この絶縁層1301としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜(SiO_xN_y)、有機樹脂膜(BCB(ベンゾシクロブテン)膜、アクリル膜、ポリイミド膜)、またはこれらの積層膜等を用いることができる。

【0233】

次いで、絶縁層1301を覆って、ゲルマニウムを含むシリコン膜(第1の非晶質半導体膜)1302とシリコン膜(第2の非晶質半導体膜)1303からなる積層構造を有する非晶質半導体膜を形成する。また、絶縁層1301を覆う絶縁膜を形成した後、非晶質半導体膜を形成してもよい。

【0234】

次いで、レーザー処理を行い結晶化させてゲルマニウムを含むシリコン層(第1の結晶質半導体膜)1304とシリコン層(第2の結晶質半導体膜)1305からなる積層構造を有する結晶質半導体膜を形成する。なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0235】

この時、パターニングされた絶縁層によりレーザー光強度を空間的に変調させて、レーザー光が照射されている半導体膜中に適度な温度勾配を形成し、ラテラル方向に結晶成長する。

【0236】

こうして得られた積層構造を有する結晶質半導体膜をパターニングして形成された半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0237】

また、本実施例では絶縁層を用いたが、絶縁層に代えて金属層を用い、その上に絶縁膜を形成してから非晶質半導体膜を形成し、レーザー処理を行って結晶化させてもよい。

【0238】

なお、本実施例は実施例1乃至6のいずれか一と自由に組み合わせることができる。

【0239】

[実施例8]

本実施例は、実施の形態に示した積層構造とは異なる積層構造で結晶化を行った例を示す。本実施例では3層構造とする。

【0240】

まず、基板1400上に第1の非晶質半導体膜1401、第2の非晶質半導体膜1402、第3の非晶質半導体膜1403を順次、積層形成する。(図21(A))

【0241】

第1の非晶質半導体膜1401は、プラズマCVD法や減圧CVD法やスパッタ法を用いて形成されるシリコンを主成分とする非晶質半導体膜（非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0242】

第2の非晶質半導体膜1402は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを0.1原子%～10原子%未満、好ましくは1～5原子%の範囲で含有している非晶質半導体膜（ゲルマニウムを含む非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

10

【0243】

第2の非晶質半導体膜1402の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

20

【0244】

第3の非晶質半導体膜1403は、シリコンを主成分とする非晶質半導体膜（非晶質シリコン膜）を用いる。また、第1の非晶質半導体膜と同様に、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0245】

第3の非晶質半導体膜1403の成膜方法は、プラズマCVD法や減圧CVD法やスパッタ法、あるいはその他適宜の方法を用いればよい。

【0246】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜1401と第2の非晶質半導体膜1402と第3の非晶質半導体膜1403とを連続的に成膜することが好ましい。

30

【0247】

次いで、レーザー光の照射を行い結晶化させて第1の結晶質半導体膜1404と第2の結晶質半導体膜1405と第3の結晶質半導体膜1406とを形成する。（図21（B））なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0248】

次いで、公知のフォトリソグラフィ法によりパターニングを行い、シリコン層1407と、ゲルマニウムを含むシリコン層1408と、シリコン層1409とからなる積層構造を有する結晶質半導体層を形成する。（図21（C））

【0249】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

40

【0250】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0251】

[実施例9]

本実施例は、実施の形態に示した積層構造とは異なる積層構造で結晶化を行った例を示す。本実施例では上層にゲルマニウムを含むシリコン膜を用いる。

【0252】

まず、基板1500上に第1の非晶質半導体膜1501と、第2の非晶質半導体膜150

50

2とを積層形成する。(図22(A))

【0253】

第1の非晶質半導体膜1501は、プラズマCVD法や減圧CVD法やスパッタ法を用いて形成されるシリコンを主成分とする非晶質半導体膜(非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0254】

第2の非晶質半導体膜1502は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを0.1原子%~10原子%未満、好ましくは1~5原子%の範囲で含有している非晶質半導体膜(ゲルマニウムを含む非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0255】

第2の非晶質半導体膜1502の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【0256】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜1501と第2の非晶質半導体膜1502とを連続的に成膜することが好ましい。

【0257】

次いで、レーザー光の照射を行い結晶化させて第1の結晶質半導体膜1503と第2の結晶質半導体膜1504とを形成する。(図22(B))なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0258】

次いで、公知のフォトリソグラフィ法によりパターンニングを行い、シリコン層1505と、ゲルマニウムを含むシリコン層1506とからなる積層構造を有する結晶質半導体層を形成する。(図22(C))

【0259】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0260】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0261】

[実施例10]

本実施例は、実施の形態に示した積層構造とは異なる積層構造で結晶化を行った例を示す。本実施例では3層構造とする。

【0262】

まず、基板1600上に第1の非晶質半導体膜1601、第2の非晶質半導体膜1402、第3の非晶質半導体膜1603を順次、積層形成する。(図23(A))

【0263】

第1の非晶質半導体膜1601は、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)、好ましくは、シリコンを主成分としゲルマニウムを0.1原子%~10原子%未満、好ましくは1~5原子%の範囲で含有している非晶質半導体膜(ゲルマニウムを含む非晶質シリコン膜)を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結

晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0264】

第1の非晶質半導体膜1601の成膜方法は、特に限定されず、プラズマCVD法や減圧CVD法で形成してもよいし、ゲルマニウムを含むシリコンからなるターゲットを用いたスパッタ法で形成してもよいし、プラズマCVD法や減圧CVD法やスパッタ法で得られたシリコン膜にゲルマニウムをイオン注入して形成してもよい。

【0265】

第2の非晶質半導体膜1602は、プラズマCVD法や減圧CVD法やスパッタ法を用いて形成されるシリコンを主成分とする非晶質半導体膜（非晶質シリコン膜）を用いる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましく、後に行われる非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0266】

第3の非晶質半導体膜1603は、第1の非晶質半導体膜と同様の非晶質半導体膜（ゲルマニウムを含む非晶質シリコン膜）を用いる。また、第1の非晶質半導体膜と同様に、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とすることが好ましい。

【0267】

第3の非晶質半導体膜1403の成膜方法は、第1の非晶質半導体膜と同じ形成方法を用いればよい。

【0268】

また、汚染を防ぐために大気に触れることなく、第1の非晶質半導体膜1601と第2の非晶質半導体膜1602と第3の非晶質半導体膜1603とを連続的に成膜することが好ましい。

【0269】

次いで、レーザー光の照射を行い結晶化させて第1の結晶質半導体膜1604と第2の結晶質半導体膜1605と第3の結晶質半導体膜1606とを形成する。（図23（B））
なお、レーザー処理は実施の形態で示した方法を用いればよい。

【0270】

次いで、公知のフォトリソグラフィ法によりパターニングを行い、ゲルマニウムを含むシリコン層1607と、シリコン層1608と、ゲルマニウムを含むシリコン層1609とからなる積層構造を有する結晶質半導体層を形成する。（図23（C））

【0271】

こうして得られた積層構造を有する結晶質半導体層を用いたTFT等の素子は優れた電気特性を有する。

【0272】

なお、本実施例は実施例1乃至7のいずれか一と自由に組み合わせることができる。

【0273】

[実施例11]

本実施例は、図24を用いて、実施例1とは異なる方法でアクティブマトリクス基板を形成した例を示す。

【0274】

まず、実施の形態及び実施例1に従って、基板300上に下地絶縁膜308a、308bを形成し、さらにその上に各TFT301～304の活性層及び保持容量305の半導体層を形成する。

【0275】

次いで、ゲート絶縁膜、第1の導電膜（TaN）、及び第2の導電膜（W）を積層形成する。ここでは、第1の導電膜としてTaN、第2の導電膜としてWを用いる例を示すが、

10

20

30

40

50

特に限定されないことはいうまでもない。

【0276】

次いで、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICPEッチング法を用い、エッチング用ガスに CF_4 と Cl_2 とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。

【0277】

上記第1のエッチング処理により、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は $15 \sim 45^\circ$ となる。こうして第1の導電膜及び第2の導電膜をエッチングして、第1の形状の導電層(第1の導電層と第2の導電層)を形成する。この第1のエッチングの際、第1の形状の導電層で覆われない領域のゲート絶縁膜は20~50nm程度エッチングされる。

10

【0278】

次いで、上記レジストからなるマスクを除去せずに第2のエッチング処理を行う。エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。

【0279】

上記第2のエッチング処理によりW膜を異方性エッチングし、かつ、第1の導電層であるTa₂N膜がW膜より遅いエッチング速度でわずかにエッチングされ、第2の形状の導電層(第1の導電層と第2の導電層)を形成する。なお、この第2のエッチングの際においても、第2の形状の導電層で覆われない領域のゲート絶縁膜は、さらにエッチングされて薄くなる。

20

【0280】

次いで、第1のドーピング処理を行う。ここでは、高い加速電圧の条件にしてn型を付与する不純物元素(リンまたは砒素)をドーピングし、自己整合的に不純物領域(A)を形成する。ドーピングは、第2の導電層を不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。

【0281】

次いで、レジストからなるマスクを除去した後、第2の形状の導電層をマスクとして用い、ゲート絶縁膜を選択的に除去して絶縁層を形成する。

30

【0282】

次いで、フォトリソグラフィ法を用いてレジストからなるマスクを形成した後、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーパ量を上げ、低い加速電圧の条件としてn型を付与する不純物元素を半導体層にドーピングして不純物領域(B)を形成する。こうして、nチャネル型TFETのソース領域またはドレイン領域となる不純物領域(B)309、310、311を形成することができた。また、画素部において、第2の形状の導電層(ゲート電極)313と重なる不純物領域(A)312aと、不純物領域(B)311との間には、第2の形状の導電層(ゲート電極)と重ならない領域312bが形成される。この領域312bはLDD領域として機能する。

40

【0283】

そして、レジストからなるマスクを除去した後、nチャネル型TFETを覆って新たにレジストからなるマスクを形成して、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFETの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域(C)319~323を自己整合的に形成する。本実施例では、不純物領域(C)はジボラン(B_2H_6)を用いたイオンドーパ法で形成する。なお、不純物領域(C)319~323にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。

50

【 0 2 8 4 】

次いで、レジストからなるマスクを除去し、全面を覆う第 1 の層間絶縁膜 3 2 4 を形成する。

【 0 2 8 5 】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。

【 0 2 8 6 】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。半導体層と重なる第 2 の形状の導電層 3 1 3 ~ 3 1 6 がゲート電極として機能する。また、3 1 7 はソース配線、3 1 8 は保持容量を形成する電極として機能する。

【 0 2 8 7 】

さらに、3 % の水素を含む窒素雰囲気中で、3 0 0 ~ 5 5 0 で 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。

【 0 2 8 8 】

次いで、第 1 の層間絶縁膜 3 2 4 上に有機樹脂材料から成る第 2 の層間絶縁膜 3 2 5 を形成する。次いで、ソース配線 3 1 7 に達するコンタクトホールと不純物領域 (B) 3 0 9 ~ 3 1 1、及び各不純物領域 (C) 3 1 9、3 2 2 に達するコンタクトホールを形成するためのパターニングを行う。

【 0 2 8 9 】

そして、駆動回路において、不純物領域 (B) 3 0 9 ~ 3 1 1 または不純物領域 (C) 3 1 9、3 2 2 とそれぞれ電氣的に接続する配線 3 2 6 ~ 3 3 1 を形成する。

【 0 2 9 0 】

また、画素部においては、画素電極 3 3 2、ゲート配線 3 3 3、接続電極 3 3 4 を形成する。この接続電極 3 3 4 によりソース配線 3 1 7 は、画素 T F T と電氣的な接続が形成される。また、ゲート配線 3 3 3 は、ゲート電極 (第 2 の形状の導電層 3 1 3) と電氣的な接続が形成される。また、画素電極 3 3 2 は、画素 T F T のドレイン領域と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層と電氣的な接続が形成される。

【 0 2 9 1 】

以上の様にして、n チャンネル型 T F T 3 0 1、p チャンネル型 T F T 3 0 2、n チャンネル型 T F T 3 0 3 を有する駆動回路 3 0 6 と、画素 T F T 3 0 4、保持容量 3 0 5 とを有する画素部 3 0 7 を同一基板上に形成することができる。

【 0 2 9 2 】

駆動回路の n チャンネル型 T F T 3 0 1 の半導体層はチャネル形成領域 3 3 7、ゲート電極を形成する第 2 の形状の導電層 3 1 4 と重なる不純物領域 (A) 3 3 5 (G O L D 領域) とソース領域またはドレイン領域として機能する不純物領域 (B) 3 0 9 を有している。また、p チャンネル型 T F T 3 0 2 の半導体層はチャネル形成領域 3 3 8、ゲート電極を形成する第 2 の形状の導電層 3 1 5 と重なる不純物領域 (C) 3 2 1、ソース領域またはドレイン領域として機能する不純物領域 (C) 3 1 9、3 2 0 を有している。また、n チャンネル型 T F T の半導体層はチャネル形成領域 3 3 9、ゲート電極を形成する第 2 の形状の導電層 3 1 6 と重なる不純物領域 (A) 3 3 6 (G O L D 領域)、ソース領域またはドレイン領域として機能する不純物領域 (B) 3 1 0 を有している。

【 0 2 9 3 】

画素部の画素 T F T の半導体層はチャネル形成領域 3 4 0、ゲート電極を形成する第 2 の形状の導電層 3 1 3 と重なる不純物領域 (A) 3 1 2 a (G O L D 領域)、ゲート電極の外側に形成される不純物領域 3 1 2 b (L D D 領域) とソース領域またはドレイン領域として機能する不純物領域 (B) 3 1 1 を有している。また、保持容量の一方の電極として機能する半導体層 3 2 2、3 2 3 には不純物領域 (C) と同じ濃度で、それぞれ p 型を付与する不純物元素が添加されている。保持容量は、絶縁層 3 4 1 (ゲート絶縁膜と同一膜) を誘電体として、電極 3 1 8 と、半導体層 3 2 2、3 2 3 とで形成している。

【 0 2 9 4 】

10

20

30

40

50

以降の工程は実施例 1 に従えばよいのでここでは省略する。

【 0 2 9 5 】

[実施例 1 2]

本実施例は、実施の形態に示したレーザー処理とは異なる方法で結晶化を行った例を示す。

【 0 2 9 6 】

本実施例では、薄い金属板をレーザーの光路上に設け、レーザー光強度を空間的に変調させて、レーザー光が照射されている半導体膜中に適度な温度勾配を形成し、ラテラル方向に結晶成長させる。

【 0 2 9 7 】

図 2 5 は、本実施例のレーザー処理を模式的に示した図である。

【 0 2 9 8 】

図 2 5 中、1 7 0 0 は基板、1 7 0 1 は第 1 の非晶質半導体膜（ゲルマニウム含む非晶質シリコン膜）、1 7 0 2 は第 2 の非晶質半導体膜（非晶質シリコン膜）である。

【 0 2 9 9 】

レーザー光 1 7 0 3 は第 1 の非晶質半導体膜及び第 2 の非晶質半導体膜に照射されるが、レーザー光の光路の一部に配置された薄い金属板 1 7 0 4 によって回折を生じさせてエネルギー強度に変化を与える。即ち、レーザー光強度を空間的に変調させて、レーザー光が照射されている半導体膜中に適度な温度勾配を形成する。こすることによって、ラテラル方向に結晶成長して良好な結晶質半導体膜を形成することができる。

【 0 3 0 0 】

本実施例ではレーザー光強度を空間的に変調させる手段として、薄い金属板を用いたが、特に限定されず、レンズや光学フィルター等を用いてレーザー光強度を空間的に変調させてもよい。

【 0 3 0 1 】

なお、本実施例は実施例 1 乃至 1 1 のいずれか一と自由に組み合わせることができる。

【 0 3 0 2 】

[実施例 1 3]

図 2 6 で説明する結晶質半導体膜の作製方法は、絶縁表面上にシリコンを主成分とし、ゲルマニウムを含有する第 1 の非晶質半導体膜と、シリコンを主成分とする第 2 の非晶質半導体膜を形成し、第 2 の非晶質半導体膜の全面にシリコンの結晶化を助長する元素を添加して結晶化を行う方法である。まず、図 2 6 (A) において、ガラス基板 3 2 0 1 はコーニング社の # 1 7 3 7 ガラス基板に代表されるガラス基板を用いる。基板 3 2 0 1 の表面には、ブロッキング層 3 2 0 2 としてプラズマ C V D 法で SiH_4 と N_2O を用い酸化窒化シリコン膜を 5 0 ~ 2 0 0 nm の厚さに形成する。その一例は、プラズマ C V D 法で SiH_4 と NH_3 と N_2O から作製される酸化窒化シリコン膜を 5 0 nm、及び SiH_4 と N_2O から作製される酸化窒化シリコン膜を 1 0 0 nm 積層させた 2 層構造や、或いは、窒化シリコン膜と TEOS (Tetraethyl Ortho Silicate) を用いて作製される酸化シリコン膜を積層させた 2 層構造としても良い。ブロッキング層 3 2 0 2 はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設ける。

【 0 3 0 3 】

シリコンを主成分とし、ゲルマニウムを含む第 1 の非晶質半導体膜 3 2 0 3 はプラズマ C V D 法により作製し、 SiH_4 と H_2 で 1 0 % に希釈された GeH_4 ガスを反応室に導入し、グロー放電分解して基板 3 2 0 1 上に堆積させる。作製条件は表 1 に従うものとする。 SiH_4 ガスと、 H_2 で 1 0 % に希釈された GeH_4 ガスの合計流量は 1 0 0 S C C M とし、 H_2 で 1 0 % に希釈された GeH_4 ガスの流量を 5 ~ 5 0 S C C M の範囲で変化させて第 1 の非晶質半導体膜 3 2 0 3 を形成する。

【 0 3 0 4 】

次いで、 SiH_4 ガスを用いてシリコンを主成分とする第 2 の非晶質半導体膜 3 2 0 4 の形成を行う。第 1 の非晶質半導体膜は 5 ~ 3 0 nm の厚さに、第 2 の非晶質半導体膜に厚

10

20

30

40

50

さは15～70nmの厚さに形成する。

【0305】

そして図26(B)で示すように、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層3205を形成する。この場合、当該溶液の馴染みをよくするために、第2の非晶質半導体膜3204の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンの表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0306】

次に、500℃にて1時間の加熱処理を行い、第1の非晶質半導体膜及び第2の非晶質半導体膜に含まれる水素を放出させる。そして、550℃にて4時間に加熱処理を行う。こうして、図26(C)に示す第1の結晶質半導体膜3206、第2の結晶質半導体膜3207を得ることができる。結晶化は前述のように第1の非晶質半導体膜から始まり、その結晶方位を反映して第2の非晶質半導体膜が結晶化する。

【0307】

さらに結晶化率(膜の全体積における結晶成分の割合)を高め、結晶粒内に残される欠陥を補修するために、第1の結晶質半導体膜3206、第2の結晶質半導体膜3207に対してレーザー光3208を照射するレーザー処理を行う。レーザーは波長308nmにて30Hzで発振するエキシマレーザー光を用いる。当該レーザー光は光学系にて400～600mJ/cm²に集光し、90～95%のオーバーラップ率をもってレーザー処理を行う。こうして図26(D)に示す結晶質半導体膜3209を得ることができる。

【0308】

[実施例14]

非晶質半導体膜の結晶化を助長する元素を選択的に形成する方法を図27を用いて説明する。図27(A)において、基板3201はガラス基板または石英基板を採用する。ガラス基板を用いる場合には、実施例13と同様にブロッキング層3202を設ける。

【0309】

シリコンを主成分とし、ゲルマニウムを含む第1の非晶質半導体膜3203、シリコンを主成分とする第2の非晶質半導体膜3204は共に実施例13と同様に形成する。また、プラズマCVD法の他に、減圧CVD法を用い、Si₂H₆とGeH₄を400～500℃の温度で分解して形成する方法も採用可能である。

【0310】

そして、第2の非晶質半導体膜3204上に150nmの厚さの酸化シリコン膜3210を形成する。酸化シリコン膜の作製方法は限定されないが、例えば、オルトケイ酸テトラエチル(Tetraethyl Ortho Silicate: TEOS)とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させ形成する。

【0311】

次に、酸化シリコン膜3210に開孔部3211を形成し、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層3212が形成され、ニッケル含有層3212は開孔部3211の底部のみで第2の非晶質半導体膜3204と接触する。

【0312】

結晶化は、加熱処理の温度500～650℃で4～24時間、例えば570℃にて14時間の熱処理を行う。ニッケルは第2の非晶質半導体膜3204との接触部から第2及び第1の非晶質半導体膜中に拡散し、NiSi₂による核が形成される。そして、その核から基板表面と平行な方向に結晶化が進行する。こうして形成された第1の結晶質半導体膜3214、第2の結晶質半導体膜3213は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。3215は相互に成

10

20

30

40

50

長してきた結晶の成長端であり、この部分にはニッケルが他の領域と比較して高い濃度で存在している。その後、酸化シリコン膜 3 2 1 0 を除去すれば図 2 7 (C) に示す結晶質半導体膜を得ることができる。

【 0 3 1 3 】

[実施例 1 5]

実施例 1 3 又は実施例 1 4 の方法に従い作製される結晶質半導体膜には結晶化において利用したシリコンの結晶化を助長する元素が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19} / \text{cm}^3$ を越える濃度で残存している。勿論、このような状態でも T F T をはじめ各種半導体装置のチャネル形成領域に用いることが可能であるが、より好ましくは、ゲッタリングにより当該金属元素を除去する

10

【 0 3 1 4 】

本実施例はゲッタリング方法の一例を図 2 8 により説明する。図 2 8 (A) において、基板 3 2 0 1 は実施例 1 3 または実施例 1 4 のガラス基板、或いは石英基板が採用される。ガラス基板を用いる場合には、実施例 1 3 と同様にブロッキング層 3 2 0 2 を設ける。また、第 1 の結晶質半導体膜 3 2 1 4、第 2 の結晶質半導体膜 3 2 1 3 は実施例 1 3 又は実施例 1 4 のいずれの方法で作製されたものであっても良い。第 2 の結晶質半導体膜 3 2 1 3 の表面には、マスク用の酸化シリコン膜 3 2 2 0 が 150 nm の厚さに形成され、開孔部 3 2 2 1 が設けられ結晶質シリコン膜が露出した領域が設けられている。実施例 1 4 に従う場合には、図 2 7 (A) で示す酸化シリコン膜 3 2 1 0 をそのまま利用可能であり、図 2 7 (B) の工程の後からそのまま本実施例の工程に移行することもできる。そして、イオンドープ法によりリンを添加して、 $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ の濃度のリン添加領域 3 2 2 2 を形成する。

20

【 0 3 1 5 】

そして、図 2 8 (B) に示すように、窒素雰囲気中で $550 \sim 800$ 、 $5 \sim 24$ 時間、例えば 600 にて 12 時間の熱処理を行うと、リン添加領域 3 2 2 2 がゲッタリングサイトとして働き、第 1 の結晶質半導体膜 3 2 1 4 及び第 2 の結晶質半導体膜 3 2 1 3 に残存していた触媒元素はリン添加領域 3 2 2 2 に偏析させることができる。

【 0 3 1 6 】

その後、図 2 8 (C) で示すようにマスク用の酸化シリコン膜 3 2 2 0 と、リンが添加領域 3 2 2 2 とをエッチングして除去することにより、結晶化の工程で使用した金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満にまで低減された第 1 の結晶質半導体膜 3 2 2 5、第 2 の結晶質半導体膜 3 2 2 4 を得ることができる。

30

【 0 3 1 7 】

[実施例 1 6]

本実施例は、結晶粒内欠陥、或いは、絶縁膜との界面準位を低減し、T F T など好適に利用できる方法を示す。図 2 9 (A) で示す第 1 の結晶質半導体膜 3 3 5 2、第 2 の結晶質半導体膜 3 3 5 3 は実施例 1 3 又は実施例 1 4 にて作製されるものが適用される。或いは、実施例 1 5 で説明するゲッタリング処理が施されたものであっても良い。しかしながら、本実施例においては、少なくとも $700 \sim 1000$ 程度の耐熱性を有する基板が必要であり、石英基板 3 3 5 1 を用いる必要がある。

40

【 0 3 1 8 】

第 2 の結晶質半導体膜 3 3 5 3 の絶縁膜 3 3 5 4 は、酸化シリコンを主成分とする材料で形成する。例えば、プラズマ C V D 法で作製される酸化シリコン膜または酸化窒化シリコン膜を 50 nm の厚さで形成する。

【 0 3 1 9 】

絶縁膜 3 3 5 4 が形成された状態で、図 2 9 (B) で示すように、ハロゲン（代表的には塩素）と酸素を含む雰囲気中で加熱処理を行う。本実施例では、 950 にて 30 分とする。尚、処理温度は $700 \sim 1100$ の範囲で選択すれば良く、処理時間も 10 分から 8 時間の間で選択することが可能である。

50

【0320】

この加熱処理により第2の結晶質半導体膜3353と絶縁膜3354との界面で約20nmの酸化膜3355が形成され、膜厚の薄くなった第2の結晶質半導体膜3356が形成される。また、ハロゲン雰囲気での酸化の過程で、絶縁膜3354と第1及び第2の結晶質半導体膜に含まれる不純物元素の内、特に金属不純物元素はハロゲンと化合物を形成し気相中に除去することができる。さらに、このような処理により得られる酸化膜3355と第2の結晶質半導体膜3356の界面は、界面準位密度が低くなり非常に良好なものとなる。

【0321】

[実施例17]

次に、このようなゲルマニウムを含む結晶質シリコン膜を利用して、TF Tを作製する例を示す。図30は本実施例の作製工程を説明する図であり、nチャネル型TF Tを作製する工程を示す。勿論、同様の工程によりpチャネル型TF Tを作製することもできる。

【0322】

図30(A)において、基板3301上にはシリコンを主成分とし、ゲルマニウムを含有する第1の結晶質半導体膜3320とシリコンを主成分とする第2の結晶質半導体膜3321を形成するが、これらの結晶質半導体膜は、実施例13～実施例16で示す方法により作製されるものであれば何れも適用可能である。TF Tを作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割しておく。基板3301がガラス基板である場合には、ブロッキング層3302を設ける。

【0323】

絶縁膜3307はTF Tにおいてゲート絶縁膜として利用されるものであり30～200nmの厚さで形成する。この絶縁膜3307はプラズマCVD法によりSiH₄とN₂Oとから作製される酸化窒化シリコン膜、或いはTEOSとN₂Oとから作製される酸化窒化シリコン膜などで形成する。本実施例では前者を選択し、70nmの厚さに形成する。また、実施例16で示す方法で絶縁膜3307を形成しても良い。

【0324】

低濃度ドレイン(LDD:Lightly Doped Drain)領域を形成する場合には、この段階でマスク3322を形成し、イオンドープ法またはイオン注入法などで一導電型の不純物を第1及び第2の結晶質半導体膜に添加して第1の不純物領域3323を形成する。nチャネル型TF Tの場合にはリンを添加し、第1の不純物領域3323におけるリンの平均濃度は $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ の範囲とする。

【0325】

そして、図30(B)で示すように絶縁膜3307上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極3324を形成する。

【0326】

次に、図30(C)で示すように、TF Tのソース及びドレイン領域を形成する第2の不純物領域3325を形成する。第2の不純物領域3325はイオンドープ法により形成し、nチャネル型TF Tであればリン、砒素に代表される周期律表第15族の元素、pチャネル型TF Tであればボロンに代表される周期律表第13族の元素を添加する。

【0327】

その後、図30(D)に示すように、プラズマCVD法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜3327を形成する。また、添加された不純物元素は活性化のために350～500の加熱処理が必要とされるが、この加熱処理は層間絶縁膜3327を形成した後に行い、窒化シリコン膜、窒化酸化シリコン膜中に含まれる水素を放出させ、第1及び第2の結晶質半導体膜に拡散させることにより、当該結晶質半導体膜中の欠陥を水素で補償することができる。さらに、ソース及びドレイン電極3328を形成しTF Tを得ることができる。

【0328】

こうして作製されるnチャネル型TFTは、第1及び第2の結晶質半導体膜によって形成されるチャンネル形成領域3329、LDD領域(第1の不純物領域)3326、ソースまたはドレイン領域(第3の不純物領域)3325を有している。図30(C)で示すようにLDD領域3326はゲート電極3324とオーバーラップさせて形成することも可能である。勿論、シングルドレイン構造やLDD構造を形成することも可能である。こうして作製されるTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとて、また従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0329】

[実施例18]

本実施例は、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS型のTFTを作製する一例について図31を用いて説明する。

【0330】

図31(A)において、基板3301上にはシリコンを主成分とし、ゲルマニウムを含有する第1の結晶質半導体膜3303と、シリコンを主成分とする第2の結晶質半導体膜3304を形成する。これらの結晶質半導体膜は実施例13～実施例16で示す工程により作製されるいずれのものも適用可能である。また、基板3301がガラス基板である場合には、ブロッキング層3302を設ける。結晶質半導体膜は素子分離のため所定の大きさにエッチングされ、島状の半導体層3305、3306が形成されている。

【0331】

第1絶縁膜3307はTFTにおいてゲート絶縁膜として利用されるものであり30～200nmの厚さで形成する。この第1絶縁膜3307はプラズマCVD法により SiH_4 と N_2O とから作製される酸化窒化シリコン膜、或いはTEOSと N_2O とから作製される酸化窒化シリコン膜などで形成する。本実施例では前者を選択し、75nmの厚さに形成する。また、実施例16で示す方法で第1絶縁膜3307を形成しても良い。

【0332】

第1絶縁膜3307上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極3308、3309を形成する。

【0333】

次に、図31(B)ではnチャネル型TFTのLDD領域を形成するためにイオンドープ法でリンをドーピングする。ドーピングガスには H_2 で0.1～5%に希釈したフォスフィン(PH_3)を用いる。ドーピングの条件は適宜決定するものとするが、半導体層3305、3306に形成される第1不純物領域3310、3311は平均的な濃度として $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となるようにする。この際、ゲート電極3308、3309はドーピングされるリンに対するマスクとなり、不純物領域3310、3311は自己整合的に形成される。

【0334】

そして、図31(C)で示すように、フォトリジストを用いたマスク3312を形成し、再びイオンドープ法でリンをドーピングする。このドーピングにより作製される第2不純物領域3313、3314のリンの平均濃度は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ となるようにする。こうして、半導体層3305に形成される第1不純物領域3315はLDD領域となり、第2不純物領域3313はソース及びドレイン領域となる。

【0335】

pチャネル型TFTは図31(D)で示すように、フォトリジストを用いたマスク3316を形成し、半導体層3306にホウ素をドーピングする。ドーピングガスには H_2 で0.1～5%に希釈したジボラン(B_2H_6)を用いる。半導体層3306に形成される第3不純物領域3317は、n型からp型に反転させるためにリン濃度と比較して1.5～3倍のホウ素を添加し、平均濃度は $1.5 \times 10^{20} \sim 3 \times 10^{21} / \text{cm}^3$ となるようにする。こうして、半導体層3306に形成される第3不純物領域3317はpチャネル型TFT

10

20

30

40

50

Tのソース及びドレイン領域となる。

【0336】

その後、プラズマCVD法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜318を形成する。また、添加された不純物元素は活性化のために350～500の加熱処理が必要とされるが、この加熱処理は層間絶縁膜3318を形成した後に、窒化シリコン膜、窒化酸化シリコン膜中に含まれる水素を放出させ、半導体層3305、3306に拡散させることにより、水素化を行い半導体中及びその界面の欠陥を補償することができる。さらに、ソース及びドレイン電極3319、3320を形成しTF Tを得ることができる。

【0337】

以上の工程で、nチャネル型TF Tとpチャネル型TF Tとを相補的に組み合わせたCMOS型のTF Tを得ることができる。nチャネル型TF Tはチャネル形成領域3321とソース及びドレイン領域3313との間にLDD領域3315が形成され、ドレイン端における電界の集中を防いでいる。このようなCMOS型のTF Tは、アクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することを可能とする。pチャネル型TF Tには、チャネル形成領域322とソースまたはドレイン領域3317が形成されている。このようなnチャネル型TF Tまたはpチャネル型TF Tは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTF Tとして用いることができる。

【0338】

[実施例19]

実施例17及び実施例18で示すTF Tの作製方法を用いることにより、駆動回路と画素部を同一基板上に形成したアクティブマトリクス型の表示装置を作製することができる。図32と図33にその一例を示す。

【0339】

図32は基板3401に形成された駆動回路3444と画素部3445のTF Tの断面図を示している。画素部3445における画素TF T（スイッチング用のTF T）3442と駆動回路3444のnチャネル型TF T3441及びpチャネル型TF T3440は、いずれも実施例13～実施例16で示すいずれかの方法により作製されるものを適用している。

【0340】

図32において、基板3401は、好適にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。その他に石英基板を用いても良い。ガラス基板を用いる場合にはブロッキング層3402が形成される。

【0341】

画素部3445におけるスイッチング用の画素TF T3442と駆動回路3444のnチャネル型TF T3441及びpチャネル型TF T3440の構造に限定はないが、本実施例では実施例17または実施例18により作製されるTF Tを用いて説明する。

【0342】

駆動回路3444にはソースまたはドレイン配線3415～3418が形成されている。また、画素部3445においては、画素電極3419、ゲート配線3420、接続電極3421、ソース配線3411が形成されている。ゲート電極3408～3410の上層に形成されるパッシベーション膜3413は窒化シリコン膜や酸化窒化シリコン膜で50～200nmの厚さに形成され、層間絶縁膜3414は酸化シリコンなどの無機絶縁材料またはポリイミド、アクリルなどの有機絶縁材料を用いて500～2000nmの厚さで形成されている。

【0343】

駆動回路3444のpチャネル型TF T3440には、半導体層3403にチャネル形成領域3422、ソース領域またはドレイン領域として機能するp型の不純物領域3423を有している。

10

20

30

40

50

【0344】

nチャネル型TF T 3 4 4 1には、半導体層3 4 0 4にチャネル形成領域3 4 2 4、ゲート電極3 4 0 9と重なるn型の不純物領域3 4 2 5 (GOLD領域: Gate Overlapped Drain)とソース領域またはドレイン領域として機能するn型の不純物領域3 4 2 6を有している。

【0345】

画素TF T 3 4 4 2には、半導体層3 4 0 5にチャネル形成領域3 4 2 7、ゲート電極3 4 1 0の外側に形成されるn型の不純物領域3 4 2 8 (LDD領域)とソース領域またはドレイン領域として機能するn型の不純物領域3 4 2 9、3 4 3 0、3 4 3 1を有している。また、保持容量3 4 4 3の一方の電極として機能する半導体層3 4 0 6はn型の不純物領域3 4 3 2、3 4 3 3が形成されている。

10

【0346】

画素部3 4 4 5においては、接続電極3 4 2 1によりソース配線3 4 1 1は、画素TF T 3 4 4 2のソースまたはドレイン領域3 4 2 9と電気的な接続が形成される。また、ゲート配線3 4 2 0は、ゲート電極3 4 1 0と電気的な接続が形成される。また、画素電極3 4 1 9は、画素TF T 3 4 4 2のソースまたはドレイン領域3 4 3 1及び保持容量3 4 4 3の一方の電極である半導体層3 4 0 6の不純物領域3 4 3 3と接続している。

【0347】

図3 2における画素部3 4 4 5の断面図は、図3 3で示すA - A'線に対応したものである。ゲート電極3 4 1 0は隣接する画素の保持容量の一方の電極を兼ね、画素電極3 4 5 2と接続する半導体層3 4 5 3と重なる部分で容量を形成している。また、ソース配線3 4 1 1と画素電極3 4 1 9及び隣接する画素電極3 4 5 1との配置関係は、画素電極3 4 1 9、3 4 5 1の端部をソース配線3 4 1 1上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。

20

【0348】

[実施例20]

本実施例は、画素部と駆動回路が同一基板上に形成されたモノシリック型の液晶表示装置の構成の他の一例を図4 3を用いて説明する。画素部3 8 5 2における画素TF T (スイッチング用のTF T) 3 8 5 5と駆動回路3 8 5 1のnチャネル型TF T 3 8 5 4及びpチャネル型TF T 3 8 5 3に用いる結晶質半導体膜は、実施例1 3 ~ 実施例1 5で示すいずれかの方法により作製されるものを適用している。

30

【0349】

図4 3において、基板3 8 0 1は、好適にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。その他に石英基板を用いても良い。ガラス基板を用いる場合にはブロッキング層3 8 0 2が形成される。3 8 1 4、3 8 1 5はパッシベーション膜であり、窒化シリコン膜や酸化窒化シリコン膜などから形成される。3 8 1 6は層間絶縁膜であり、酸化シリコンなどの無機絶縁材料またはポリイミド、アクリルなどの有機絶縁材料を用いて形成されている。

【0350】

画素部3 8 5 2におけるスイッチング用の画素TF T 3 8 5 5と駆動回路3 8 5 1のnチャネル型TF T 3 8 5 4及びpチャネル型TF T 3 8 5 3はゲート電極を利用して自己整合的に形成された不純物領域を有している。

40

【0351】

駆動回路3 8 5 1には配線3 8 1 2、3 8 1 7及びソースまたはドレイン配線3 8 1 8 ~ 3 8 2 1が形成されている。また、画素部3 8 5 2においては、画素電極3 8 2 4、ゲート配線3 8 2 3、接続電極3 8 2 2、ソース配線3 8 1 3が形成されている。

【0352】

駆動回路3 8 5 1のpチャネル型TF T 3 8 5 3には、半導体層3 8 0 3にチャネル形成領域3 8 2 6、ソース領域またはドレイン領域として機能するp型の不純物領域3 8 2 7を有している。p型の不純物領域3 8 2 7はゲート電極3 8 0 8を利用して自己整合的に

50

形成されたものである。

【0353】

nチャネル型TFT3854には、半導体層3804にチャネル形成領域3828、ゲート電極3809と重なるn型の不純物領域3829とソース領域またはドレイン領域として機能するn型の不純物領域3830を有している。n型の不純物領域3829はゲート電極3809を利用して自己整合的に形成されている。

【0354】

画素TFT3855には、半導体層3805にチャネル形成領域3831、ゲート電極3810と重なるn型の不純物領域3832a、ゲート電極3810の外側に形成されるn型の不純物領域3832b(LDD領域)とソース領域またはドレイン領域として機能するn型の不純物領域3833、3834、3835を有している。n型の不純物領域3832aはゲート電極3810を利用して自己整合的に形成されるものであるが、n型の不純物領域3832bはマスクを用いて非自己整合的に形成されるものである。また、保持容量3856の一方の電極として機能する半導体層3806はn型の不純物領域3837、3838と不純物が添加されない領域3836が形成されている。

【0355】

画素部3852においては、接続電極3822によりソース配線3813は、画素TFT3855のソースまたはドレイン領域3833と電気的に接続している。また、ゲート配線3823は、ゲート電極3810と電気的な接続が形成される。また、画素電極3824は、画素TFT3855のソースまたはドレイン領域3835及び保持容量3856の一方の電極である半導体層3806の不純物領域3838と接続している。

【0356】

また、図43における画素部3855のA-A'線は、図33で示す画素の上面図と対応付けて見ることができる。このような構造のTFTを用いてアクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することができる。それ以外にも、このようなnチャネル型TFTまたはpチャネル型TFTは、画素部を形成するトランジスタに適用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0357】

[実施例21]

ここでは、上記実施例17又は実施例18で得られるTFTを用いてEL(エレクトロルミネセンス)表示装置を作製した例について図34を用い以下に説明する。

【0358】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例(但し封止前の状態)を図34に示す。なお、駆動回路には基本単位となるCMOS回路を示し、画素部には一つの画素を示す。このCMOS回路は実施例18に従えば得ることができる。

【0359】

図34において、基板3600は絶縁体であり、その上にはnチャネル型TFT3601、pチャネル型TFT3602、pチャネル型TFTからなるスイッチングTFT3603およびnチャネル型TFTからなる電流制御TFT3604が形成されている。これらのTFTのチャネル形成領域は、本発明に基づき作製される結晶質半導体膜で形成され、その具体的な作製方法は実施例13～実施例16に示されている。

【0360】

nチャネル型TFT3601およびpチャネル型TFT3602は実施例18を参照すれば良いので省略する。また、スイッチングTFT3603はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造(ダブルゲート構造)となっているが、実施例14でのpチャネル型TFTの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

10

20

30

40

50

【0361】

また、電流制御TF T 3604のドレイン領域3605の上には第2層間絶縁膜3607が設けられる前に、第1層間絶縁膜3606にコンタクトホールが設けられている。これは第2層間絶縁膜3607にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第2層間絶縁膜3607にはドレイン領域3605に到達するようにコンタクトホールが形成され、ドレイン領域3605に接続された画素電極3608が設けられている。画素電極3608はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0362】

次に、3613は画素電極3608の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク3613は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \text{ m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \text{ m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0363】

また、EL素子3609は画素電極（陰極）3608、EL層3611および陽極3612からなる。陽極3612は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。

【0364】

尚、ここでは図示しないが陽極3612を形成した後、EL素子3609を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0365】

[実施例22]

図39は本発明の結晶質半導体膜を用いて作製される逆スタガ型のTF Tの断面図である。シリコンを主成分とし、ゲルマニウムを含有する第1の結晶質半導体膜及びシリコンを主成分とする第2の結晶質半導体膜は、ガラスまたは石英などの基板3301上にゲート電極3360、3361、ゲート絶縁膜3362が形成された絶縁表面上にも形成可能である。上記結晶質半導体膜を得る方法は、実施例13～実施例16の方法により作製することができる。

【0366】

ゲルマニウムを含有する第1の結晶質半導体膜及びシリコンを主成分とする第2の結晶質半導体膜とを積層して島状の半導体層3363、3364が形成されている。nチャネル型TF T 3380は半導体層3363を用いて作製され、チャネル形成領域3373とn型不純物（ドナー）をドーピングして作製されるLDD領域3374及びソースまたはドレイン領域3375が形成されている。pチャネル型TF T 3381は半導体層3364を用いて作製され、チャネル形成領域3376とp型不純物（アクセプタ）をドーピングして作製されるソースまたはドレイン領域3377が形成されている。

【0367】

チャネル形成領域3373、3376上にはチャネル保護膜3365、3366が形成され、パッシベーション膜3367、層間絶縁膜3368を介してソースまたはドレイン電極3369～3372が形成されている。このような逆スタガ型のTF Tを用いても、アクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することができる。それ以外にも、このようなnチャネル型TF Tまたはpチャネル型TF Tは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製され

10

20

30

40

50

る L S I に代わる薄膜集積回路を実現する T F T として用いることができる。

【 0 3 6 8 】

[実施例 2 3]

本発明の結晶質半導体膜を用いたアクティブマトリクス型表示装置の他の作製例を図 4 0 と図 4 1 を用いて説明する。但し、説明を簡単にするために、C M O S 回路と、n チャネル型 T F T とを図示することにする。

【 0 3 6 9 】

図 4 0 (A) において、3 7 0 1 は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。

10

【 0 3 7 0 】

次に、2 0 ~ 1 5 0 n m（好ましくは 3 0 ~ 8 0 n m）の厚さで非晶質構造を有する半導体膜を、プラズマ C V D 法やスパッタ法、または減圧 C V D 法などで形成する。本実施例では、シリコンを主成分とし、ゲルマニウムを含有する第 1 の非晶質半導体膜を 1 0 n m の厚さに形成し、シリコンを主成分とする第 2 の結晶質半導体膜を 4 0 n m の厚さに形成する。また、ブロッキング層を形成する場合、非晶質半導体膜と同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。ブロッキング層を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる。

20

【 0 3 7 1 】

結晶化は実施例 1 3 または実施例 1 4 の方法を適用して行い、シリコンを主成分とし、ゲルマニウムを含有する第 1 の結晶質半導体膜 3 7 0 2 と、シリコンを主成分とする第 2 の結晶質半導体膜 3 7 0 3 を形成する。

【 0 3 7 2 】

そして、図 4 0 (B) で示すように、第 2 の結晶質半導体膜 3 7 0 3 上に酸化シリコン膜からなる 1 3 0 n m の厚さの保護絶縁膜 3 7 0 4 を形成する。そして第 1 及び第 2 の結晶質半導体膜にゲッタリング領域を形成するために、保護絶縁膜 3 7 0 4 に開口部を形成する。

【 0 3 7 3 】

結晶化の過程で添加されたシリコンの結晶化を助長する元素はリンによるゲッタリング作用を利用して除去する。図 4 0 (C) では、第 1 及び第 2 の結晶質半導体膜にイオンドーピング法によりリンを注入し、リン添加領域 3 7 0 5 を形成している。このとき、ドーピングの加速電圧と、酸化膜で成る保護絶縁膜 3 7 0 4 の厚さを最適化し、リンが保護絶縁膜 3 7 0 4 を実質的に突き抜けないようにする。ドーピングはリン (P) の濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms / cm}^3$ 程度になるように調節する。

30

【 0 3 7 4 】

その後、6 0 0 の窒素雰囲気にて 1 ~ 1 2 時間（本実施例では 1 2 時間）の加熱処理を行い、当該元素のゲッタリングを行う。この加熱処理によりニッケルに代表されるシリコンの結晶化を助長する元素はリン添加領域 3 7 0 5 に偏析させることができる。

40

【 0 3 7 5 】

次に図 4 0 (D) に示すように、保護絶縁膜 3 7 0 4 をマスクとしてリン添加領域 3 7 0 5 をエッチングする。そして保護絶縁膜 3 7 0 4 を除去した後に、第 1 及び第 2 の結晶質半導体膜を覆うように酸化シリコン膜 3 7 0 6 を形成する。本実施例では 2 0 n m の厚さで形成する。そして、9 5 0 で酸素雰囲気下で熱酸化し、図 4 0 (E) に示すように酸化シリコン膜 3 7 0 7 を成長させる。その結果、第 2 の結晶質半導体膜 3 7 0 9 の膜厚は 1 5 n m 程度減少することになる。この酸化シリコン膜の成長に伴って、過剰なシリコンが第 2 の結晶質半導体膜 3 7 0 9 中に押し出され、結晶質半導体膜を緻密化させることができる。

【 0 3 7 6 】

50

そして、図40(F)に示すように、酸化シリコン膜3707を除去し、pチャネル型TFTが形成される部分を覆ってマスク3710を形成する。第1及び第2の結晶質半導体膜のnチャネル型TFTが形成される領域にはしきい値電圧を制御する目的で、p型の不純物としてボロン(B)をドーピングする。ドーピングは加速電圧30keV程度で行い、ボロン(B)の濃度が $5 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度となるチャネルドープ領域711を形成する。ここでのボロン(B)添加は必ずしも必要でないが、チャネル形成領域3711はnチャネル型TFTのしきい値電圧を所定の範囲内に収める手段として好適に用いることができる。

【0377】

その後、マスク3710を除去して第1及び第2の結晶質半導体膜をエッチングして、図40(G)に示す如く、島状の半導体層3712~3714を形成する。また、ここでは詳細に説明しないが、この段階で画素部において保持容量を形成する半導体層3714にリンを選択的に添加して不純物領域3715を形成しておく。ドーピングは加速電圧10keV程度で行い、リン(P)の濃度が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度になるように調節した。本実施例では、リン(P)の濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ となるように、イオンドーピング装置を用いて行った。

【0378】

そして、図40(H)に示すように半導体層3712~3714を覆って第1ゲート絶縁膜3716を形成する。代表的には、酸化シリコン膜又は窒化シリコン膜からなる第1ゲート絶縁膜3716を、その膜厚が5~200nm(好ましくは100~150nm)となるように形成すれば良い。本実施例では酸化シリコン膜または酸化シリコンを主成分とする膜からなる第1ゲート絶縁膜3716の膜厚を40nmとする。

【0379】

そして、第1ゲート絶縁膜3716の一部(保持容量形成部)をエッチングすることにより、半導体膜3714の一部を露出させる。その後、第2ゲート絶縁膜3717を形成する。代表的には、第2ゲート絶縁膜3717の膜厚は5~200nm(好ましくは100~150nm)とすれば良い。本実施例では窒化シリコン膜からなる第2ゲート絶縁膜3717を、その膜厚が20nmとなるように形成する。

【0380】

そして、図40(I)に示すように、n型の多結晶シリコンから成る第1の導電層と高融点金属から成る第2の導電層を形成する。そして、これらの導電層からゲート電極3718~3720(第1の導電層3718a~3720aと第2の導電層3718b~3720bから成る積層体)と保持容量電極3721(第1の導電層3721aと第2の導電層3721bから成る積層体)を形成する。

【0381】

第1導電膜はn型の不純物を有する結晶質シリコン膜であり、CVD法を用いて150nmの膜厚で形成されている。また第2導電膜はタングステンシリサイドであり、スパッタ法により150nmの膜厚で形成する。この場合、金属膜を用いるよりも若干抵抗が上がるが、シリサイド膜と多結晶シリコン膜との積層構造は耐熱性が高く、酸化にも強いので有効な構造である。尚、第1導電膜は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)、タングステンシリサイド、チタンシリサイドまたはモリブデンシリサイドで形成しても良く、第2導電膜はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成しても良い。

【0382】

そして、図41(A)に示すように、ゲート電極3718~3720、保持容量電極3721をマスクとして利用し、半導体層3712、3713及び半導体層3714の一部にn型の不純物(ドナー)をドーピングし、不純物領域3722~3724を形成する。n型の不純物(ドナー)としては、リン(P)や砒素(As)を用いれば良く、ここではリ

10

20

30

40

50

ン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。ドーピングは加速電圧40keV程度で行い、リン(P)の濃度が $5 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ 程度になるように調節した。本実施例では、不純物領域3722~3724のリン(P)の濃度が $1 \times 10^{18} / \text{cm}^3$ となるように、イオンドープ装置を用いて行った。

【0383】

次に、図41(B)に示すように、pチャネル型TFETとなる半導体層3712と、nチャネル型TFETとなる半導体層3713、3714の一部を覆うようにレジストマスク3725~3727を形成する。そしてレジストマスク3725~3727を利用して半導体膜3713、3714の一部にn型の不純物をドーピングし、不純物領域3728、3729を形成する。不純物領域3728、3729の形成は、フォスフィン(PH₃)を用いたイオンドープ法で行い、ドーピングは加速電圧40keV程度で行い、リン(P)の濃度が $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度になるように調節する。本実施例では、不純物領域3728、3729のリン(P)の濃度が $1 \times 10^{20} / \text{cm}^3$ で形成する。

【0384】

図41(C)では、レジストマスク3725~3727を除去し、nチャネル型TFETとなる部分及び保持容量となる部分をレジストマスク3730で覆う。そして半導体膜3712にp型の不純物(アクセプタ)をドーピングする。本実施例では、ジボラン(B₂H₆)を用いたイオンドープ法で不純物領域3731を形成する。ドーピングは加速電圧40keV程度で行い、ボロン(B)の濃度が $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度になるように調節する。本実施例では、不純物領域3731のボロン(B)の濃度が $1 \times 10^{20} / \text{cm}^3$ となるようにする。不純物領域3731には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でボロン(B)が添加されるので、導電型が反転し、p型の導電性が確保される。

【0385】

そして、レジストマスク3730を除去した後、図41(D)に示すように絶縁膜3732を形成する。絶縁膜3732は窒化珪素膜からなり、CVD法によって膜厚70nmに形成する。

【0386】

次に窒素雰囲気下、850℃で30分の条件で加熱することにより、不純物領域3723、3724、3731に含まれる不純物が拡散してゲート電極3718~3720の下部にまで広がる。こうして、ゲート電極3718~3720の下部に位置する不純物領域3747~3749が形成される。この不純物領域はいわばLDD領域であり、ゲート電極とオーバーラップさせて形成することによりドレイン端の高電界領域を緩和して、ホットキャリアによる劣化防止に有効である。また、上記熱処理によって不純物領域は活性化される。

【0387】

次に、図41(E)に示すように、酸化シリコン又は酸化窒化シリコンからなる第1の層間絶縁膜3733を500~1500nmの厚さで形成する。本実施例では、酸化窒化シリコンを用い1000nmの厚さで形成した。その後、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソースまたはドレイン配線3734~3739を形成する。なお、図示していないが、本実施例ではこのソース配線、ドレイン配線を、Ti膜60nm、窒素を含むTi膜40nm、Siを含むアルミニウム膜300nm、Ti膜100nmをスパッタ法で連続して形成した4層構造の積層膜とする。

【0388】

さらに、図41(F)で示すように、ソースまたはドレイン配線3734~3739を覆うように第1層間絶縁膜3733上に窒化シリコン膜からなるパッシベーション膜3740を100nmの厚さで形成する。そしてパッシベーション膜3740を覆うようにして第2層間絶縁膜3741を形成する。この第2層間絶縁膜3741はアクリル樹脂で形成

し、厚さを800nmとする。

【0389】

アクリル樹脂からなる第2層間絶縁膜3741を150、0.3hrの条件で加熱した後、第2層間絶縁膜3741の上にTi膜またはTiを主成分とする厚さが100nmの遮光膜3742を形成する。そして、遮光膜3742を覆うように第2層間絶縁膜3741上に第3層間絶縁膜3743を形成する。第3層間絶縁膜3743はアクリル樹脂からなり、その厚さは500nm~1000nmで形成する。本実施例では第3層間絶縁膜3743の厚さを800nmとする。

【0390】

その後、第3層間絶縁膜3743上に画素電極3744が形成され、コンタクトホールを介してソースまたはドレイン電極3739と接続される。本実施例では画素電極3744の厚さを2.8μmとして形成する。画素電極3744は透明導電膜を用いる。以上のようにして作製される、アクティブマトリクス型の表示装置は駆動回路および画素部に様々な特徴を有しており、これらの相乗効果によって明るく高精細な画像が得られ、動作性能および信頼性の高い電気光学装置を得る。そして、そのような電気光学装置を部品として搭載した高性能な電子機器を得る。

【0391】

[実施例24]

実施例15でリン元素を添加した半導体膜をゲッタリングサイトとするゲッタリング方法の一例を示したが、本実施例は、希ガス元素を含む半導体膜、或いは希ガス元素を添加した半導体膜をゲッタリングサイトとするゲッタリング方法の一例を以下に示す。なお、一般にゲッタリングは半導体中に取り込まれた金属不純物が、何らかのエネルギーでゲッタリングサイトに偏析して、素子の能動領域の不純物濃度を低減させる技術として知られている。

【0392】

以下、図44を用いて説明する。

【0393】

まず、実施例13に従って、[101]面の配向率の高い結晶質シリコン膜を得る。

【0394】

実施例13に従って、4000は絶縁表面を有する基板上に4001は酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO_xN_y)等の絶縁膜から成る下地絶縁膜を形成する。ここでは、ガラス基板を用い、下地絶縁膜4001として2層構造から成り、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される第1酸化窒化シリコン膜を50~100nm、 SiH_4 、及び N_2O を反応ガスとして成膜される第2酸化窒化シリコン膜を100~150nmの厚さに積層形成する。また、下地絶縁膜4001として窒化シリコン膜の単層を用いることが好ましい。窒化シリコン膜を用いた場合、ガラス基板に含まれるアルカリ金属が後に形成される半導体膜中に拡散するのを防止するブロッキング層としての効果に加え、後に行われるゲッタリング工程でゲッタリング効率を向上させる効果も有する。ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、半導体膜と接する下地絶縁膜を窒化シリコン膜とすることは極めて有効である。また、酸化窒化シリコン膜、窒化シリコン膜とを順次積層した積層構造を用いてもよい。また、第1酸化窒化シリコン膜、第2酸化窒化シリコン膜、窒化シリコン膜とを順次積層した3層構造を用いてもよい。

【0395】

次いで、実施例13に従って、下地絶縁膜上にプラズマCVD法、減圧熱CVD法、またはスパッタ法で得られる非晶質半導体膜の積層膜を形成し、結晶化を行い、ゲルマニウムを含む第1の結晶質シリコン膜4002a(膜厚5~30nm)と第2の結晶質シリコン膜(膜厚15~70nm)の積層膜を形成する。(図44(A))

【0396】

なお、後のゲッタリング処理の際、ニッケルは酸素濃度の高い領域に移動しやすい傾向が

10

20

30

40

50

あるため、ゲルマニウムを含む結晶質シリコン膜 4 0 0 2 a、4 0 0 2 b 中の酸素濃度 (SIMS 分析) は、 $5 \times 10^{18} / \text{cm}^3$ 以下となるように形成することが望ましい。

【0397】

また、上記結晶化の後、フッ酸を含むエッチャント、例えば希フッ酸や FPM (フッ酸、過酸化水素水、純水との混合液) で偏析した金属元素を除去または低減してもよい。また、フッ酸を含むエッチャントで表面をエッチング処理した場合には、ランプ光源からの強光を照射して表面を平坦化することが望ましい。

【0398】

また、上記結晶化の後、さらに結晶化を改善するためのレーザー光またはランプ光源からの強光の照射を行ってもよい。レーザには波長 400 nm 以下のエキシマレーザ光や、YAG レーザの第 2 高調波、第 3 高調波を用いればよい。この結晶化を改善するためのレーザー光またはランプ光源からの強光の照射の後にフッ酸を含むエッチャントで偏析した金属元素を除去または低減してもよく、さらにランプ光源からの強光を照射して表面を平坦化してもよい。

【0399】

次いで、ゲルマニウムを含む結晶質シリコン膜 4 0 0 2 a、4 0 0 2 b 中に含まれる金属元素を除去するためにゲッタリング処理を行う。まず、第 2 の結晶質シリコン膜上にバリア層 4 0 0 3 を形成する。バリア層 4 0 0 3 としては、金属元素 (ここでは主にニッケル) をゲッタリングサイトに貫通させることができ、さらにゲッタリングサイトの除去工程において用いるエッチング液がしみこまない多孔質膜を形成する。ここでは、オゾン水で処理することにより形成されるケミカルオキサイド膜、酸化シリコン膜 (SiO_x) を用いればよい。本明細書中では、このような性質を有する膜を特に多孔質膜という。また、このバリア層 4 0 0 3 は極薄いものでよく、自然酸化膜であってもよいし、酸素を含む雰囲気下において紫外線の照射によりオゾンが発生させて酸化させる酸化膜であってもよい。また、結晶化の後に結晶化を改善するためのレーザー光の照射を行った場合に形成される酸化膜をバリア層の一部として用いてもよい。

【0400】

次いで、後のゲッタリング処理の際にゲッタリングサイトとして機能する半導体膜 4 0 0 4 をバリア層 4 0 0 3 上に形成する。(図 44 (B)) この半導体膜 4 0 0 4 はプラズマ CVD 法、減圧熱 CVD 法、またはスパッタ法を用いて形成される非晶質構造を有する半導体膜であってもよいし、結晶構造を有する半導体膜であってもよい。この半導体膜 4 0 0 4 の膜厚は、 $5 \sim 50 \text{ nm}$ 、好ましくは $10 \sim 20 \text{ nm}$ とする。後のゲッタリング処理の際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、半導体膜 4 0 0 4 には、酸素 (SIMS 分析での濃度が $5 \times 10^{18} / \text{cm}^3$ 以上、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以上) を含有させてゲッタリング効率を向上させることが望ましい。また、希ガス元素を含む条件で成膜した半導体膜を用いてもよい。

【0401】

ここでは、スパッタ法で希ガス元素を含む非晶質シリコン膜 (ゲッタリングサイト) 4 0 0 5 を形成する。(図 44 (C)) ここでは、 $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ 、好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で希ガス元素を含む半導体膜を形成すればよい。また、プラズマ CVD 法やスパッタ法などで成膜した後、希ガス元素をイオンドーピング法またはイオン注入法によって添加して希ガス元素を含む半導体膜を形成してもよい。なお、希ガス元素を添加する処理時間は、1 分または 2 分程度の短時間で高濃度の希ガス元素を半導体膜に添加することができるため、リンを用いたゲッタリングと比較してスループットが格段に向上する。

【0402】

希ガス元素は He、Ne、Ar、Kr、Xe から選ばれた一種または複数種であり、これらのイオンを電界で加速して半導体膜に注入することにより、ダングリングボンドや格子歪みを形成してゲッタリングサイトを形成することができる。中でも安価なガスである Ar を用いることが望ましい。

【0403】

また、希ガス元素に加え、H、H₂、O、O₂、Pから選ばれた一種または複数種を添加してもよく、複数の元素を添加することにより相乗的にゲッターリング効果が得られる。

【0404】

次いで、熱処理またはランプ光源からの強光の照射を行ってゲッターリングを行う。熱処理によりゲッターリングを行う場合は、窒素雰囲気中で450～800、1～24時間、例えば550にて14時間の熱処理を行えばよい。また、ランプ光源からの強光の照射によりゲッターリングを行う場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000、好ましくは700～750程度にまで加熱されるようにする。また、熱処理と同時にランプ光源からの強光を照射してもよい。

10

【0405】

このゲッターリングにより、図44(D)中の矢印の方向(縦方向)にニッケルが移動し、バリア層4003で覆われたゲルマニウムを含む結晶質シリコン膜4002に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。リンを用いたゲッターリングと比較して、希ガス元素の添加によるゲッターリングは非常に効果的であり、さらに高濃度、例えば $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ で添加できるため、結晶化に用いる金属元素の添加量を多くすることができる。即ち、結晶化に用いる金属元素の添加量を多くすることによって結晶化の処理時間をさらに短時間で行うことが可能となる。また、結晶化の処理時間を変えない場合には、結晶化に用いる金属元素の添加量を多くすることによって、さらなる低温で結晶化することができる。また、結晶化に用いる金属元素の添加量を多くすることによって、自然核の発生を低減することができ、良好な結晶質半導体膜を形成することができる。

20

【0406】

上記ゲッターリング処理後、半導体膜からなるゲッターリングサイト4005を選択的にエッチングして除去する。エッチングの方法としては、C₁F₃によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド(化学式(C₂H₅)₄NOH)を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時、バリア層4003はエッチングストッパーとして機能する。また、バリア層4003はその後フッ酸により除去すれば良い。

30

【0407】

その後、得られたゲルマニウムを含む結晶質シリコン膜を所望の形状にエッチング処理して島状に分離された半導体層4006を形成する。(図44(E))

【0408】

以降の工程は、実施例17に従って、TFETを完成させればよい。本実施例で得られたゲルマニウムを含む結晶質シリコン膜は、[101]面の配向率が高く、且つ、膜中の金属元素の濃度が十分低減されているため、TFETの活性層に用いた場合、優れたTFETの電気特性を示す。

【0409】

また、本実施例では実施例13の結晶化を用いた例を示したが、特に限定されず、実施例14に示した結晶化を用いてもよい。

40

【0410】

また、本実施例のゲッターリング処理に加えて実施例15に示したゲッターリング処理を行ってもよい。

【0411】

また、本実施例は実施例13乃至23のいずれか一と自由に組み合わせることが可能である。

【0412】

[実施例25]

50

実施例 15 でリンを添加するゲッタリング方法の一例を示したが、リンに代えて希ガス元素を用いてもよい。なお、添加する条件以外は同一であるため、ここでは詳細な説明は省略する。

【0413】

本実施例では、実施例 13 または実施例 14 で得られた結晶質シリコン膜に対して、選択的に希ガス元素を添加する。ここでは、アルゴンをイオンドーピング法（例えば、 $5 \times 10^{15} / \text{cm}^2$ のドーピング量）で添加してアルゴンが添加された領域（ゲッタリングサイト）を形成する。ゲッタリングサイトに添加された希ガス元素の濃度を $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ とすることが望ましい。

【0414】

ゲッタリングサイトを形成した後、熱処理またはランプ光源からの強光の照射を行えば、結晶質シリコン膜中に含まれる金属元素を低減または除去することができる。

【0415】

また、本実施例は実施例 13 乃至 24 のいずれか一と自由に組み合わせることが可能である。

【0416】

[実施例 26]

本発明を実施して形成された駆動回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0417】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 45、図 46 及び図 47 に示す。

【0418】

図 45（A）はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を画像入力部 2002、表示部 2003 やその他の駆動回路に適用することができる。

【0419】

図 45（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 やその他の駆動回路に適用することができる。

【0420】

図 45（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 やその他の駆動回路に適用できる。

【0421】

図 45（D）はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。本発明は表示部 2302 やその他の駆動回路に適用することができる。

【0422】

図 45（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD（Digital Versatile Disc）、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 やその他の駆動回路に適用することができる。

10

20

30

40

50

【 0 4 2 3 】

図 4 5 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本発明を表示部 2 5 0 2 やその他の駆動回路に適用することができる。

【 0 4 2 4 】

図 4 6 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 4 2 5 】

図 4 6 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

10

【 0 4 2 6 】

なお、図 4 6 (C) は、図 4 6 (A) 及び図 4 6 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 4 6 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

20

【 0 4 2 7 】

また、図 4 6 (D) は、図 4 6 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 4 6 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【 0 4 2 8 】

ただし、図 4 6 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L 表示装置での適用例は図示していない。

30

【 0 4 2 9 】

図 4 7 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本発明を音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4 やその他の駆動回路に適用することができる。

【 0 4 3 0 】

図 4 7 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 やその他の駆動回路に適用することができる。

40

【 0 4 3 1 】

図 4 7 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上 (特に 3 0 インチ以上) のディスプレイには有利である。

【 0 4 3 2 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 2 5 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 4 3 3 】

50

【発明の効果】

本発明により、シリコンを主成分とし、ゲルマニウム含有量が0.1原子%以上10原子%以下である第1の非晶質半導体膜とシリコンを主成分とする第2の非晶質半導体膜とを積層してレーザー処理により結晶化すると、良好な結晶質半導体膜を得ることが可能となり、そのような結晶質半導体膜を用いて薄膜トランジスタのチャネル形成領域を形成することができる。

【0434】

このような結晶質半導体膜を用いたTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとして用いることができる。また、本発明のTFTは、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

10

【図面の簡単な説明】

【図1】 本発明の結晶化方法を示す図。

【図2】 AM-LCDの作製工程を示す図。

【図3】 AM-LCDの作製工程を示す図。

【図4】 AM-LCDの作製工程を示す図。

【図5】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図6】 AM-LCDの作製工程を示す図。

【図7】 AM-LCDの作製工程を示す図。

【図8】 画素上面図及び断面図を示す図。

20

【図9】 AM-LCDの外観を示す上面図。

【図10】 液晶表示装置のブロック図を示す図。

【図11】 液晶表示装置のブロック図を示す図。

【図12】 EL表示装置の断面図を示す図。

【図13】 アクティブマトリクス型EL表示装置の構成を示す上面図及び断面図。

【図14】 EL表示装置の画素上面図を示す図。

【図15】 EL表示装置のブロック図を示す図。

【図16】 EL表示装置の断面図を示す図。

【図17】 製造装置の一例を示す図。

【図18】 製造装置の一例を示す図。

30

【図19】 本発明の結晶化方法を示す図。

【図20】 本発明の結晶化方法を示す図。

【図21】 本発明の結晶化方法を示す図。

【図22】 本発明の結晶化方法を示す図。

【図23】 本発明の結晶化方法を示す図。

【図24】 アクティブマトリクス基板の断面構造図を示す図。

【図25】 本発明の結晶化方法を示す図。

【図26】 本発明の結晶質半導体膜の作製方法を説明する図。

【図27】 本発明の結晶質半導体膜の作製方法を説明する図。

【図28】 本発明の結晶質半導体膜の作製方法を説明する図。

40

【図29】 本発明の結晶質半導体膜の作製方法を説明する図。

【図30】 本発明の結晶質半導体膜を用いたTFTの作製工程を説明する断面図。

【図31】 本発明の結晶質半導体膜を用いたCMOS回路の作製工程を説明する断面図。

。

【図32】 本発明の結晶質半導体膜を用いた液晶表示装置の構造を説明する断面図。

【図33】 画素部における画素構造の上面図。

【図34】 本発明の結晶質半導体膜を用いたEL表示装置の構造を説明する断面図。

【図35】 本発明に用いるプラズマCVD装置の構成を示す図。

【図36】 結晶核の隣接間距離を示す累積度数グラフ。

【図37】 GeH₄の添加量と結晶核発生密度との関係を示すグラフ。

50

【図 38】 SiH_4 、 GeH_4 、 H_2 ガスより作製された非晶質半導体膜の C、N、O 濃度を示す SIMS データ。

【図 39】 本発明の結晶質半導体膜を用いた逆スタガ型の TFT の構造を説明する断面図。

【図 40】 本発明の結晶質半導体膜を用いて駆動回路と画素部の TFT を作製する工程を説明する断面図。

【図 41】 本発明の結晶質半導体膜を用いて駆動回路と画素部の TFT を作製する工程を説明する断面図。

【図 42】 EBSF 法で得られる逆極点図の例。

【図 43】 本発明の結晶質半導体膜を用いた液晶表示装置の構造を説明する断面図。

10

【図 44】 ゲッタリング方法の一例を示す図。

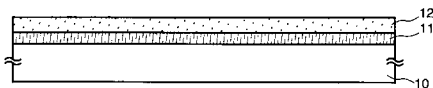
【図 45】 電子機器の一例を示す図。

【図 46】 電子機器の一例を示す図。

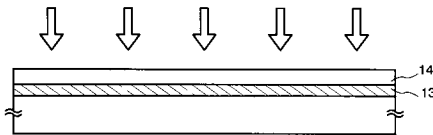
【図 47】 電子機器の一例を示す図。

【図 1】

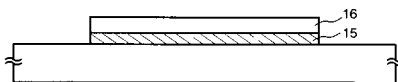
(A) 第 1 の非晶質半導体膜 11、および第 2 の非晶質半導体膜 12 の形成



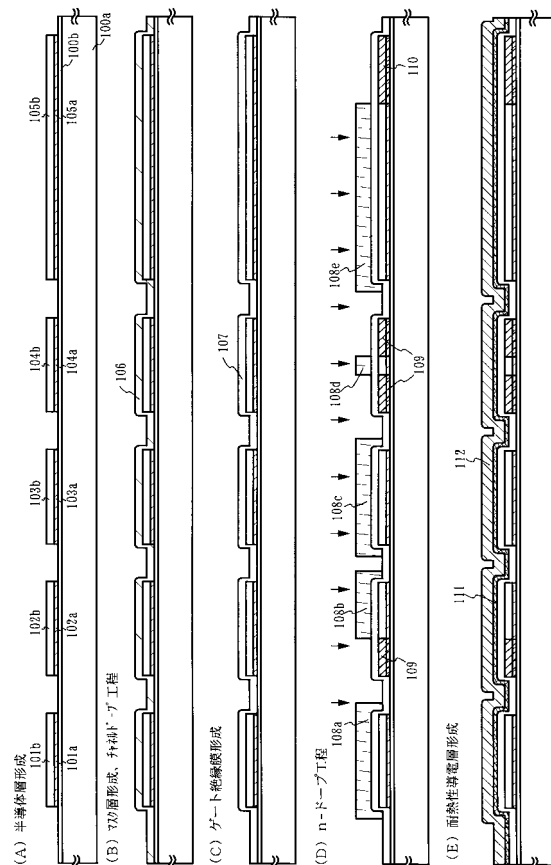
(B) レーザー光の照射による第 1 の結晶質半導体膜 13、および第 2 の結晶質半導体膜 14 の形成



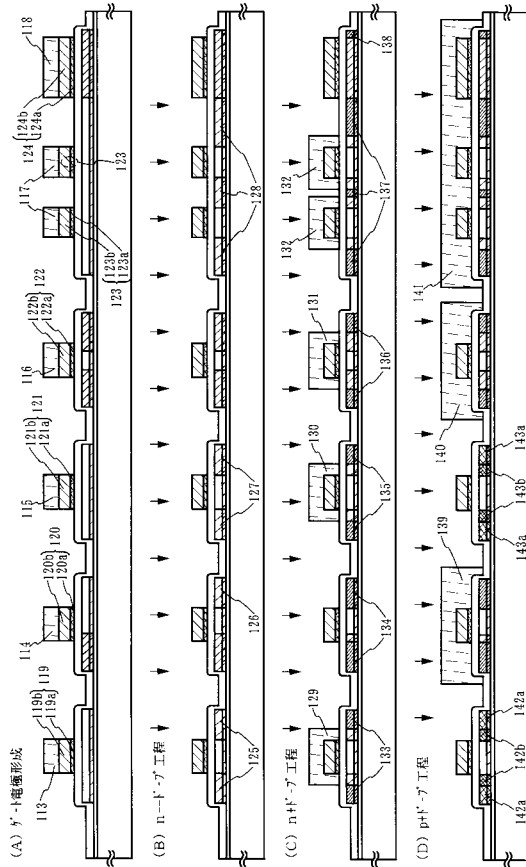
(C) 半導体層の形成



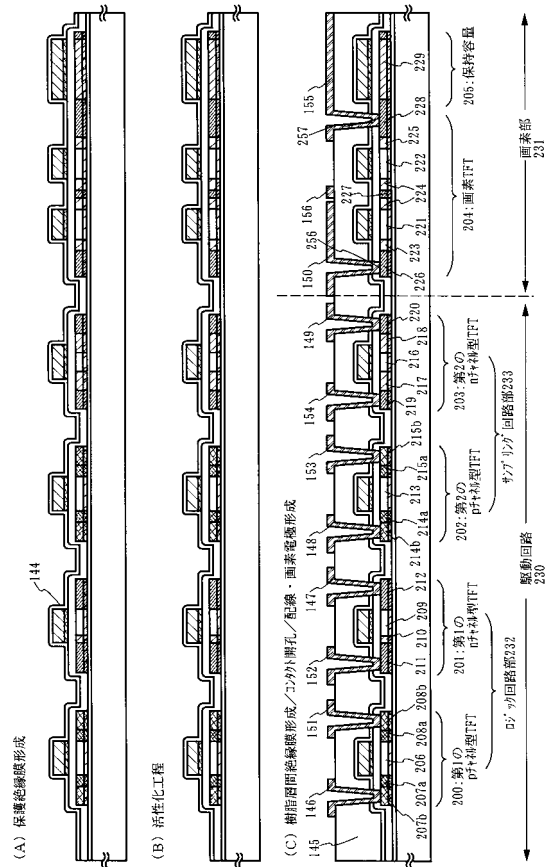
【図 2】



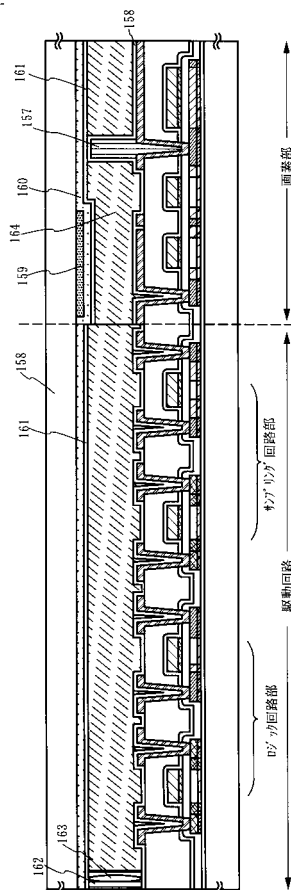
【 図 3 】



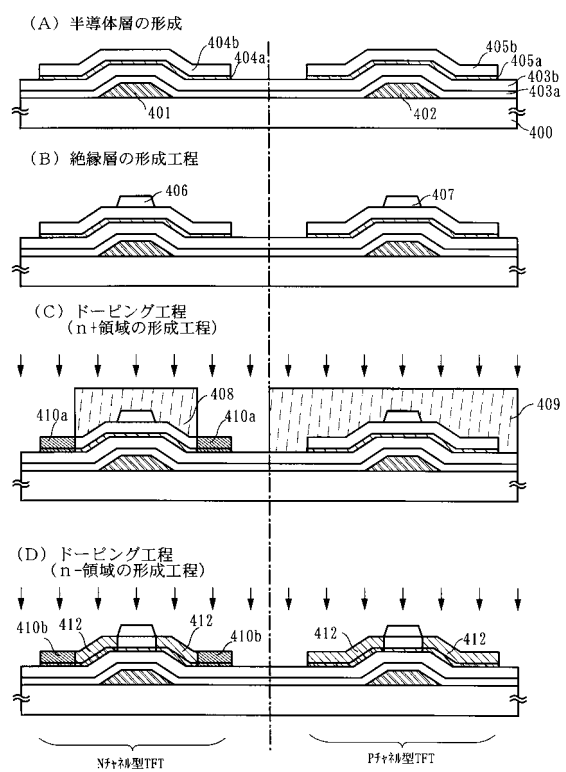
【 図 4 】



【 図 5 】

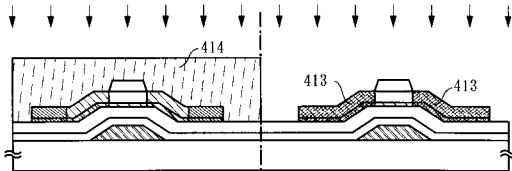


【 図 6 】

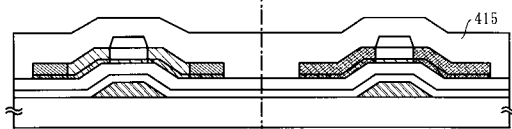


【図 7】

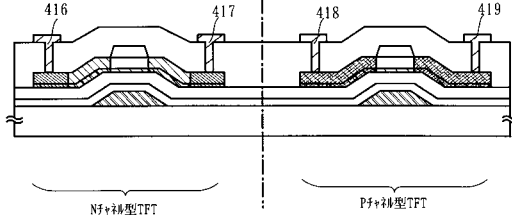
(A) ドーピング工程 (p+領域の形成工程)



(B) 層間絶縁膜の形成工程

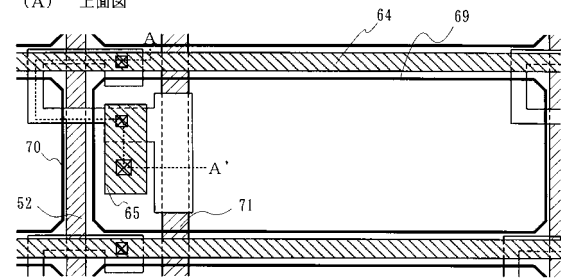


(C) 配線の形成工程

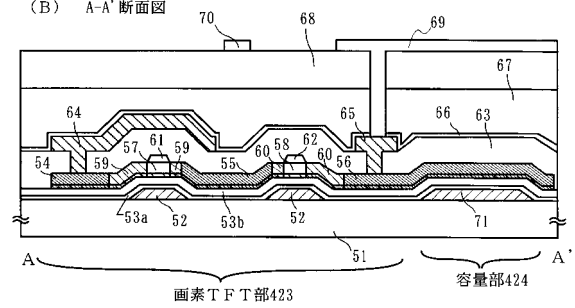


【図 8】

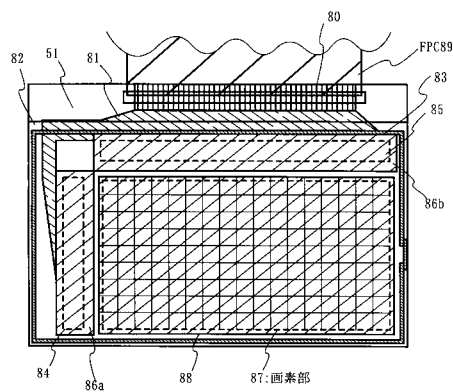
(A) 上面図



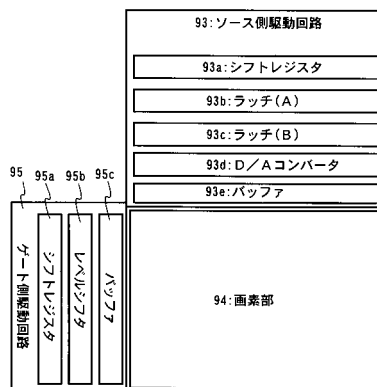
(B) A-A'断面図



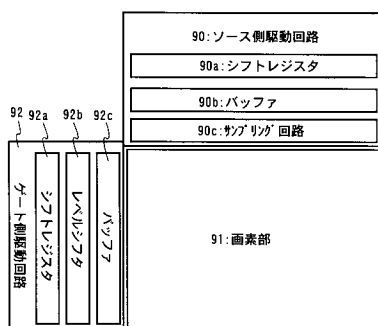
【図 9】



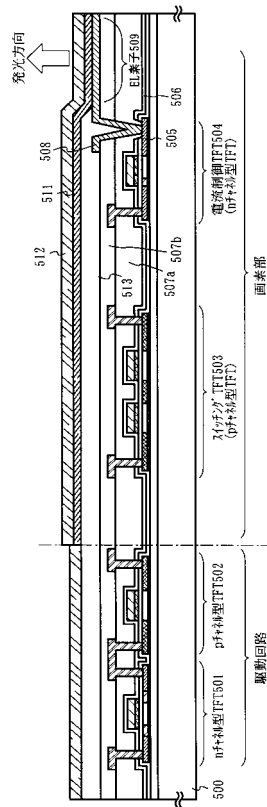
【図 11】



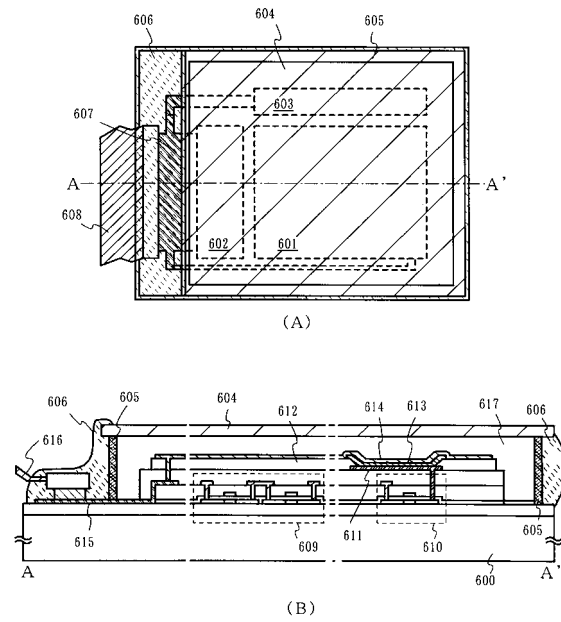
【図 10】



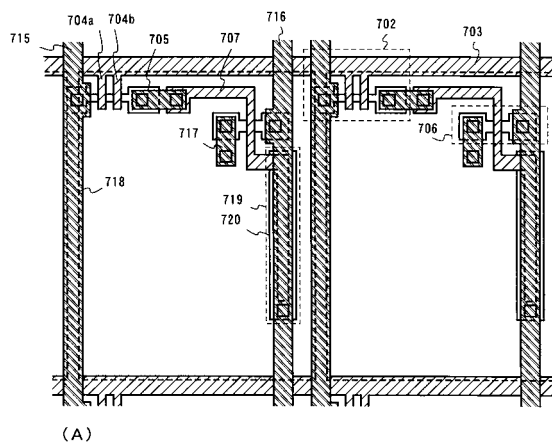
【 図 1 2 】



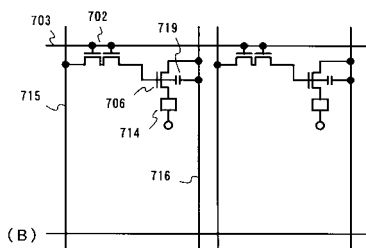
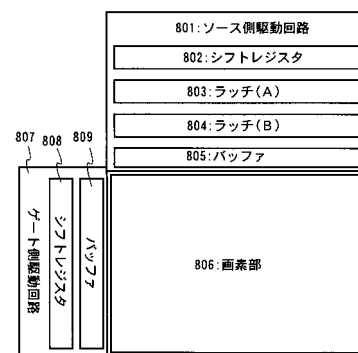
【 図 1 3 】



【 図 1 4 】

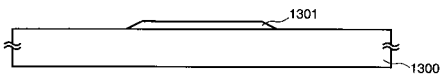


【 図 1 5 】

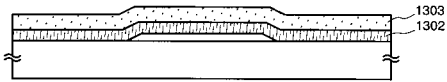


【図 20】

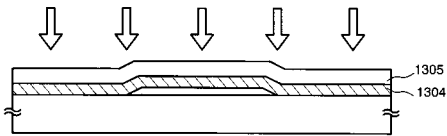
(A) 絶縁層1301の形成



(A) 第1の非晶質半導体膜1302、および第2の非晶質半導体膜1303の形成

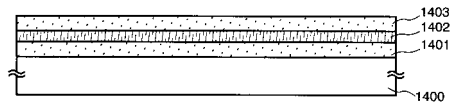


(B) レーザー光の照射による第1の結晶質半導体膜1304、および第2の結晶質半導体膜1305の形成

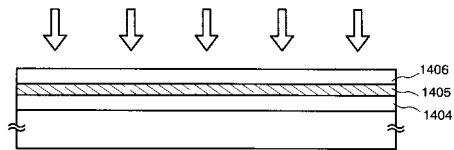


【図 21】

(A) 第1の非晶質半導体膜1401、第2の非晶質半導体膜1402、および第3の非晶質半導体膜1403の形成



(B) レーザー光の照射による第1の結晶質半導体膜1404、および第2の結晶質半導体膜1405、および第3の結晶質半導体膜1406の形成

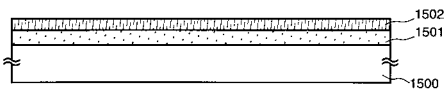


(C) 半導体層の形成

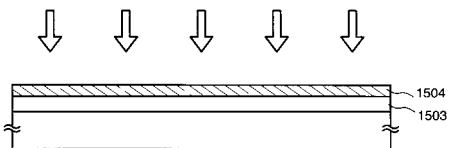


【図 22】

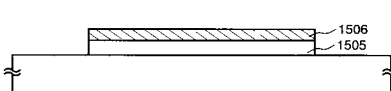
(A) 第1の非晶質半導体膜1501、および第2の非晶質半導体膜1502の形成



(B) レーザー光の照射による第1の結晶質半導体膜1503、および第2の結晶質半導体膜1504の形成

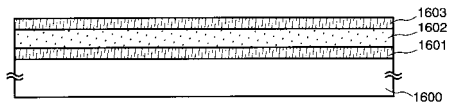


(C) 半導体層の形成

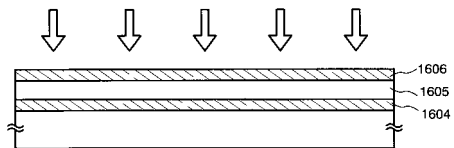


【図 23】

(A) 第1の非晶質半導体膜1601、第2の非晶質半導体膜1602、および第3の非晶質半導体膜1603の形成



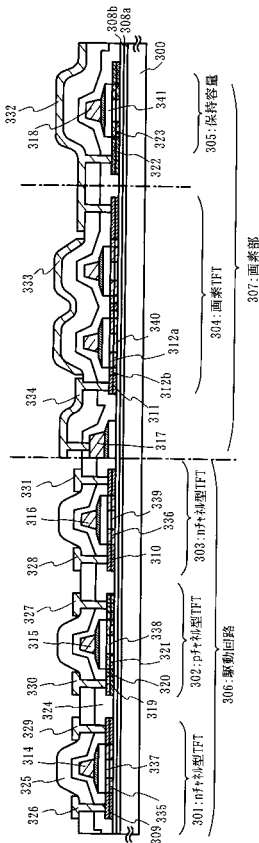
(B) レーザー光の照射による第1の結晶質半導体膜1604、および第2の結晶質半導体膜1605、および第3の結晶質半導体膜1606の形成



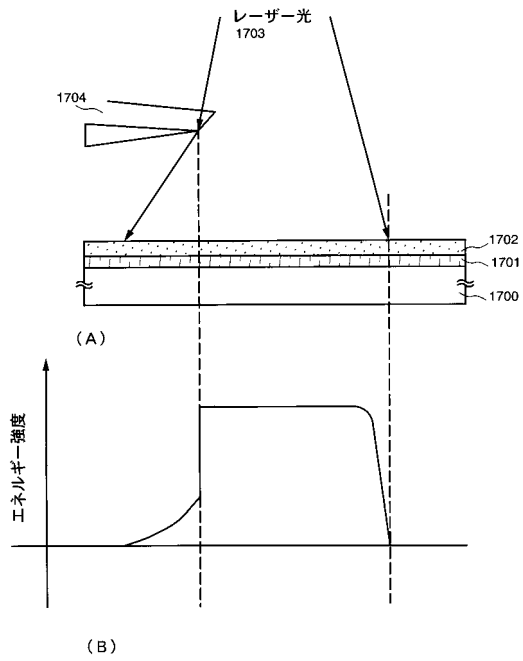
(C) 半導体層の形成



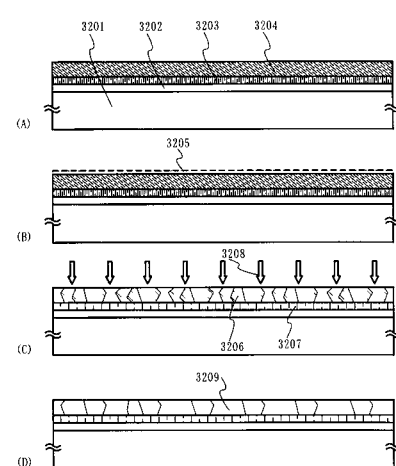
【図 24】



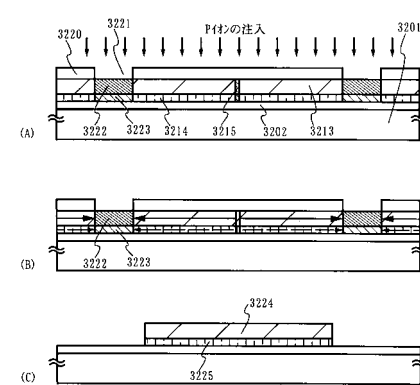
【図 25】



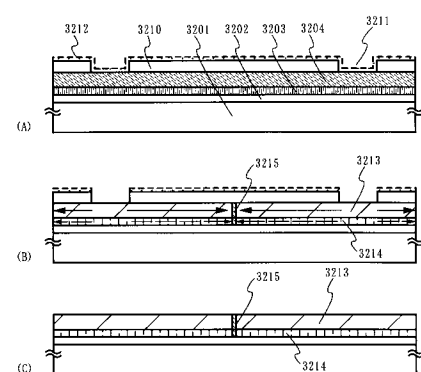
【図 26】



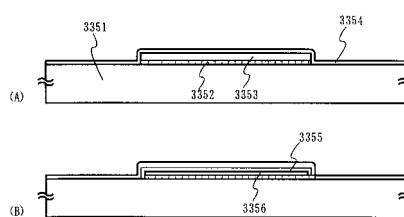
【図 28】



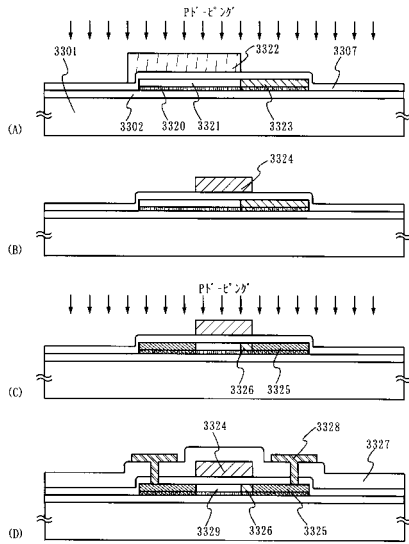
【図 27】



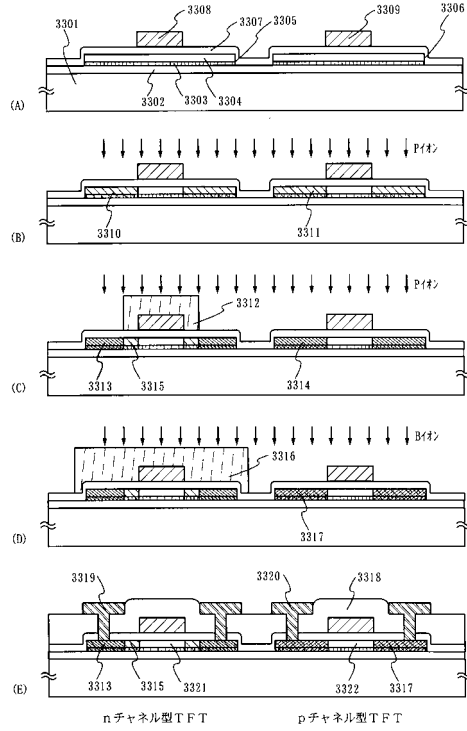
【図 29】



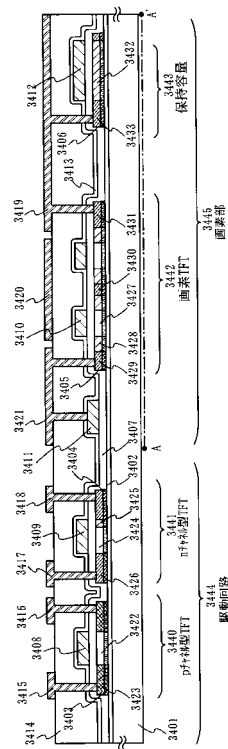
【図 30】



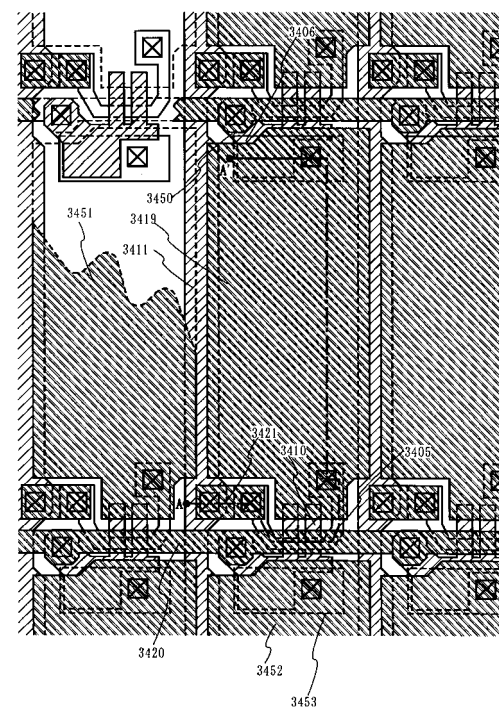
【図 31】



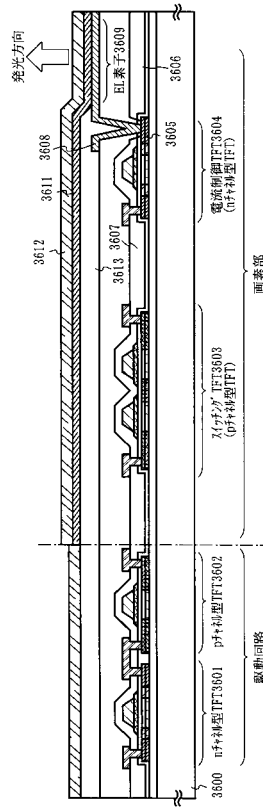
【図 32】



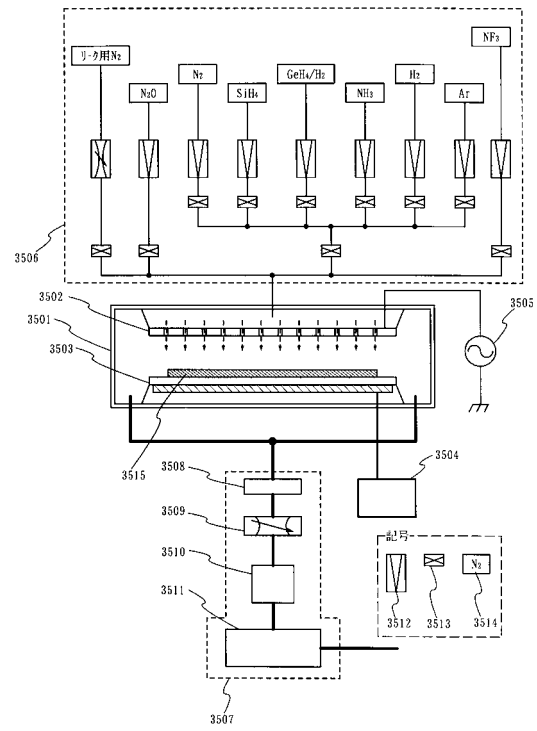
【図 33】



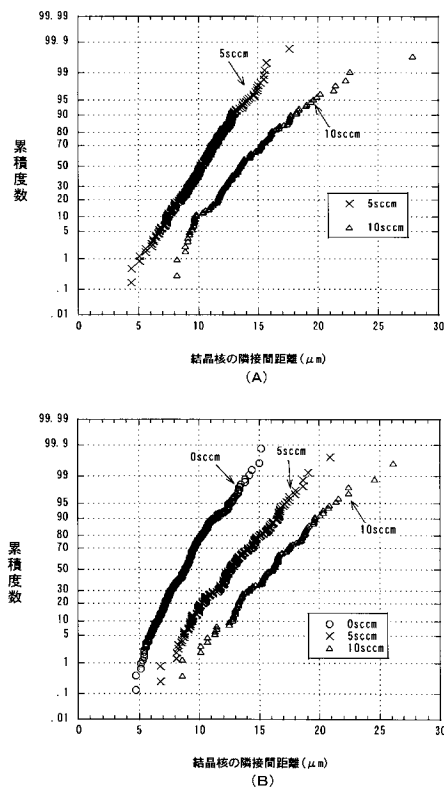
【図 34】



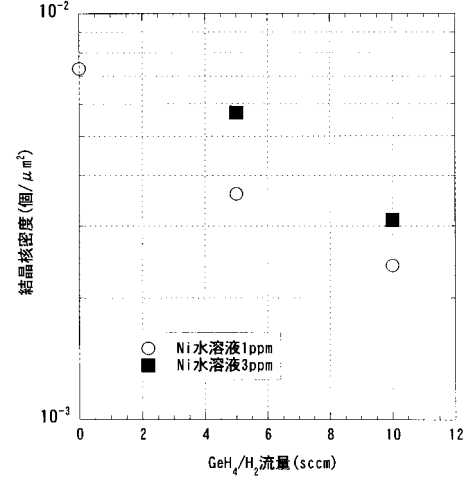
【図 35】



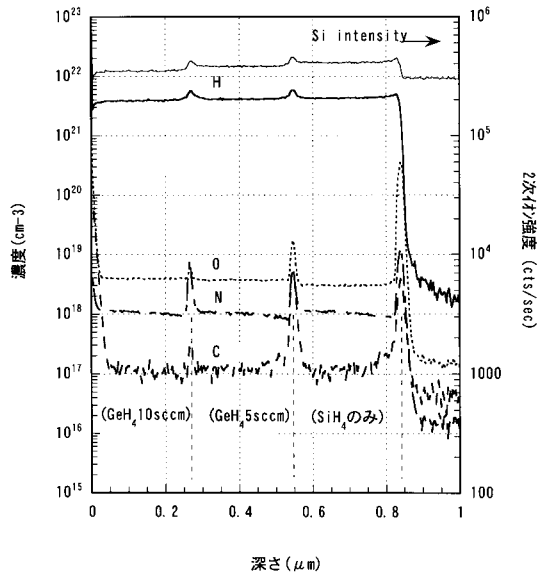
【図 36】



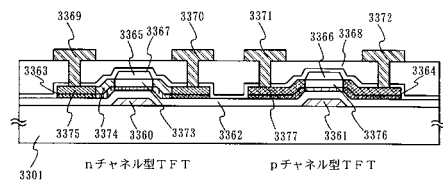
【図 37】



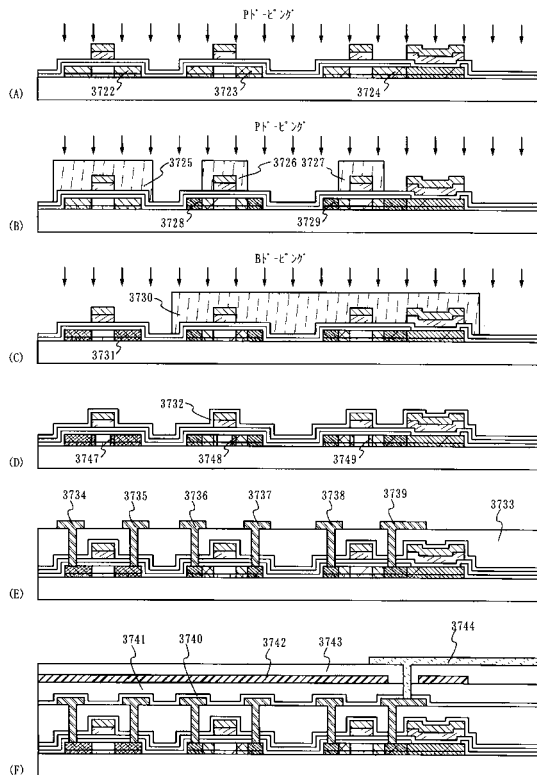
【図 38】



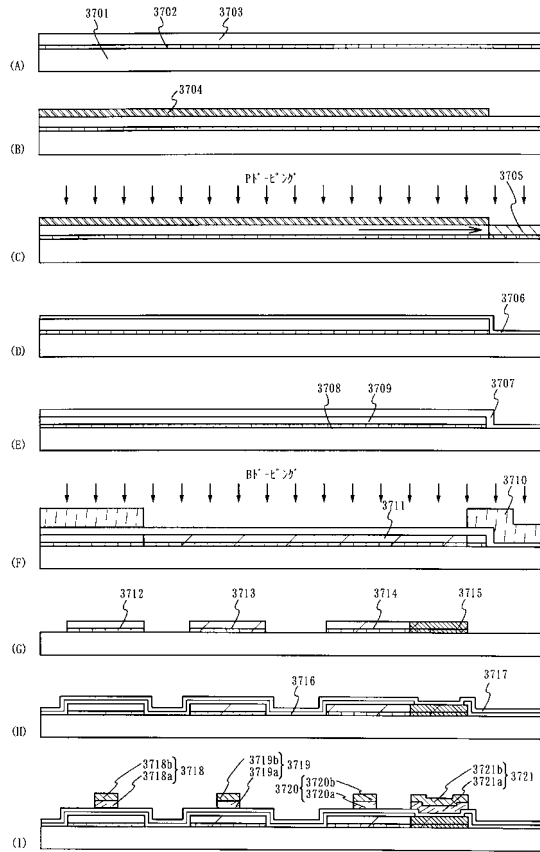
【図 39】



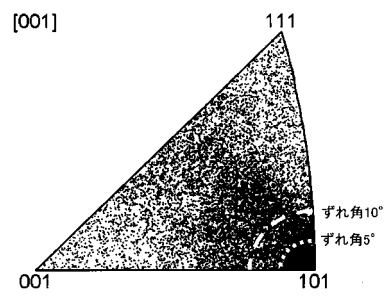
【図 41】



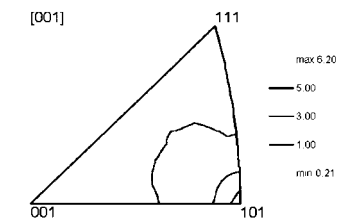
【図 40】



【図 42】

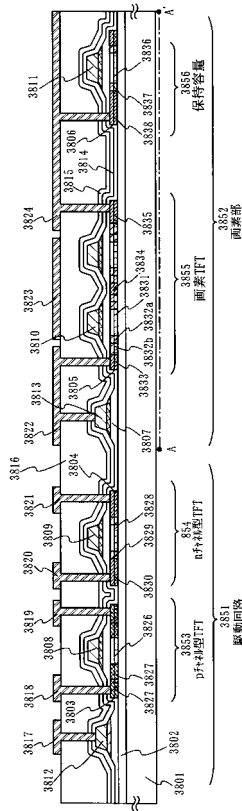


(A) マッピング測定における全測定点のプロット

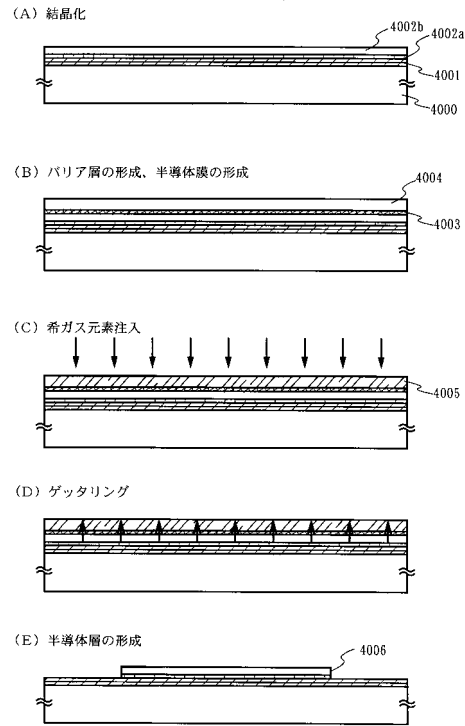


(B) 特定指数への配向の集中度を等高線表示した例

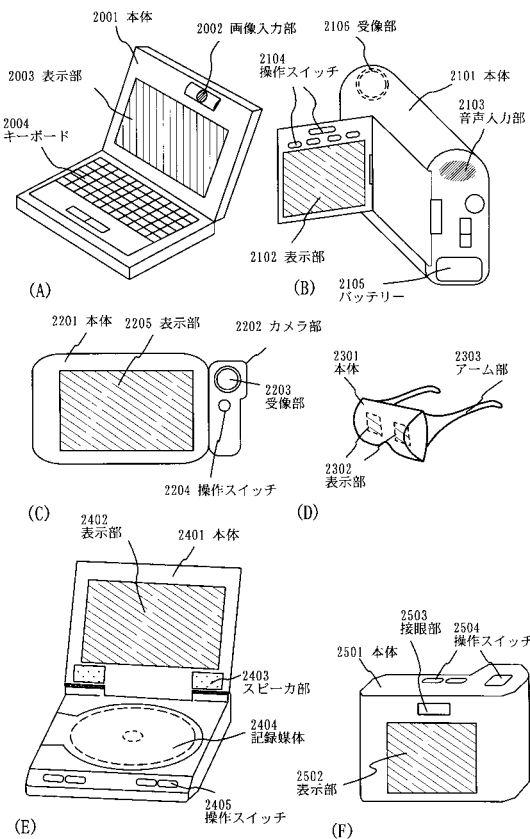
【図 43】



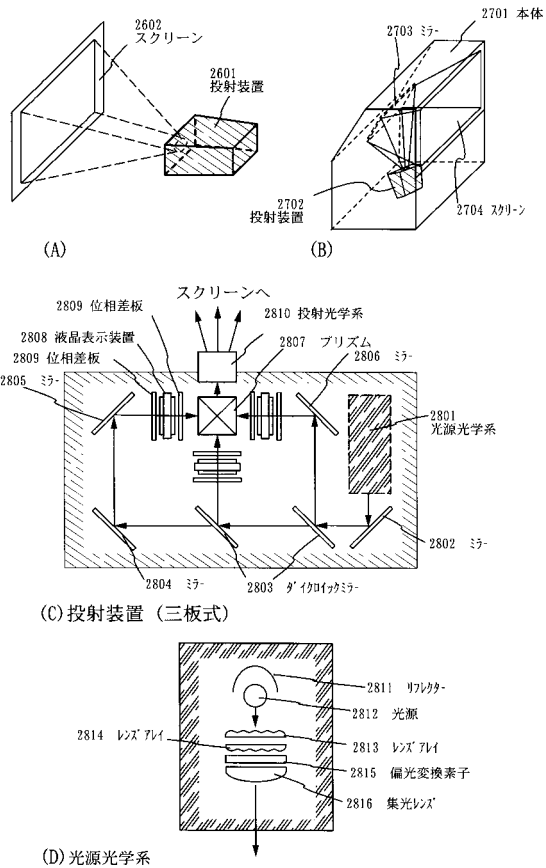
【図 44】



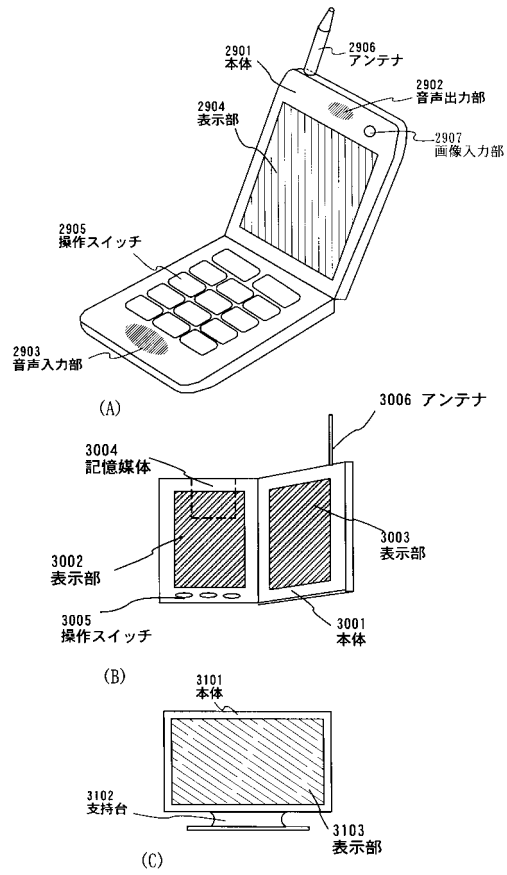
【図 45】



【図 46】



【図 47】



フロントページの続き

- (72)発明者 高野 圭恵
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 志知 武司
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 小久保 千穂
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 杢 哲次

- (56)参考文献 特開平 0 9 - 0 8 2 6 3 9 (J P , A)
特開平 1 1 - 1 3 5 7 9 2 (J P , A)
特開平 0 7 - 3 3 5 8 9 9 (J P , A)
特開平 1 1 - 2 5 1 6 0 0 (J P , A)
特開平 0 5 - 0 2 1 7 9 8 (J P , A)
特開平 1 1 - 2 8 4 1 9 9 (J P , A)
特開平 0 7 - 3 3 5 5 4 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/20
H01L 21/336
H01L 29/786