(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201344909 A
(43)公開日： 中華民國 102 (2013) 年 11 月 01 日

(21)申請案號：101148337 (22)申請日： 中華民國 101 (2012) 年 12 月 19 日
(51)Int. Cl.： *H01L29/78 (2006.01)* *H01L21/336 (2006.01)*
(30)優先權：2011/12/30 世界智慧財產權組織 PCT/US11/68239
(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國
(72)發明人：瑞奇曼第 威利 RACHMADY, WILLY (US)；雷 凡 LE, VAN H. (US)；皮拉瑞斯提 拉維 PILLARISETTY, RAVI (US)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；喬 羅伯特 CHAU, ROBERT S. (US)；宋承宏 SUNG, SEUNG HOON (KR)
(74)代理人：林志剛
申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 57 頁

(54)名稱

閘極全環繞電晶體的可變閘極寬度

VARIABLE GATE WIDTH FOR GATE ALL-AROUND TRANSISTORS

(57)摘要

此處說明具有一或更多主動奈米佈線以及一或更多非主動奈米佈線的奈米佈線為基礎的閘極全環繞電晶體裝置。也說明製造這些裝置的方法。本發明的一或更多實施例關於改變包括奈米佈線堆疊的電晶體結構的閘極寬度之方式，奈米佈線堆疊具有不同數目的奈米佈線。方式包含藉由分開通道區、掩埋源極和汲極區、或二者而使某些數目的奈米佈線非主動(亦即，以致於電流不流經奈米佈線)。整體而言，藉由使某些數目的奈米佈線非主動並使其它奈米佈線維持為主動的，以改變具有複數奈米佈線之奈米佈線為基礎的結構之閘極寬度。

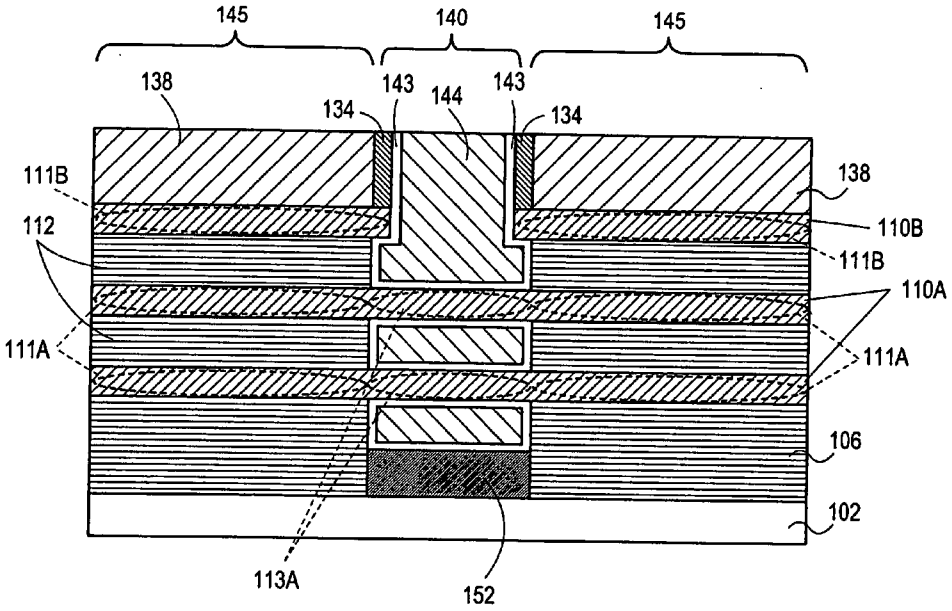



圖1A

102：基底
106：基部鰭
110A：主動奈米佈線
110B：非主動奈米佈線
111A：源極和汲極部份
111B：源極和汲極部份
112：犧牲材料
113A：通道部份
113B：通道部份
134：側壁間隔器
140：通道區
143：閘極介電層

144：閘極電極

145：源極和汲極區

152：底部閘極隔離

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201344909 A
(43)公開日： 中華民國 102 (2013) 年 11 月 01 日

(21)申請案號：101148337 (22)申請日： 中華民國 101 (2012) 年 12 月 19 日
(51)Int. Cl.： *H01L29/78 (2006.01)* *H01L21/336 (2006.01)*
(30)優先權：2011/12/30 世界智慧財產權組織 PCT/US11/68239
(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國
(72)發明人：瑞奇曼第 威利 RACHMADY, WILLY (US)；雷 凡 LE, VAN H. (US)；皮拉瑞斯提 拉維 PILLARISETTY, RAVI (US)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；喬 羅伯特 CHAU, ROBERT S. (US)；宋承宏 SUNG, SEUNG HOON (KR)
(74)代理人：林志剛
申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 57 頁

(54)名稱

閘極全環繞電晶體的可變閘極寬度

VARIABLE GATE WIDTH FOR GATE ALL-AROUND TRANSISTORS

(57)摘要

此處說明具有一或更多主動奈米佈線以及一或更多非主動奈米佈線的奈米佈線為基礎的閘極全環繞電晶體裝置。也說明製造這些裝置的方法。本發明的一或更多實施例關於改變包括奈米佈線堆疊的電晶體結構的閘極寬度之方式，奈米佈線堆疊具有不同數目的奈米佈線。方式包含藉由分開通道區、掩埋源極和汲極區、或二者而使某些數目的奈米佈線非主動(亦即，以致於電流不流經奈米佈線)。整體而言，藉由使某些數目的奈米佈線非主動並使其它奈米佈線維持為主動的，以改變具有複數奈米佈線之奈米佈線為基礎的結構之閘極寬度。

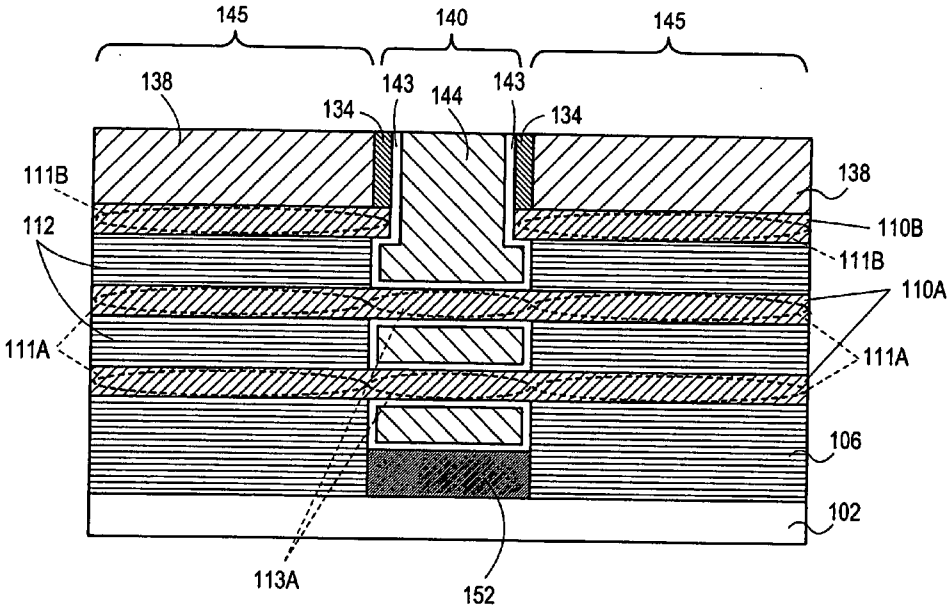



圖1A

102：基底
106：基部鰭
110A：主動奈米佈線
110B：非主動奈米佈線
111A：源極和汲極部份
111B：源極和汲極部份
112：犧牲材料
113A：通道部份
113B：通道部份
134：側壁間隔器
140：通道區
143：閘極介電層

201344909

# 發明專利說明書

（本申請書格式、順序，請勿任意更動，※記號部分請勿填寫）

**※申請案號：**101148337

**※申請日：**101 年 12 月 19 日　　**※IPC 分類：** H01L 29/78 (2006.01)
H01L 21/336 (2006.01)

**一、發明名稱：（中文／英文）**

閘極全環繞電晶體的可變閘極寬度

Variable gate width for gate all-around transistors

**二、中文發明摘要：**

此處說明具有一或更多主動奈米佈線以及一或更多非主動奈米佈線的奈米佈線爲基礎的閘極全環繞電晶體裝置。也說明製造這些裝置的方法。本發明的一或更多實施例關於改變包括奈米佈線堆疊的電晶體結構的閘極寬度之方式，奈米佈線堆疊具有不同數目的奈米佈線。方式包含藉由分開通道區、掩埋源極和汲極區、或二者而使某些數目的奈米佈線非主動（亦即，以致於電流不流經奈米佈線）。整體而言，藉由使某些數目的奈米佈線非主動並使其它奈米佈線維持爲主動的，以改變具有複數奈米佈線之奈米佈線爲基礎的結構之閘極寬度。

三、英文發明摘要：

Nanowire-based gate all-around transistor devices having one or more active nanowires and one or more inactive nanowires are described herein. Methods to fabricate such devices are also described. One or more embodiments of the present invention are directed at approaches for varying the gate width of a transistor structure comprising a nanowire stack having a distinct number of nanowires. The approaches include rendering a certain number of nanowires inactive (i.e. so that current does not flow through the nanowire), by severing the channel region, burying the source and drain regions, or both. Overall, the gate width of nanowire-based structures having a plurality of nanowires may be varied by rendering a certain number of nanowires inactive, while maintaining other nanowires as active.

四、指定代表圖：

（一）本案指定代表圖為：第（ 1A ）圖。

（二）本代表圖之元件符號簡單說明：

102：基底

106：基部鰭

110A：主動奈米佈線

110B：非主動奈米佈線

111A：源極和汲極部份

111B：源極和汲極部份

112：犧牲材料

113A：通道部份

113B：通道部份

134：側壁間隔器

140：通道區

143：閘極介電層

144：閘極電極

145：源極和汲極區

152：底部閘極隔離

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

**六、發明說明：**

【發明所屬之技術領域】

本發明的實施例關於半導體裝置的領域，特別關於非平面閘極全環繞裝置結構及具有變化閘極寬度的此結構的製造方法。

【先前技術】

積體裝置製造商持續縮小電晶體裝置的特徵尺寸以取得更大的電流密度及更高的性能，對於下一代裝置，需要管理電晶體驅動電流，並降低例如寄生電容及關閉狀態洩漏等短通道效應。

例如鰭部爲基礎的雙及三閘極電晶體等非平面電晶體增進短通道效應的控制。舉例而言，根據三閘極電晶體，閘極形成爲相鄰於通道區的三側。由於閘極結構圍繞三表面上的鰭部，所以，電晶體基本上具有控制流經鰭部的通道區的電流之三閘極。歸因於更陡峭的次臨界電流擺幅（SS）及更小的汲極感應障壁下降（DIBL），這些三閘極允許鰭部內更完整的空乏以及造成較低的短通道效應。近年來，已開發纏繞閘極結構，其中，閘極電極及源極／汲極接點纏繞半導體奈米佈線的全周邊，即使驅動電流增加時，仍然能夠更大幅地管理主動區中的洩漏及電容。

藉由改變閘極寬度，使驅動電流典型上調整成適合裝置規格。在雙及三閘極裝置中，改變鰭部高度。但是，新的纏繞電晶體要求不同的策略以改變奈米佈線爲基礎的裝

置之閘極寬度，也要求進一步發展能整合於目前製程中的新製造方法。

【發明內容及實施方式】

說明具有可變閘極寬度的閘極全環繞電晶體及此電晶體的形成方法。參考特定細節，說明本發明的實施例，以提供完整瞭解本發明。具有此技藝的一般技術者將瞭解，不用這些特定細節仍能實施本發明。在其它情形中，未特別詳細地說明習知的半導體製程及設備，以免不必要地模糊本發明。此外，圖式中所示的不同實施例是說明表示，不一定依比例繪製。

於此說明具有一或更多主動奈米佈線及一或更多非主動奈米佈線之奈米佈線爲基礎的閘極全環繞電晶體裝置。也說明此電晶體的製造方法。針對改變包括具有不同數目的奈米佈線之垂直奈米堆疊的電晶體結構的閘極寬度之方式，說明本發明的一或更多實施例。這些方式包含藉由分開奈米佈線的通道部、藉由掩埋奈米佈線的源極和汲極部、或二者，以使某些數目的奈米佈線非主動（亦即，以致於電流不流經奈米佈線的通道部份）。整體而言，藉由使某些數目的奈米佈線不致動而其它奈米佈線維持主動，改變具有複數奈米佈線之奈米佈線爲基礎的結構之閘極寬度。

在一實施例中，藉由蝕刻奈米佈線的通道部份，使垂直奈米佈線堆疊非主動。垂直奈米堆疊具有奈米佈線及犧

牲材料的交錯層。犧牲閘極結構纏繞垂直奈米佈線堆疊，界定電晶體的通道區及在通道區的相對立側上的源極和汲極區。移除犧牲閘極結構以使垂直奈米佈線堆疊曝露，以及，移除犧牲材料以曝露通道區內各奈米佈線的通道部份之周邊。然後，在通道區內形成介電材料，以致於下奈米佈線的通道部份被覆蓋，而上奈米佈線的通道部份在通道區的頂部曝露。然後，藉由蝕刻以分開上奈米佈線的曝露通道部份，形成非主動的奈米佈線。移除介電材料以使下奈米佈線的各未被蝕刻的通道部份曝露。在通道區中形成功能閘極結構，繞圍下、主動的奈米佈線之未被蝕刻的通道部份。

在另一實施例中，藉由隔離非主動的通道部份，而使垂直奈米佈線堆疊中的奈米佈線非主動。在實施例中，蝕刻接點開口以曝露電晶體的源極/汲極區中垂直的奈米佈線堆疊。然後，從奈米佈線的源極/汲極部份之間移除犧牲材料。在接點開口之內形成介電材料，以致於下奈米佈線的源極/汲極部份，亦即，最接近基底的奈米佈線被掩埋。然後，源極/汲極接點形成在接點開口之內，纏繞各上奈米佈線的曝露的源極/汲極部份。未對被掩埋的下奈米佈線的源極/汲極部份作接觸。確切而言，通道部份與源極/汲極區電隔離，以及，奈米佈線是非主動的。

電晶體中各主動奈米佈線的周邊形成通道的導電部份。確切而言，電晶體的全閘極寬度是主動的奈米佈線的周長總合。非主動的奈米佈線對於全閘極寬度沒有貢獻。

因此，對於具有給定數目的奈米佈線之奈米佈線堆疊，藉由改變奈米佈線堆疊之內的主動的及非主動的奈米佈線的數目，以改變全閘極寬度。

圖 1A 及 1B 顯示根據本發明的實施例之奈米佈線爲基礎的半導體裝置之實施例。圖 1A 是具有對閘極寬度有貢獻的二主動奈米佈線及一非主動奈米佈線之設有不連續通道部份的電晶體的二維剖面視圖。圖 1B 是具有對閘極寬度有貢獻的二主動奈米佈線及一非主動奈米佈線之設有掩埋的源極和汲極部份的電晶體的二維剖面視圖。雖然圖 1A-1B 中顯示三奈米佈線，但是，須瞭解，其它實施例可以包括更多或更少的奈米佈線。

在圖 1A 中，根據本發明的實施例，複數垂直堆疊的奈米佈線 110 配置在基底 102 的上方。閘極結構纏繞各主動奈米佈線 110A，界定配置在各主動奈米佈線 110A 中的通道部份 113A 及裝置的通道區 140。源極和汲極區 145 配置在各通道區 140 的相對側上。閘極結構包括閘極介電層 143 和閘極電極 144。藉由完全地纏繞各主動奈米佈線 110A 的通道部份 113，閘極結構藉由完全地切斷寄生電容漏電路徑而比平面及鰭爲基礎的電晶體增加閘極控制，藉以改良短通道效應。在本發明的實施例中，非主動的奈米佈線 110B 具有不連續的通道部份 113B，以致於電流不在源極與汲極部份 111B 之間流動。在實施例中，各奈米佈線 110 的源極和汲極部份 111 由犧牲材料 112 分開。最底部的奈米佈線 110A 的源極和汲極部份 111A 設於基部

鰭 106 上。底部閘極隔離部 152 隔離閘極結構與基底 102。

基底 102 由適用於半導體裝置製造的材料構成。在一實施例中，使用塊體半導體基底，形成結構。基底 102 包含但不限於矽、鍺、矽-鍺、或 III-V 族化合物半導體材料。在另一實施例中，使用絕緣體上矽（SOI）基底，形成結構。SOI 基底包含下塊體基底，配置在下塊體基底上的中間絕緣體層，以及頂部單晶層。中間絕緣體層包括二氧化矽、氮化矽、或氧氮化矽。頂部單晶層可爲任何適當的半導體材料，例如上述列出用於塊體基底的半導體材料。

在實施例中，奈米佈線 110 及犧牲材料 112 均爲半導體材料。在一此實施例中，奈米佈線及犧牲材料 112 是單晶的以及具有晶格常數。在實施例中，犧牲材料 112 爲相對於奈米佈線 110 而被選擇性地蝕刻的任何材料。在實施例中，犧牲材料 112 是在奈米佈線 110 中產生應力的材料。奈米佈線 110 及犧牲材料 112 均爲例如但不限於矽、鍺、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、及 InP 等材料。在特定實施例中，奈米佈線 110 是矽，以及，犧牲材料 112 是 SiGe。在另一特定實施例中，奈米佈線 110 是鍺，以及，犧牲材料 112 是 SiGe。在實施例中，奈米佈線 110 包括應力材料，特別是在通道部份 113 中。

在實施例中，各奈米佈線 110 可以如下所述般尺寸化

成爲佈線或是條紋，以及，具有非方形的或圓化角落。各奈米佈線 110 的厚度決定電晶體裝置的電特徵、集成度及性能。在實施例中，各奈米佈線 110 足夠厚以避免造成高通道電阻之過多的表面散射。各奈米佈線 110 也足夠薄以允許電晶體以完全空乏方式操作。在實施例中，從剖面觀點而言，奈米佈線的尺寸是奈米級。舉例而言，在特定實施例中，奈米佈線 110 的最小尺寸小於約 20 nm。

電晶體的閘極寬度決定電晶體的驅動電流容量。對於奈米佈線爲基礎的電晶體，主動的奈米佈線的通道區的周邊之累積長度決定用於該電晶體的閘極寬度。由於奈米佈線的剖面面積受限於空乏及表面散射，所以，藉由增加或降低電晶體中給定尺寸的主動奈米佈線的數目，以增加或降低閘極寬度。藉由增加閘極寬度，較大數目的主動奈米佈線 110A 允許電晶體裝置較大的驅動電流容量。但是，主動的奈米佈線的數目受限於包括主動的及非主動的奈米佈線之奈米佈線堆疊的總高度之限制。隨著奈米佈線堆疊的高度增加，非集成的風險增加。奈米佈線電晶體具有從 1 至 10 的奈米佈線。在實施例中，如圖 1A 所示，奈米佈線堆疊包括三奈米佈線。

在實施例中，閘極介電層 143 包括高 k 介電材料。舉例而言，在一實施例中，閘極介電層 143 由例如但不限於氧化鉿、氧氮化鉿、矽酸鉿、氧化鑭、氧化鋯、矽酸鋯、氧化鉭、鈦酸鋇鍶、鈦酸鋇、鈦酸鍶、氧化釔、氧化鋁、鉛鈧鉭氧化物、鈮酸鉛鋅、或其組合所構成。

在實施例中，閘極電極 144 由例如但不限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鉿、鋯、鈦、鉭、鋁、釔、鈀、鈷、鎳、或導電金屬氧化物等材料構成。在特定實施例中，閘極電極由形成於金屬功函數設定層上方的非功函數設定填充材料構成。在實施例中，閘極電極 144 包括 p 型功函數金屬。在另一實施例中，閘極電極 144 包括 n 型功函數金屬。

在一態樣中，如圖 1A 所示，奈米佈線 110 的源極和汲極部份 111 以及在源極與汲極部份 111 之間的犧牲材料 112 形成異質源極和汲極區 145。在實施例中，異質源極和汲極區 145 可以經過摻雜或未經摻雜。

在另一態樣中，從源極與汲極部份 111 之間移除犧牲層 112，以致於源極和汲極區 145 包括奈米佈線 110 的源極和汲極部份 111。然後，形成金屬接點，纏繞源極和汲極部份 111A 以建立主動奈米佈線 110A。

在另一態樣中，形成同質源極和汲極區 145。在實施例中，奈米佈線 110 和犧牲材料 112 的源極和汲極部份 111 都從源極和汲極區 145 移除。在特定實施例中，從基底生長半導體材料，形成對於各奈米佈線 110 的通道部份 113 的接點。在實施例中，同質源極和汲極區 145 可以經過摻雜或未經摻雜。在另一特定實施例中，在源極和汲極區 145 之內形成金屬物，形成對奈米佈線 110 的通道部份 113 的接點。

側壁間隔器 134 形成於閘極結構的垂直側壁上，以補

儅源極和汲極區的選加摻雜及/或使閘極電極與後續生長於源極和汲極區上的任何磊晶材料相絕緣。側壁間隔器134由例如但不限於二氧化矽、氧氮化矽、或氮化矽等絕緣的介電材料構成。

圖1B顯示本發明的另一實施例，其中，非主動的奈米佈線的通道部份與電晶體的源極和汲極區電隔離。根據本發明的實施例，複數垂直堆疊的奈米佈線110配置在基底102上方。包括閘極電極144及閘極介電質143之閘極結構界定裝置的通道區140以及通道區的相對立側上的源極和汲極區145。主動的奈米佈線110A具有通道部份113A以及源極和汲極部份111A。非主動的奈米佈線110B具有通道部份113B以及非主動的源極和汲極部份111B。

在實施例中，各主動的奈米佈線110A的源極和汲極部份111A由源極和汲極接點148完全圍繞。在實施例中，非主動的奈米佈線110B未電耦合至源極和汲極區145。在實施例中，各非主動的奈米佈線110B的源極和汲極部份111B由介電材料146掩埋，以經過源極和汲極部份11B電隔離通道部份113B。在實施例中，如圖1B所示，所有奈米佈線110均具有完好如初的通道部份113。

在實施例中，源極和汲極接點148由金屬物製成。金屬物可爲例如鎳、鈷、或鈀等純金屬或是例如金屬－金屬合金或金屬－半導體合金（例如矽化物材料）等合金。在實施例中，在形成接點金屬之前，在溝槽內形成氮化鈦底

層。

在本發明的另一態樣中，提供奈米佈線爲基礎的半導體裝置的製造方法。圖 2A-2K 顯示代表根據本發明的實施例之製造奈米爲基礎的電晶體之方法中的不同操作之三維透視圖及二維剖面視圖。

半導體裝置的製造方法包含在基底上方形成複數奈米佈線。圖 2A 顯示形成三條奈米佈線的特定實例。設置具有垂直奈米佈線堆疊 208 配置於上的基底 202。在實施例中，垂直奈米佈線堆疊 208 包括奈米佈線 210 材料及犧牲材料 212 的交錯層。在實施例中，奈米佈線堆疊包括三條奈米佈線 210 及二層犧牲材料 212。

在實施例中，藉由在塊體半導體基底的表面上生長交錯的材料層，形成奈米佈線 210 及犧牲材料 212，然後，以例如掩罩及電漿蝕刻製程，將這些層圖型化以形成鰭型式結構。在實施例中，在單晶矽基底上形成交錯層。在另一實施例中，在具有頂部 SiGe 層的塊體矽基底上形成交錯層。在實施例中，鰭型式結構包括配置在基部鰭 206 上的垂直奈米佈線堆疊 208。在實施例中，基部鰭 206 從基底 202 的頂部部份形成，其中，基底材料作爲最底部奈米佈線之下方的犧牲材料。在另一實施例中，基部鰭 206 由與犧牲材料 212 相同的材料形成。在另一實施例中，基部鰭 206 由基底 202 及犧牲材料 212 等二材料的結合形成。犧牲材料 212 由基底 202 的表面形成或是沉積於基底 202 的表面，以形成塊體鰭 206 的一部份。塊體鰭 206 也包括

複數緩衝層，這些緩衝層用以使晶格常數從基底至垂直奈米佈線堆疊 208 自其生長的表面漸變。

在實施例中，基底 202 也包含淺溝槽隔離（STI）區 204，SIT 區 204 用以降低相鄰裝置之間的漏電流。STI 區 204 由傳統的半導體圖型化方法形成（例如，微影術及蝕刻）。STI 區 204 包括例如氧化矽、氮化矽、氧氮化矽、及其組合等介電材料。

在另一實施例中，垂直奈米佈線堆疊 208 形成在 SOI 基底上，SOI 基底包括底部基底、中間絕緣層、及頂部單晶半導體層。在實施例中，包括垂直奈米佈線堆疊 208 的層從頂部單晶半導體層生長，然後，被圖型化成爲鰭型式結構。在實施例中，中間絕緣層作爲隔離層。

在實施例中，奈米佈線 210 及犧牲材料 212 均由具有晶格常數的單晶材料形成。在實施例中，奈米佈線 210 及犧牲材料 212 由半導體材料形成。在實施例中，犧牲材料 212 由相對於奈米佈線 210 被選擇性地蝕刻之材料形成。在實施例中，選取犧牲材料 212 以在奈米佈線 210 中產生應力。理想地，在垂直奈米佈線堆疊 208 中奈米佈線 210 及犧牲材料 212 均由單晶半導體材料形成，單晶半導體材料爲例如但不限於 Si、Ge、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 及 InP。在實施例中，奈米佈線 210 是矽以及犧牲材料 212 是 SiGe，以形成 n 型電晶體。在實施例中，奈米佈線 210 是未經摻雜的鍺以及犧牲材料 212 是 SiGe，以形成 p 型電晶體。

垂直奈米佈線堆疊 208 具有高度 224、寬度 222、及長度 220。垂直奈米佈線 208 形成爲具有小於 30 nm 的寬度 222 以及理想上小於 25 nm。在實施例中，高度 224 小於例如鰭倒塌、鰭輪廓扭曲、及鰭關鍵尺寸不良均勻性等集成議題開始發生的高度。奈米佈線 210 及犧牲材料 212 的厚度也影響高度 224。在實施例中，奈米佈線 210 及犧牲材料 212 足夠薄以取得小於集成議題開始發生時的高度之高度 224。

接著，犧牲閘極介電層 228 是沉積於垂直奈米佈線堆疊 208 的頂部及側壁上的覆蓋層。犧牲閘極介電層 228 沉積至從約 10-50Å 的厚度。在特定實施例中，犧牲閘極介電層 228 是例如氧化矽、氮化矽、及氧氮化矽等介電材料。以習知的化學汽相沉積（CVD）法，沉積犧牲閘極介電層 228。如圖 2B 中所示，然後，犧牲閘極材料 250 覆蓋沉積於結構上，包含犧牲閘極介電層 228。犧牲閘極端 250 沉積至超過垂直奈米佈線堆疊 208 的高度。在實施例中，犧牲閘極材料 250 由例如多晶矽等半導體材料形成。

接著，根據圖 2C 中所示之本發明的實施例，使用傳統的微影術及蝕刻方法，將犧牲閘極材料 250 圖型化，形成犧牲閘極電極 230。用以形成犧牲閘極電極 230 之犧牲閘極材料 250 的蝕刻使垂直奈米佈線堆疊 208 的源極和汲極區上的犧牲閘極介電層 228 曝露。在犧牲閘極 230 的圖型化及形成期間，犧牲閘極介電層 228 作爲蝕刻停止層，藉以防止對垂直奈米佈線堆疊 208 的源極和汲極區造成傷

害。在實施例中，犧牲閘極介電層 228 及犧牲閘極電極 230 由具有充分不同的蝕刻選擇性之材料形成，以致於犧牲閘極介電層 228 在犧牲閘極電極 230 的蝕刻期間作爲蝕刻停止層。

接著，使用例如傳統的濕蝕刻製程，將犧牲閘極介電層 228 從垂直奈米佈線堆疊 208 的頂部及側壁移除。在實施例中，犧牲閘極介電層 228 是使用稀釋的 HF 濕蝕刻而被移除的氧化矽層。在犧牲閘極結構的形成之後，舉例而言，如此技藝中熟知般，以尖端佈植或是暈佈植，將奈米佈線 210 摻雜。

根據圖 2C 中所示的本發明的實施例，在犧牲閘極電極 230 的側壁上形成成對的側壁間隔器 234，以補償源極和汲極區的選加摻雜及/或使閘極電極與後續生長於源極和汲極區上的任何磊晶材料相絕緣。使用此技藝中所知的形成選取間隔器之習知方法，形成成對的側壁間隔器 234。側壁間隔器 234 可爲任何適當的介電材料，例如但不限於氧化矽、氮化矽、氧氮化矽及其組合。在實施例中，側壁間隔器 234 形成爲從 20 至 100Å 厚。

在實施例中，源極和汲極區 245 是異質的，包括如圖 2C 中所示的垂直奈米佈線堆疊的源極和汲極部份 211 及犧牲材料 212。在實施例中，在源極和汲極區 245 之內，在垂直奈米佈線堆疊 208 的表面上生長磊晶材料。異質的源極和汲極區 245 可以經過摻雜或未被摻雜。在實施例中，以離子佈植，摻雜異質的源極和汲極區 245。

在另一實施例中，源極和汲極區 245 包括奈米佈線 210 的源極和汲極部份 211。在實施例中，從源極和汲極區 245 之內移除犧牲材料 212 及至少部份基部鰭 206，以曝露奈米佈線 210 的源極和汲極部份 211 的周邊。在實施例中，接點纏繞奈米佈線 210 的曝露的源極和汲極部份 211。在實施例中，接點包括導電金屬物。

在另一實施例中，源極和汲極區 245 是同質的。移除源極和汲極部份 211、犧牲材料 212、及至少部份基部鰭 206，以形成同質源極和汲極區。然後，材料沉積於源極和汲極區之內，以形成與各奈米佈線 210 的通道部份 213 之接觸。在實施例中，從基底生長單晶半導體材料以形成升起的源極和汲極區。在實施例中，同質源極和汲極區 245 提供應力給奈米佈線 210 的通道部份 213。假使需要時，半導體材料可爲原地摻雜的。在另一實施例中，藉由沉積金屬物以形成與奈米佈線 210 的通道部份 213 的接觸，形成同質源極和汲極區 245。

如圖 2D 中所示，根據本發明的實施例，層間介電（ILD）層 238 覆蓋沉積於基底上。使用 CVD，沉積覆蓋 ILD 層 238。在實施例中，ILD 層 238 由任何熟知的介電材料形成，例如但不限於未經摻雜的氧化矽、經過摻雜的氧化矽（例如，BPSG、PSG）、氮化矽、及氧氮化矽。然後，使用習知的化學機械平坦化方法，背拋光 ILD 層 238 以使犧牲閘極電極 230 的頂部及側壁間隔器 234 的頂部曝露。

接著，如圖 2E 中所示的實施例中所示般，移除犧牲閘極電極 230 以使通道區 240 之內的垂直奈米佈線堆疊 208 上的犧牲閘極介電質 228。圖 2E 是延著線 A-A'之圖 2D 中所示的實施例之二維、剖面視圖。在犧牲閘極電極 230 的移除期間，ILD 層 238 保護源極和汲極區 245 之內的垂直奈米佈線堆疊 208。此外，在通道區 240 之內的垂直奈米佈線堆疊 208 上的犧牲閘極介電層 228 作爲蝕刻停止，在犧牲閘電極 230 移除期間，保護垂直奈米佈線堆疊 208。使用例如電漿乾蝕刻或濕蝕刻等傳統的蝕刻方法，移除犧牲閘電極 230。在實施例中，使用例如 TMAH 溶液等濕蝕刻劑以選擇性地移除犧牲閘電極。

在實施例中，接著移除犧牲閘介電層 228 以曝露通道區 240 之內的垂直奈米佈線堆疊 208。使用傳統的蝕刻方法，移除犧牲閘極介電層 228。在實施例中，犧牲閘極介電層 228 是可由稀釋的 HF 濕蝕刻移除之氧化矽。

接著，如圖 2F 所示般，從通道區 240 之內的奈米佈線 210 之間移除犧牲材料 212。在實施例中，從奈米佈線 210 之間完全地蝕刻犧牲材料 212。在實施例中，蝕刻製程曝露通道區 240 之內的奈米佈線 210 的所有表面。如圖 2F 所示，犧牲材料 212 的移除在相鄰的奈米佈線 210 之間留下空乏。使用對奈米佈線 210 有選擇性的任何習知的蝕刻劑，移除犧牲材料 212。對於犧牲材料相較於奈米佈線材料，蝕刻劑的選擇率大於 50:1。在實施例中，選擇率大於 100：1。在奈米佈線 210 是矽及犧牲材料 212 是矽

鍺的實施例中，使用例如但不限於含水羧酸/硝酸/HF 溶液及含水的檸檬酸/硝酸/HF 溶液等濕蝕刻劑，選擇性地移除犧牲材料 212。在奈米佈線 210 是鍺及犧牲材料 212 是矽鍺的實施例中，使用例如但不限於氫氧化銨（$NH_4OH$）、氫氧化四甲銨（TMAH）、乙二胺鄰苯二酚(EDP)、或氫氧化鉀（KOH）溶液等濕蝕刻劑，選擇性地移除犧牲材料 212。

然後，如圖 2G 中所示的實施例所示般，將介電材料 242 覆蓋沉積於基底上，圍繞奈米佈線 210 及完全地填充通道區 240。介電材料 242 完全地填充奈米佈線 210 之間的空乏，也填充最底部奈米佈線與基底 202 的頂部表面之間的空間。介電材料 242 也形成於 ILD 層 238 的頂部表面上。在實施例中，介電材料 242 由例如但不限於氧化矽、氮化矽、及氧氮化矽等任何習知的介電材料形成。在特定實施例中，介電材料 242 由二氧化矽形成。理想上，使用例如低壓化學汽相沉積（LPCVD）、原子層沉積（ALD）、介電質上旋轉塗敷製程、或是這些製程的組合等高保形沉積方法，形成介電材料 242，以確保奈米佈線 210 之間的空乏被完全填充。

接著，根據本發明的實施例，介電材料 242 從 ILD 層 238 的表面被移除、以及接著部份地凹陷於通道區 240 之內。介電材料 242 凹陷至通道區 240 之內的深度，此深度足以完全地曝露各奈米佈線 210 的通道部份 213。由必須不被致動之奈米佈線 210 的數目決定曝露的通道部份 213

的數目，以取得所需的電晶體閘極寬度。在圖 2H 所示的實施例中，曝露上奈米佈線 210B 的通道部份 213B 的全周邊，而各下奈米佈線 210A 的通道部份 213A 維持由介電材料 242 完全掩埋。在實施例中，使用計時 HF 濕蝕刻，將介電材料 242 蝕刻。

然後，根據本發明的實施例，分開上奈米佈線 210B 的曝露通道部份 213B。在實施例中，上奈米佈線 210B 的曝露通道部份 213B 被蝕刻達到上奈米佈線 210B 無法在源極與汲極區 245 之間導通電流的程度。在實施例中，如圖 2I 中所示般，完全地移除通道部份 213B。以對介電材料 242 有選擇性的任何蝕刻製程，蝕刻通道部份 213B。以濕或乾蝕刻製程，蝕刻通道部份 213B。介電材料 242 保護各下奈米佈線 210A 的通道部份 213A，以致於它們不被蝕刻。

然後，如圖 2J 中所示的實施例中所示般，介電材料 242 接著又凹陷以曝露各下奈米佈線 210A 的受保護通道部份 213A。介電材料 242 餘留在基底 202 上以形成底部閘極隔離 252。底部閘極隔離 252 的厚度取決於介電材料 242 被蝕刻的時間長度。在實施例中，足夠長時間地執行濕蝕刻凹陷，以取得厚至足以隔離基底 202 的頂表面免於電容地耦合後續形成的閘極電極之電容底部閘極隔離厚度。在實施例中，足夠長時間地執行濕蝕刻凹陷，以取得薄至足以允許後續形成的閘極介電層與閘極電極形成爲全圍繞各下奈米佈線 210A 的通道部份 213A 之底部閘極隔

離厚度。

接著，根據本發明的實施例，閘極介電層 243 形成爲圍繞各下奈米佈線 210A 的通道部份 213A。如先前所述般，閘極介電層 243 由任何習知的閘極介電材料形成。使用例如原子層沉積（ALD）等高保形沉積製程，形成閘極介電層 243，以確保形成圍繞各下奈米佈線 210A 的通道部份 213A 之具有均勻厚度的閘極介電層。閘極介電層 243 可爲例如高 k 介電質等任何適當材料。在特定實施例中，閘極介電層 243 是沉積至 10-60Å 之間的厚度之氧化鉿。

接著，閘極電極材料覆蓋地沉積於閘極介電層 243 以形成閘極電極 244。閘極電極 244 可由如先前所述之任何習知的閘極電極材料形成。使用例如 ALD 等高保形沉積製程，沉積閘極電極材料 243，以確保閘極電極 244 形成在閘極介電層 243 上而圍繞下奈米佈線 210A 的通道部份 213A 及在下奈米佈線 210A 的通道部份 213A 之間。然後，將 ILD 層 238 的頂部上之閘極電極材料及閘極介電層 243 化學機械地平坦化，直到 ILD 層 238 的頂部表面如圖 2K 中所示地露出爲止，而形成電晶體裝置。根據本發明的實施例，各通道部份 213A 的周邊之累積長度決定電晶體的閘極寬度。

在本發明的另一實施例中，如圖 3A-3C 所示，藉由蝕刻各別的通道部份，使一條以上的奈米佈線非主動。在一實施例中，提供如參考圖 2A-2G 之顯示及上述所述般

形成的結構。在實施例中，介電層 342 從 ILD 層 338 的頂表面移除以及凹陷至通道區 340 內，以曝露各上奈米佈線 310B 的通道部份 313B。通道部份 313B 的全周邊曝露。下奈米佈線 310A 的通道部份 313A 維持掩埋在介電層 342 中。然後，各上奈米佈線 312B 的通道部份 313B 被充分地蝕刻，以致於上奈米佈線 312B 無法在源極與汲極區 345 之間。在實施例中，如圖 3B 中所示般，通道部份 313B 被完全地蝕刻。以圖 2J 中的上奈米佈線 210B 的通道部份 213B 的蝕刻有關的上述製程，蝕刻各上奈米佈線 310B 的通道部份 313B。

然後，如圖 3C 中所示的實施例中所示般，介電材料 342 凹陷於通道區之內以曝露下奈米佈線 310A 的通道部份 313A。在實施例中，將介電材料 342 蝕刻至足以允許形成全圍繞通道部份 313A 的全周邊之閘極介電質及閘極電極層之深度。在實施例中，部份介電材料 342 留在下奈米佈線 310A 之下方的基底 302 的表面上以形成底部閘極隔離區 352。

然後，根據本發明的實施例，閘極介電質 343 及閘極電極 344 形成在通道區 340 之內。如圖 2K 中所示，關於閘極電極 243 及閘極電極 244 之上述所述般，形成閘極介電質 343 及閘極電極 344。閘極介電質 343 及閘極電極 344 全纏繞下奈米佈線 310A 的通道部份 313A，以致於下奈米佈線 310A 的周邊決定用於顯示之電晶體的實施例之閘極寬度。

在另一實施例中，其中，例如圖 3A-3C 中所示般，二奈米佈線非主動，介電材料 342 從 ILD 層 338 的頂表面移除以及凹陷至溝槽內，以曝露僅最上方的奈米佈線 310B 的通道部份 313B。然後，以例如上奈米佈線 210B 有關的上述所述的製程，蝕刻單一曝露的通道部份 313B。接著，在實施例中，介電材料 342 進一步凹陷以曝露第二上奈米佈線 310B 的通道部份 313B。然後，以例如關於上奈米佈線 210B 之上述所述的製程，蝕刻單一曝露的通道部份 313B，以形成圖 3B 中所示的結構。在實施例中，然後，如同下奈米佈線 210A 有關的上述所述及圖 3C 中所示般，介電材料 342 從下奈米佈線 310A 的通道部份 313A 的表面移除，以致於形成功能閘極結構，纏繞完好如初的通道部份 313A。因此，形成具有二非主動的上奈米佈線 310B 及一主動的下奈米佈線 310A 之電晶體。

如圖 2A-2K 及 3A-3C 中上述所示般，具有相同數目的奈米佈線的電晶體的閘極寬度可以改變。在本發明的其它實施例中，奈米佈線堆疊可以含有更多或更少的奈米佈線。一般而言，至少一奈米佈線是主動的，但是，揭示的製程可以用以形成具有零條主動奈米佈線的犧牲電晶體。

在本發明的另一態樣中，藉由將一或更多奈米佈線的通道部份與裝置的源極/汲極區隔離，改變奈米佈線爲基礎的電晶體的閘極寬度。圖 4A-E 顯示代表根據本發明的實施例之奈米佈線爲基礎的電晶體之製造方法的不同操作之二維剖面視圖。

如圖 4A 中所示般，提供包括複數以垂直堆疊沉積於基底 402 上的奈米佈線 410 的結構。包括閘極介電質 443 及閘極電極 444 的閘極結構纏繞各奈米佈線 410 的通道區。在實施例中，閘極介電質 443 是犧牲閘極介電質，以及，閘極電極 444 是犧牲閘極電極。底部閘極隔離區 452 將閘極結構與基底 402 相隔離。各奈米佈線 410 的源極和汲極部份 411 由鰭基部鰭部 406 及犧牲材料 412 支撐。ILD 層 438 覆蓋源極和汲極區 445 中的頂部奈米佈線。如同參考圖 2A-2K 之上述中所述般，形成結構，省略操作，因而奈米佈線的通道部份被分開。

如圖 4B 中所示般，爲形成源極和汲極接點，從 ILD 層 438 的表面至基底 402 的表面蝕刻開口 460，移除 ILD 層 438、犧牲材料 412 及基部鰭部 406 等的部份，以曝露各奈米佈線 410 的源極和汲極部份 411 的全周邊。以對奈米佈線 410 材料有選擇性的蝕刻製程，移除 ILD 層 438、犧牲材料 412、及鰭部 406。在實施例中，使用微影製程，蝕刻開口 406。

如圖 4B 所示，在移除犧牲材料 412 之後，奈米佈線 410 由閘極結構支撐。在實施例中，奈米佈線 410 由相鄰於源極/汲極部份 411 的犧牲閘極結構增加地支撐。在另一實施例中，奈米佈線 410 又由與相鄰的裝置相關連的功能閘極結構支撐。在另一實施例中，奈米佈線 410 終止於源極/汲極部份 411 的端部。

接著，如圖 4C 所示般，介電材料 456 覆蓋地沉積於

基底上，完全地填充開口 460。然後，如圖 4D 中所示般，從 ILD 層 438 的表面蝕刻介電材料 446，且介電材料 446 凹陷於開口 460 之內以曝露對應於所需的主動奈米佈線的數目之源極和汲極部份 411 的數目。在實施例中，各上奈米佈線 410A 的源極和汲極部份 411A 的周邊完全地曝露。在實施例中，介電材料 446 完全地覆蓋在開口 460 的底部之下奈米佈線 410B 的源極和汲極部份 411B。

如圖 4E 所示，在實施例中，源極和汲極接點 458 形成在開口 460 中。在實施例中，源極和汲極接點 458 全纏繞各主動奈米佈線 410A 的源極和汲極部份 411A。源極和汲極接點 458 由任何適合確保各上奈米佈線 410A 的源極和汲極部份 411A 之保形接點的方法所形成。在實施例中，以 CVD 沉積源極和汲極接點 458。在實施例中，源極和汲極接點 458 由關於圖 1B 中所示的源極和汲極接點 158 之上述中所述的金屬物形成。在另一實施例中，在形成接點之前，從開口 460 之內移除源極和汲極部份 411A。在實施例中，金屬沉積於開口 460 之內以形成與通道部份 411A 的接點。在開口 460 的底部之介電材料防止源極和汲極接點 458 與非主動的奈米佈線 410B 的源極和汲極部份 411B 電接觸。

在閘極介電質 443 是犧牲閘極介電質、以及閘極電極 444 是犧牲閘極電極的實施例中，在形成接點 458 之後，以更換閘極製程，形成功能閘極。

如此，形成包括二主動奈米佈線 410A 及一非主動奈

米佈線 410B 的電晶體。電晶體的閘極寬度等於主動奈米佈線 410A 的通道部份 411A 的周邊之結合長度。雖然圖 4A-4E 顯示通道部份與源極區和汲極區相隔離，但是，須瞭解，僅與源極區或汲極區隔離即足以使奈米佈線非主動。

在奈米佈線堆疊中主動及非主動的奈米佈線之數目可以改變，以取得具有不同閘極寬度的電晶體。在圖 5A 所示的實施例中，電晶體包括配置在基底 502 上方的奈米佈線 510 的垂直堆疊。包括閘極介電層 543 及閘極電極 544 的閘極結構纏繞奈米佈線 510 的通道部份 513。閘極結構具有側壁間隔器 534，顯示爲在奈米佈線的頂部上方。奈米佈線堆疊具有一條主動的奈米佈線 510A 以及二條非主動的奈米佈線 510B，其中，各非主動的奈米佈線 510B 的源極和汲極部份 511B 掩埋在介電材料 546 中，以致於通道部份 513B 與源極和汲極區 545 電隔離。源極/汲極接點 558 形成爲纏繞主動的奈米佈線 510A 的源極和汲極部份 511A。主動的奈米佈線 510A 的通道部份 513 的周邊決定電晶體的閘極寬度。

在另一實施例中，如圖 5B 中所示，介電材料 546 被蝕刻，以致於一部份維持相鄰於閘極結構。介電材料包含在閘極與源極和汲極接點之間的米勒（Miller）電容。在實施例中，在覆蓋沉積介電材料 546 於結構上之後，如同參考圖 4C 之上述所述般，介電材料被拋光成與閘極結構的上表面齊平。然後，在相鄰於閘極結構的介電材料上形

成掩罩。然後，接點溝槽被蝕刻以曝露主動的奈米佈線510A的源極和汲極部份，而一部份介電材料546保留在與閘極結構相鄰的源極/汲極區中。在實施例中，溝槽蝕刻曝露部份源極和汲極部份，而源極/汲極部份的另一部份在相鄰於閘極結構的介電材料546之間延伸。然後，接點形成在溝槽中、在覆蓋非主動的奈米佈線510B的源極和汲極部份之介電材料546的上方。相鄰於閘極結構的介電材料的寬度延著溝槽的深度而變，從0至500Å寬。

在另一實施例中，如圖5C中所示般，ILD層538、犧牲材料512、及基部鰭506等的部份保留成相鄰於閘極結構。在接點溝槽的蝕刻期間，藉由覆蓋ILD層538的部份，可以保留ILD層538、犧牲材料512、及基部鰭506等的部份。在本實施例中，犧牲材料512是絕緣的或半絕緣的，以致於犧牲材料512不產生或實際上不產生漏電路徑、以及以致於非主動的奈米佈線的通道部份維持與裝置的源極和汲極區電隔離。

圖6顯示根據本發明的一實施之計算裝置600。計算裝置600容納主機板602。主機板602包含多個組件，多個組件包括但不限於處理器604及至少一通訊晶片606。處理器604實體地及電耦合至主機板602。在某些實施中，至少一通訊晶片606也實體地及電耦合至主機板602。在另外的實施中，通訊晶片606是處理器604的一部份。

取決於其應用，計算裝置600包含可以或不可以實體

地及電耦合至主機板 602 的其它組件。這些其它組件包含但不限於依電性記憶體（例如，DRAM）、非依電性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位訊號處理器、密碼處理器、晶片組、天線、顯示器、觸控幕顯示器、觸控幕控制器、電池、音頻編解碼、視頻編解碼、功率放大器、全球定位系統(GPS)裝置、羅盤、加速計、陀螺儀、揚音器、相機、及大量儲存裝置（例如硬碟機、光碟（CD）、數位多樣式光碟（DVD）、等等）。

通訊晶片 606 能夠無線通訊以用於對計算裝置 600 傳輸資料。「無線」一詞及其衍生詞用以說明經由使用通過非固體介質之調變的電磁輻射來傳輸資料的電路、裝置、系統、方法、技術、通訊通道、等等。此詞並非意指相關連裝置未含有任何接線，但是，在某些實施例中，它們可能未含任何接線。通訊晶片 606 可以實施任何無線標準或是通信協定，包含但不限於 Wi-Fi(IEEE 802.11 系列)、WiMAX（IEEE 802.16 系列）、IEEE 802.20、長期進化(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生、以及以 3G、4G、5G、及更新的世代來標示的任何其它無線通信協定。計算裝置 600 包含複數通訊晶片 606。舉例而言，第一通訊晶片 606 可以專用於較短範圍的無線通訊，例如 Wi-Fi 及藍牙，而第二通訊晶片 606 可以專用於較長範圍的無線通訊，例如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、等等。

計算裝置 600 的處理器 604 包含封裝在處理器 604 之內的積體電路晶粒。在本發明的某些實施中，處理器的積體電路晶粒包含根據本發明的實例之一或更多具有設有至少一非主動的奈米佈線之奈米佈線垂直堆疊的閘極全環繞電晶體。「處理器」一詞意指處理來自暫存器及/或記憶體的電子資料以將電子資料轉換成儲存在暫存器及/或記憶體中的其它電子資料之任何裝置或裝置的一部份。

通訊晶片 606 也包含封裝於通訊晶片 606 之內的積體電路晶粒。根據本發明的另一實施，通訊晶片的積體電路晶粒包含根據本發明的實例之一或更多具有設有至少一非主動的奈米佈線之奈米佈線垂直堆疊的閘極全環繞電晶體。

在其它實施中，容納於計算裝置 600 之內的另一組件含有積體電路晶粒，積體電路晶粒包含根據本發明的實例之一或更多具有設有至少一非主動的奈米佈線之奈米佈線垂直堆疊的閘極全環繞電晶體。

在各式各樣的實施中，計算裝置 600 可以是膝上型電腦、筆記型電腦、超薄筆記型電腦、智慧型電話、平板電腦、個人數位助理（PDA）、及超薄行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或是數位攝影機。在又其它實施中，計算裝置 600 可爲處理資料的任何其它電子裝置。

【圖式簡單說明】

圖 1A 顯示根據本發明的實施例之奈米爲基礎的半導體結構之二維剖面視圖。

圖 1B 顯示根據本發明的實施例之奈米爲基礎的半導體結構之二維剖面視圖。

圖 2A-2D 顯示根據本發明的實施例之形成奈米爲基礎的電晶體之製程中的操作之三維透視圖。

圖 2E-2K 顯示根據本發明的實施例之形成奈米爲基礎的電晶體之製程中的操作之二維剖面視圖。

圖 3A-3C 顯示根據本發明的實施例之形成奈米爲基礎的電晶體之製程中的操作之二維剖面視圖。

圖 4A-4E 顯示根據本發明的實施例之形成奈米爲基礎的電晶體之製程中的操作之二維剖面視圖。

圖 5A-5C 顯示奈米爲基礎的半導體結構之實施例的二維剖面視圖。

圖 6 顯示根據本發明的一實施例之計算裝置。

【主要元件符號說明】

102：基底

106：基部鰭

110：垂直堆疊奈米佈線

110A：主動奈米佈線

110B：非主動奈米佈線

111：源極和汲極部份

111A：源極和汲極部份

111B：源極和汲極部份

112：犧牲材料

113：通道部份

113A：通道部份

113B：通道部份

134：側壁間隔器

140：通道區

143：閘極介電層

144：閘極電極

145：源極和汲極區

146：介電材料

148：源極和汲極接點

152：底部閘極隔離

202：基底

204：溝槽隔離區

206：基部鰭

208：垂直奈米佈線堆疊

210：奈米佈線

210A：下奈米佈線

210B：上奈米佈線

211：源極和汲極部份

212：犧牲材料

213：通道部份

213A：通道部份

213B：通道部份

220：長度

222：寬度

224：高度

228：犧牲閘極介電層

230：犧牲閘極　電極

234：側壁間隔器

238：層間介電質

240：通道區

242：介電材料

243：閘極介電層

244：閘極電極

245：源極和汲極區

250：犧牲閘極　材料

252：底部閘極隔離

302：基底

310A：下奈米佈線

310B：上奈米佈線

312B：上奈米佈線

313A：通道部份

313B：通道部份

338：層間介電層

340：通道部份

342：介電材料

343：閘極介電質

344：閘極電極

345：源極和汲極區

352：底部閘極隔離區

402：基底

406：鰭基部鰭

410：奈米佈線

410A：上奈米佈線

410B：下奈米佈線

411：源極和汲極部份

411A：源極和汲極部份

411B：源極和汲極部份

412：犧牲材料

438：層間介電層

443：閘極介電質

444：閘極電極

446：介電材料

452：底部閘極隔離區

458：源極和汲極接點

460：開口

502：基底

506：基部鰭

510：奈米佈線

510A：主動奈米佈線

510B：非主動奈米佈線

511A：源極和汲極部份

511B：源極和汲極部份

512：犧牲材料

513：通道部份

513B：通道部份

534：側壁間隔器

538：層間介電層

543：閘極介電層

544：閘極電極

545：源極和汲極區

546：介電材料

558：源極/汲極接點

600：計算裝置

602：主機板

604：處理器

606：通訊晶片

**七、申請專利範圍：**

1. 一種半導體裝置，包括：

複數垂直堆疊的奈米佈線，配置在基底上，其中，該複數奈米佈線中之一是主動奈米佈線以及該複數奈米佈線中之一是非主動奈米佈線；

閘極結構，纏繞該主動奈米佈線，界定該裝置的通道區；以及

源極區和汲極區，在該通道區的相對側上。

2. 如申請專利範圍第 1 項之裝置，其中，該非主動奈米佈線具有在該通道區內的非主動通道部份，以及，其中，該非主動通道部份是不連續的。

3. 如申請專利範圍第 2 項之裝置，其中，該源極區和該汲極區由同質材料形成。

4. 如申請專利範圍第 3 項之裝置，其中，該同質材料是單晶半導體。

5. 如申請專利範圍第 3 項之裝置，其中，該同質材料是金屬。

6. 如申請專利範圍第 2 項之裝置，其中，該源極區和該汲極區由複數半導體膜的異質堆疊形成。

7. 如申請專利範圍第 2 項之裝置，其中，該主動奈米佈線具有在該裝置的該源極區內的主動源極部份、以及具有在該裝置的該汲極區內的主動汲極部份，以及，其中，金屬源極接點纏繞該主動源極部份以及金屬汲極接點纏繞該主動汲極部份。

8. 如申請專利範圍第 1 項之裝置，其中，該非主動奈米佈線具有在該通道區內的非主動通道部份，該非主動通道部份與該源極區和該汲極區中至少之一電隔離。

9. 如申請專利範圍第 8 項之裝置，其中，該非主動奈米佈線具有在該源極區內的源極部份以及在該汲極區內的汲極部份，該源極部份與該汲極部份中至少之一由介電材料包封，以致於該非主動奈米佈線的通道部份與該源極區和該汲極區中至少之一電隔離。

10. 如申請專利範圍第 1 項之裝置，其中，該主動奈米佈線以及該非主動奈米佈線是矽。

11. 如申請專利範圍第 1 項之裝置，其中，該主動奈米佈線以及該非主動奈米佈線是鍺。

12. 一種方法，包括：

設置基底，該基底具有：

奈米佈線及犧牲材料的交錯層之垂直堆疊，

其中，一奈米佈線是下奈米佈線以及一奈米佈線是上奈米佈線，

犧牲閘極，纏繞該垂直堆疊，其中，該犧牲閘極界定該裝置的通道區，以及

源極區和汲極區，在該通道區的相對側上；

蝕刻該犧牲閘極以曝露該垂直堆疊；

蝕刻該通道區內的該犧牲材料以曝露該上奈米佈線的第一通道部份、曝露該下奈米佈線第二通道部份、以及在該第一通道部份與該第二通道部份之間形成空乏；

以介電材料填充該通道區，其中，該介電材料填充該空乏；

蝕刻該介電材料以曝露該第一通道部份，而該第二通道部份維持由該介電材料覆蓋；

蝕刻該第一通道部份以形成非主動奈米佈線；

蝕刻該介電材料以曝露該第二通道部份；以及

形成圍繞該第二通道部份的閘極結構以形成主動奈米佈線。

13. 如申請專利範圍第 12 項之方法，其中，蝕刻該第一通道部份移除該通道區內的實質上全部該上奈米佈線。

14. 如申請專利範圍第 12 項之方法，又包括：

形成該源極區和該汲極區內的該垂直堆疊的源極/汲極接點。

15. 如申請專利範圍第 12 項之方法，又包括：

蝕刻除掉該源極區和該汲極區中的該垂直堆疊以曝露該下奈米佈線下方的半導體表面；以及

從該半導體表面生成單晶半導體材料，以形成同質源極/汲極區，其中，該同質源極/汲極區形成該第一通道部份的接點。

16. 如申請專利範圍第 12 項之方法，又包括：

蝕刻掉該源極區和該汲極區中至少之一中的該犧牲材料，以曝露該主動奈米佈線的主動源極/汲極部份；以及

形成纏繞該主動源極/汲極部份的金屬接點。

17. 一種方法，包括：

設置基底，該基底具有：

奈米佈線及犧牲材料的交錯層之垂直堆疊，

其中，一奈米佈線是下奈米佈線以及一奈米佈線是上奈米佈線，

閘極結構，纏繞該垂直堆疊，其中，該閘極結構界定該裝置的通道區，以及

源極區和汲極區，在該通道區的相對側上；

在該源極/汲極區中至少之一內蝕刻接點開口以曝露該上奈米佈線的第一源極/汲極部份以及該下奈米佈線的第二源極/汲極部份，其中，該犧牲材料從該第一源極/汲極部份與該第二源極/汲極部份之間移除；

在該接點開口中形成介電材料，其中，該介電材料覆蓋該第二源極/汲極部份，而該一源極/汲極部份維持曝露在該接點開口內；以及

在該接點開口中形成接點，其中，該接點纏繞該第一源極/汲極部份。

18. 如申請專利範圍第 17 項之方法，其中，在該接點開口中形成介電材料又包括：

覆蓋地沉積該介電材料以填充該接點開口；以及

蝕刻該接點開口內的該介電材料，以曝露該第一源極/汲極部份。

19. 如申請專利範圍第 17 項之方法，其中，該閘極結構包括閘極介電質及閘極電極。

20. 如申請專利範圍第 17 項之方法，又包括：

在形成該接點之後，移除該閘極結構；以及

形成功能閘極。

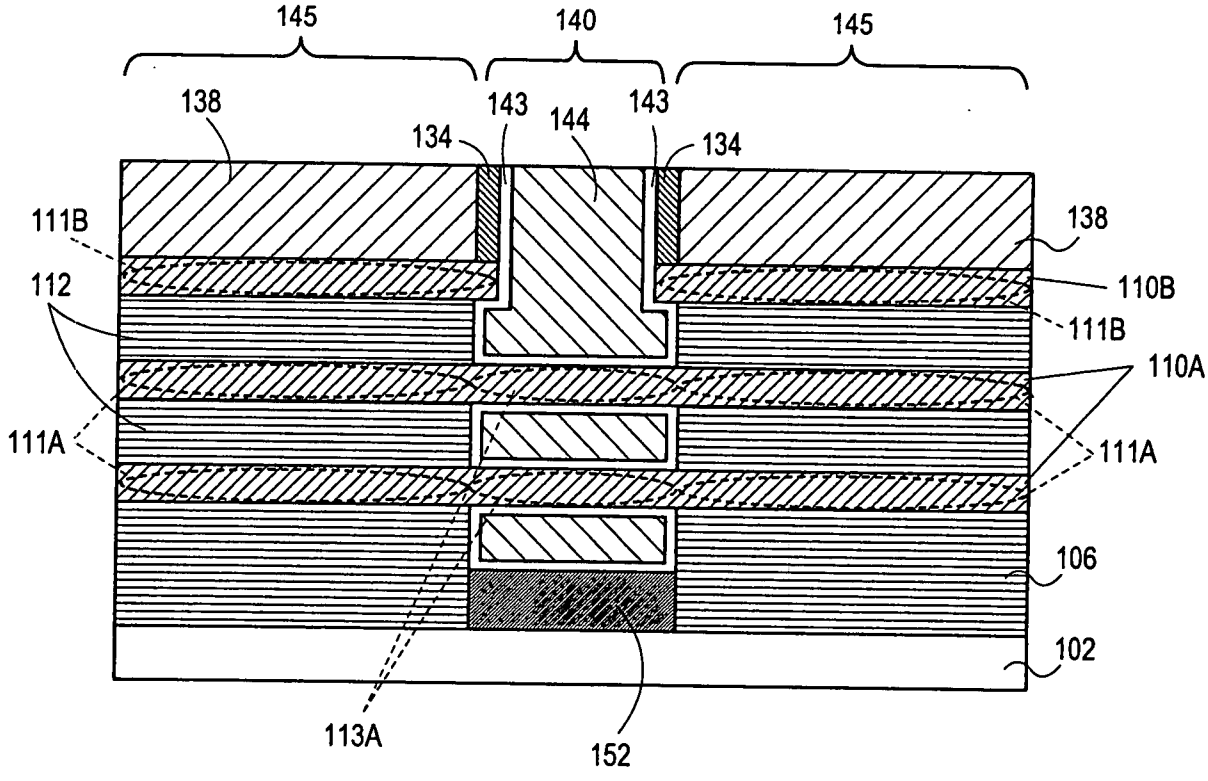

145
140
145
138
143
144
143
134
134
111B
138
112
110B
111B
110A
111A
111A
106
102
113A
152

圖1A

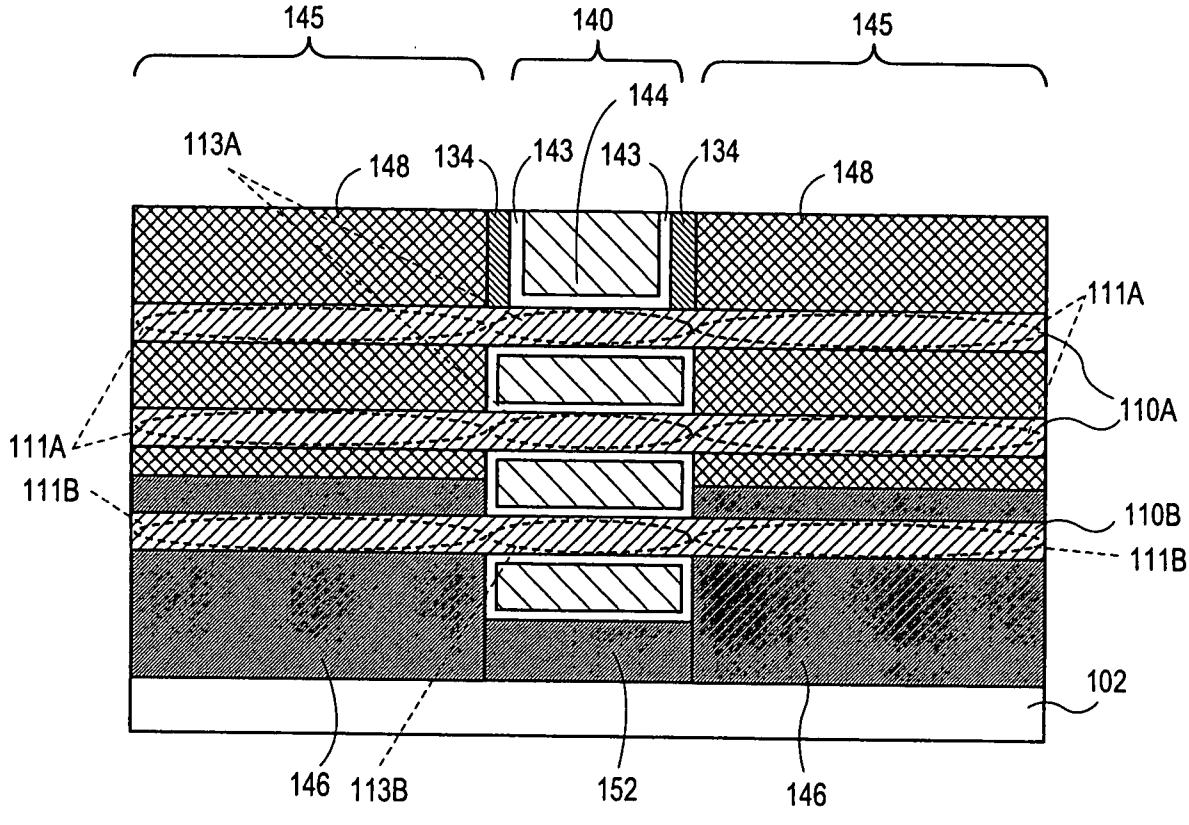

145
140
145
144
113A
148
134
143
143
134
148
111A
110A
111A
111B
110B
111B
102
146
113B
152
146

圖1B

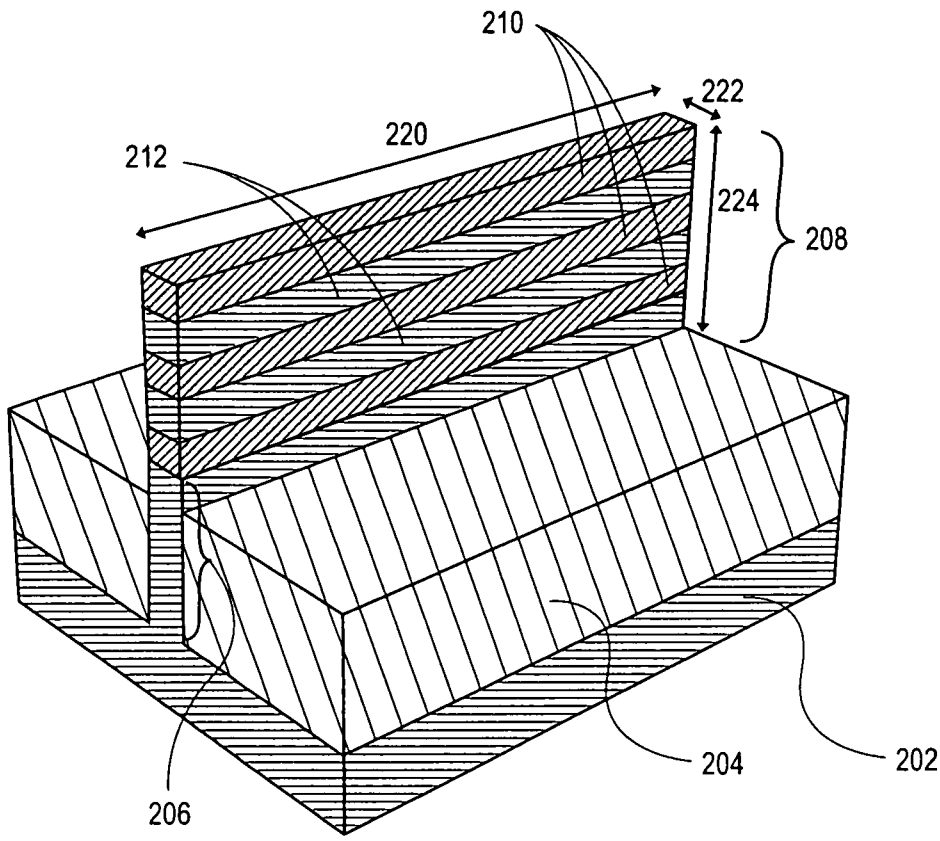



圖2A

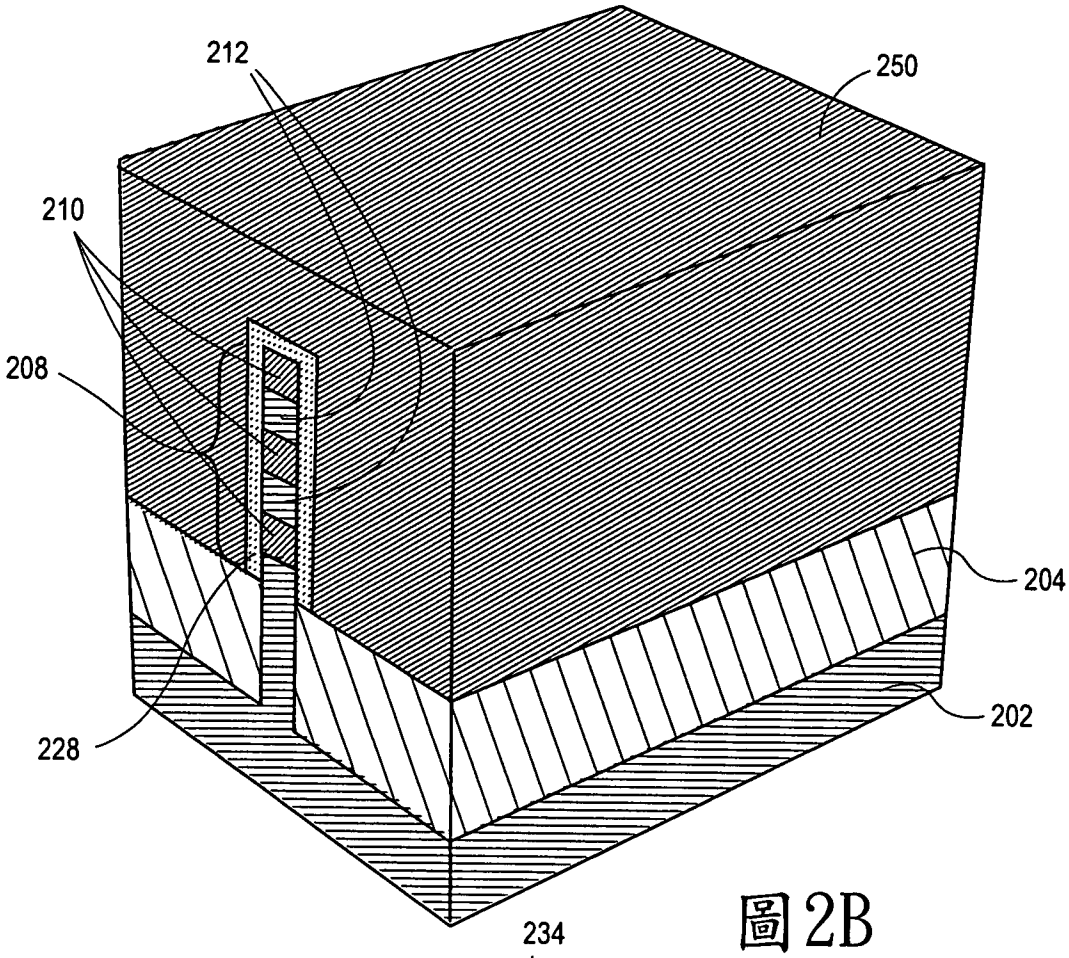

212
250
210
208
204
228
202

圖2B

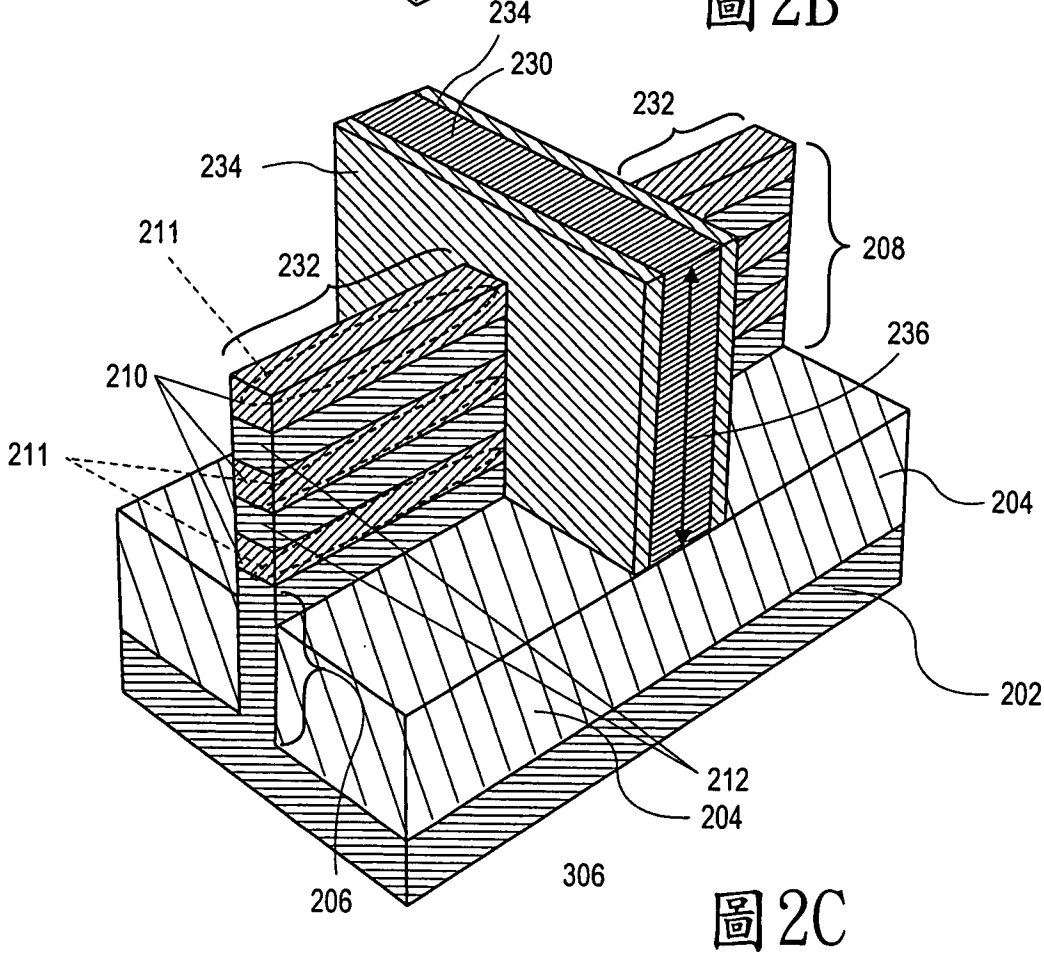

234
230
232
234
211
232
208
236
210
211
204
202
212
204
306
206

圖2C

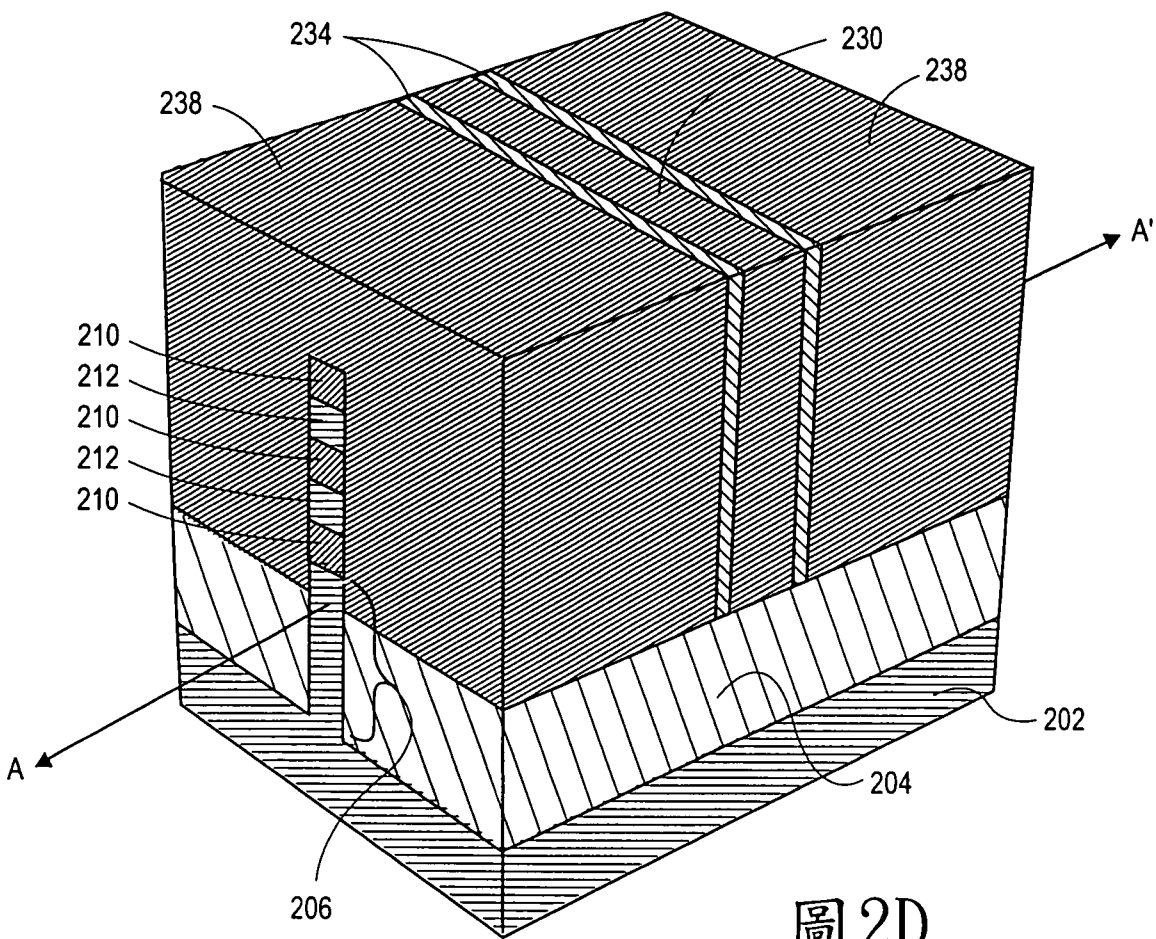



圖 2D

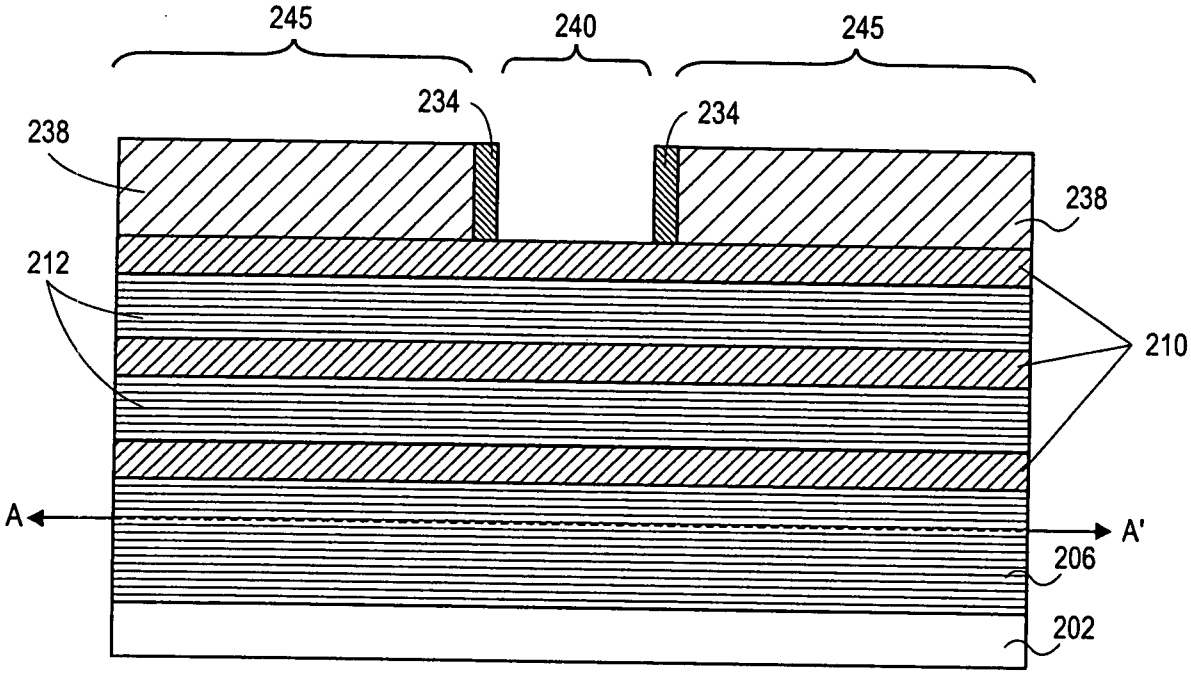

245
240
245
234
234
238
238
212
210
A
A'
206
202

圖2E

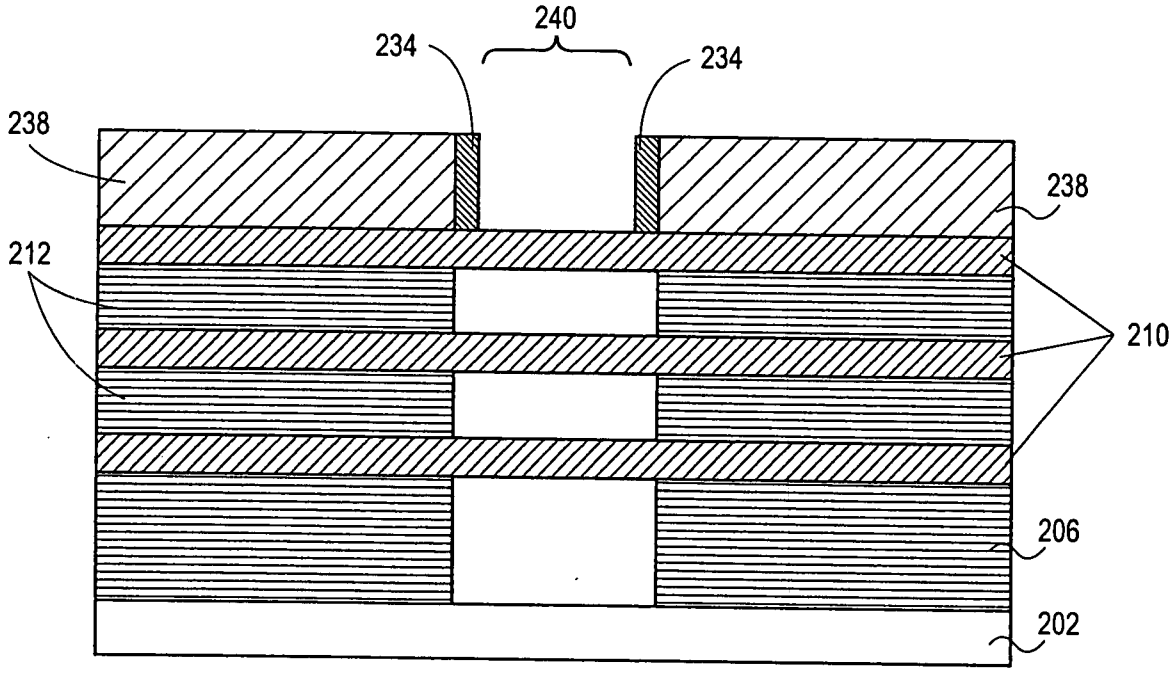

240
234
234
238
238
212
210
206
202

圖2F

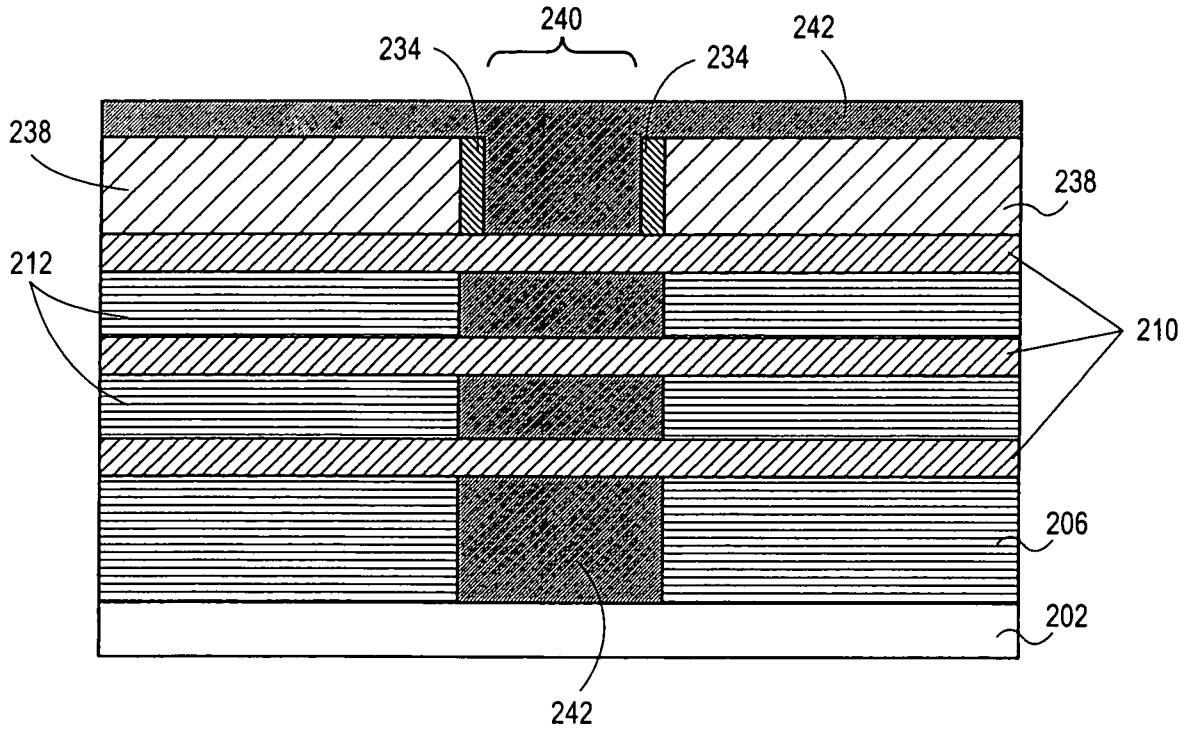

240
234
234
242
238
238
212
210
206
202
242

圖2G

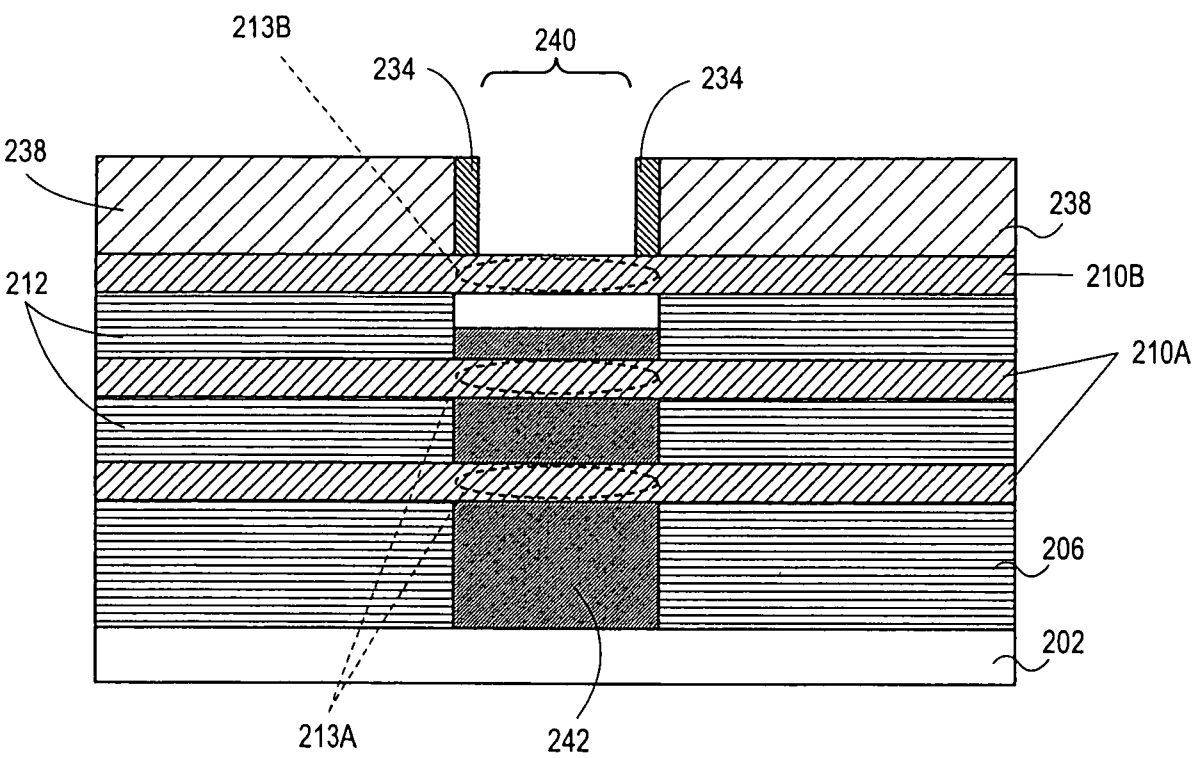

213B
240
234
234
238
238
212
210B
210A
206
202
213A
242

圖2H

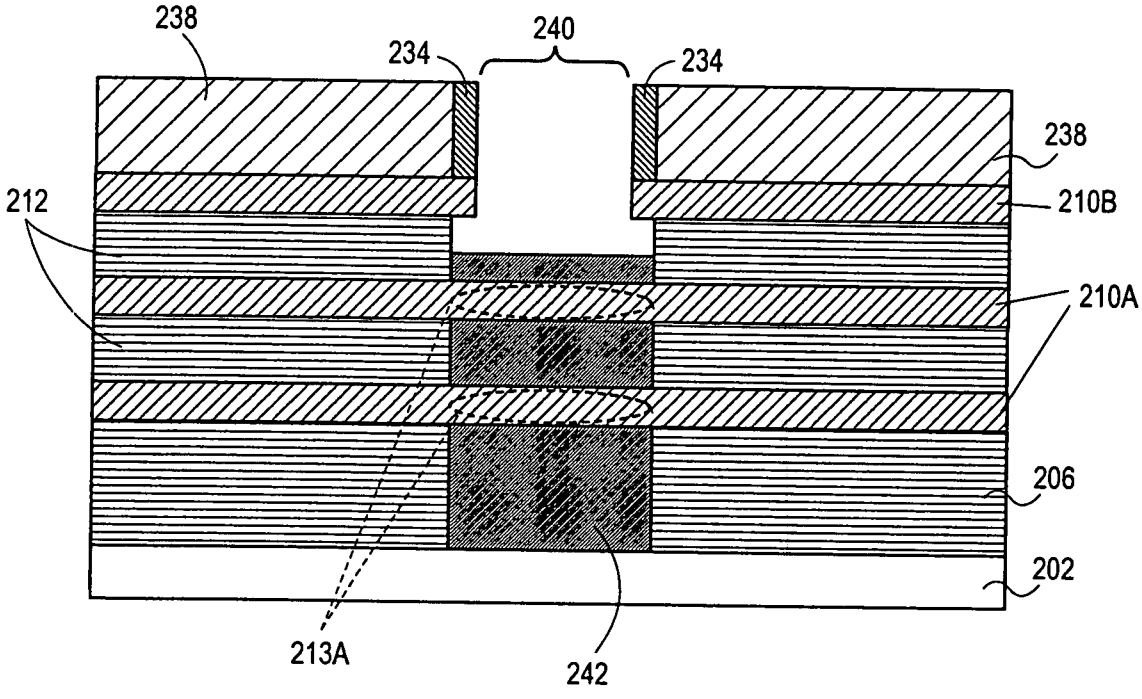

238
234
240
234
238
212
210B
210A
206
202
213A
242

圖2I

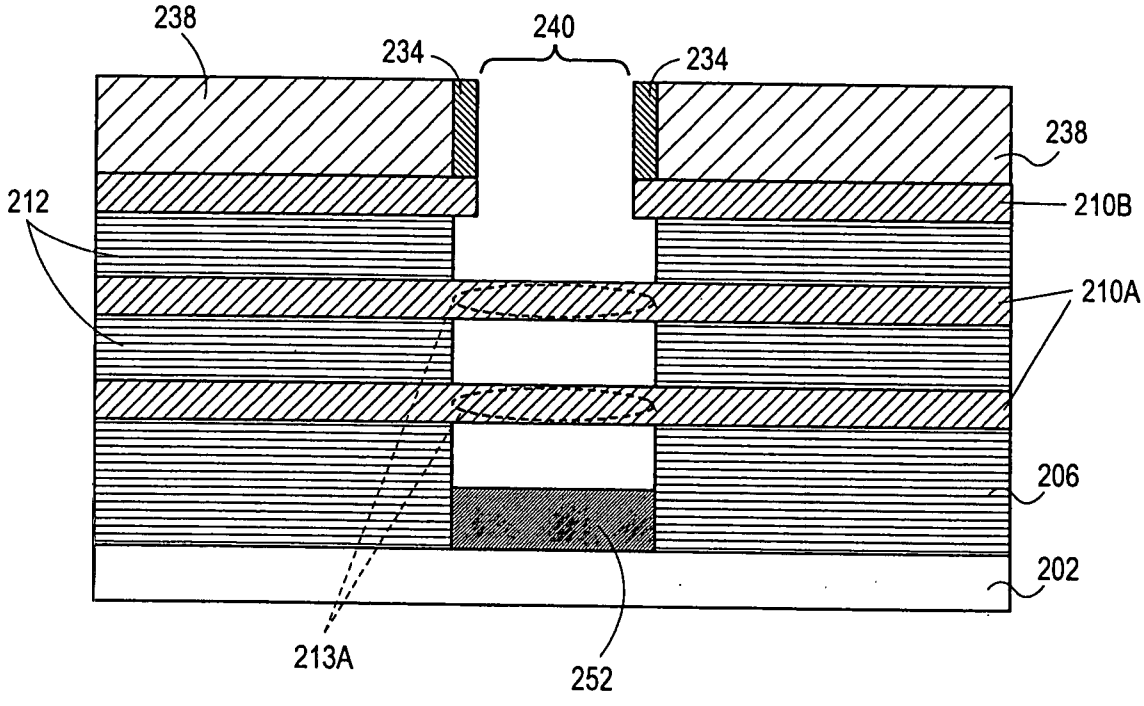

238
234
240
234
238
212
210B
210A
206
202
213A
252

圖2J

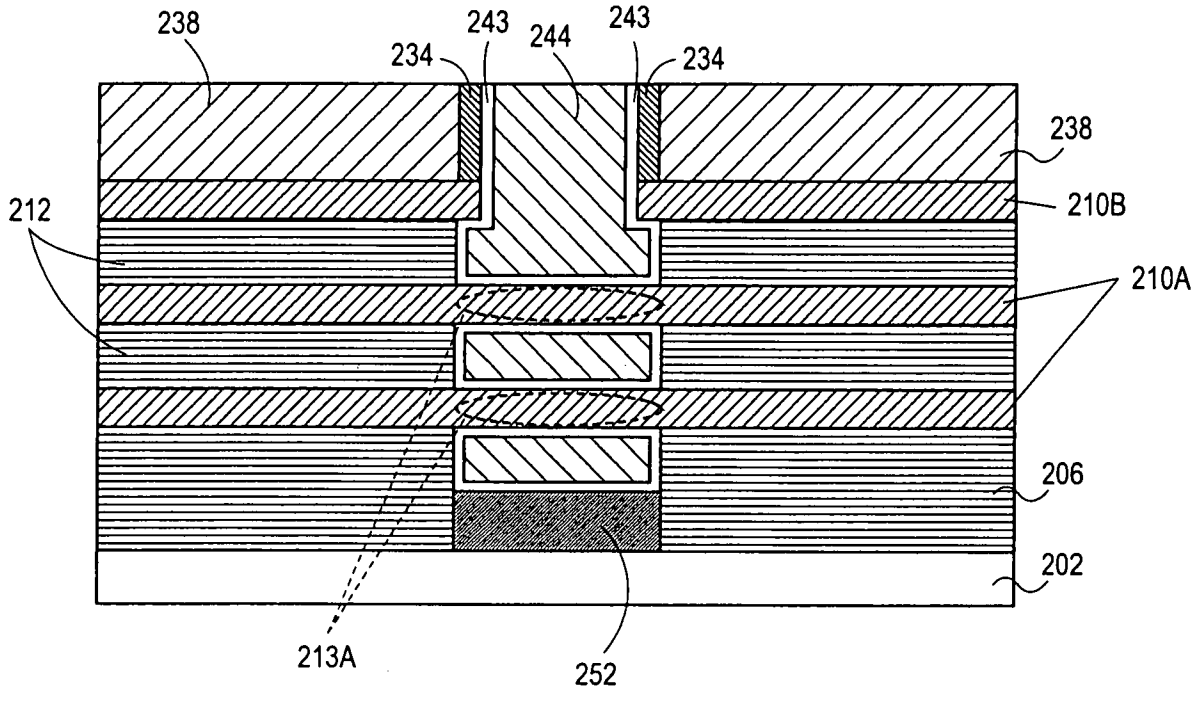

238
243
244
243
234
234
238
212
210B
210A
206
202
213A
252

圖2K

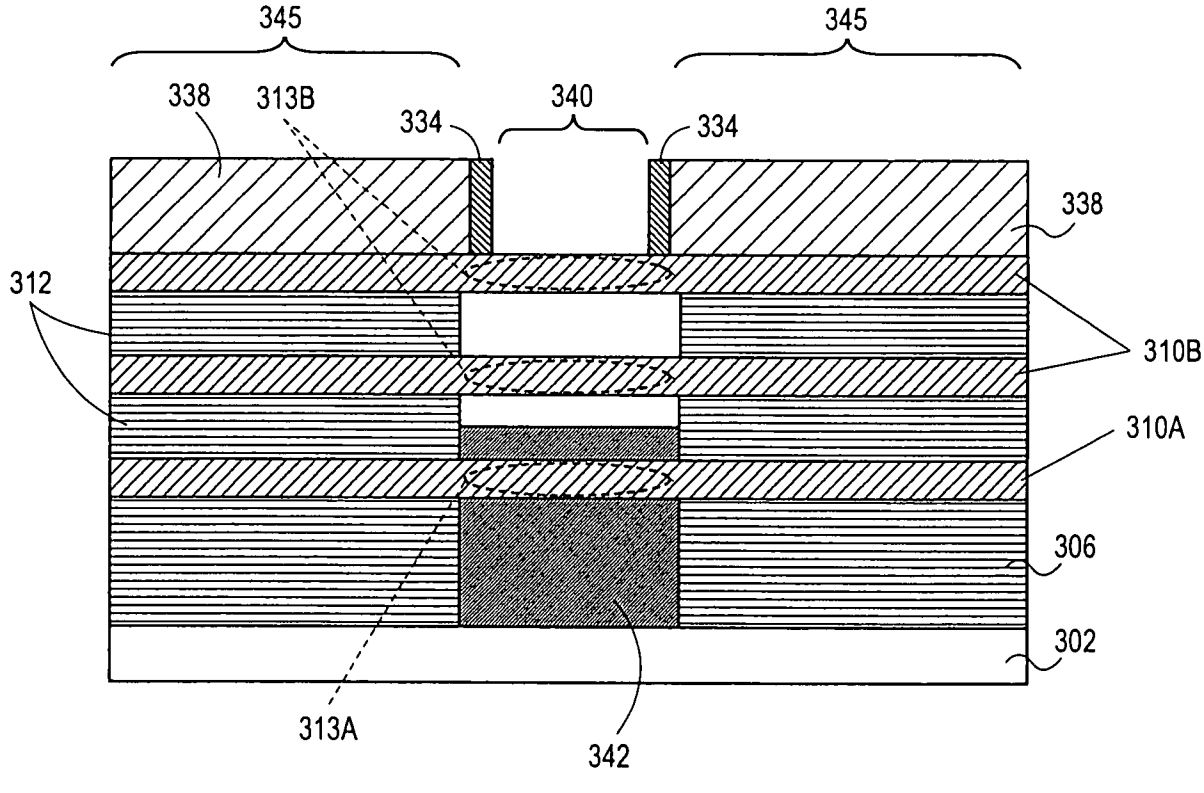

345
345
338
313B
340
334
334
338
312
310B
310A
306
302
313A
342

圖3A

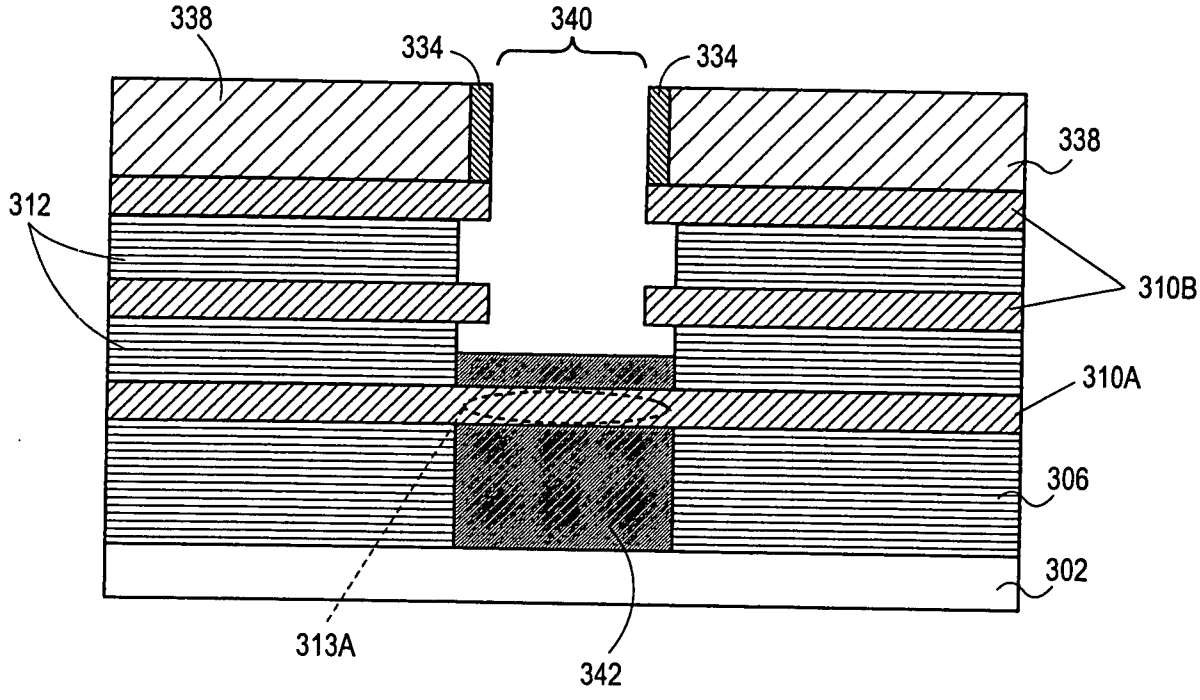

338
340
334
334
338
312
310B
310A
306
302
313A
342

圖3B

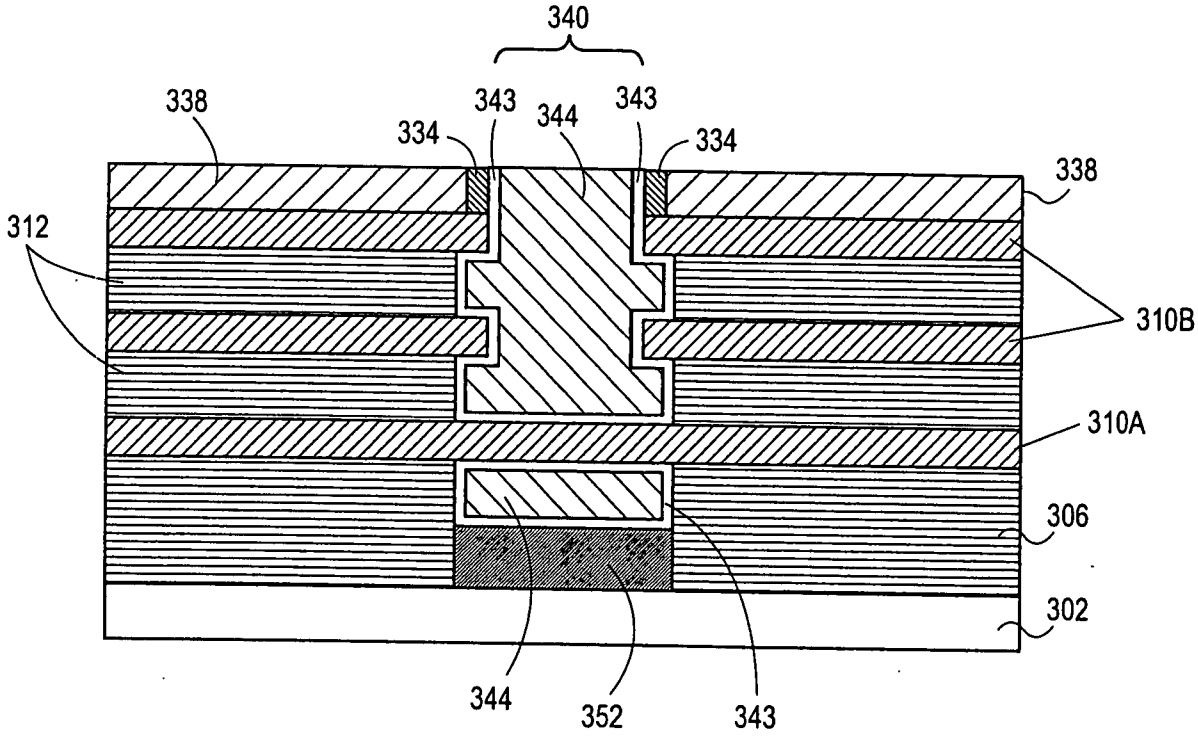

340
338
343
343
344
334
334
338
312
310B
310A
306
302
344
352
343

圖3C

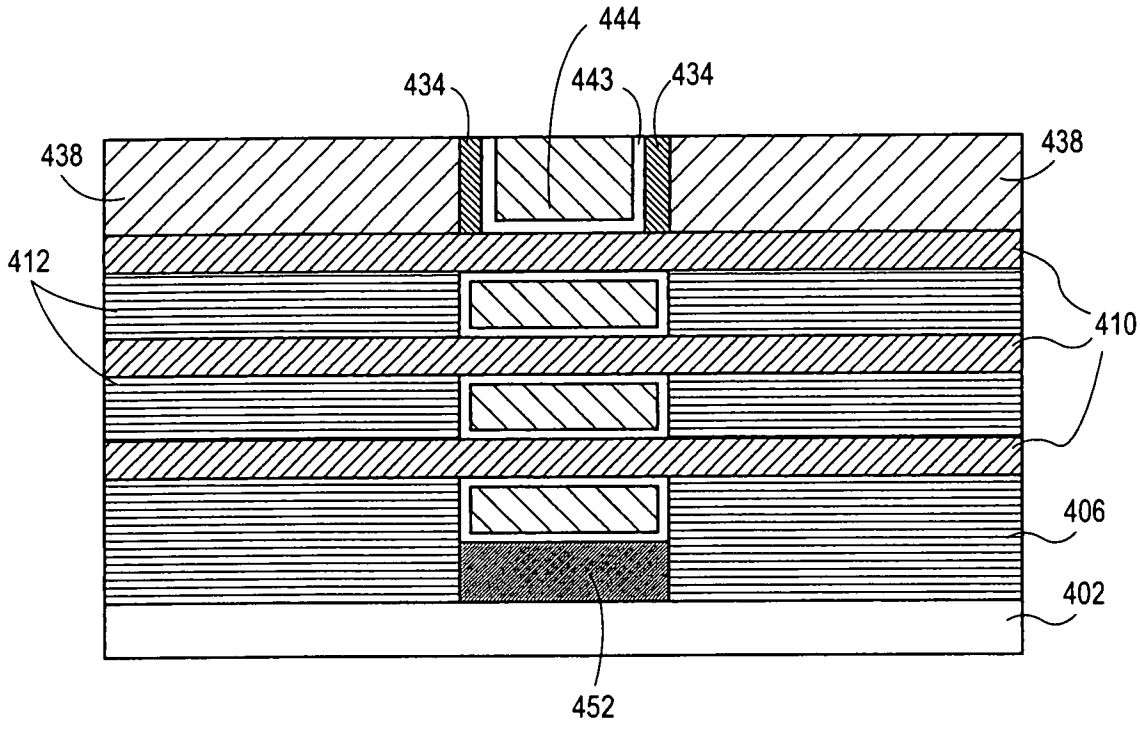

444
434
443
434
438
438
412
410
406
402
452

圖4A

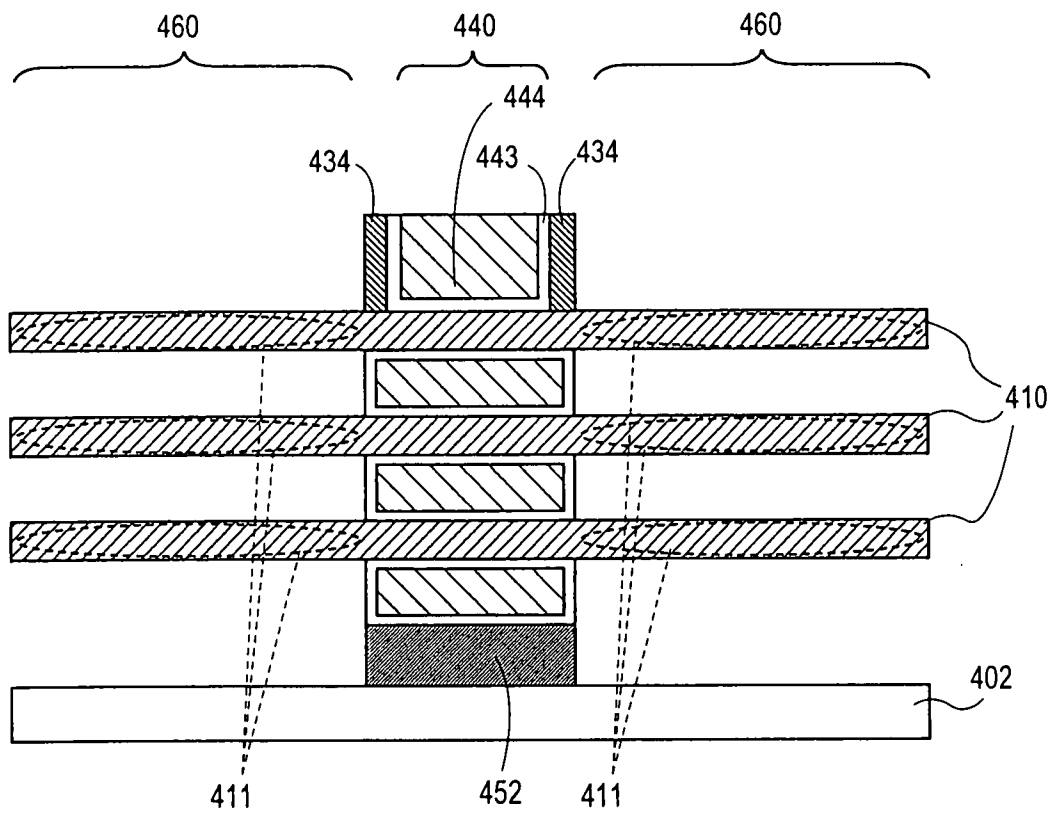

460
440
460
444
434
443
434
410
402
411
452
411

圖4B

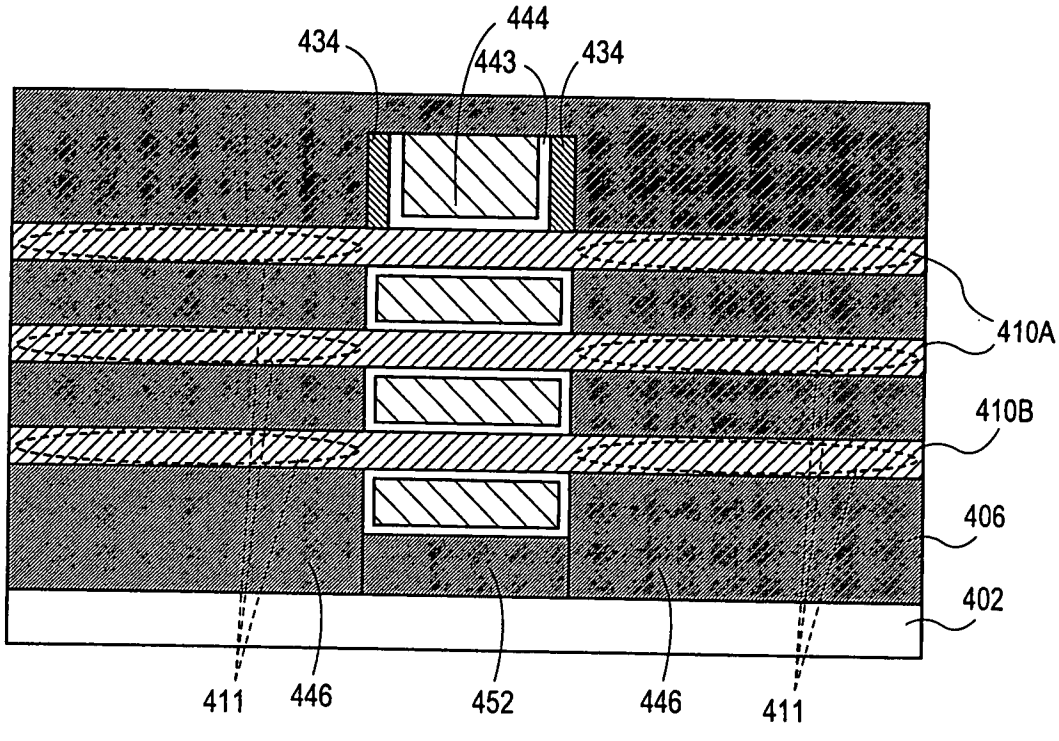



圖4C

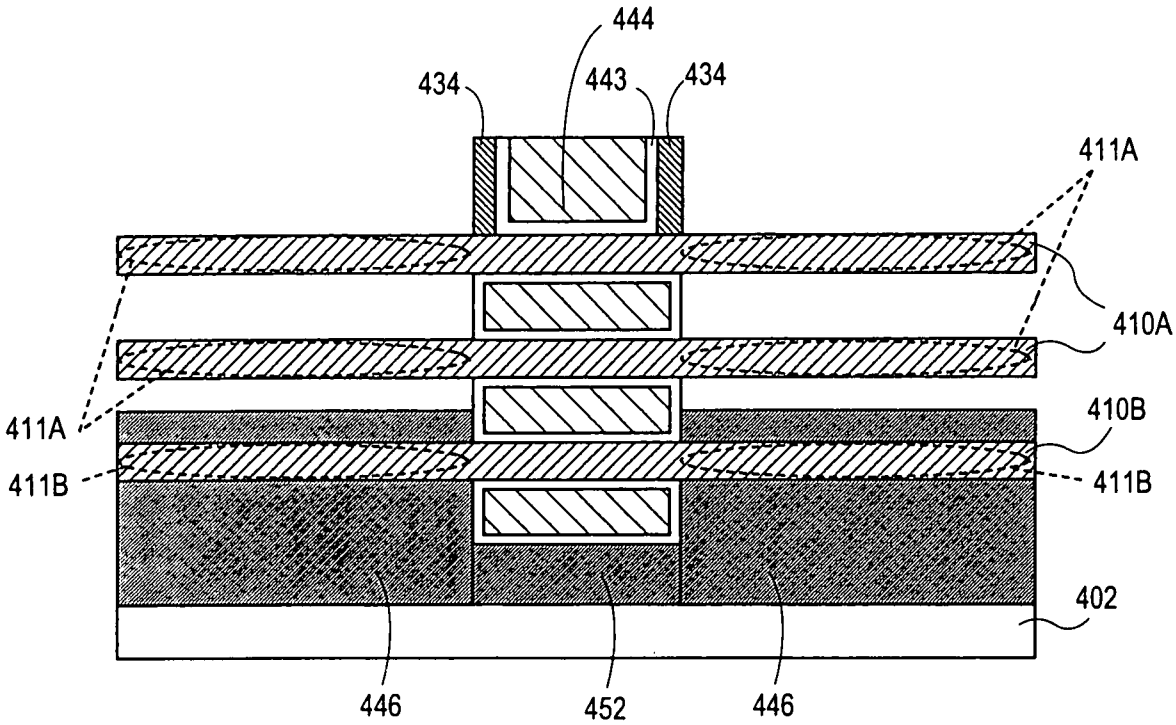

444
434
443
434
411A
410A
411A
410B
411B
411B
402
446
452
446

圖 4D

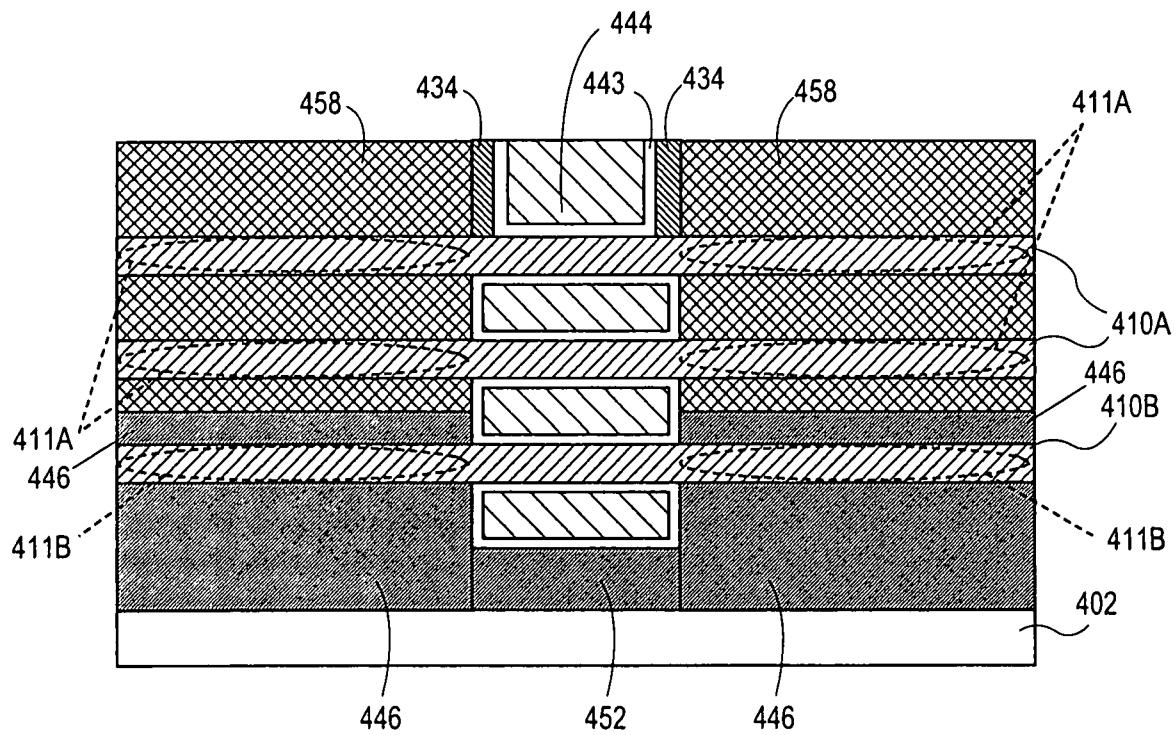

444
458
434
443
434
458
411A
410A
446
411A
410B
446
411B
411B
402
446
452
446

圖 4E

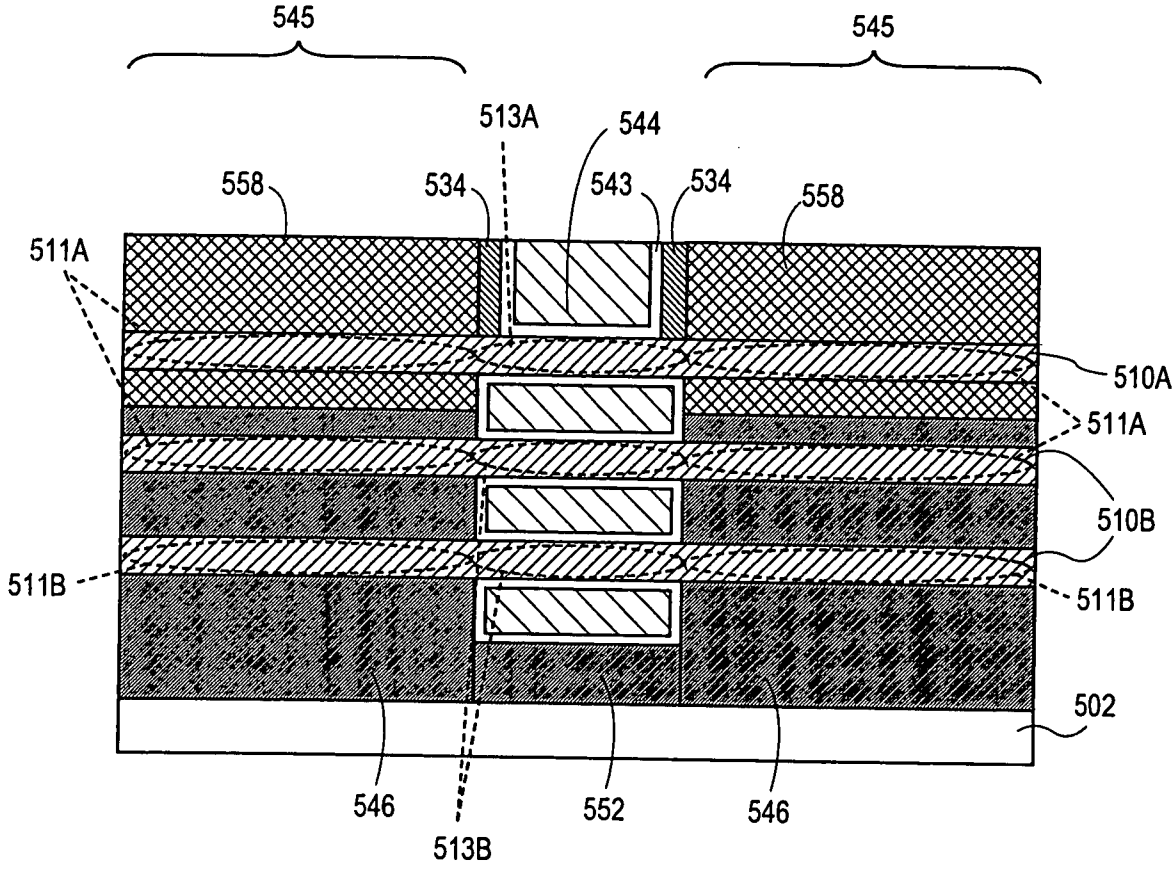

545
545
513A
544
558
534
543
534
558
511A
510A
511A
510B
511B
511B
502
546
552
546
513B

圖5A

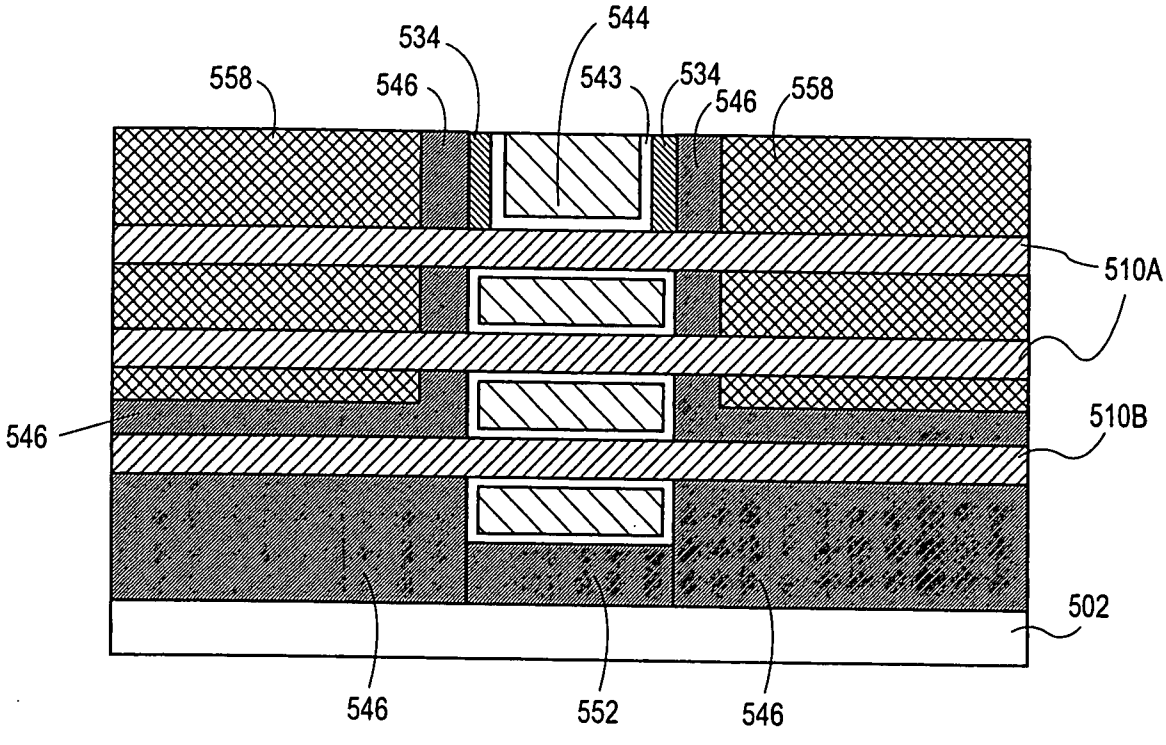

534
544
558
546
543
534
546
558
510A
546
510B
502
546
552
546

圖5B

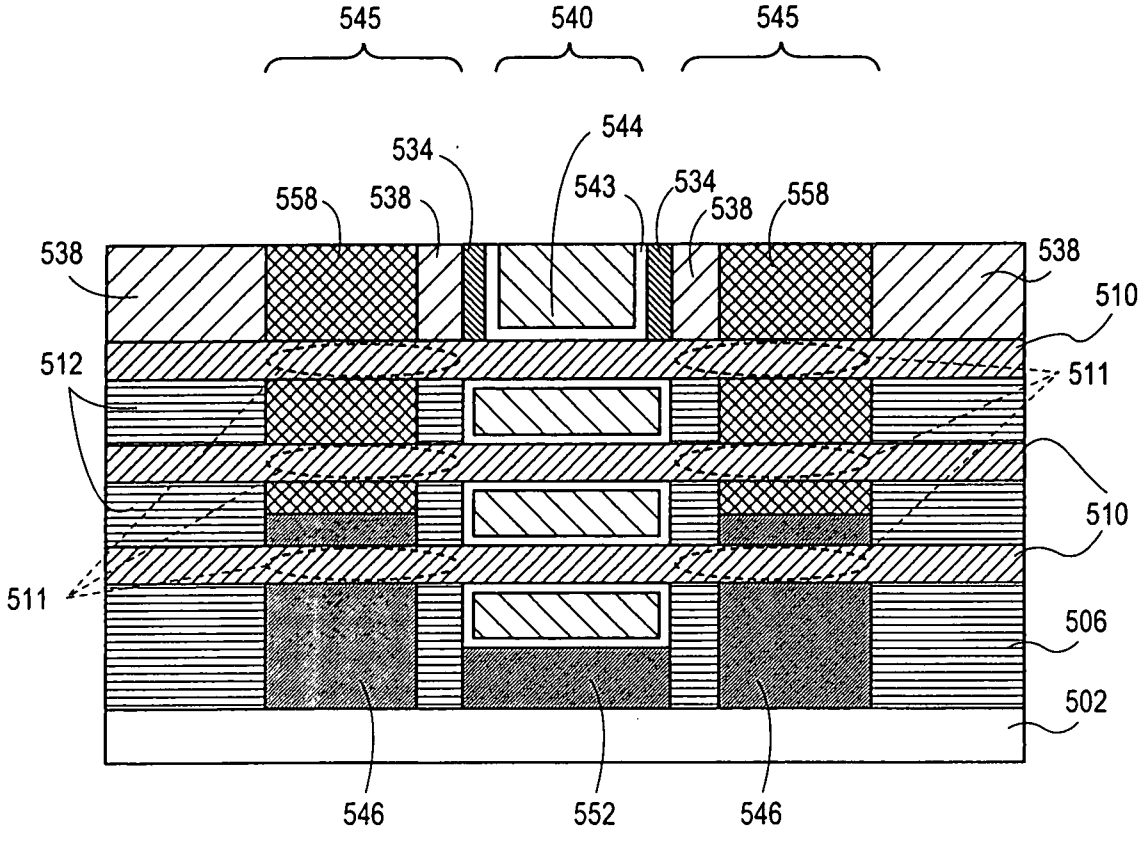

545
540
545
544
534
543
534
558
538
538
558
538
538
510
512
511
510
511
506
502
546
552
546

圖5C

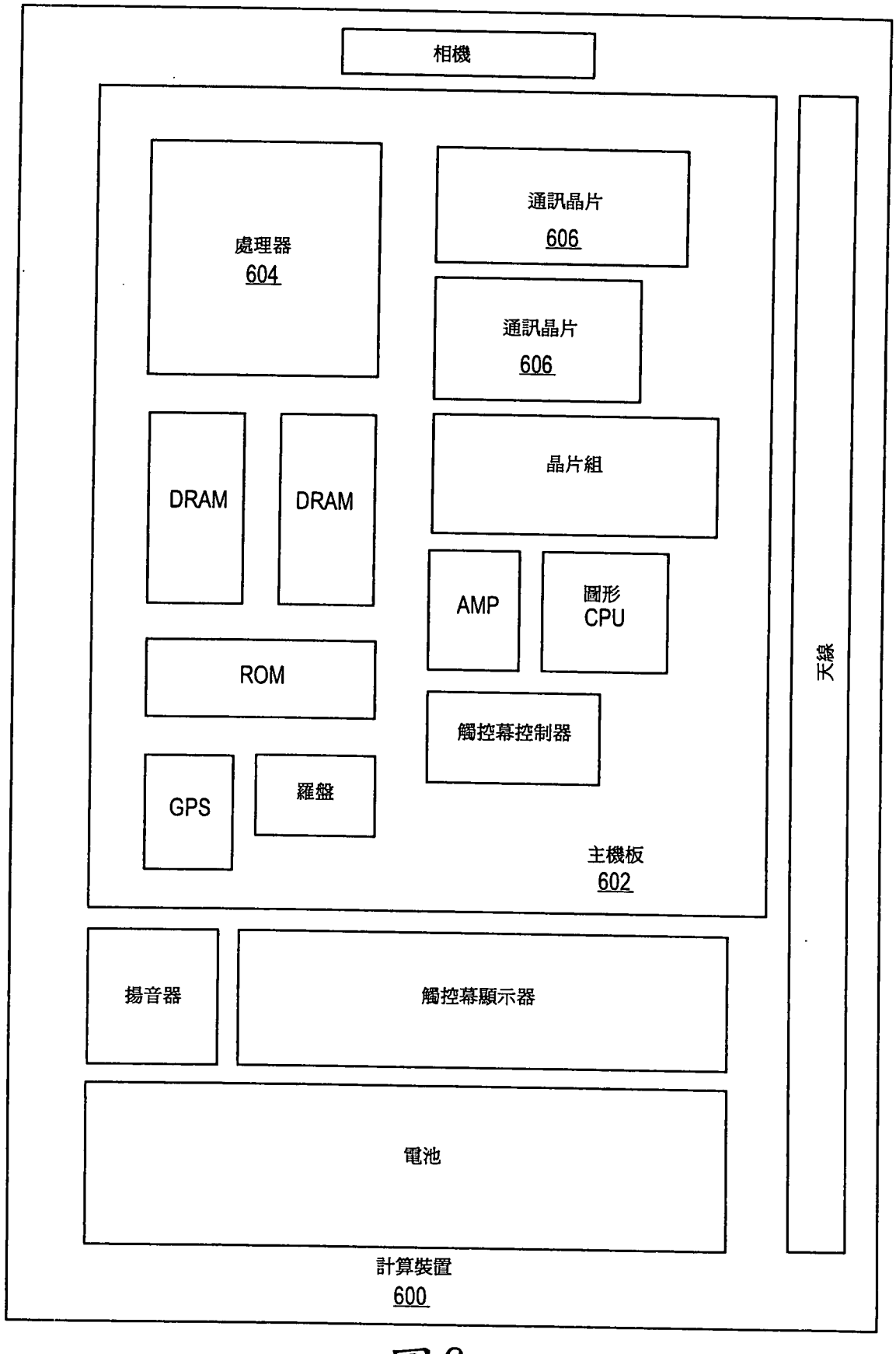

相機
處理器
604
通訊晶片
606
通訊晶片
606
晶片組
DRAM
DRAM
AMP
圖形
CPU
ROM
觸控幕控制器
GPS
羅盤
主機板
602
天線
揚音器
觸控幕顯示器
電池
計算裝置
600

圖6