

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6376029号
(P6376029)

(45) 発行日 平成30年8月22日(2018.8.22)

(24) 登録日 平成30年8月3日(2018.8.3)

(51) Int.Cl.

F 1

H03K 17/16 (2006.01)
H02M 1/08 (2006.01)H03K 17/16
H02M 1/08D
B

請求項の数 5 (全 13 頁)

(21) 出願番号 特願2015-83318 (P2015-83318)
 (22) 出願日 平成27年4月15日 (2015.4.15)
 (65) 公開番号 特開2016-208078 (P2016-208078A)
 (43) 公開日 平成28年12月8日 (2016.12.8)
 審査請求日 平成29年4月21日 (2017.4.21)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 110000567
 特許業務法人 サトー国際特許事務所
 (72) 発明者 池川 幸平
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 岡田 俊太郎
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 審査官 緒方 寿彦

最終頁に続く

(54) 【発明の名称】信号伝達回路及びスイッチング素子の駆動装置

(57) 【特許請求の範囲】

【請求項 1】

トランス(11)と、
 二値レベルで変化する入力信号が第1レベルを示す期間に、前記トランスの1次側コイル(L1)に一方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させ、

前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路(12)と、

前記トランスの2次側コイル(L2)に発生する極性が異なる電圧に応じて前記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路(13)とを備え、

前記1次側回路は、前記入力信号が第1レベルを示す期間と第2レベルを示す期間とで、前記パルス信号を発生させる周期を変化させる信号伝達回路。

【請求項 2】

前記1次側回路は、前記入力信号の変化周期よりも速い周期の第1クロック信号を出力する発振回路と、

前記第1クロック信号を分周して第2クロック信号を出力する分周器(17)と、

前記入力信号が第1レベルを示す期間だけ、前記第1又は第2クロック信号の一方を出力させるようにゲート制御する第1論理回路(14及び15, 16)と、

前記入力信号が第2レベルを示す期間だけ、前記第1又は第2クロック信号の他方を出

力させるようにゲート制御する第2論理回路(16, 14及び15)と、

各出力端子が前記1次側コイルの両端に接続されるHブリッジ回路(20)と、

前記第1論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記一方の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子(21, 22)に第1オン信号を出力する第1オン信号出力回路(18(P1)-19(N1), 18(P2)-19(N2))と、

前記第2論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記逆方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子に第2オン信号を出力する第2オン信号出力回路(18(P2)-19(N2), 18(P1)-19(N1))とを備えることを特徴とする請求項1記載の信号伝達回路。10

【請求項3】

トランス(11)と、

二値レベルで変化する入力信号が第1レベルを示す際に、前記トランスの1次側コイル(L1)に一方の電流を流すようにパルス信号を発生させ、

前記入力信号が第2レベルを示す期間に、前記1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、前記入力信号の変化周期よりも速い周期で発生させる1次側回路(32)と、

前記トランスの2次側コイルに発生する極性が異なる電圧に応じて前記第1及び第2レベルを判別することで、前記入力信号を再生する2次側回路(13)とを備え。20

前記1次側回路は、前記入力信号の変化周期よりも速い周期のクロック信号を出力する発振回路と、

前記入力信号のレベルを反転させた反転信号を出力する反転信号出力回路(14)と、
前記入力信号が第2レベルを示す期間だけ、前記クロック信号を出力させるようにゲート制御する論理回路(15)と、

各出力端子が前記1次側コイルの両端に接続されるHブリッジ回路(20)と、

前記入力信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記一方の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子(21, 22)に第1オン信号を出力する第1オン信号出力回路(18(P1)-19(N1))と、30

前記論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記逆方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子に第2オン信号を出力する第2オン信号出力回路(18(P2)-19(N2))とを備える信号伝達回路。

【請求項4】

前記2次側回路は、前記2次側コイルに発生する電圧が一方の極性を示す際に、セット信号を発生させるセット信号発生回路(24R)と、

前記2次側コイルに発生する電圧が他方の極性を示す際に、リセット信号を発生させるリセット信号発生回路(24F)と、40

前記セット信号及び前記リセット信号が入力されるRSフリップフロップ(27)とを備える請求項1から3の何れか一項に記載の信号伝達回路。

【請求項5】

請求項1から4の何れか一項に記載の信号伝達回路を備え、

この信号伝達回路の2次側回路により再生された入力信号により、スイッチング素子(3)を駆動制御するスイッチング素子の駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランスの1次側に入力される信号を2次側に伝達する信号伝達回路、及び50

その信号伝達回路を備えるスイッチング素子の駆動装置に関する。

【背景技術】

【0002】

例えばモータを駆動するインバータ回路のような駆動回路では、駆動信号をスイッチング素子に絶縁した状態で伝達するため、オンチップトランスマスフォーマを備えて小型で遅延時間が短い信号伝達回路を用いる場合がある（例えば特許文献1, 2参照）。また、上記のような駆動回路については、上下アームの短絡によって過電流が流れ、スイッチング素子等が破壊されることを防止するため、ノイズが印加された場合でも誤動作しないことが要求されている。

【先行技術文献】

10

【特許文献】

【0003】

【特許文献1】特表2011-055611号公報

【特許文献2】特表2011-092864号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に開示がある構成ではノイズ耐性は確保されているが、フィードバックトランスが必要であるため回路規模が大きくなってしまう。また、特許文献2では、コモンモード電圧に起因するノイズ電圧の発生を抑制可能な構成を、比較的小規模な回路により実現している。しかしながら、定常動作時においてノイズが印加されると伝達した信号のレベルが反転する可能性が有り、ノイズ耐性が不十分である。

20

【0005】

本発明は上記事情に鑑みてなされたものであり、その目的は、ノイズ耐性を確保しつつ小さい回路規模で、入力信号を絶縁して伝達可能な信号伝達回路、及びその信号伝達回路を備えるスイッチング素子の駆動装置を提供することにある。

【課題を解決するための手段】

【0006】

請求項1記載の信号伝達回路によれば、1次側回路は、二値レベルで変化する入力信号が第1レベルを示す期間に、トランスの1次側コイルに一方向の電流を流すパルス信号を入力信号の変化周期よりも速い周期で発生させる。また、入力信号が第2レベルを示す期間に、1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、同じく入力信号の変化周期よりも速い周期で発生させる。そして、2次側回路は、トランスの2次側コイルに発生する極性が異なる電圧に応じて第1及び第2レベルを判別することで、入力信号を再生する。

30

【0007】

このように構成すれば、入力信号が第1又は第2レベルを示している期間にノイズの影響により前記レベルが反転した場合でも、トランスの2次側コイルには、1次側回路が前記第1又は第2レベルに応じて発生させたより速い周期のパルス信号に基づく電流が繰り返し流れ、その電流に応じた極性の電圧が発生する。

40

【0008】

そして、2次側回路は、前記電圧の極性に応じて入力信号を再生するので、反転したレベルを短時間内に本来の第1又は第2レベルに復帰させる。したがって、トランスを用いて1次側、2次側間の電気的絶縁を図りつつ、ノイズによりレベルが反転したことに伴う影響を低減して、入力信号を用いた制御を本来の状態により早く復帰させることが可能になる。

【0009】

また、請求項1記載の信号伝達回路によれば、1次側回路は、入力信号が第1レベルを示す期間と第2レベルを示す期間とで、パルス信号を発生させる周期を変化させる。例えば、2次側回路により再生された入力信号を用いてスイッチング素子のオンオフ制御を行

50

うことを想定する。この場合、スイッチング素子は、入力信号が示す二値レベルの何れか一方でオンし、他方でオフする。そして、一般に、(1)オン状態のスイッチング素子がノイズの影響を受けてターンオフする方が、(2)オフ状態のスイッチング素子がターンオンするケースよりも安全性が高いと言える。例えば、2つのスイッチング素子が直列に接続されている場合、(2)のケースでは短絡電流が流れる可能性が有るからである。

【0010】

したがって、(2)のケースに対応するレベルについて発生させるパルス信号の周期は相対的に速くすることで、入力信号を本来のレベルに迅速に復帰させ、(1)のケースに対応するレベルについて発生させるパルス信号の周期は相対的に遅くすることで、消費電力を低減できる。

10

【0011】

請求項3記載の信号伝達回路によれば、1次側回路は、二値レベルで変化する入力信号が第1レベルを示す期間に、トランスの1次側コイルに一方向の電流を流すようにパルス信号を発生させる。また、入力信号が第2レベルを示す期間に、1次側コイルに前記方向とは逆方向の電流を流すパルス信号を、同じく入力信号の変化周期よりも速い周期で発生させる。そして、2次側回路は、トランスの2次側コイルに発生する極性が異なる電圧に応じて第1及び第2レベルを判別することで、入力信号を再生する。

【0012】

ここで、請求項1について説明のため用いた例示を請求項3に適用した場合は、第1レベルでスイッチング素子をオンさせ、第2レベルでスイッチング素子をオフさせるようとする。これにより、スイッチング素子がオンしている期間の入力信号は1次側回路により変調されないので、その期間内にノイズの影響を受けて信号レベルが反転するとスイッチング素子はターンオフして、入力信号が次に第1レベルを示すまでターンオンしない。この状態を許容できる場合は、消費電力を低減する効果を請求項1以上に得ることができる。そして、信号が第2レベルを示す期間については、請求項1と同様の効果が得られる。

20

また、請求項3記載の信号伝達回路によれば、前記1次側回路は、前記入力信号の変化周期よりも速い周期のクロック信号を出力する発振回路と、前記入力信号のレベルを反転させた反転信号を出力する反転信号出力回路と、前記入力信号が第2レベルを示す期間だけ、前記クロック信号を出力させるようにゲート制御する論理回路と、各出力端子が前記1次側コイルの両端に接続されるHブリッジ回路と、前記入力信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記一方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子に第1オン信号を出力する第1オン信号出力回路と、前記論理回路を介して出力されるクロック信号の一方の変化エッジに同期して、前記Hブリッジ回路により前記1次側コイルに前記逆方向の電流を流すパルス信号を発生させるため、前記Hブリッジ回路を構成するスイッチング素子に第2オン信号を出力する第2オン信号出力回路とを備える。

30

【図面の簡単な説明】

【0013】

- 【図1】第1実施形態であり、信号伝達回路の電気的構成を示す図
- 【図2】信号伝達回路を含むモータ駆動回路の構成を概略的に示す図
- 【図3】信号伝達回路の動作を示す詳細なタイミングチャート
- 【図4】信号伝達回路の動作を示す概略的なタイミングチャート
- 【図5】従来技術である信号伝達回路の電気的構成を示す図
- 【図6】従来技術の動作を示す各波形のシミュレーション結果を示す図
- 【図7】第1実施形態について、入力信号DINがハイレベルを示す期間に出力するパルス周期を0.5μ秒とした場合の各信号波形のシミュレーション結果を示す図
- 【図8】同パルス周期を1.0μ秒とした場合の各信号波形のシミュレーション結果を示す図
- 【図9】同パルス周期を2.0μ秒とした場合の各信号波形のシミュレーション結果を示す図

40

50

【図10】従来技術と、図7から図9に示す場合との消費電流を比較した図

【図11】第2実施形態であり、信号伝達回路の電気的構成を示す図

【図12】信号伝達回路の動作を示す詳細なタイミングチャート

【発明を実施するための形態】

【0014】

(第1実施形態)

図2に示すように、インバータ回路1は、6個のIGBT2U, 2V, 2W, 2X, 2Y, 2Z(スイッチング素子)を3相ブリッジ接続して構成されている。各IGBT2(U~Z)のコレクタ、エミッタ間には、フリーホイールダイオード3(U~Z)がそれぞれ接続されている。インバータ回路1の直流母線4+、4-間には、平滑コンデンサ5が接続されており、図示しない直流電源より供給される直流電圧が印加されている。インバータ回路1の各相出力端子は、3相モータ6の図示しない各相固定子コイルにそれぞれ接続されている。そして、各IGBT2(U~Z)のゲートには、信号伝達回路7(U~Z)を介してゲート信号DOUT(U~Z)が入力されている。

【0015】

図1に示すように、信号伝達回路7(駆動装置)は、トランス11と、このトランス11の1次側コイルL1に接続される1次側回路12と、同2次側コイルL2に接続される2次側回路13とを備えている。1次側回路12において、入力信号DINは、NOTゲート14(第2論理回路)を介してANDゲート15(第2論理回路)の入力端子の一方に入力されていると共に、もう1つのANDゲート16(第1論理回路)の入力端子の一方に直接入力されている。入力信号DINは、所定の周波数でハイ、ローの二値レベルに変化する信号であり、ここでハイレベルを「第1レベル」とすれば、ローレベルが「第2レベル」となる。

【0016】

図示しない発振回路より供給されるクロック信号CLK(第1クロック信号)は、ANDゲート15の入力端子の他方に入力されていると共に、分周器17を介してANDゲート16の入力端子の他方に入力されている。尚、クロック信号CLKの周波数は、入力信号DINの周波数(例えばkHzオーダー)よりも十分高く設定されている(例えばMHzオーダー)。

【0017】

ANDゲート15の出力端子は、パルス発生回路18(P2)及び19(N2)(第2オン信号出力回路)の各入力端子に接続されており、ANDゲート16の出力端子は、パルス発生回路18(P1)及び19(N1)(第1オン信号出力回路)の各入力端子に接続されている。パルス発生回路18は、入力される信号の立上りエッジ(変化エッジ)をトリガとしてローレベルパルスをワンショットで出力する。また、パルス発生回路19は、同じく入力信号の立上りエッジをトリガとして、ハイレベルパルスをワンショットで出力する。そして、前者のローレベルパルス幅は、後者のハイレベルパルス幅よりも狭くなるように設定されている。

【0018】

Hブリッジ回路20は、PチャネルMOSFET21(P1)及び21(P2)(スイッチング素子)と、NチャネルMOSFET22(N1)及び22(N2)(スイッチング素子)とで構成されている。これらのFET21及び22のドレイン、ソース間には寄生ダイオードが接続されている。電源AVDD1とグランドGND1との間には、FET21(P1)及び22(N2)の直列回路と、FET21(P2)及び22(N1)の直列回路とが接続されている。そして、これらの直列回路の共通接続点、すなわちHブリッジ回路20の各出力端子は、トランス11の1次側コイルL1の両端に接続されている。

【0019】

トランス11の2次側コイルL2は、1次側コイルL1と同相である。2次側コイルL2の一端はグランドGND2に接続され、他端はコンデンサ23を介してコンパレータ24R(セット信号発生回路)の非反転入力端子及びコンパレータ24F(リセット信号発

生回路)の反転入力端子に接続されている。電源 A V D D 2 とグランド G N D 2 との間には、抵抗素子 2 5 及び 2 6 の直列回路が接続されており、これらの共通接続点は、コンパレータ 2 4 R 及び 2 4 F の前記入力端子に接続されている。

【 0 0 2 0 】

コンパレータ 2 4 R の反転入力端子には参照電圧 R E F 1 が与えられており、コンパレータ 2 4 F の非反転入力端子には参照電圧 R E F 2 が与えられている。コンパレータ 2 4 R , 2 4 F の出力端子は、R S フリップフロップ 2 7 のセット端子 S , リセット端子 R にそれぞれ接続されている。そして、R S フリップフロップ 2 7 の出力端子 Q より、ゲート信号 D O U T が出力される。

【 0 0 2 1 】

次に、本実施形態の作用について説明する。図 3 に示すように、分周器 1 7 を介して出力されるクロック信号 C L K 2 (第 2 クロック信号) は 2 分周されている。A N D ゲート 1 6 は、入力信号 D I N がハイレベルを示す期間に、クロック信号 C L K 2 を信号 D I N 1 として出力する (ゲート制御)。一方、A N D ゲート 1 5 は、入力信号 D I N がローレベルを示す期間に、クロック信号 C L K を信号 D I N 2 として出力する。

【 0 0 2 2 】

パルス発生回路 1 8 (P 1) , 1 9 (N 1) は、入力信号 D I N がハイレベルを示す期間に、信号 D I N 1 の立上りエッジをトリガとしてそれぞれローレベルパルス V P 1 , ハイレベルパルス V N 1 (第 1 オン信号) を出力する。これらのパルスは、F E T 2 1 (P 1) , 2 2 (N 1) のゲート信号となるので、トランス 1 1 の 1 次側コイル L 1 には、両者が同時にオンしている期間に一方向、例えは正極性の電流が流れる。それに伴い、2 次側コイル L 2 には同相の電流が誘起され、コンパレータ 2 4 R の非反転入力端子の電位が参照電圧 R E F 1 を超えると、コンパレータ 2 4 R はパルス状のセット信号 V R を、クロック信号 C L K 2 の周期で複数回出力する (図 4 参照)。これにより、R F フリップフロップ 2 7 は間欠的且つ連続的にセット状態となり、その間に、出力信号 D O U T はハイレベルを示し続ける。

【 0 0 2 3 】

一方、パルス発生回路 1 8 (P 2) , 1 9 (N 2) は、入力信号 D I N がローレベルを示す期間に、信号 D I N 2 の立上りエッジをトリガとしてそれぞれローレベルパルス V P 2 , ハイレベルパルス V N 2 (第 2 オン信号) を出力する。これらのパルスは、F E T 2 1 (P 2) , 2 2 (N 2) のゲート信号となるので、トランス 1 1 の 1 次側コイル L 1 には、両者が同時にオンしている期間に逆方向、すなわち負極性の電流が流れる。それに伴い、2 次側コイル L 2 には同相の電流が誘起され、コンパレータ 2 4 F の反転入力端子の電位が参照電圧 R E F 2 を下回ると、コンパレータ 2 4 F はパルス状のリセット信号 V F を、クロック信号 C L K 1 の周期で複数回出力する (図 4 参照)。これにより、R F フリップフロップ 2 7 は間欠的且つ連続的にリセット状態となり、その間に、出力信号 D O U T はローレベルを示し続ける。

【 0 0 2 4 】

上述した回路動作の結果として、出力信号 D O U T は、図 4 に示すように入力信号 D I N と同相の信号になる。また、同図では、1 次側コイル L 1 に流れる電流 I L 1 を、流れる方向に応じて正負の両極性パルスで示している。

【 0 0 2 5 】

ここで、同図に示すように、電流 I L 1 に対して逆極性となるノイズパルスが印加された場合を想定する。電流 I L 1 が負の場合に正のノイズが印加されると、それに伴い、リセット信号 V F が連続して出力されている期間内にセット信号 V R が output されて R S フリップフロップ 2 7 がセットされ、出力信号 D O U T はローレベルから反転してハイレベルを示す。しかし、リセット信号 V F が連続して出力されているので、R S フリップフロップ 2 7 はその直後にリセットされる。したがって、出力信号 D O U T は直ちにローレベルに復帰する。

【 0 0 2 6 】

また、電流 $I_L 1$ が正の場合に負のノイズが印加されると、それに伴い、セット信号 V_R が連続して出力されている期間内にリセット信号 V_F が output されて R_S フリップフロップ 27 がリセットされ、出力信号 D_{OUT} はハイレベルから反転してローレベルを示す。この場合も、セット信号 V_R が連続して出力されているので、 R_S フリップフロップ 27 はその直後にセットされ、出力信号 D_{OUT} は直ちにハイレベルに復帰する。

【0027】

ここで、 $IGBT 2$ は、ゲートに印加される信号がハイレベルの場合にオンし、ローレベルの場合にオフする。そのため、出力信号 D_{OUT} がハイレベルを示しており $IGBT 2$ がオンしている状態でノイズの印加によりターンオフする事象よりも、出力信号 D_{OUT} がローレベルを示しており、 $IGBT 2$ がオフしている状態でノイズの印加によりターンオンする事象を回避する方がより安全である、と評価できる。 10

【0028】

そこで本実施形態では、リセット信号 V_F をセット信号 V_R よりも速い周期で繰り返し出力することで、 R_S フリップフロップ 27 がノイズの影響によりセットされても、より速くリセット状態に復帰させるようにしている。また、対応の緊急性が低いセット信号 V_R 側の周期を遅くすることで、信号伝達回路 7 の消費電力を低減する効果がある。

【0029】

図 5 は、特許文献 2 に開示されている構成を、本実施形態の図 1 に相当するレベルで示したもので、クロック信号 CLK を用いることなく、本実施形態の構成より AND ゲート 15 及び 16 、分周器 17 を削除した構成である。この構成によれば、図 6 に示すように、一旦逆極性のノイズが印加されると、次に正式な信号の変化エッジが入力されるまでの間、出力信号 D_{OUT} は反転したレベルを維持し続けることになる。したがって、例えば上アーム側の $IGBT 2U$ がオフ、下アーム側の $IGBT 2X$ がオンしている状態で、上アーム側の $IGBT 2U$ がノイズの影響を受けてターンオンした場合には、その間に短絡電流が流れ続けることになる。そして、短絡電流が流れる状態がそのまま継続すれば、 $IGBT 2U$ 及び $2X$ が破壊に至るおそれがある。 20

【0030】

図 7 から図 9 は、入力信号 DIN がローレベルを示す期間に出力するパルス周期は 0.5μ 秒に固定し、ハイレベルを示す期間に出力するパルス周期を 0.5μ 秒、 1.0μ 秒、 2.0μ 秒に変化させた場合の各信号波形をシミュレーションしたものである。すると、図 10 に示すように、従来技術の信号伝達回路の消費電流と、本実施形態の信号伝達回路 7 の消費電流とを比較すると、 2 次側回路 13 の構成は同一であるから 2 次側の消費電流は略同一である。これに対して、信号伝達回路 7 は、 1 次側回路 12 がクロック信号 CLK に基づくパルスを発生させるので、その分だけ消費電流が増加している。しかし、同図に示すように、入力信号 DIN がハイレベルを示す期間に出力するパルス信号の周期をより長くすることで、 1 次側の消費電流を低減できる。 30

【0031】

以上のように本実施形態によれば、信号伝達回路 7 を構成する 1 次側回路 12 は、入力信号 DIN がハイレベルを示す期間に、トランス 11 の 1 次側コイル $L1$ に一方向の電流を流すパルス信号を入力信号の変化周期よりも速い周期で発生させる。また、入力信号 DIN がローレベルを示す期間に、 1 次側コイル $L1$ に前記方向とは逆方向の電流を流すパルス信号を、同じく入力信号 DIN の変化周期よりも速い周期で発生させる。そして、 2 次側回路 13 は、トランス 11 の 2 次側コイル $L2$ に発生する極性が異なる電圧に応じてハイ及びローレベルを判別することで、入力信号を再生する。 40

【0032】

このように構成すれば、入力信号 DIN がハイ又はローレベルを示している期間にノイズの影響により前記レベルが反転した場合でも、 2 次側コイル $L2$ には、 1 次側回路 12 が二値レベルに応じて発生させたより速い周期のパルス信号に基づく電流が繰り返し流れ、その電流に応じた極性の電圧が発生する。そして、 2 次側回路は 13 、前記電圧の極性に応じて入力信号 DIN を再生するので、入力信号 DIN が反転したレベルを短時間内に 50

本来のレベルに復帰させる。例えば、入力信号 D I N がデューティ 50% の PWM 信号であれば、遅くともキャリア周期の 1/2 未満の時間内に本来のレベルに復帰できる。したがって、トランジスタ 11 を用いて 1 次側、2 次側間の電気的絶縁を図りつつ、レベルが反転したことに伴う影響を低減して、入力信号 D I N を用いた制御を本来の状態により早く復帰させることが可能になる。

【0033】

また、1 次側回路 12 は、入力信号 D I N がハイレベルを示す期間とローレベルを示す期間とで、パルス信号を発生させる周期を変化させる。これにより、IGBT 2 がターンオンするハイレベルについて発生させるパルス信号の周期を相対的に速くして、入力信号 D I N を本来のレベルに直ちに復帰させ、IGBT 2 がターンオフするローレベルについて発生させるパルス信号の周期を相対的に遅くして、消費電力を低減することができる。10

【0034】

そして、1 次側回路 12 を、クロック信号 C L K を分周してクロック信号 C L K 2 を出力する分周器 17、入力信号 D I N がハイレベルを示す期間にクロック信号 C L K 2 を出力させる AND ゲート 16、ローレベルを示す期間にクロック信号 C L K を出力させる NOT ゲート 14 及び AND ゲート 15、各出力端子が 1 次側コイル L 1 の両端に接続される H ブリッジ回路 20、AND ゲート 16 を介して出力されるクロック信号 C L K 2 の立ち上りエッジに同期して FET 21 (P1) 及び 22 (N1) にパルス信号 V P 1 及び V N 1 を出力するパルス発生回路 18 (P1) 及び 19 (N1)、AND ゲート 15 を介して出力されるクロック信号 C L K の立ち上りエッジに同期して、FET 21 (P2) 及び 22 (N2) にパルス信号 V P 2 及び V N 2 を出力するパルス発生回路 18 (P2) 及び 19 (N2) を備えて構成した。20

【0035】

このように構成すれば、パルス信号 V P 1 及び V N 1 の出力周期を、分周器 17 に設定する分周比に応じて変化させることができ、オンしている状態の IGBT 2 がノイズの影響を受けてターンオフした場合に、オン状態に復帰させる時間の速さと消費電力の削減量とを調整できる。

【0036】

また、2 次側回路 13 を、2 次側コイル L 2 に発生する電圧が一方の極性を示す際にセット信号 V R を発生させるコンパレータ 24R、前記電圧が他方の極性を示す際にリセット信号 V F を発生させるコンパレータ 24F、セット信号 V R 及びリセット信号 V F が入力される RS フリップフロップ 27 を備えて構成した。このように構成すれば、RS フリップフロップ 27 は、1 次側回路 12 がパルス信号 V P 1 及び V N 1 を発生させる毎にセットされて出力信号 D O U T をハイレベルにし、パルス信号 V P 2 及び V N 2 を発生させる毎にリセットされて同信号をローレベルにする。したがって、2 次側回路 13 を簡単に構成できる。30

【0037】

加えて、信号伝達回路 7 が出力するゲート信号 D O U T により、インバータ回路 1 を構成する IGBT 2 を駆動するようにした。したがって、例えば上アームの IGBT 2U がオフ、下アームの IGBT 2X がオンしている状態で IGBT 2U がノイズの影響を受けてターンオンした場合に、IGBT 2U 及び 2X に短絡電流が流れる事態を短時間内に解消できる。40

【0038】

(第 2 実施形態)

以下、第 1 実施形態と同一部分には同一符号を付して説明を省略し、異なる部分についてのみ説明する。図 11 に示すように、第 2 実施形態の信号伝達回路 31 は、1 次側回路 12 を 1 次側回路 32 に置き換えたもので、第 1 実施形態の構成より、AND ゲート 16 及び分周器 17 を削除している。そして、パルス発生回路 18 (P1) 及び 19 (N1) には、入力信号 D I N を直接入力している。

【0039】

10

20

30

40

50

次に、第2実施形態の作用について説明する。図12に示すように、入力信号DINがローレベルを示す期間に出力されるローレベルパルスVP2及びハイレベルパルスVN2は、第1実施形態と同様である。

【0040】

一方、入力信号DINがハイレベルを示す期間において、パルス発生回路18(P1), 19(N1)は、入力信号DINの立上りエッジをトリガとして、それぞれローレベルパルスVP1, ハイレベルパルスVN1を1回のみ出力する。したがって、前記期間内に逆極性のノイズが印加されると、従来技術と同様に、次回に入力信号DINの立上りエッジが到来するまで、出力信号DOOUTはハイレベルにはならない。このように第2実施形態では、対応の緊急性が低いセット信号VR側については、ノイズ印加時の復帰効果を付与することなく、信号伝達回路31の消費電力低減効果を最大化している。10

【0041】

以上のように第2実施形態によれば、信号伝達回路31は、第1実施形態の構成よりANDゲート16及び分周器17を削除して、1次側回路12を1次側回路32に置き換え、パルス発生回路18(P1)及び19(N1)に入力信号DINを直接入力する構成とした。これにより、IGBT2がオンしている期間の入力信号DINは1次側回路32により変調されず、その期間内にノイズの影響を受けて信号レベルが反転すると、IGBT2はターンオフして、入力信号DINが次にハイレベルを示すまでターンオンしない。したがって、消費電力を低減する効果を第1実施形態よりも向上させることができ、入力信号DINがローレベルを示す期間については第1実施形態と同様の効果が得られる。20

【0042】

本発明は上記した、又は図面に記載した実施形態にのみ限定されるものではなく、以下のような変形又は拡張が可能である。

第1, 第2レベルは何れか一方をハイレベル、他方をローレベルとすれば良い。

変化エッジは、立下りエッジでも良い。

分周器17における分周比は、「3」以上でも良い。

また、第1実施形態において、分周器17を削除しても良い。

【0043】

信号伝達回路を介して駆動信号を入力するスイッチング素子は、IGBTに限ることなく、MOSFETやバイポーラトランジスタなどでも良い。30

必要であれば、信号伝達回路にプリドライバを加えて駆動装置を構成しても良い。

出力信号DOOUTにより駆動されるスイッチング素子は、インバータ回路1を構成するものに限らず、ハーフブリッジ回路やHブリッジ回路を構成するものでも良い。また、単一のスイッチング素子を駆動対象としても良い。

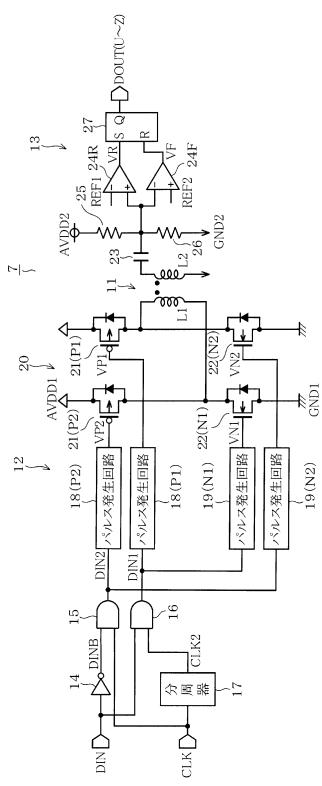
スイッチング素子の駆動装置に適用するものに限ることなく、二値レベルで変化する入力信号を電気的に絶縁して伝達する必要があるものに適用が可能である。

【符号の説明】

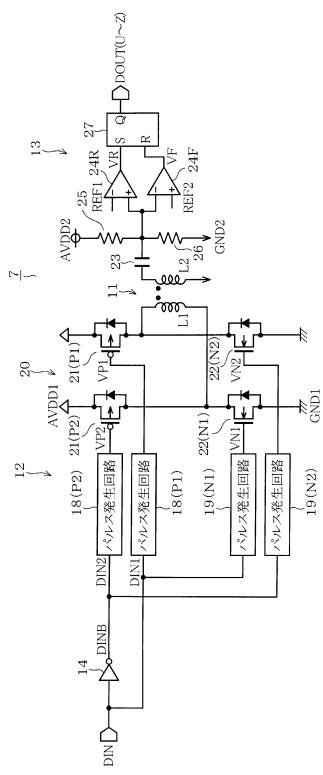
【0044】

図面中、1はインバータ回路、2はIGBT(スイッチング素子)、7は信号伝達回路(駆動装置)、11はトランス、L1は1次側コイル、L2は2次側コイル、12は1次側回路、13は2次側回路、14はNOTゲート(第2論理回路)、15はANDゲート(第2論理回路)、16はANDゲート(第1論理回路)、17は分周器、18(P1)及び19(N1)はパルス発生回路(第1オン信号出力回路)、18(P2)及び19(N2)はパルス発生回路(第2オン信号出力回路)、20はHブリッジ回路、21(P1)及び21(P2)はPチャネルMOSFET(スイッチング素子)、22(N1)及び22(N2)はNチャネルMOSFET(スイッチング素子)、24Rはコンパレータ(セット信号発生回路)、24Fはコンパレータ(リセット信号発生回路)、27はRSフリップフロップを示す。40

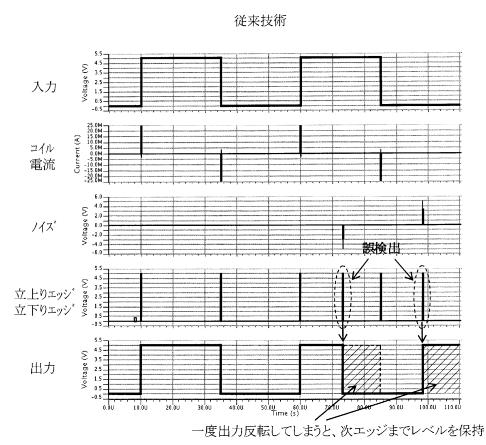
【図1】



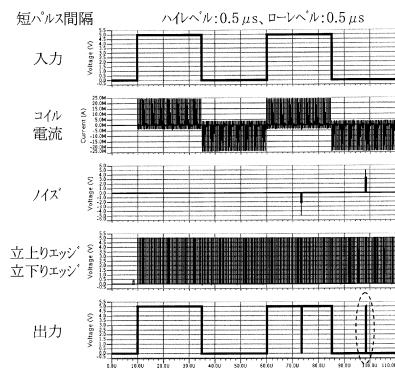
【図5】



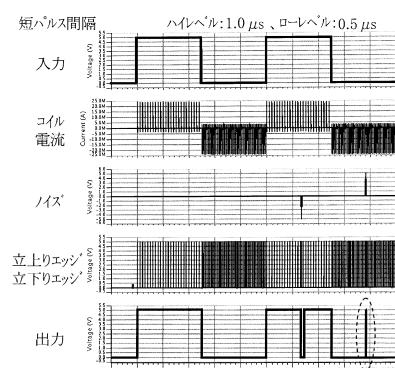
【図6】



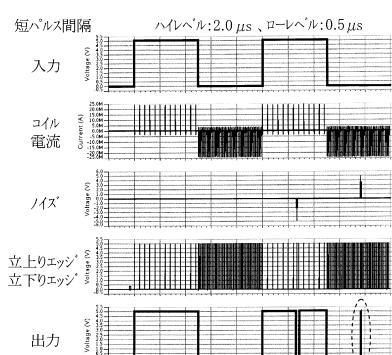
【図7】



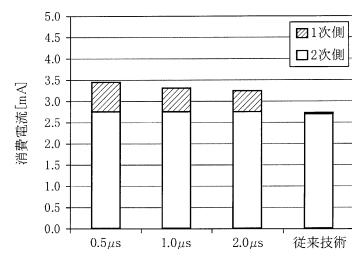
【図8】



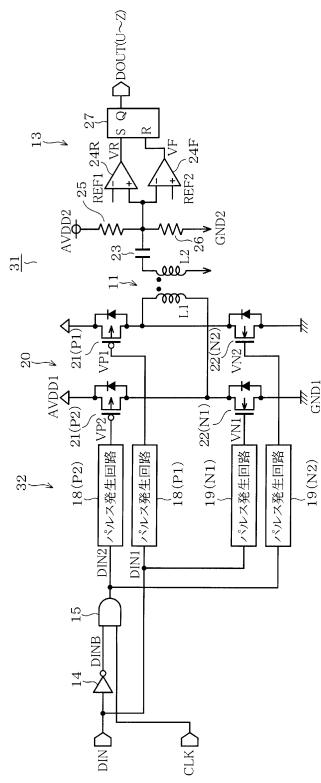
【図 9】



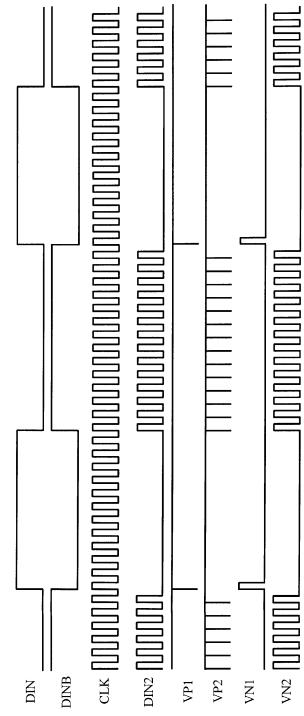
【図 10】



【図 11】



【図 12】



フロントページの続き

(56)参考文献 特開平5 - 252730 (JP, A)
特開2001 - 267905 (JP, A)
特開平2 - 87963 (JP, A)
特開平7 - 15949 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/16
H02M 1/08