

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-27094

(P2010-27094A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/22 (2006.01)	G 1 1 C 11/22 5 O 1 A	5 F 0 8 3
H O 1 L 21/8246 (2006.01)	G 1 1 C 11/22 5 O 1 F	
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 4 B	

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願2008-183666 (P2008-183666)	(71) 出願人	000003078
(22) 出願日	平成20年7月15日 (2008.7.15)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100118843
			弁理士 赤岡 明

最終頁に続く

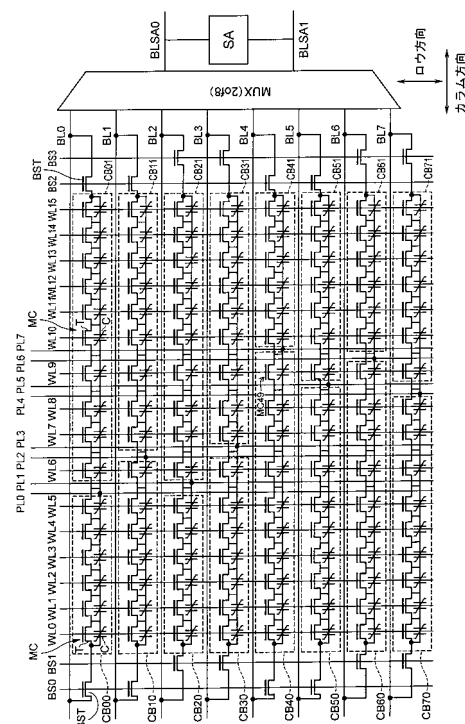
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 プレート線と各メモリセルブロックとの間の配線およびビット線の配線の設計を容易化し、微細化に適した半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、並列接続されたセルトランジスタおよび強誘電体キャパシタがセルを成し、セルが直列接続されて第1から第8のセルブロックを成し、該セルブロックは、同一のワード線に接続され、該セルブロックの一端はブロック選択トランジスタを介してビット線に接続され、該セルブロックの他端は互いに異なるプレート線に接続され、動作時において、第1から第4のビット線のうちの1本のビット線、および、第5から第8のビット線のうち1本のビット線が選択的にセンスアンプに接続され、ビット線とプレート線との間に直列接続されるメモリセル数は、第1から第4のメモリセルブロックにおいて各々異なり、尚且つ、第5から第8のメモリセルブロックにおいて各々異なる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のワード線と、
複数のプレート線と、
第 1 から第 8 のビット線と、
ゲート電極が前記ワード線に接続されたセルトランジスタと、
前記セルトランジスタのソースとドレインとの間に、該セルトランジスタに対して並列
接続された強誘電体キャパシタと、

前記強誘電体キャパシタに格納されたデータを検出するセンスアンプとを備え、
前記セルトランジスタおよび前記強誘電体キャパシタがメモリセルを成し、
複数の前記メモリセルが直列接続されて第 1 から第 8 のメモリセルブロックを成し、
前記第 1 から第 8 のメモリセルブロックは、同一の前記ワード線に接続され、前記第 1
から第 8 のメモリセルブロックの一端はそれぞれブロック選択トランジスタを介して前記
第 1 から第 8 のビット線に接続され、前記第 1 から第 8 のメモリセルブロックの他端はそ
れぞれ互いに異なる前記プレート線に接続され、

動作時において、前記第 1 から第 4 のビット線のうちの 1 本のビット線、および、前記
第 5 から第 8 のビット線のうち 1 本のビット線が選択的に前記センスアンプに接続され、

前記ビット線と前記プレート線との間に直列接続される前記メモリセル数は、前記第 1
から第 4 のメモリセルブロックにおいておのおの異なる数であり、尚且つ、前記第 5 から
第 8 のメモリセルブロックにおいておのおの異なる数であることを特徴とする半導体記憶
装置。

【請求項 2】

複数のワード線と、
複数のプレート線と、
複数のビット線と、
ゲート電極が前記ワード線に接続されたセルトランジスタと、
前記セルトランジスタのソースとドレインとの間に並列接続された強誘電体キャパシタ
とを備え、

前記セルトランジスタおよび前記強誘電体キャパシタがメモリセルを成し、
複数の前記メモリセルが直列接続されて複数のメモリセルブロックを成し、
前記複数のメモリセルブロックは、同一の前記ワード線に接続され、
前記複数のメモリセルブロックの一端はブロック選択トランジスタを介して前記ビット
線に接続し、前記複数のメモリセルブロックの他端は前記プレート線に接続され、

前記複数のメモリセルブロックにおいて前記ビット線と前記プレート線との間で直列接
続される前記メモリセル数には、2 種類以上の異なる値があることを特徴とする半導体記
憶装置。

【請求項 3】

前記複数のメモリセルブロックにおいて前記ビット線と前記プレート線との間で直列接
続される前記メモリセル数には、4 種類以上の異なる値があることを特徴とする請求項 2
に記載の半導体記憶装置。

【請求項 4】

複数のワード線と、
複数のプレート線と、
複数のビット線と、
ゲート電極が前記ワード線に接続されたセルトランジスタと、
前記セルトランジスタのソースとドレインとの間に並列接続された強誘電体キャパシタ
とを備え、

前記強誘電体キャパシタに格納されたデータを検出するセンスアンプとを備え、
前記セルトランジスタおよび前記強誘電体キャパシタがメモリセルを成し、
複数の前記メモリセルが直列接続されて複数のメモリセルブロックを成し、

前記複数のメモリセルブロックは、同一の前記ワード線に接続され、

前記複数のメモリセルブロックの一端はブロック選択トランジスタを介して前記ビット線に接続し、前記複数のメモリセルブロックの他端は前記プレート線に接続され、

前記複数のメモリセルブロックと前記複数のプレート線との接続位置には、前記ビット線の延伸方向において、2種類以上の異なる位置があることを特徴とする半導体記憶装置。

【請求項5】

前記複数のプレート線は、前記ワード線の延伸方向にほぼ平行に配置されることを特徴とする請求項4に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係わり、例えば、不揮発性の強誘電体メモリに関する。

【背景技術】

【0002】

近年、セルトランジスタ（T）のソース－ドレイン間にキャパシタ（C）の両端をそれぞれ接続し、これをユニットセル（以下、メモリセルともいう）とし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ（以下、単に、強誘電体メモリともいう）」が開発された（特許文献2～4）。

【0003】

この強誘電体メモリは、上記メモリセルを複数直列に接続したメモリセルブロックを備えている。メモリセルブロックの一端は、ブロック選択トランジスタを介してビット線に接続され、その他端はプレートに接続されている。

【0004】

特許文献1では、4つのメモリセルブロックが1つのブロック群を構成し、1つのブロック群が1つのセンスアンプ回路に接続された強誘電体メモリが開示されている。例えば、或るブロック群を構成する第1から第4のメモリセルブロックは、それぞれ4つのカラムのビット線に対応して設けられている。センスアンプは、これら4つのカラムのビット線に対応して設けられている。特許文献1に記載された強誘電体メモリでは、ビット線間のノイズの抑制およびセンスアンプ回路の削減を実現することができる。

【0005】

しかし、特許文献1に記載された強誘電体メモリでは、プレート線は、第1から第4のメモリセルブロックのそれぞれに対応して設ける必要がある。従来、4本のプレート線の配線をそれぞれ第1から第4のメモリセルブロックに接続するために、プレート線とメモリセルブロックとの間に接続部を設けていた。この接続部は、ビット線の配線と同一配線層に形成されており、ビット線は、この接続部を迂回するように結線されていた（特許文献1〔0052〕および図11参照）。

【0006】

ビット線の配線が上記接続部を迂回しなければならないため、ロウ方向に隣接したビット線間の間隔（メモリセルブロック間の間隔）を或る程度広げざるを得なかった。これは、メモリセルの微細化の妨げとなっていた。

【0007】

ビット線の迂回を回避するためにビット線の配線を上記接続部とは別の配線層に形成することが考えられる。しかし、この場合、配線の積層数の増大により製造コストが上昇してしまう。

【特許文献1】特開2007-18600号公報

【特許文献2】特開2000-22010号公報

【特許文献3】特開平11-177036号公報

【特許文献4】特開平10-255483号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0008】

プレート線と各メモリセルブロックとの間の配線およびビット線の配線の設計を容易化し、微細化に適した半導体記憶装置を提供する。

【課題を解決するための手段】

【0009】

本発明に係る実施形態に従った半導体記憶装置は、複数のワード線と、複数のプレート線と、第1から第8のビット線と、ゲート電極が前記ワード線に接続されたセルトランジスタと、前記セルトランジスタのソースとドレインとの間に、該セルトランジスタに対して並列接続された強誘電体キャパシタと、前記強誘電体キャパシタに格納されたデータを検出するセンスアンプとを備え、

10

前記セルトランジスタおよび前記強誘電体キャパシタがメモリセルを成し、

複数の前記メモリセルが直列接続されて第1から第8のメモリセルブロックを成し、

前記第1から第8のメモリセルブロックは、同一の前記ワード線に接続され、前記第1から第8のメモリセルブロックの一端はそれぞれブロック選択トランジスタを介して前記第1から第8のビット線に接続され、前記第1から第8のメモリセルブロックの他端はそれぞれ互いに異なる前記プレート線に接続され、

動作時において、前記第1から第4のビット線のうちの1本のビット線、および、前記第5から第8のビット線のうち1本のビット線が選択的に前記センスアンプに接続され、

前記ビット線と前記プレート線との間に直列接続される前記メモリセル数は、前記第1から第4のメモリセルブロックにおいておのおの異なる数であり、尚且つ、前記第5から第8のメモリセルブロックにおいておのおの異なる数であることを特徴とする。

20

【0010】

本発明に係る他の実施形態に従った半導体記憶装置は、複数のワード線と、複数のプレート線と、複数のビット線と、ゲート電極が前記ワード線に接続されたセルトランジスタと、前記セルトランジスタのソースとドレインとの間に並列接続された強誘電体キャパシタとを備え、

前記セルトランジスタおよび前記強誘電体キャパシタがメモリセルを成し、

複数の前記メモリセルが直列接続されて複数のメモリセルブロックを成し、

前記複数のメモリセルブロックは、同一の前記ワード線に接続され、

30

前記複数のメモリセルブロックの一端はブロック選択トランジスタを介して前記ビット線に接続し、前記複数のメモリセルブロックの他端は前記プレート線に接続され、

前記複数のメモリセルブロックにおいて前記ビット線と前記プレート線との間で直列接続される前記メモリセル数には、2種類以上の異なる値があることを特徴とする。

【0011】

本発明に係る他の実施形態に従った半導体記憶装置は、複数のワード線と、複数のプレート線と、複数のビット線と、ゲート電極が前記ワード線に接続されたセルトランジスタと、前記セルトランジスタのソースとドレインとの間に並列接続された強誘電体キャパシタとを備え、

前記強誘電体キャパシタに格納されたデータを検出するセンスアンプとを備え、

40

前記セルトランジスタおよび前記強誘電体キャパシタがメモリセルを成し、

複数の前記メモリセルが直列接続されて複数のメモリセルブロックを成し、

前記複数のメモリセルブロックは、同一の前記ワード線に接続され、

前記複数のメモリセルブロックの一端はブロック選択トランジスタを介して前記ビット線に接続し、前記複数のメモリセルブロックの他端は前記プレート線に接続され、

前記複数のメモリセルブロックと前記複数のプレート線との接続位置には、前記ビット線の延伸方向において、2種類以上の異なる位置があることを特徴とする。

【発明の効果】

【0012】

本発明による半導体記憶装置は、プレート線と各メモリセルブロックとの間の配線およ

50

びビット線の配線の設計を容易化することができ、微細化に適している。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

【0014】

(第1の実施形態)

図1は、本発明に係る第1の実施形態に従った強誘電体メモリの構成を示す回路図である。本実施形態による、強誘電体メモリは、上記TC並列ユニット直列接続型強誘電体メモリである。

10

【0015】

この強誘電体メモリは、16本のワード線WL0~WL15(以下、WL*i*ともいう)と、8本のビット線BL0~BL7(以下、BL*i*ともいう)と、8本のプレート線PL0~PL7(以下、PL*i*ともいう)とを備えている。*i*は整数である。

【0016】

ワード線WL*i*はロウ方向に延伸している。プレート線PL*i*は、ワード線の延伸方向にほぼ平行に配置されている。ビット線BL*i*は、ロウ方向に対してほぼ直交するカラム方向に延伸している。

【0017】

メモリセルMCは、ビット線BL*i*とワード線WL*i*との交点に対応して設けられている。各メモリセルMCは、1つのセルトランジスタTおよび強誘電体キャパシタCを含む。強誘電体キャパシタCは、2つの電極の間に強誘電体膜を挟んだ構造を有する。

20

【0018】

強誘電体キャパシタCは、セルトランジスタTのソースとドレインとの間にセルトランジスタTに対して並列に接続されている。これにより、セルトランジスタTおよび強誘電体キャパシタCがメモリセルMCを構成している。セルトランジスタTのゲート電極は、ワード線WL*i*のいずれかに接続されている。

【0019】

メモリセルブロックCB00~CB71(以下、単にCBともいう)は、直列接続された複数のメモリセルMCを含む。メモリセルブロックCB*i*0の一端は、ブロック選択トランジスタBSTを介して互いに異なるビット線BL*i*に接続されている。メモリセルブロックCB*i*0の他端は、互いに異なるプレート線PL*i*に接続されている。メモリセルブロックCB*i*1の一端は、ブロック選択トランジスタBSTを介して互いに異なるビット線BL*i*に接続されている。メモリセルブロックCB*i*1の他端は、互いに異なるプレート線PL*i*に接続されている。メモリセルブロックCB*i*0およびCB*i*1は、同一のビット線BL*i*に共通に接続され、かつ、同一のプレート線PL*i*に共通に接続されている。

30

【0020】

ブロック選択トランジスタBSTは、ブロック選択信号BS0~BS3によって制御される。同一のブロック選択信号BS0で駆動されるブロック選択トランジスタBSTに接続されたメモリセルブロックCB00、CB10、CB40およびCB50は、互いに異なる個数(6、7、10、9)のメモリセルMCで構成される。同様に、同一のブロック選択信号BS1で駆動されるブロック選択トランジスタBSTに接続されたメモリセルブロックCB20、CB30、CB60およびCB70は、互いに異なる個数(6、7、10、9)のメモリセルMCで構成されている。即ち、同一のブロック選択信号によってビット線とプレート線との間に同時に直列に接続されるメモリセルCMの個数はカラムごとに(ビット線ごとに)異なる。この関係は、メモリセルブロックCB*i*1においても同様である。

40

【0021】

例えば、ビット選択線BS0が活性化された場合、第1から第4のメモリセルブロック

50

CB00、CB10、CB40、CB50において、ビット線BL0、BL1、BL4、BL5とプレート線PL0、PL2、PL7、PL5との間に直列接続されるメモリセルMC数は、それぞれ6、7、10、9であり、各々異なる。同様に、ビット選択線BS1が活性化された場合、第5から第8のメモリセルブロックCB20、CB30、CB60、CB70において、ビット線BL2、BL3、BL6、BL7とプレート線PL1、PL3、PL6、PL4との間に直列接続されるメモリセルMC数は、それぞれ6、7、10、9であり、各々異なる。

【0022】

このように、ビット線とプレート線との間に同時に直列接続されるメモリセルCMの個数をカラムごとに相違させることによって、プレート線PLiとメモリセルブロックCBiとの接続位置をカラム方向において相違させることができる。これは、後述するように、プレート線の本数が多い場合であっても、プレート線と各メモリセルブロックとの間の距離を短くすることができ、その結果、プレート線と各メモリセルブロックとの間の配線およびビット線の配線の設計を容易化することができる。

【0023】

ビット線BLiおよびプレート線PLiを共有する2つのメモリセルブロックCBi0、CBi1に含まれるメモリセルMC数の合計はそれぞれ等しい。例えば、ビット線BL0およびプレート線PL0を共有する2つのメモリセルブロックCB00、CB01に含まれるメモリセルMC数の合計は16である。ビット線BL1およびプレート線PL2を共有する2つのメモリセルブロックCB10、CB11に含まれるメモリセルMCの総数も16である。即ち、ビット線およびプレート線を共有するメモリセル数の合計は固定値になっている。これにより、セルブロックのサイズは、ビット線およびプレート線を共有する2つのメモリセルブロック毎に一定である。その結果、ビット線およびプレート線を共有するメモリセルブロックの両端がロウ方向に揃うので、ブロック選択トランジスタをロウ方向に揃えて配列させることができる。また、ブロック選択線BSiを直線状にレイアウトすることができる。

【0024】

マルチプレクサMUXがビット線BLiとセンスアンプSAとの間に設けられている。マルチプレクサMUXは、データ読出し動作において、第1から第4のビット線BL0、BL1、BL4、BL5のうち1本のビット線を選択的にセンスアンプSAに接続、第5から第8のビット線BL2、BL3、BL6、BL7のうち1本のビット線を選択的にセンスアンプSAに接続する。

【0025】

センスアンプSAは、マルチプレクサMUXによって接続された2本のビット線のうち一方から参照データを獲得し、他方からメモリセルMCに記憶された情報データを獲得する。センスアンプSAは、この参照データに基づいて、情報データの論理値を検出する。

【0026】

本実施形態では、1つのマルチプレクサMUXに接続されるプレート線数が8であるが、プレート線数は、それ以外の数であってもよい。例えば、1つのマルチプレクサMUXに接続されるプレート線数は、4、8、16、32・・・であってよい。これにより、センスアンプ数および同時に活性化されるビット線数は、各ビット線対に対してセンスアンプSAが配置される場合に比べて、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ ・・・と低減させることができる。つまり、1つのマルチプレクサMUXに接続されるプレート線数を増加させることによって、センスアンプ面積および消費電力を低減させることができる。

【0027】

本実施形態によれば、マルチプレクサMUXが8本のビット線BLiのうち2本を選択的にセンスアンプSAに接続する。よって、センスアンプ数は、具体例1の $1/4$ で済む。また、8本のビット線BLiのうち2本のみ駆動させるため、消費電力が具体例1よりも低下する。

【0028】

10

20

30

40

50

本実施形態は、プレート線 P L i とセルブロック C B との接続点をカラムごとに異なる位置に変更させている。即ち、プレート線 P L i とセルブロック C B との接続点は、隣接する 2 つのカラムにおいて異なるメモリセル M C 間にある。これによって、プレート線 P L i の配線ピッチを変更することなく、メモリセルサイズを縮小させることができる。

【0029】

図 2 は、マルチプレクサ M U X の内部構成を示す回路図である。マルチプレクサ M U X は、M U X トランジスタ T m u x i を備えている。M U X トランジスタ T m u x 0、T m u x 1、T m u x 4、T m u x 5 は、第 1 から第 4 のビット線 B L 0、B L 1、B L 4、B L 5 とセンスノード B L S A 0 との間に接続されている。M U X トランジスタ T m u x 2、T m u x 3、T m u x 6、T m u x 7 は、第 5 から第 8 のビット線 B L 2、B L 3、B L 6、B L 7 とセンスノード B L S A 1 との間に接続されている。

10

【0030】

転送信号 T R S 0 ~ T R S 3 のいずれかを論理ハイに立ち上げ、他の転送信号を論理ロウに維持することにより、マルチプレクサ M U X は、第 1 から第 4 のビット線 B L 0、B L 1、B L 4、B L 5 のうち 1 本のビット線をセンスノード B L S A 0 に接続し、第 5 から第 8 のビット線 B L 2、B L 3、B L 6、B L 7 のうち 1 本をセンスノード B L S A 1 に接続する。

【0031】

例えば、転送信号 T R S 2 が論理ハイに立ち上がると、B L 4 および B L 6 が、選択的にそれぞれセンスノード B L S A 0 およびセンスノード B L S A 1 に接続される。このとき、ブロック選択信号 B L 0 が論理ハイに活性化されている場合、ビット線 B L 4 がメモリセル M C 内の情報データをセンスノード B L S A 0 に伝達し、ビット線 B L 6 が参照データをセンスノード B L S A 1 に伝達する。

20

【0032】

イコライジングトランジスタ T e q i が所定電位 V P L L とビット線 B L i との間に接続されている。イコライジングトランジスタ T e q i は、イコライズ信号 B E Q L 0 ~ B E Q L 3 によって制御される。

【0033】

イコライズ信号 B E Q L 0 ~ B E Q L 3 は、選択ビット線に接続されたイコライジングトランジスタのみを不活性化し、非選択ビット線に接続されたイコライジングトランジスタを活性状態に維持する。

30

【0034】

例えば、転送信号 T R S 2 が論理ハイに活性化された場合、イコライズ信号 B E Q L 2 が論理ロウに不活性化される。これにより、選択ビット線 B L 4 および B L 6 に接続されたイコライジングトランジスタ T e q 4 および T e q 6 がオフ状態になる。よって、選択ビット線 B L 4 および B L 6 は、フローティング状態となり、情報データあるいは参照データを伝達することができる。

【0035】

一方、イコライズ信号 B E Q L 0、B E Q L 1 および B E Q L 3 は論理ロウのままであるので、非選択ビット線 B L 0 ~ B L 3、B L 5 および B L 7 は、V P L L に固定されている。これにより、非選択ビット線 B L 0 ~ B L 3、B L 5 および B L 7 は、選択ビット線 B L 4 および B L 6 にとってシールド線として機能する。

40

【0036】

尚、活性化とは素子または回路をオンまたは駆動させることを意味し、不活性化とは素子または回路をオフまたは停止させることを意味する。従って、H I G H（高電位レベル）の信号が活性化信号である場合もあり、L O W（低電位レベル）の信号が活性化信号である場合もある。例えば、N M O S トランジスタは、ゲートを H I G H にすることによって活性化する。一方、P M O S トランジスタは、ゲートを L O W にすることによって活性化する。

【0037】

50

図 3 は、本実施形態による強誘電体メモリのデータ読出し動作を示すタイミング図である。t 1 において、転送信号 T R S 2 を活性化し、イコライズ信号 B E Q L 2 を不活性化させる。さらに、ワード線 W L 9 を論理ロウに立ち下げる。t 2 において、ブロック選択信号 B L 0 およびプレート線 P L 7 が活性化される。

【0038】

このとき、図 1 のメモリセルブロック C B 4 0 に含まれるメモリセル M C のうちメモリセル M C 4 9 のセルトランジスタ T のみがオフ状態であり、他のメモリセルのセルトランジスタはオン状態を維持する。よって、メモリセル M C 4 9 の強誘電体キャパシタ C がビット線 B L 4 とプレート線 P L 7 との間に接続される。この状態のもと、プレート線 P L 7 がハイレベル電位に活性化されるので、図 1 に示すメモリセル M C 4 9 に格納された情報データがビット線 B L 4 に伝達される。

10

【0039】

参照データは、ビット線 B L 6 に伝達される。B L 6 はセンスノード B L S A 1 に接続されるが、ブロック選択信号 B S 1 が不活性状態であるので、メモリセルブロック C B 6 0 はビット線 B L 6 に接続されない。よって、ビット線 B L 6 は、参照データを伝達することができる。参照データの生成回路は図示しないが、公知技術を用いればよい。

【0040】

非選択ビット線 B L 0 ~ B L 3、B L 5、B L 7 は、電位 V P L L にプリチャージされているので、選択ビット線 B L 4 および B L 6 の両側をシールドビット線で挟むことができる。これにより、選択ビット線 B L 4 および B L 6 のビット線間ノイズをキャンセルすることができる。

20

【0041】

t 3 において、プレート線 P L 7 をロウレベル電位に戻し、情報データをメモリセル M C 4 9 に書き戻す。強誘電体メモリは、破壊読出しメモリであるからである。t 5 において、読出し動作を終了する。

【0042】

図 4 は、ビット線 B L 1 に沿ったメモリセルブロック C B 1 0 および C B 1 1 の断面図である。ワード線 W L i は、ワード線の機能およびセルトランジスタ T のゲート電極としての機能を兼ね備えている。

【0043】

セルトランジスタ T は、シリコン基板 1 0 上に形成されている。A A は、ソースまたはドレイン拡散層である。セルトランジスタ T の上方に、強誘電体キャパシタ C が形成されている。強誘電体キャパシタ C は、下部電極 L E、強誘電体膜 F E および上部電極 U E を積層することにより形成されている。カラム方向に隣接するメモリセル M C は、セルトランジスタ T のソースまたはドレインを共有しており、かつ、強誘電体キャパシタ C の下部電極 L E または上部電極 U E を共有している。

30

【0044】

メモリセルブロック C B 内の配線は、第 0 メタル層 M 0 および第 1 メタル層 M 1 によって形成されている。

【0045】

プレート線 P L i は第 2 メタル層 M 2 において形成されている。第 2 メタル層 M 2 は、セルトランジスタ T のシャント線 W L i (M 2) としても用いられている。

40

【0046】

プレート線 P L i は、メモリセルブロック C B 内の配線としての第 1 メタル層 M 1 に直接接続されている。図 4 に示す断面図では、プレート線 P L 2 が、第 1 メタル層 M 1 を介して、ワード線 W L 6 と W L 7 との間にある拡散層に接続されている。他のプレート線 P L 0、P L 1、P L 3 ~ P L 7 と第 1 メタル層 M 1 とのコンタクトは、図 4 に示す断面図に現れていないが、破線で示す位置に形成されている。

【0047】

尚、第 1 メタル層 M 1 のパターン（上部電極 U E の接続配線）は、カラムごとに 1 メモ

50

リセル分だけカラム方向にずれて形成される。このため、プレート線 PL_0 および PL_1 は、ワード線 WL_5 と WL_6 との間の拡散層 AA に接続される。プレート線 PL_6 および PL_7 は、ワード線 WL_9 と WL_{10} との間に接続される（図 8 参照）。

【0048】

本実施形態では、プレート線 PL_i とメモリセルブロック CB_{i0} 、 CB_{i1} との接続点は、隣接するカラムにおいて異なるメモリセル MC 間にある。このため、プレート線 PL_i は、特開 2007-18600 号公報のおよび図 11 に示す M_2 の接続部を必要とせず、第 1 メタル層 M_1 に直接接続され得る。これにより、プレート線 PL_i は、8 本以上設けられたとしても、カラム方向に並べて配置させることができる。このとき、プレート線 PL_i は、直線状に形成してもよく、屈曲させてもよい。

10

【0049】

第 3 メタル層 M_3 は、ビット線 BL_i の配線に利用されている。さらに、第 4 メタル層 M_4 は、プレート線 PL_i のシャント線 $PL_i (M_4)$ に利用されている。シャント線 $PL_i (M_4)$ は、配線の低抵抗化およびハイマイグレーションのために設けられている。従って、実質的な配線は、メタル層 $M_0 \sim M_3$ で構成されている。即ち、本実施形態におけるメタル層の数は、特開 2007-18600 号公報に開示されたデバイスのそれと変わらない。

【0050】

図 5 から図 9 は、本実施形態による強誘電体メモリのレイアウト図である。図 5 は、全層を一括で示している。図 6 から図 9 は、数レイヤ毎に分けてレイアウトを示している。

20

【0051】

図 6 は、拡散層 AA 、ゲート電極（ワード線）層 GC 、第 0 メタル層 M_0 、 M_0 と AA との間のコンタクトプラグ c_{AA-M_0} を示している。

【0052】

図 7 は、上部電極 UE 、下部電極 LE 、強誘電体膜 FE から成る強誘電体キャパシタ C を示している。コンタクト $c_{M_0-M_1}$ は、 M_0 と M_1 との間のコンタクトプラグを示している。コンタクト $c_{M_0-M_1}$ は、図 6 のコンタクトプラグ c_{AA-M_0} を介して拡散層 AA に接続されている。コンタクト c_{TE-M_1} は、強誘電体キャパシタ C の上部電極 UE と M_1 との間を接続するコンタクトプラグである。

【0053】

30

図 8 は、第 1 メタル層 M_1 および第 2 メタル層 M_2 の配線レイアウトを示している。また、プレート線 PL_i と第 1 メタル層 M_1 との間を接続するコンタクト $c_{M_1-M_2}$ を示している。第 1 メタル層 M_1 で形成された配線 $M_1 (C_{56})$ は、ワード線 WL_5 および WL_6 に対応する 2 つの隣接するメモリセル MC の各強誘電体キャパシタ C の上部電極 UE を接続する。同様に、配線 $M_1 (C_{ij})$ は、ワード線 WL_i および WL_j に対応する 2 つの隣接するメモリセル MC の各強誘電体キャパシタ C の上部電極 UE を接続する。

【0054】

第 1 メタル層 M_1 のパターンは、カラムごとに 1 メモリセル分（半ピッチ）だけカラム方向にずれている。さらに、図 8 に示すように、プレート線は、カラムごとにカラム方向（ビット線方向）にずらされたコンタクト $c_{M_1-M_2}$ でメモリセルブロックに接続されている。これにより、図 1 に示すように、メモリセルブロックのメモリセル数は、奇数のブロック群と偶数のブロック群とに分類される。

40

【0055】

図 9 は、第 3 メタル層 M_3 （ビット線 BL_i ）および第 4 メタル層 M_4 （シャント線 $PL_i (M_4)$ ）の配線を示している。コンタクト $c_{M_2-M_3}$ は、第 2 メタル層 M_2 と第 3 メタル層 M_3 との間のコンタクトプラグである。

【0056】

図 9 に示すように、ビット線 BL_i は、直線状の配線で形成され、プレート線 PL_i の接続のために迂回させる必要がない。これは、図 4 に示すように、プレート線 PL_i がメモリセルブロック内の配線としての第 1 メタル層 M_1 に直接接続しているため、特開 20

50

07-18600号公報に記載されたM2の接続部が不要であるからである。ビット線BL_iが直線状に形成されるので、ロウ方向に隣接するビット線間の間隔を従来よりも狭くすることができる。よって、本実施形態は、メモリセルの微細化に適している。

【0057】

図8に示すように、メモリセルブロックとプレート線との接続点の位置が、カラムごとにずれて配置されている。これにより、複数のプレート線とメモリセルブロックとの接続が容易になる。また、プレート線数を増加させた場合、メモリセルブロックとプレート線との接続点の位置を適切に変更することによって、メモリセルの微細化に対応することができる。

【0058】

10

(第2の実施形態)

図10は、本発明に係る第2の実施形態に従った強誘電体メモリの回路図である。第2の実施形態では、メモリセルの配置が隣接するビット線においてずれていない点(図13参照)で第1の実施形態と異なる。

【0059】

この場合、プレート線PL0およびPL1は、ワード線WL4とWL5との間においてメモリセルブロックに接続されている。よって、メモリセルブロックCB00およびCB20は5個のメモリセルMCで構成され、CB01およびCB21は11個のメモリセルMCで構成される。

【0060】

20

プレート線PL6およびPL7は、ワード線WL10とWL11(図10では不図示)との間においてメモリセルブロックに接続されている。よって、メモリセルブロックCB50およびCB70は11個のメモリセルMCで構成され、CB51およびCB71は5個のメモリセルMCで構成される。

【0061】

プレート線PL2~PL5の配置を含め第2の実施形態のその他の構成は、第1の実施形態の構成と同様でよい。

【0062】

図11~図15は、第2の実施形態による強誘電体メモリのレイアウト図である。図11は、全層を一括で示している。図12から図15は、数レイヤ毎に分けて示している。

30

【0063】

第2の実施形態では、図13に示すようにロウ方向に隣接するメモリセルは、カラム方向(ビット線方向)にずれていない。図14に示すように、メモリセルブロックとプレート線とを接続するM1の位置が、各カラムにおいて揃っている。

【0064】

第2の実施形態では、隣接するカラムにおいて、プレート線PL_iとメモリセルブロックCB_i0、CB_i1との接続点は、カラムごとに、2メモリセル分だけ異なる位置へシフトしている。従って、各メモリセルブロックにおいて直列接続されるメモリセル数は、奇数(または偶数)のいずれかに限定される。しかし、第2の実施形態は、第1の実施形態と同様の効果を得ることができる。

40

【図面の簡単な説明】

【0065】

【図1】本発明に係る第1の実施形態に従った強誘電体メモリの構成を示す回路図。

【図2】マルチプレクサMUXの内部構成を示す回路図。

【図3】第1の実施形態による強誘電体メモリのデータ読出し動作を示すタイミング図。

【図4】ビット線BL₁に沿ったメモリセルブロックCB10およびCB11の断面図。

【図5】第1の実施形態による強誘電体メモリのレイアウト図。

【図6】拡散層AA、ゲート電極(ワード線)層GC、第0メタル層M0、M0とAAとの間のコンタクトプラグcAA-M0を示したレイアウト図。

【図7】上部電極UE、下部電極LE、強誘電体膜FEから成る強誘電体キャパシタCを

50

示したレイアウト図。

【図 8】第 1 メタル層 M 1 および第 2 メタル層 M 2 の配線レイアウト図。

【図 9】第 3 メタル層 M 3 および第 4 メタル層 M 4 の配線レイアウト図。

【図 10】本発明に係る第 2 の実施形態に従った強誘電体メモリの回路図。

【図 11】第 2 の実施形態による強誘電体メモリのレイアウト図。

【図 12】第 2 の実施形態による強誘電体メモリのレイアウト図。

【図 13】第 2 の実施形態による強誘電体メモリのレイアウト図。

【図 14】第 2 の実施形態による強誘電体メモリのレイアウト図。

【図 15】第 2 の実施形態による強誘電体メモリのレイアウト図。

【符号の説明】

【0066】

W L i …ワード線

B L i …ビット線

P L i …プレート線

M C …メモリセル

T …セルトランジスタ

C …強誘電体キャパシタ

C B i j …メモリセルブロック

B S T …ブロック選択トランジスタ

B S i …ブロック選択線

M U X …マルチプレクサ

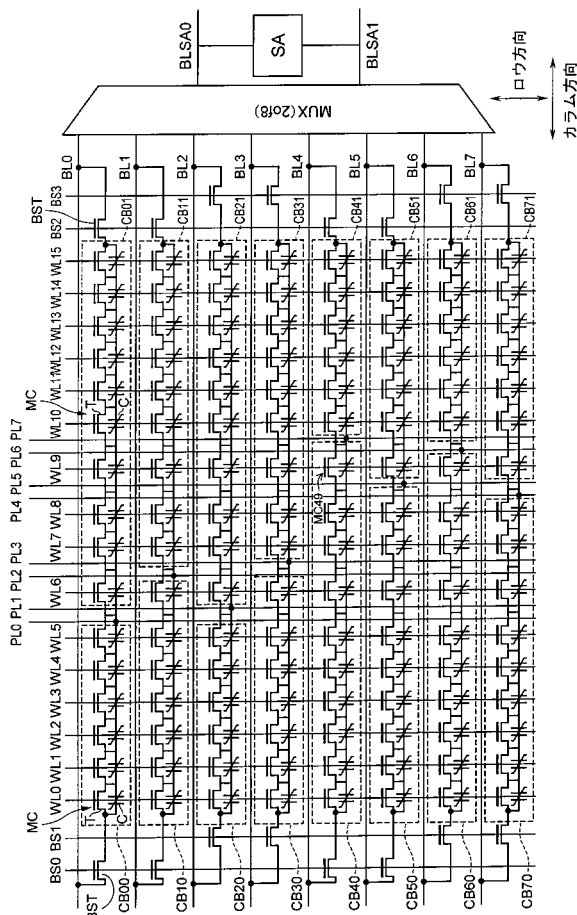
S A …センスアンプ

M 0 ~ M 4 …メタル層

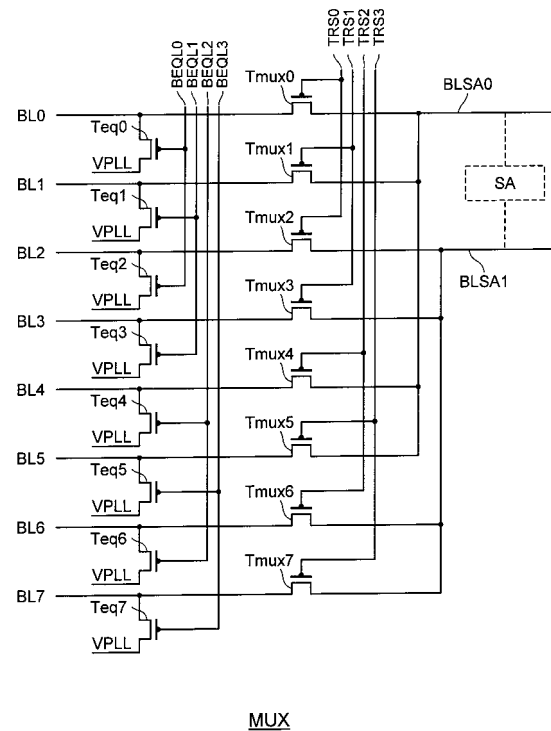
10

20

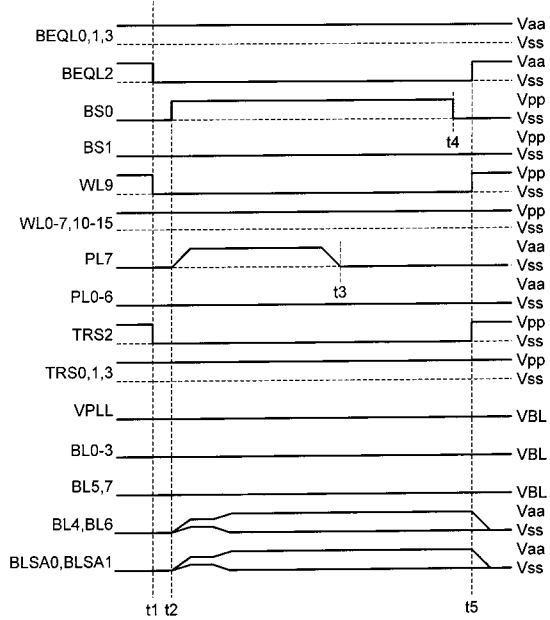
【図 1】



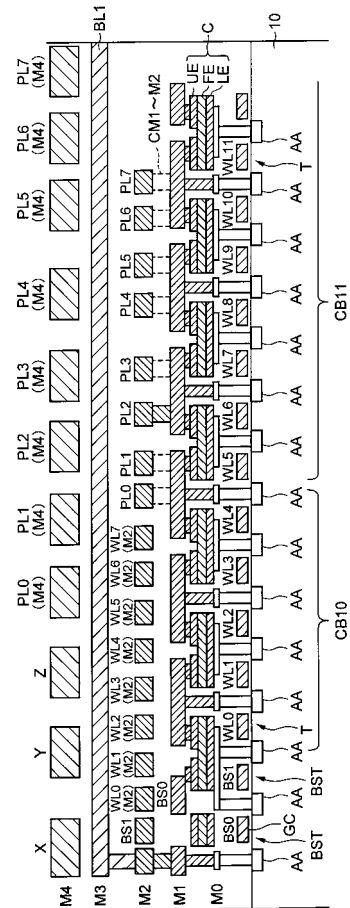
【図 2】



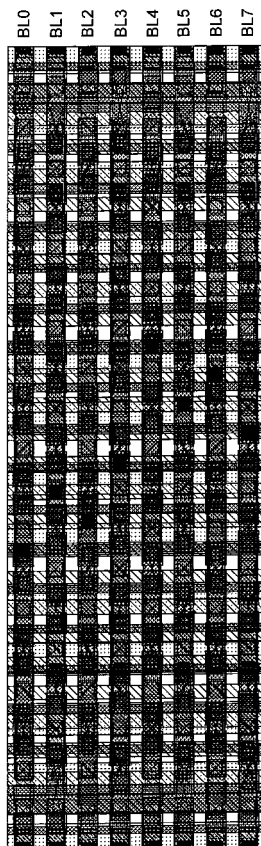
【図 3】



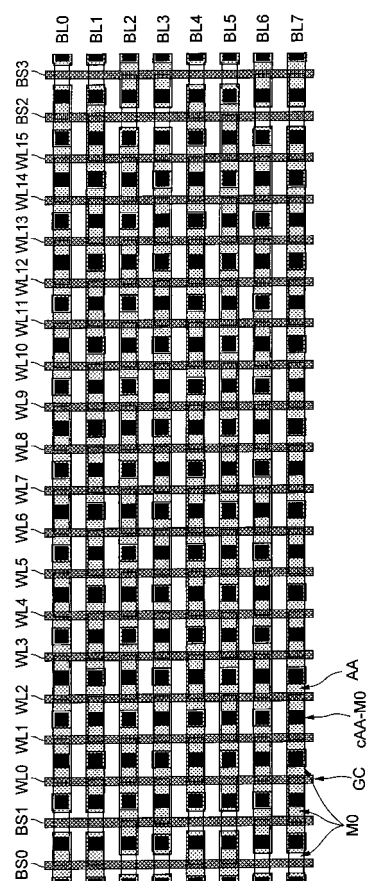
【図 4】



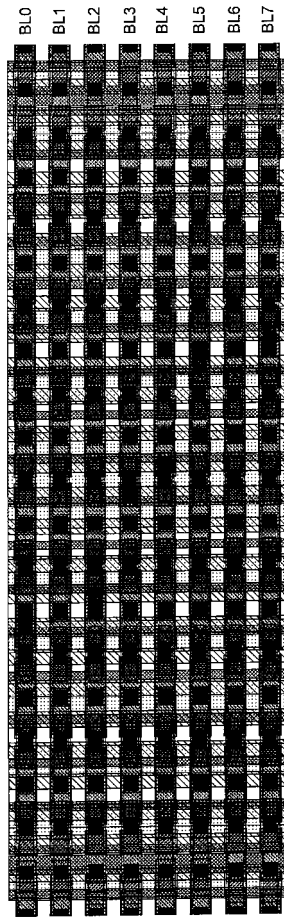
【図 5】



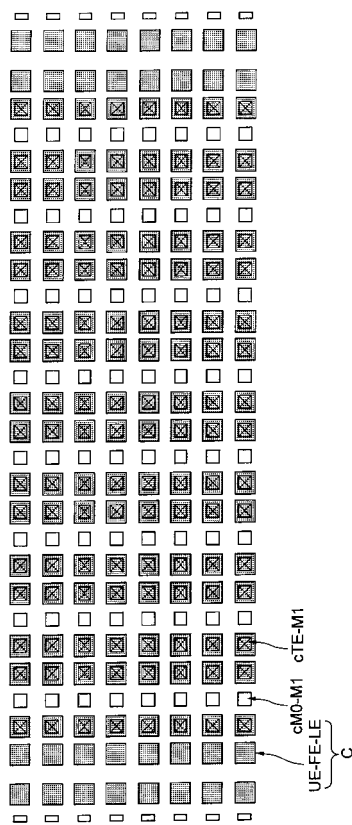
【図 6】



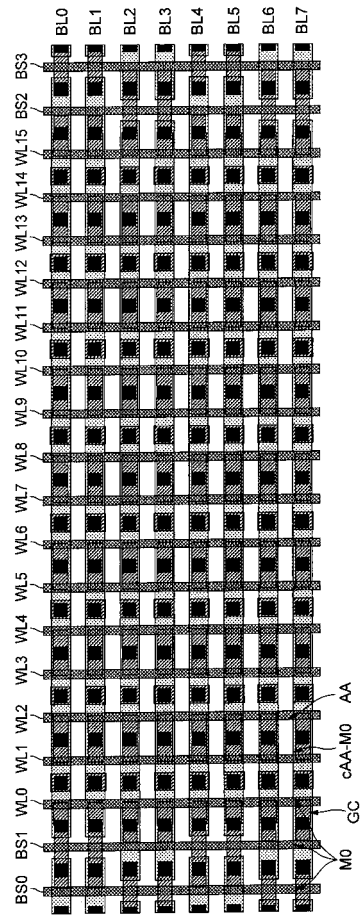
【図 1 1】



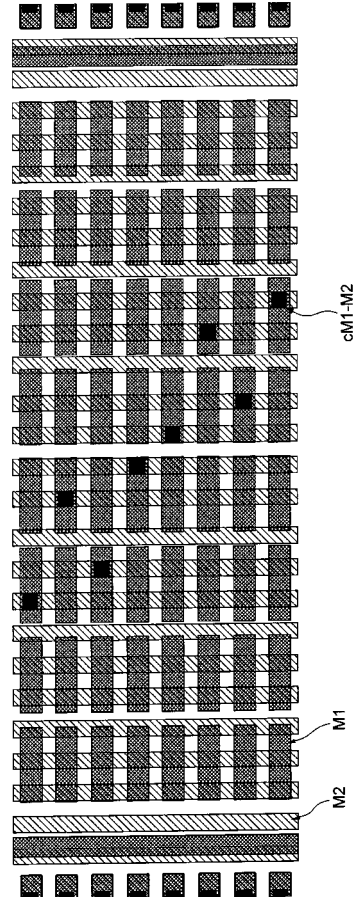
【図 1 3】



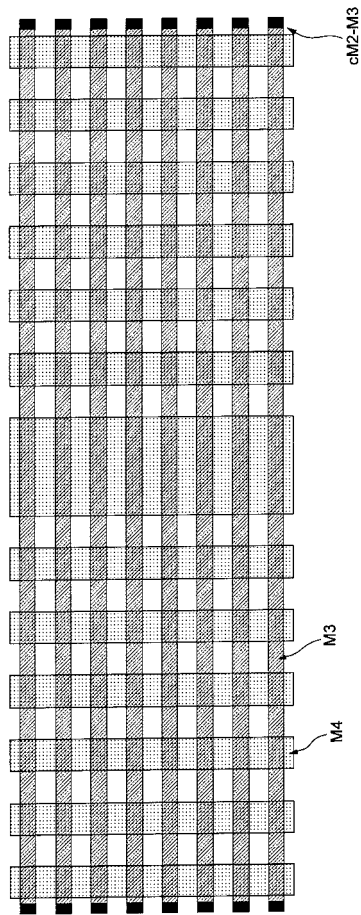
【図 1 2】



【図 1 4】



【図 15】



フロントページの続き

(72)発明者 高 島 大三郎

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 FR02 FR10 GA05 GA09 KA02 KA05 KA19 LA02 LA12 LA16
LA19 LA21 MA04 MA06 MA17 MA18 MA19