

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 6 月 13 日 (13.06.2013)



(10) 国際公開番号
WO 2013/084813 A1

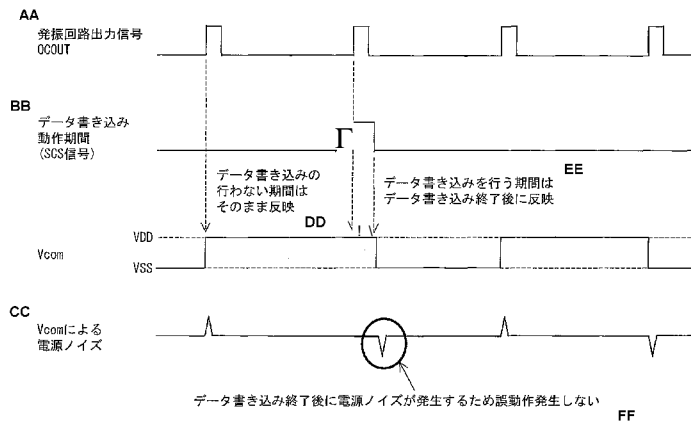
- (51) 国際特許分類 :
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号 : PCT/JP20 12/08 1061
- (22) 国際出願日 : 2012 年 11 月 30 日 (30.11.2012)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :
特願 2011-268387 2011 年 12 月 7 日 (07.12.2011) JP
- (71) 出願人 (米国を除く全ての指定国について) :
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 番 2 号 Osaka (JP).
- (72) 発明者 ;および
(71) 出願人 (米国についてのみ) : 業天 誠二郎 (GY-
OUTEN, Seijirou). 山口 尚宏 (AMAGUCHI,
Takahiro). 山本 悦雄 (YAMAMOTO, Etsuo). 村上
祐一郎 (MURAKAMI, Yuhichiroh).
- (74) 代理人 : 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: DISPLAY DEVICE AND ELECTRICAL APPARATUS

(54) 発明の名称 : 表示装置および電子機器

【図15】



AA Oscillation circuit output signal (OCOUT)
BB Data write operation time (SCS signal)
CC Power source noise due to Vcom
DD Time when no data is written is directly reflected
EE Time when data is written is reflected after end of data writing
FF No malfunction occurs, because power source noise is generated after the end of data writing

(57) Abstract: Provided is a display device whereby malfunctions can be prevented and common inversion driving can be carried out without needing to increase the power consumed. A display driver supplies a voltage for a common electrode of a polarity determined on the basis of an SCS signal and an oscillation circuit output signal (OCOUT) transmitted by a wiring different than a wiring used for serial transmission, and also controls an inversion timing for the polarity of the voltage of the common electrode on the basis of the oscillation circuit output signal (OCOUT) and the SCS signal.

(57) 要約: 消費電力を増大させることなく誤動作を防止してコモン反転駆動を行うことのできる表示装置を実現する。表示ドライバは、シリアル伝送に用いられる配線とは異なる配線によって伝送される発振回路出力信号 (OCOUT) と、SCS 信号とに基づいて決定された極性のコモン電極の電圧を供給すると共に、発振回路出力信号 (OCOUT) と SCS 信号とに基づいてコモン電極の電圧の極性の反転タイミングを制御する。

W 2013/084813 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可[△]): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ / < (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 表示装置および電子機器

技術分野

[0001] 本発明は、表示装置の表示動作に用いるタイミング信号に関するものである。

背景技術

[0002] 各画素にメモリ回路（以下、画素メモリと称する）を備え、当該画素メモリに画像データを記憶させることによって、外部から画像データを供給し続けることなく静止画像を低消費電力で表示することができる表示装置が知られている（例えば特許文献１）。消費電力の削減内訳には、一度画像データを書き込んだ後は、画素に画像データを供給するためのデータ信号線を充放電する必要がなくなるので、その充放電に伴う消費電力の削減分と、一度画像データを書き込んだ後は、パネル外部からパネル内のドライバに画像データを伝送する必要がないので、その伝送に伴う消費電力の削減分が含まれる。

[0003] 画素メモリとしてはＳＲＡＭ型のものやＤＲＡＭ型のものが開発されている。この表示装置では画素電圧がデジタルであるので、クロストークが起こりにくく、表示品位にも優れている。

[0004] 図２５は、特許文献１に記載された表示装置の構成を模式的に示す図であり、図２６は、この表示装置に入力される信号の波形を示すタイミングチャートである。

[0005] この表示装置では、画像データＤＲ、ＤＧ、ＤＢが、シリアルデータＳＩに含められてシリアル伝送によって表示ドライバに供給される。シリアルデータＳＩには、コモン電極の電圧（ V_{com} ）の極性を指示する第１フラグＤ１が付加されており、表示ドライバは、シリアルクロックＳＣＬＫのタイミングを用いて、シリアルデータＳＩから第１フラグＤ１を取り出して、シリアルデータＳＩに基づいた表示を行う。また、取り出した第１フラグＤ１

に従った極性のコモン電極の電圧 (V_{com}) を供給する。

- [0006] この構成によれば、コモン反転の極性を指示するための回路が必要ないため、コモン反転用のタイミング信号を小さな回路規模で生成することができる。

先行技術文献

特許文献

- [0007] 特許文献1：国際公開特許公報 W O 2 0 0 9 / 1 2 8 2 8 0 号公報 (2009年10月22日公開)」

発明の概要

発明が解決しようとする課題

- [0008] しかしながら、上記特許文献1の構成では、図27に示すように、コモン反転の周期に合わせて、CPUからコモン反転の指示を継続して行う必要がある。そのため、画像データを供給し続けることなく静止画像を表示する場合でも、CPUを定期的に起動して信号を供給する必要があり、消費電力が増大するという問題がある。

- [0009] そこで、この問題を解決するために、例えば、図28に示すように、コモン反転の指示を、発振回路の出力を用いて行う構成が考えられる。

- [0010] しかしながら、この構成では、図29に示すように、コモン反転のタイミングが表示パネルへの画像データ書き込み期間と重なった場合に、コモン反転に伴う電源ノイズの影響により誤動作が発生する可能性がある。

- [0011] 本発明は、上記の問題点に鑑みなされたものであり、その目的は、消費電力を増大させることなく誤動作を防止してコモン反転駆動を行うことのできる表示装置およびそれを備えた電子機器を実現することにある。

課題を解決するための手段

- [0012] 本発明の表示装置は、上記課題を解決するために、
画像データがシリアルデータに含められてシリアル伝送によって表示ドライバに供給されるアクティブマトリクス型の表示装置であって、

上記表示ドライバは、上記シリアルデータに基づいた表示を行うとともに、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、コモン電極の電圧の極性を反転することを禁止または許可する期間を示す少なくとも1つの反転タイミング信号と、に基づいて決定された極性のコモン電極の電圧を供給すると共に、

上記一定周期のタイミング信号と上記反転タイミング信号とに基づいて、上記コモン電極の電圧の極性の反転タイミングを制御することを特徴とする。

発明の効果

- [0013] 以上のように、本発明の表示装置では、上記表示ドライバは、上記シリアルデータに基づいた表示を行うとともに、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、コモン電極の電圧の極性を反転することを禁止または許可する期間を示す少なくとも1つの反転タイミング信号と、に基づいて決定された極性のコモン電極の電圧を供給すると共に、上記一定周期のタイミング信号と上記反転タイミング信号とに基づいて、上記コモン電極の電圧の極性の反転タイミングを制御する。これにより、消費電力を増大させることなく誤動作を防止してコモン反転駆動を行うことのできる表示装置およびそれを備えた電子機器を実現することができる。

図面の簡単な説明

- [0014] [図1] 本実施の形態に係る液晶表示装置の主要部の接続関係を示すブロック図である。
- [図2] データ更新モードにおけるシリアル伝送の各信号の波形を示すタイミングチャートである。
- [図3] 本実施の形態に係る液晶表示装置の全体構成を示すブロック図である。
- [図4] 図3のアクティブエリアに配置された各画素PIXの構成を示すブロック図である。
- [図5] 各画素PIXの構成を示す回路図である。

[図6] V c o m ドライバの出力波形を示すタイミングチャートである。

[図7] シリアル—パラレル変換部の構成を示す回路図である。

[図8] E N D — B I T 保持部の構成を示す回路図である。

[図9] ソーススタートパルス生成部の構成を示す回路図である。

[図10] ゲートドライバ制御信号生成部の構成を示す回路図である。

[図11] V c o m ドライバの構成を示す回路図である。

[図12] シリアル—パラレル変換部の信号波形を示すタイミングチャートである。

[図13] ゲートドライバ制御信号生成部の信号波形を示すタイミングチャートである。

[図14] 実施例1に係るコモン極性制御信号生成部の構成を示す回路図である。

[図15] コモン極性制御信号生成部に入出力される信号のタイミングチャートである。

[図16] D フリップフロップの構成を示す回路図である。

[図17] ラッチ回路の構成を示す回路図である。

[図18] V c o m ドライバの出力波形を示すタイミングチャートである。

[図19] V c o m ドライバの出力波形を示すタイミングチャートである。

[図20] 実施例2に係るコモン極性制御部の構成を示す回路図である。

[図21] 図20のコモン極性制御部に入出力される信号のタイミングチャートである。

[図22] 実施例3に係るコモン極性制御部の構成を示す回路図である。

[図23] 図22のコモン極性制御部に入出力される信号のタイミングチャートである。

[図24] 発振回路を表示パネルの内部に設けた場合の液晶表示装置の構成を模式的に示す図である。

[図25] 従来の表示装置の構成を模式的に示す図である。

[図26] 図25の表示装置に入力される信号の波形を示すタイミングチャート

である。

[図27] 図25の表示装置におけるVcomドライバの出力波形を示すタイミングチャートである。

[図28] 従来の表示装置の他の構成を模式的に示す図である。

[図29] 図28の表示装置におけるVcomドライバの出力波形を示すタイミングチャートである。

発明を実施するための形態

[001 5] 本発明の一実施の形態について図面に基づいて説明すると以下の通りである。

[001 6] 図3に、本実施の形態に係る液晶表示装置（表示装置）21の全体構成を示す。

[001 7] 液晶表示装置21は、例えば、携帯電話、GPS機能付き時計、電子レンジ等の電子機器に搭載されているディスプレイデバイスであり、表示パネル21aおよびフレキシブルプリント基板（FPC）21bを備えている。表示パネル21aは、各種回路がモノリシックに作り込まれたものであり、フレキシブルプリント基板21bは、アプリケーションプロセッサなどのCPU21dに制御される3線のシリアルインタフェースバス（I/F BUS）を通じたシリアル伝送によって、シリアルデータS_シ、シリアルチップセレクト信号S_{CS}、および、シリアルクロックS_{CLK}を受け、これらをFPC端子21cを通して表示パネル21_aに供給する。シリアル伝送はマイクロコントローラなど他の制御手段によって制御されてもよい。また、フレキシブルプリント基板21bは、外部から供給される5Vの電源V_{DD}、および、0Vの電源V_{SS}を、FPC端子21cを通して表示パネル21_aに供給する。さらに、フレキシブルプリント基板21bは、発振回路21eから出力される信号（発振回路出力信号O_{COU}T）を、FPC端子21cを通して表示パネル21_aに供給する。なお、発振回路21eは、表示パネル21aの内部に設けられていてもよい。

[001 8] 表示パネル21aは、アクティブエリア22、バイナリドライック（データ

信号線ドライバ) 23、ゲートドライバ(走査信号線ドライバ) 24、タイミングジェネレータ25、および、Vcomドライバ26を備えている。バイナリドライバ23、ゲートドライバ24、タイミングジェネレータ25、および、Vcomドライバ26は表示ドライバを構成している。

[0019] アクティブエリア22は、RGBの画素が、例えば96XRGBX60のマトリクス状に配置された領域であり、各画素は画素メモリを備えている。バイナリドライバ23は、画像データをソースラインを通してアクティブエリア22に供給する回路であり、シフトレジスタ23aおよびデータラッチ23bを備えている。ゲートドライバ24は、アクティブエリア22の画像データを供給すべき画素のゲートラインを選択する。タイミングジェネレータ25は、フレキシブルプリント基板21bから供給される信号を基に、バイナリドライバ23、ゲートドライバ24、および、Vcomドライバ26に供給する信号を生成する。

[0020] 図4は、アクティブエリア22に配置された各画素PIXの構成を示すブロック図であり、図5は、各画素PIXの構成を示す回路図である。

[0021] 画素PIXは、液晶容量CL、画素メモリ30、アナログスイッチ31、液晶駆動電圧印加回路37を備えている。さらに、画素メモリ30はアナログスイッチ32およびインバータ35・36を備え、液晶駆動電圧印加回路37はアナログスイッチ33・34を備えている。

[0022] 液晶容量CLは、画素電極電圧出力OUTとコモン電極の電圧であるコモン出力Vcomとの間に、ここでは高分子分散型液晶(PDLC: Polymer Dispersed Liquid Crystal)や、高分子ネットワーク型液晶(PNLC: Polymer Network Liquid Crystal)などの光分散型液晶を用いて構成されている。なお、光分散型液晶以外の液晶材料を用いることも可能である。アナログスイッチ31~34およびインバータ35・36はCMOS回路で構成されている。

[0023] アナログスイッチ31は、ソースライン出力SLと画素メモリ30との間に挿入されており、そのPMOSトランジスタ31aのゲートはゲートライ

ン反転出力G L Bに接続されているとともに、N M O S トランジスタ3 1 bのゲートはゲートライン出力G Lに接続されている。画素メモリ3 0において、アナログスイッチ3 2は、インバータ3 5の入力とインバータ3 6の出力との間に挿入されており、そのP M O S トランジスタ3 2 aのゲートはゲートライン出力G Lに接続されているとともに、N M O S トランジスタ3 2 bのゲートはゲートライン反転出力G L Bに接続されている。インバータ3 5の入力はアナログスイッチ3 1のソースライン出力S L側とは反対側の接続端子に接続されている。インバータ3 5の出力はインバータ3 6の入力に接続されている。インバータ3 5・3 6は、電源V D DをH i g h側電源に用い、電源V S SをL o w側電源に用いている。

[0024] アナログスイッチ3 3は、黒極性用出力V Aと画素電極電圧出力O U Tとの間に挿入されており、そのP M O S トランジスタ3 3 aのゲートはインバータ3 5の出力に接続されているとともに、N M O S トランジスタ3 3 bのゲートはインバータ3 5の入力に接続されている。アナログスイッチ3 4は、白極性用出力V Bと画素電極電圧出力O U Tとの間に挿入されており、そのP M O S トランジスタ3 4 aのゲートはインバータ3 5の入力に接続されているとともに、N M O S トランジスタ3 4 bのゲートはインバータ3 5の出力に接続されている。

[0025] 上記のコモン出力V c o m、黒極性用出力V A、および、白極性用出力V Bの波形を図6に示す。これらの信号はV c o mドライバ2 6によって生成される。コモン出力V c o mは、1フレームごとに正極性と負極性とが切り替わる5 V p _ pのパルス波形をなす。極性の切り替わり周期は、この他にも所定水平期間ごとなど、任意に設定が可能である。黒極性用出力V Aは、コモン出力V c o mに対して位相が反転した5 V p _ pのパルス波形をなす。白極性用出力V B（ノーマリーホワイトの場合）は、コモン出力V c o mと同相の5 V p - pのパルス波形をなす。

[0026] 図5において、バイナリドライバ2 3からソースライン出力S LとしてH i g hレベル（5 V）が出力された場合には、H i g hレベル（5 V）のゲ

— トライン出力 G_L および Low レベル ($0V$) のゲートライン反転出力 G_{LB} によって選択される画素 P_{IX} のアナログスイッチ 31 が導通することにより、アナログスイッチ 33 が導通するとともにアナログスイッチ 34 が遮断される。従って、画素電極電圧出力 OUT には黒極性用出力 V_A が出力される。液晶容量 C_L には黒極性用出力 V_A とコモン出力 V_{com} との差の電圧として $5V$ が印加され、画素 P_{IX} は黒表示状態となる。

[0027] 次いで、ゲートライン出力 G_L が Low レベル ($0V$)、ゲートライン反転出力 G_{LB} が $High$ レベル ($5V$) になると、アナログスイッチ 31 が遮断されるとともにアナログスイッチ 32 が導通するので、画素メモリ 30 に $High$ レベルが記憶される。この記憶データは、同じ画素 P_{IX} が次に選択されてアナログスイッチ 31 が導通するまで保持される。

[0028] 一方、図 5 において、バイナリドライバ 23 からソースライン出力 SL として Low レベル ($0V$) が出力された場合には、 $High$ レベル ($5V$) のゲートライン出力 G_L および Low レベル ($0V$) のゲートライン反転出力 G_{LB} によって選択される画素 P_{IX} のアナログスイッチ 31 が導通することにより、アナログスイッチ 33 が遮断されるとともにアナログスイッチ 34 が導通する。従って、画素電極電圧出力 OUT には白極性用出力 V_B が出力される。液晶容量 C_L には白極性用出力 V_B とコモン出力 V_{com} との差の電圧として $0V$ が印加され、画素 P_{IX} は白表示状態となる。

[0029] 次いで、ゲートライン出力 G_L が Low レベル ($0V$)、ゲートライン反転出力 G_{LB} が $High$ レベル ($5V$) になると、アナログスイッチ 31 が遮断されるとともにアナログスイッチ 32 が導通するので、画素メモリ 30 に Low レベルが記憶される。この記憶データは、同じ画素 P_{IX} が次に選択されてアナログスイッチ 31 が導通するまで保持される。

[0030] 次に、図 1 に、タイミングジェネレータ 25 と、バイナリドライバ 23、ゲートドライバ 24、および、 V_{com} ドライバ 26 との間の接続関係を示す。

[0031] タイミングジェネレータ 25 は、シリアルーパラレル変換部 25a、ソー

スタートパルス生成部 25b、END_BIT 保持部 25c、ゲートドライバ制御信号生成部 25d、および、コモン極性制御信号生成部 25e を備えている。

[0032] タイミングジェネレータ 25 は、パネル外部から入力されるシリアルデータミシ シリアルクロック SCLK、および、シリアルチップセレクト信号 SCS から、モード信号 MODE、全クリア信号 ACL、ソースクロック（データ信号線ドライバのシフトレジスタを動作させるクロック信号としてのタイミング信号）SCK' SCKB、ソーススタートパルス（水平期間のタイミング信号）SSP、ゲートクロック（ゲート信号線ドライバのシフトレジスタに入力するタイミング信号）GCK1B' GCK2B、ゲートスタートパルス GSP、ゲートイネーブル信号（ゲート信号線ドライバの GL ライン選択期間を制御するタイミング信号）GEN、および、イニシャル信号 INI を生成する。また、タイミングジェネレータ 25 は、発振回路 21e から出力された発振回路出力信号 OCOU、および、シリアルチップセレクト信号 SCS に基づいて、コモン極性制御信号 VCOMR を生成する。

[0033] タイミングジェネレータ 25 からバイナリドライバ 23 へは、ソーススタートパルス SSP、ソースクロック SCK、SCKB、および、イニシャル信号 INI が供給され、タイミングジェネレータ 25 からゲートドライバ 24 へは、ゲートクロック GCK1B・GCK2B、ゲートスタートパルス GSP、ゲートイネーブル信号 GEN、および、イニシャル信号 INI が供給され、タイミングジェネレータ 25 から Vcom ドライバ 26 へは、コモン極性制御信号 VCOMR が供給される。なお、ソースクロック SCK・SCKB は、後述するように 1 水平期間ごとのソーススタートパルス SSP を生成するのに用いられており、バイナリドライバ 23 のシフトレジスタ 23a を動作させるクロック信号である。

[0034] シリアル—パラレル変換部 25a には、フレキシブルプリント基板 21b からシリアルデータ S シリアルクロック SCLK、および、シリアルチップセレクト信号 SCS が入力される。前述したように、シリアルインタフ

エースバスI/F BUSは3線式であるので、シリアルデータS I シリアルクロックS C L K、および、シリアルチップセレクト信号S C Sは互いに異なる配線によって伝送される。これらの信号を図2に示す。

[0035] シリアルデータS Iは、2値からなるRGBのデジタル画像データがシリアルに配列されたものに、1フレームごとに先頭に設けられたモード選択期間にフラグD 2およびダミーデータH D M Y・N D M Yが付加された信号である。これらのダミーデータは、N D M YがH i g hでもL o wでもどちらでもよいが、H D M Yは必ずH i g h固定である必要がある。

[0036] 画像データは、図2のような、画素メモリ30に画像データを書き込むデータ更新モードにおいては、1水平表示期間分のRGBデータが時系列に配列されたものが、水平表示期間順に配列されている。また、隣接する水平表示期間どうしの間の水平帰線期間には、ダミーデータd R 1・d G 1・d B 1…が配置されるとともに、先頭の水平表示期間のH D M Y・N D M Y・D 2に相当する期間に3つのダミーデータD M Y・D M Y・D M Yが配置されている。これらのダミーデータはH i g hでもL o wでもよい。

[0037] フラグD 2は全クリアフラグであり、H i g hの場合にはそのフレームにおいて全ての画素P I Xに白表示データを書き込むことをタイミングジェネレータ25に指示し、L o wの場合にはそのフレームにおいて全ての画素P I Xに、供給する画像データを書き込むことを指示する。これによつて、フラグD 2は、H i g hの場合に、全ての画素P I Xの表示を初期化する指示を行う。フラグD 2は通常はL o wである。

[0038] シリアルクロックS C L Kは、シリアルデータS Iのフラグを含めた各データを取り出すための同期用クロックである。このシリアルクロックS C L Kの立ち上がりタイミングおよび立ち下がりタイミングの一例を挙げると、以下の通りである。シリアルクロックS C L Kの立ち上がりタイミングは、ダミーデータH D M YおよびフラグD 2に対しては各ダミーデータおよびフラグの伝送開始タイミングから時間t s S C L Kだけ経過した時点であり、画像データR・G・Bに対しては各画像データの伝送開始タイミングから時

間 t_{wSCLK} だけ経過した時点である。 $t_{sSCLK} = t_{wSCLK}$ であって、シリアルクロック $SCLK$ の Low 期間に等しい。また、シリアルクロック $SCLK$ の立ち下がりタイミングは、ダミーデータ $HDMY$ およびフラグ $D2$ に対してはシリアルクロック $SCLK$ の立ち上がりタイミングから時間 t_{hSCLK} だけ経過した時点であってダミーデータおよびフラグの伝送終了タイミング（すなわち次のフラグまたはデータへの切り替わりタイミング）であり、画像データ $R \cdot G \cdot B$ に対してはシリアルクロック $SCLK$ の立ち上がりタイミングから時間 t_{wSCLKH} だけ経過した時点であって各画像データの伝送終了タイミング（すなわち次のフラグまたはデータへの切り替わりタイミング）である。 $t_{hSCLK} = t_{wSCLKH}$ であって、シリアルクロック $SCLK$ の $High$ 期間に等しい。ここではシリアルクロック $SCLK$ のデューティは 50% である。

[0039] シリアルチップセレクト信号 SCS は、 CPU からシリアルインタフェースバス I/F BUS を通してタイミングジェネレータ 25 にシリアルデータ S およびシリアルクロック $SCLK$ を伝送するときに期間 t_{wSCSH} だけ $High$ となる信号である。シリアルデータ S およびシリアルクロック $SCLK$ を伝送するフレームについての、シリアルデータ S の伝送開始タイミングよりも時間 t_{sSCS} だけ前に $High$ となり、シリアルデータ S の伝送終了タイミングよりも時間 t_{hSCS} だけ後に Low となる。

[0040] 図2のデータ更新モードで画素メモリ30に書き込まれた画像データは、次にデータ更新するまでの間、保持され続ける。

[0041] シリアルーパラレル変換部25aは、このようにして入力されるシリアルデータ S 、シリアルクロック $SCLK$ 、および、シリアルチップセレクト信号 SCS から、フラグ $D2$ 、ダミーデータ $HDMY$ のそれぞれと、 R のデータ DR 、 G のデータ DG 、および、 B のデータ DB とを抽出する。ダミーデータ $HDMY$ はモード信号 $MODE$ として、フラグ $D2$ は全クリア信号 ACL として、それぞれ他の回路での信号生成動作に用いられる。また、データ $DR \cdot DG \cdot DB$ はバイナリドライバ23のデータラッチ23bに供給さ

れる。

- [0042] また、シリアル—パラレル変換部 25 a は、シリアルデータ S し シリアルクロック S C L K、および、シリアルチップセレクト信号 S C S から、ソースクロック S C K・S C K B およびイニシャル信号 I N I を生成する。ソースクロック S C K・S C K B はバイナリドライバ 23 に供給され、イニシャル信号 I N I は他の回路での信号生成動作に用いられる。
- [0043] ソーススタートパルス生成部 25 b は、シリアル—パラレル変換部 25 b から入力されるモード信号 M O D E およびソースクロック S C K・S C K B から第 1 水平表示期間のソーススタートパルス S S P を生成してバイナリドライバ 23 のシフトレジスタ 23 a に供給する。この第 1 水平表示期間のソーススタートパルス S S P は、モード信号 M O D E の H i g h への立ち上がりタイミングを用いて生成することができ、第 2 水平表示期間以降の水平表示期間については、後述する E N D—B I T 保持部 25 c が生成した第 2 エンドビット E N D—B I T 2 を用いて生成することができる。
- [0044] E N D—B I T 保持部 25 c は、バイナリドライバ 23 のシフトレジスタ 23 a の最終段の出力から、第 1 エンドビット E N D—B I T 1 および第 2 エンドビット E N D—B I T 2 を生成して、ゲートドライバ制御信号生成部 25 d に供給する。第 1 エンドビット E N D—B I T 1 は、シフトレジスタ 23 a の最終段の出力をさらにダミーのシフトレジスタにより所定段シフトさせたものであり、第 2 エンドビット E N D—B I T 2 は、第 1 エンドビット E N D—B I T 1 をさらに上記ダミーのシフトレジスタにより 1 段だけシフトさせたものである。
- [0045] ゲートドライバ制御信号生成部 25 d は、第 1 エンドビット E N D—B I T 1、第 2 エンドビット E N D—B I T 2、モード信号 M O D E、全クリア信号 A C しから、ゲートクロック G O べ 1 B ' G O べ 2 B、ゲートスタートパルス G S P、および、ゲートイネーブル信号 G E N を生成して、ゲートドライバ 24 へ供給する。
- [0046] コモン極性制御信号生成部 25 e は、シリアルチップセレクト信号 S C S

、および、発振回路 2 1 e から出力される発振回路出力信号 O C O U T に基づいて、コモン電極の電圧の極性を指示するコモン極性制御信号 V C O M R を生成して、V c o m ドライバ 2 6 へ供給する。コモン極性制御信号生成部 2 5 e の具体的な構成は後述する。

[0047] バイナリドライバ 2 3 のシフトレジスタ 2 3 a は、タイミングジェネレータ 2 5 のソーススタートパルス生成部 2 5 b から入力されるソーススタートパルス S S P と、タイミングジェネレータ 2 5 のシリアルーパラレル変換部 2 5 a から入力されるイニシャル信号 I N I とソースクロック S C K および S C K B から、各段 S R の出力を生成する。データラッチ 2 3 b は 1 s t ラッチ回路 2 3 c と全クリア回路 2 3 d とを備えている。1 s t ラッチ回路 2 3 c は、シフトレジスタ 2 3 a の各段 S R の出力タイミングで、タイミングジェネレータ 2 5 のシリアルーパラレル変換部 2 5 a から入力されるデータ D R ・ D G ・ D B を順次ラッチして、対応するソースライン S L (R G B のそれぞれについて S L 1 ~ S L 9 6) に出力する。全クリア回路 2 3 d は、シリアルデータ S I のフラグ D 2 が H i g h である場合に、タイミングジェネレータ 2 5 のシリアルーパラレル変換部 2 5 a からアクティブな全クリア信号 A C L が入力されると、全てのソースライン S L に白表示データを出力する。

[0048] ゲートドライバ 2 4 は、シフトレジスタ 2 4 a と、複数のバッファ 2 4 b および反転バッファ 2 4 c とを備えている。シフトレジスタ 2 4 a は、タイミングジェネレータ 2 5 のゲートドライバ制御信号生成部 2 5 d から出力された、ゲートクロック G C K 1 B ・ G C K 2 B 、ゲートスタートパルス G S P 、および、ゲートイネーブル信号 G E N と、シリアルーパラレル変換部 2 5 a から入力されるイニシャル信号 I N I とから、各段 S R の出力を生成する。バッファ 2 4 b と反転バッファ 2 4 c とは 1 つずつ対として画素行ごとに設けられている。1 対のバッファ 2 4 b と反転バッファ 2 4 c との各入力 はシフトレジスタ 2 4 a の対応する段の S R の出力に接続されており、バッファ 2 4 b の出力は対応するゲートライン G L (G L 1 ~ G L 6 0) に、反

転バッファ24cの出力は対応するゲートラインGLB (GLB1~GLB60) に、それぞれ接続されている。

[0049] ソコモドライバ26は、タイミングジェネレータ25のコモン極性制御信号生成部25eから入力されるコモン極性制御信号VCOMRと、電源VDD・VSSとに基づいて、コモン出力Vcom、黒極性用出力VA、および、白極性用出力VBを生成して、黒極性用出力VAおよび白極性用出力VBをアクティブエリア22に供給すると共に、コモン出力Vcomは対向基板27の対向電極に供給される。

[0050] 次に、図7に、シリアル—パラレル変換部25aの詳細な構成例を示す。

[0051] シリアルデータS1は、縦続に接続されたDフリップフロップ41・42・43を順に通され、3段目のDフリップフロップ43の出力S2がDフリップフロップ44を通されるとモード信号MODEが取り出され、初段のDフリップフロップ41の出力S0がDフリップフロップ46を通されると全クリア信号ACLが取り出される。また、画像データがRGBの順に時系列に並んでいるとすると、出力S2がDフリップフロップ47を通されるとデータDRが取り出され、出力S1がDフリップフロップ48を通されるとデータDGが取り出され、出力S0がDフリップフロップ49を通されるとデータDBが取り出される。

[0052] ここで、Dフリップフロップ41・42・43のHighアクティブのクロック端子CKにはシリアルクロックSCLKが入力され、Dフリップフロップ44・46のLowアクティブのクロック端子CKには2入力のNORゲート55の出力DENが入力され、Dフリップフロップ47・48・49のLowアクティブのクロック端子CKにはDフリップフロップ51の出力Aが入力される。

[0053] NORゲート55の一方の入力はDフリップフロップ53の出力に接続されており、他方の入力は2入力のNANDゲート54の出力Cに接続されている。Dフリップフロップ53の入力は電源VDDに接続されており、Lowアクティブのクロック端子CKはDフリップフロップ52の出力Bに接続

されている。NANDゲート54の一方の入力は出力Bに接続されており、他方の入力は出力Aに接続されている。Dフリップフロップ51の入力は出力Cに接続されている。Dフリップフロップ52の入力は出力Aに接続されている。Dフリップフロップ51・52のLowアクティブのクロック端子CKにはシリアルクロックSCLKが入力される。

[0054] また、ソースクロックSCKBは、Dフリップフロップ56の出力をインバータ57を通して得られ、ソースクロックSCKは、インバータ57の出力をインバータ58を通して得られる。Dフリップフロップ56の入力はインバータ57の出力に接続されており、Highアクティブのクロック端子CKは出力Bに接続されている。

[0055] 上記各Dフリップフロップにおいて、Highアクティブのクロック端子CKではポジティブエッジトリガが行われ、Lowアクティブのクロック端子CKでは、ネガティブエッジトリガが行われる。

[0056] また、Dフリップフロップ41～53・56のリセット端子Rには、シリアルチップセレクト信号SCSがインバータ59を介して入力される。イニシャル信号INIはシリアルチップセレクト信号SCSがインバータ59により論理反転された信号である。

[0057] 図12のタイミングチャートに、シリアルクロックSCLK、出力A・B・C、および、ソースクロックSCK・SCKB、および、出力DENの波形を示す。

[0058] 次に、図8に、END—BIT保持部25cの詳細な構成例を示す。

[0059] まず、バイナリドライバ23のシフトレジスタ23aは、単位回路SRが縦続に接続された構成である。各単位回路SRは、セットリセットフリップフロップ回路と、クロック制御回路とを含んで構成されている。また、各単位回路SRのクロック端子CKにはソースクロックSCK、30ベBが1段毎に交互に入力されると共に、イニシャル信号INIが各単位回路SRのINI端子に入力される。

[0060] ここでは、最後の2つの(95段目および96段目の)単位回路SR(B

9 5 - B 9 6) が図示されており、9 5 段目の単位回路 S R (B 9 5) のセット入力端子 S には前段 (9 4 段目) の単位回路 S R (B 9 4) の出力 Q が入力される。

[0061] E N D - B I T 保持部 2 5 c もシフトレジスタ 2 3 a の最終段に続いて同じ縦続接続関係により、ダミーの単位回路 S R (D M Y 1 - D M Y 2 - D M Y 3 ・ D M Y 4) が順に接続されている。各単位回路 S R (D M Y 1 ・ D M Y 2 ・ D M Y 3 ・ D M Y 4) は、バイナリドライバ 2 3 の上記単位回路 S R と同一の構成である。なお、各単位回路 S R (D M Y 1 - D M Y 2 - D M Y 3 ・ D M Y 4) のリセット入力端子 R には、次段の出力 Q がリセット信号として入力されるが、最終段の単位回路 S R (D M Y 4) については、自段の出力 Q が 2 つのインバータにより遅延された信号が、リセット信号として入力される。

[0062] 上記構成において、単位回路 S R (D M Y 2) の出力 Q が第 1 エンドビット E N D _ B I T 1、単位回路 S R (D M Y 3) の出力 Q が第 2 エンドビット E N D _ B I T 2 として得られる。

[0063] 次に、図 9 に、ソーススタートパルス生成部 2 5 b の詳細な構成例を示す。

[0064] 2 入力の N O R ゲート 6 1 における一方の L o w アクティブの入力にモード信号 M O D E が入力され、他方の H i g h アクティブな入力に第 2 エンドビット E N D _ B I T 2 が入力される。N O R ゲート 6 1 の出力は D ラッチ 6 2 に入力され、D ラッチ 6 2 の出力は D ラッチ 6 3 に入力される。D ラッチ 6 2 のイネーブル端子 E N および D ラッチ 6 3 のイネーブル端子 E N B にはシリアルーパラレル変換部 2 5 a で生成したソースクロック S C K B が、D ラッチ 6 2 のイネーブル端子 E N B および D ラッチ 6 3 のイネーブル端子 E N にはシリアルーパラレル変換部 2 5 a で生成したソースクロック S C K が、それぞれ入力される。D ラッチ 6 2 の出力と D ラッチ 6 3 の出力とは 2 入力の N O R ゲート 6 4 に入力される。N O R ゲート 6 4 の出力とモード信号 M O D E とは 2 入力の N A N D ゲート 6 5 に入力される。N A N D ゲート

65の出力がインバータ66に入力され、インバータ66の出力がソーススタートパルスSSPとなる。

[0065] 次に、図10に、ゲートドライバ制御信号生成部25dの詳細な構成例を示す。

[0066] Dフリップフロップ71のHighアクティブのクロック端子CKとLowアクティブのクロック端子CKBに第1エンドビットEND—BIT1が入力される。Dフリップフロップ71の出力はDフリップフロップ72に入力される。Dフリップフロップ72のLowアクティブのクロック端子CKとHighアクティブのクロック端子CKBとに第2エンドビットEND—BIT2が入力される。Dフリップフロップ72の出力はインバータ89に入力され、インバータ89の出力がDフリップフロップ71の入力となる。また、Dフリップフロップ71・72の各出力は、それぞれ2入力のNANDゲート73および2入力のNORゲート76の両入力となる。NANDゲート73の出力および全クリア信号ACLがインバータ90により論理反転された信号は、2入力のNANDゲート74に入力される。NANDゲート74の出力とイニシャル信号INIがインバータ91により論理反転された信号とは2入力のNANDゲート75に入力される。NANDゲート75の出力はインバータ92に入力され、インバータ92の出力がゲートクロックGCK2Bとなる。

[0067] また、NORゲート76の出力とモード信号MODEとは2入力のNANDゲート77に入力される。NANDゲート77の出力と全クリア信号ACLがインバータ90により論理反転された信号とは2入力のNANDゲート78に入力される。NANDゲート78の出力とイニシャル信号INIがインバータ91により論理反転された信号とは2入力のNANDゲート79に入力される。NANDゲート79の出力はインバータ93に入力され、インバータ93の出力がゲートクロックGCK1Bとなる。

[0068] また、モード信号MODEはDラッチ80に入力される。Dラッチ80のイネーブル端子EN・ENBには第1エンドビットEND—BIT1が入力

される。Dラッチ80の出力は2入力のNORゲート81のHighアクティブの入力となり、モード信号MODEはNORゲート81のLowアクティブの入力となる。NORゲート81の出力と全クリア信号ACLとは2入力のNORゲート82に入力される。NORゲート82の出力とイニシャル信号INIとは2入力のNORゲート83に入力される。NORゲート83の出力はゲートスタートパルスGSPとなる。

[0069] NANDゲート73の出力は、インバータ94に入力される。インバータ94の出力およびNORゲート76の出力は、NORゲート95に入力される。NORゲート95の出力と全クリア信号ACLとは2入力のNORゲート87に入力される。NORゲート87の出力とイニシャル信号INIとはNORゲート88に入力される。NORゲート88の出力はゲートイネーブル信号GENとなる。

[0070] Dフリップフロップ71・72およびDラッチ80のイニシャル端子INIにはイニシャル信号INIが入力される。Dフリップフロップ71はポジティブエッジトリガ型であり、Dフリップフロップ72はネガティブエッジトリガ型である。

[0071] 図13のタイミングチャートに、ゲートクロックGCK1B・GCK2B、ゲートイネーブル信号GEN、および、ゲートライン出力GL(GL1・GL2)の波形を示す。シフト1は、最初のゲートライン出力GL1に対応するデータDR・DG・DBがソースラインSLに出力されている期間を示し、シフト2は、2番目のゲートライン出力GL2に対応するデータDR・DG・DBがソースラインSLに出力されている期間を示している。水平表示期間の最後にゲートイネーブル信号GENを用いて画素メモリ30に一斉に画像データを書き込むので、データDR・DG・DBがソースラインSLに順次出力されている期間にソースラインSLの電位に乱れが生じて、画素メモリ30への記憶に影響が及びにくい。

[0072] (実施例1)

次に、コモン極性制御信号生成部25eの具体的な構成について説明する

。

[0073] 図 14 は、実施例 1 に係るコモン極性制御信号生成部 25e の構成を示す回路図であり、図 15 は、コモン極性制御信号生成部 25e に入出力される信号のタイミングチャートである。コモン極性制御信号生成部 25e は、D フリップフロップ 251e、および、ラッチ回路 252e を備えている。図 16 には D フリップフロップ 251e の回路構成を示し、図 17 にはラッチ回路 252e の回路構成を示している。

[0074] D フリップフロップ 251e は、図 16 に示すように、クロックドインバータ回路、および、インバータ回路で構成されており、CK1 の立ち上がりエッジで入力 D1 がラッチされ、入力 D1 に応じた出力が、出力端子 Q1 および出力端子 QB1 から出力される。

[0075] D フリップフロップの出力 QB1 は入力 D1 に接続されている。出力 Q1 は、クロック端子 CK1 に入力される発振回路出力信号 OCOUT の立ち上がりのタイミングで変化する。

[0076] ラッチ回路 252e は、図 17 に示すように、クロックドインバータ回路、および、インバータ回路で構成されており、クロック CK2 の Low 期間に入力 D2 と同じ論理が出力端子 Q2 に出力され、クロック CK2 の High 期間に、クロック CK2 の立ち上がりエッジの入力 D2 を保持し、出力端子 Q2 から出力する。

[0077] D フリップフロップ 251e の出力 Q1 は、ラッチ回路 252e の入力 D2 に接続され、さらに、シリアルチップセレクト信号 SCS が、ラッチ回路 252e のクロック CK2 として入力される。ラッチ回路 252e は、シリアルチップセレクト信号 SCS が High 期間のとき、シリアルチップセレクト信号 SCS の立ち上がりエッジの入力 D2 を保持して出力を変化させないため、シリアルチップセレクト信号 SCS が High 期間に、ラッチ回路 252e の入力 D2 に変化があっても、ラッチ回路 252e の出力 Q2 は変化しない。シリアルチップセレクト信号 SCS の立ち下りエッジに、入力 D2 の変化が出力 Q2 に反映される。

[0078] ラッチ回路 252e の出力 Q2 は、コモン極性制御信号 VCOMR として、Vcom ドライバ 26 に入力される。

[0079] 以上のように、D フリップフロップ 251e の出力 Q1 は、発振回路出力信号 OCOUT の立ち上がりエッジで反転し、ラッチ回路 252e の入力端子 D2 へ入力される。また、シリアルチップセレクト信号 SCS がラッチ回路 252e の CK2 端子へ入力されるため、ラッチ回路 252e の出力 Q2 は、シリアルチップセレクト信号 SCS の Low 期間では発振回路出力信号 OCOUT の立ち上がりエッジで反転し、シリアルチップセレクト信号 SCS の High 期間では反転しない。このように生成された出力 Q2 がコモン極性制御信号 VCOMR として、Vcom ドライバ 26 に入力され、Vcom ドライバ 26 から、コモン極性制御信号 VCOMR の反転タイミングに対応したコモン出力 Vcom が出力される。

[0080] すなわち、図 15 に示すように、シリアルチップセレクト信号 SCS が High 期間のときは、コモン反転が起きないように制御することができる。なお、シリアルチップセレクト信号 SCS は、シリアルデータの受付可否を決定するイネーブル信号であるとともに、対向電極（コモン電極）の電圧の極性を反転することを禁止（または許可）する期間を示すタイミング信号である。

[0081] 図 11 に、Vcom ドライバ 26 の詳細な構成を示す。

[0082] 上記のとおりコモン極性制御信号生成部 25e において生成されたコモン極性制御信号 VCOMR がバッファを通して、それぞれ C 接点相当のスイッチ SW1・SW2・SW3 の制御信号として入力される。スイッチ SW1・SW2・SW3 は、順にコモン出力 Vcom、黒極性用出力 VA、白極性用出力 VB の電圧を出力するスイッチである。コモン極性制御信号 VCOMR が High と Low とで切り替わる度に、スイッチ SW1・SW2・SW3 は、順に電源 VDD・VSS・VDD の組み合わせと、電源 VSS・VDD・VSS の組み合わせとの間で切り替わるように電源を選択する。

[0083] これにより、Vcom ドライバ 26 から図 15 に示すコモン出力 Vcom

が出力され、対向基板 27 に設けられる対向電極（コモン電極）に供給される。

[0084] 以上に述べたように、本実施の形態の表示装置は、画像データがシリアルデータに含められてシリアル伝送によって表示ドライバに供給されるアクティブマトリクス型の表示装置であって、上記表示ドライバは、上記シリアル伝送に用いられる、上記シリアルデータとは異なる配線によって伝送されるシリアルクロックのタイミングを用いて、上記シリアルデータからダミーデータHDMYと上記画像データとを取り出し、上記シリアルクロックのタイミングを用いて、上記表示ドライバが備えるデータ信号線ドライバのシフトレジスタを動作させるクロック信号としてのタイミング信号を生成し、ダミーデータHDMYおよび上記シフトレジスタを動作させるクロック信号としてのタイミング信号から、1フレーム期間の最初の水平期間のタイミング信号を生成して、上記データ信号線ドライバのシフトレジスタに入力し、次の水平期間が存在する場合には、上記データ信号線ドライバのシフトレジスタで1水平表示期間分シフトされた信号を基に上記次の水平期間のタイミング信号を生成して、上記データ信号線ドライバのシフトレジスタに入力し、上記データ信号線ドライバのシフトレジスタで1水平表示期間分シフトされた信号を基に、上記表示ドライバが備える走査信号線ドライバのシフトレジスタに入力するタイミング信号を生成し、各上記水平期間のタイミング信号と、上記走査信号線ドライバから出力される走査信号とを用いて、上記画像データを画素に書き込む。

[0085] 上記の構成によれば、表示ドライバは、シリアル伝送されたシリアルデータから、シリアルクロックのタイミングを用いてダミーデータHDMYと画像データとを取り出す。そして、ダミーデータHDMYから1フレーム期間の最初の水平期間のタイミング信号を生成して、データ信号線ドライバのシフトレジスタに入力し、2番目以降の水平期間についてはデータ信号線ドライバのシフトレジスタで1水平表示期間分シフトされた信号を基に次の水平期間のタイミング信号を順次生成していく。

[0086] 従って、表示ドライバは、シリアル伝送による直接制御によって画像データを画素に書き込むためのタイミング信号を生成することができる。

[0087] また、以上に述べたように、本実施の形態の表示装置は、画像データがシリアルデータに含められてシリアル伝送によって表示ドライバに供給されるアクティブマトリクス型の表示装置であって、上記シリアルデータとは異なる配線によって伝送される発振回路の出力OUTPUT、および、シリアルチップセレクト信号SCSを用いて、コモン電極の極性を制御する。

[0088] 上記の構成によれば、シリアルデータの伝送とは個別にコモン電極の極性制御（反転）を行うことができるため、データ更新動作をしない表示モードにおいて、コモン反転（対向反転）のためにシリアルデータを伝送する必要がない。すなわち、コモン反転のためにCPU21dを動作させる必要がないため、消費電力が増大することがない。また、シリアルチップセレクト信号SCSを用いることにより、コモン反転のタイミングと、表示パネルへの画像データ書き込み期間とを重ならないように調整することができる。これにより、コモン反転に伴う電源ノイズの影響による誤動作を防止することができる。

[0089] 以上により、消費電力を増大させることなく誤動作を防止してコモン反転駆動を行うことのできる表示装置を実現することができるという効果を奏する。

[0090] （実施例2）

次に、実施例2に係るコモン極性制御部25fの具体的な構成について説明する。

[0091] ここで、パネル解像度が小さい場合は、図18に示すように、データ書き換え時間が短いため、コモン反転すべき周期よりもSCS信号のHigh期間（アクティブ期間）の方が短くなる。そのため、実施例1のように、SCS信号を使用してコモン反転タイミングを制御することで、上述の効果が得ることができる。

[0092] 一方、パネル解像度が大きい場合は、図19に示すように、データ書き換

え時間が長いため、コモン反転すべき周期よりもシリアルチップセレクト信号SCSのHigh期間（アクティブ期間）の方が長くなる。そのため、実施例1の構成では、図19の（a）に示すように、コモン反転が適切に行われないという問題が生じる。

[0093] そこで、実施例2に係るコモン極性制御部25fでは、シリアルチップセレクト信号SCSよりも周波数の小さいパネル内部信号を用いて、コモン反転タイミングを制御する。

[0094] 図20は、実施例2に係るコモン極性制御部25fの構成を示す回路図であり、図21は、コモン極性制御部25fに入出力される信号のタイミングチャートである。コモン極性制御部25fは、Dフリップフロップ251f、および、ラッチ回路252fを備えている。Dフリップフロップ251fは、実施例1のDフリップフロップ251e（図16）と同じ回路構成であり、ラッチ回路252fは、実施例1のラッチ回路252e（図17）と同じ回路構成である。

[0095] 実施例2のコモン極性制御部25fは、ラッチ回路252fのクロック端子CK2に入力される信号が、実施例1のコモン極性制御信号生成部25eと異なっている。以下では、実施例1のコモン極性制御信号生成部25eとの相違点を中心に説明する。

[0096] コモン極性制御部25fでは、図20に示すように、シリアルチップセレクト信号SCSがインバータ回路に入力され、インバータ回路の出力と水平帰線期間を示すパネル内部信号とがNOR回路に入力され、NOR回路の出力がラッチ回路252fのクロック端子CK2に入力される。

[0097] ここで水平帰線期間を示すパネル内部信号について説明する。図2に示すように、シリアルチップセレクト信号SCSがHighの期間（ t_{wSCSH} ；アクティブ期間）は、モード選択期間、水平表示期間、および水平帰線期間で構成されている。上記パネル内部信号は、図21に示すように、シリアルチップセレクト信号SCSのアクティブ期間における水平帰線期間の開始および終了タイミングを示す信号である。

[0098] 上記パネル内部信号とシリアルチップセレクト信号SCSの逆相の信号とが、NOR回路に入力されると、NOR回路から図21に示すNOR回路出力信号が出力される。そして、NOR回路出力信号がラッチ回路252fのクロック端子CK2に入力されると、ラッチ回路252千から、図21に示すコモン極性制御信号VCOMRが出力される。コモン極性制御信号VCOMRはVcomドライバ26（図1および図11）に入力され、Vcomドライバ26からコモン出力Vcomが出力される。

[0099] 本実施例の構成によれば、シリアルチップセレクト信号SCSがHigh期間のうち、コモン反転のノイズによる誤動作が発生しない期間に対応するタイミング信号（上記例では、水平帰線期間を示すパネル内部信号）を使用して、コモン反転タイミングを制御すると共に、シリアルチップセレクト信号SCSがLow期間においては、従来と同様にタイミング制御をしないでコモン反転制御を行うことができる。

[0100] また、上記パネル内部信号を使用することにより、コモン反転タイミング制御を行う信号の周波数をコモン反転周期よりも速めることができるため、コモン反転動作を確実に行うことが可能となる。

[0101] このように、水平帰線期間を示すパネル内部信号は、コモン電極の電圧の極性を反転することを禁止する期間中であってもコモン電極の電圧の極性を反転することが可能となるタイミング信号（反転可能タイミング信号）である。

[0102] なお、水平帰線期間は、高速な周波数でのデータ取り込み動作やフラグ取り込み動作が行われないため、ノイズが発生した場合でも、ノイズによる誤動作の発生を確実に防ぐことができる。

[0103] 以上より、本実施例の構成によれば、実施例1と同様の効果を得られると共に、さらにコモン反転を確実に行うことが可能となる。

[0104] （実施例3）

次に、実施例3に係るコモン極性制御部25gの具体的な構成について説明する。

- [01 05] 実施例 3 に係るコモン極性制御部 2 5 g では、実施例 2 に係るコモン極性制御部 2 5 f における水平帰線期間を示すタイミング信号が、C P U 2 1 d で生成されて入力される構成である。
- [01 06] 図 2 2 は、実施例 3 に係るコモン極性制御部 2 5 g の構成を示す回路図であり、図 2 3 は、コモン極性制御部 2 5 g に入出力される信号のタイミングチャートである。コモン極性制御部 2 5 g は、D フリップフロップ 2 5 1 g 、および、ラッチ回路 2 5 2 g を備えている。D フリップフロップ 2 5 1 g は、実施例 1 の D フリップフロップ 2 5 1 e (図 1 6) と同じ回路構成であり、ラッチ回路 2 5 2 g は、実施例 1 のラッチ回路 2 5 2 e (図 1 7) と同じ回路構成である。また、コモン極性制御部 2 5 g は、実施例 2 に係るコモン極性制御部 2 5 f と同じ構成である。
- [01 07] 実施例 3 のコモン極性制御部 2 5 g は、ラッチ回路 2 5 2 g のクロック端子 C K 2 に入力される信号が、実施例 2 のコモン極性制御部 2 5 f と異なっている。以下では、実施例 2 のコモン極性制御部 2 5 f との相違点を中心に説明する。
- [01 08] コモン極性制御部 2 5 g では、図 2 2 に示すように、シリアルチップセレクト信号 S C S がインバータ回路に入力され、インバータ回路の出力と水平帰線期間を示す C P U 出力信号とが N O R 回路に入力され、N O R 回路の出力がラッチ回路 2 5 2 g のクロック端子 C K 2 に入力される。
- [01 09] これにより、実施例 2 と同様の効果を得ることができる。また、本実施例 3 の構成によれば、シリアルチップセレクト信号 S C S が H i g h 期間のうちデータ転送を行っていない期間を、C P U 2 1 d で直接指定することができるため制御が容易になるという効果も得られる。
- [01 10] (変形例)
- 上記の構成では、ダミーデータ H D M Y ・ N D M Y 、フラグ D 2 を 1 フレームの先頭に配置したが、これに限らず、タイミングジェネレータ 2 5 への指示を行いたい任意のタイミングに各フラグを配置することが可能である。
- [01 11] また、上記構成では、フラグで制御を行うのは A C L 動作のみであるが、

他の機能の追加も可能であると共に、ゲートラインやソースラインをアドレス指定し、データを書き込むような構成とすることも可能である。

[01 12] また、上記の構成では、各種タイミング信号を生成するのにシリアルチップセレクト信号 SCS を用いているが、例えばシリアル—パラレル変換部 25a が、常にシリアルデータに対する受信のイネーブル状態にある構成であってもよい。

[01 13] また、上記の構成ではアクティブエリア 22 が画素メモリ 30 を備える構成についての説明であったが、これに限ることはなく、画素メモリを備えていないアクティブエリアを有する表示装置にも本発明が適用可能である。

[01 14] また、発振回路 21e は、図 3 に示すように表示パネル 21a の外部に設けられている構成に限定されず、表示パネル 21a の内部に設けられていても良い。図 24 は、発振回路 21e を表示パネル 21a の内部に設けた場合の液晶表示装置 21 の構成を模式的に示す図である。図 24 の構成では、発振回路 21e の出力信号 OUTPUT は、表示パネル 21a の内部で生成される。表示ドライバは、表示パネル 21a の内部で生成され、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される発振回路出力信号 OUTPUT、および、シリアルチップセレクト信号 SCS を用いて、コモン電極の極性を制御する。なお、ここでの上記シリアル伝送に用いられる配線とは異なる配線は、表示パネル 21a の内部に設けられる配線である。

[01 15] 図 24 に示すように、本発明の表示装置は、画像データがシリアルデータに含められてシリアル伝送によって表示ドライバに供給されるアクティブマトリクス型の表示装置であって、上記表示ドライバは、上記シリアルデータに基づいた表示を行うとともに、表示パネルの内部で生成される一定周期のタイミング信号と、コモン電極の電圧の極性を反転することを禁止する期間を示す少なくとも 1 つの反転禁止タイミング信号、あるいは、コモン電極の電圧の極性を反転することを許可する期間を示す少なくとも 1 つの反転許可タイミング信号と、に基づいて決定された極性のコモン電極の電圧を供給すると共に、上記一定周期のタイミング信号と、上記反転禁止タイミング信号

あるいは上記反転許可タイミング信号とに基づいて、上記コモン電極の電圧の極性の反転タイミングを制御する構成とすることもできる。

[01 16] また、上記構成においては、外部の発振回路 21e の出力を使用しているが、これに限定されず、一定周期のタイミング信号であればよい。ただし、対向反転周期に比べ周波数が非常に速い場合には、分周回路等の回路規模が増え、使用が困難になる場合もある。

[01 17] ここで、一定周期のタイミング信号とは、外部の発振回路 21e の出力信号 O C O U T に限定されず、例えば、C P U のシステムクロックや、電子機器のセット内における表示装置とは異なる他の回路部分（表示装置以外の回路領域）で使用される信号やこれに基づいて生成される信号が挙げられる。

[01 18] 上記のように、発振回路 21e は表示装置の対向反転のために外部に設けられているが、電子機器のセットには、表示装置以外にも多くの回路が搭載されている。例えば、時計機能制御するような回路部においては、通常、時間をカウントするための一定周期の信号波形を必要とし、その機能のために発振回路等でクロック波形を生成する。生成されたクロック波形は、そのまま使用される場合もあるが、必要に応じて回路内で加工され一定周期のタイミング信号として使用することもできる。対向反転を目的とせず、他の機能の目的のために生成された一定周期の信号をそのまま流用する構成によれば、表示装置用に発振回路を設ける必要がなくなるという効果も得られる。

[01 19] （まとめ）

本発明の表示装置は、上記課題を解決するために、

画像データがシリアルデータに含められてシリアル伝送によって表示ドライバに供給されるアクティブマトリクス型の表示装置であって、

上記表示ドライバは、上記シリアルデータに基づいた表示を行うとともに、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、コモン電極の電圧の極性を反転することを禁止または許可する期間を示す少なくとも 1 つの反転タイミング信号と、に基づいて決定された極性のコモン電極の電圧を供給すると共に、

上記一定周期のタイミング信号と上記反転タイミング信号とに基づいて、
上記コモン電極の電圧の極性の反転タイミングを制御することを特徴とする
。

[0120] 上記の構成によれば、シリアルデータの伝送とは個別にコモン電極の極性
制御（反転）を行うことができるため、データ更新動作をしない表示モード
において、コモン反転（対向反転）のためにシリアルデータを伝送する必要
がない。すなわち、コモン反転のためにCPUを動作させる必要がないため
、消費電力が増大することがない。

[0121] また、上記反転タイミング信号を用いることにより、コモン反転のタイミ
ングと、表示パネルへの画像データ書き込み期間とを重ならないように調整
することができるため、コモン反転に伴う電源ノイズの影響による誤動作を
防止することができる。

[0122] よって、消費電力を増大させることなく誤動作を防止してコモン反転駆動
を行うことのできる表示装置を実現することができる。

[0123] 上記表示装置では、上記表示ドライバは、上記シリアルデータの書き込み
期間に上記コモン電極の電圧の極性が反転しないように、上記反転タイミン
グを制御する構成とすることもできる。

[0124] 上記表示装置では、
画素は上記表示ドライバから供給された上記画像データを記憶する画素メモ
リを備えており、

上記画素メモリに上記画像データを記憶させるときには、上記シリアルデ
ータに、上記画素メモリに記憶させる上記画像データを含める構成とするこ
ともできる。

[0125] 上記表示装置では、
上記反転タイミング信号は、上記シリアル伝送に用いられる配線によって
伝送されるシリアルチップセレクト信号であって、

上記コモン電極の電圧の極性は、上記シリアル伝送に用いられる配線とは
異なる配線によって伝送される一定周期のタイミング信号と、上記シリアル

チップセレクト信号とに基づいて、決定される構成とすることもできる。

[01 26] 上記表示装置では、

上記表示ドライバが備える表示のタイミング信号を生成するタイミングジェネレータが、コモン電極の電圧の極性を制御するコモン極性制御信号を生成するコモン極性制御信号生成部を備えており、

上記コモン極性制御信号生成部は、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、上記シリアルチップセレクト信号とに基づいて、上記コモン極性制御信号を生成する構成とすることもできる。

[01 27] なお、上記一定周期のタイミング信号は、発振回路の出力信号とすることもできる。

[01 28] 上記表示装置では、

上記反転タイミング信号は、上記シリアル伝送に用いられる配線によって伝送されるシリアルチップセレクト信号と、上記コモン電極の電圧の極性を反転することを禁止する期間中であっても上記コモン電極の電圧の極性を反転することが可能となる反転可能タイミング信号とを含み、

上記コモン電極の電圧の極性は、上記一定周期のタイミング信号と上記シリアルチップセレクト信号と上記反転可能タイミング信号とに基づいて、決定される構成とすることもできる。

[01 29] 上記表示装置では、

上記表示ドライバが備える表示のタイミング信号を生成するタイミングジェネレータが、コモン電極の電圧の極性を制御するコモン極性制御信号を生成するコモン極性制御信号生成部を備えており、

上記コモン極性制御信号生成部は、上記一定周期のタイミング信号と上記シリアルチップセレクト信号と上記反転可能タイミング信号とに基づいて、上記コモン極性制御信号を生成する構成とすることもできる。

[01 30] なお、上記一定周期のタイミング信号は、発振回路の出力信号とすることもできる。

- [01 31] 上記表示装置では、上記反転可能タイミング信号は、上記画像データにおける水平帰線期間を示す帰線タイミング信号とすることもできる。
- [01 32] 上記表示装置では、上記反転可能タイミング信号は、表示パネルの内部あるいはＣＰＵで生成される構成とすることもできる。
- [01 33] 上記表示装置では、画素内のアナログスイッチはＣＭＯＳ回路によって作成される構成とすることもできる。
- [01 34] 上記表示装置では、上記発振回路は、表示パネル内に設けられている構成とすることもできる。
- [01 35] 上記表示装置では、上記表示ドライバは、表示パネルにモノリシックに作り込まれている構成とすることもできる。
- [01 36] 本発明の電子機器は、上記表示装置をディスプレイとして備えていることを特徴とする。
- [01 37] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、また、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

- [01 38] 本発明は、携帯電話、ＧＰＳ機能付き時計、電子レンジなどの電子機器に好適に使用することができる。

符号の説明

- [01 39] 2 1 液晶表示装置 (表示装置)
- 2 1 d Ｃ Ｐ Ｕ
- 2 1 e 発振回路
- 2 3 バイナリドライバ
- 2 3 a シフトレジスタ (データ信号線ドライバのシフトレジスタ)
- 2 3 b データラッチ
- 2 4 ゲートドライバ

24 a	シフトレジスタ (走査信号線ドライバのシフトレジスタ)
25	タイミングジェネレータ
25 e、25 f、25 g	コモン極性制御信号生成部
26	Vcomドライバ
30	画素メモリ
D2	フラグ
I/F BUS	シリアルインタフェースバス
SI	シリアルデータ
SCLK	シリアルクロック
SCS	シリアルチップセレクト信号 (反転タイミング信号)
SL	ソースライン (データ信号線)
OCOUT	発振回路出力信号
VCOMR	コモン極性制御信号
Vcom	コモン出力 (コモン電極の電圧)

請求の範囲

- [請求項 1] 画像データがシリアルデータに含められてシリアル伝送によって表示ドライバに供給されるアクティブマトリクス型の表示装置であって、
- 上記表示ドライバは、上記シリアルデータに基づいた表示を行うとともに、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、コモン電極の電圧の極性を反転することを禁止または許可する期間を示す少なくとも 1 つの反転タイミング信号と、に基づいて決定された極性のコモン電極の電圧を供給すると共に、
- 上記一定周期のタイミング信号と上記反転タイミング信号とに基づいて、上記コモン電極の電圧の極性の反転タイミングを制御することを特徴とする表示装置。
- [請求項 2] 上記表示ドライバは、上記シリアルデータの書き込み期間に上記コモン電極の電圧の極性が反転しないように、上記反転タイミングを制御することを特徴とする請求項 1 に記載の表示装置。
- [請求項 3] 画素は上記表示ドライバから供給された上記画像データを記憶する画素メモリを備えており、
- 上記画素メモリに上記画像データを記憶させるときには、上記シリアルデータに、上記画素メモリに記憶させる上記画像データを含めることを特徴とする請求項 1 または 2 に記載の表示装置。
- [請求項 4] 上記反転タイミング信号は、上記シリアル伝送に用いられる配線によって伝送されるシリアルチップセレクト信号であって、
- 上記コモン電極の電圧の極性は、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、上記シリアルチップセレクト信号とに基づいて、決定されることを特徴とする請求項 1～3 の何れか 1 項に記載の表示装置。
- [請求項 5] 上記表示ドライバが備える表示のタイミング信号を生成するタイミ

ングジエネレータが、コモン電極の電圧の極性を制御するコモン極性制御信号を生成するコモン極性制御信号生成部を備えており、

上記コモン極性制御信号生成部は、上記シリアル伝送に用いられる配線とは異なる配線によって伝送される一定周期のタイミング信号と、上記シリアルチップセレクト信号とに基づいて、上記コモン極性制御信号を生成することを特徴とする請求項4に記載の表示装置。

[請求項6] 上記一定周期のタイミング信号は、発振回路の出力信号であることを特徴とする請求項4または5に記載の表示装置。

[請求項7] 上記反転タイミング信号は、上記シリアル伝送に用いられる配線によって伝送されるシリアルチップセレクト信号と、上記コモン電極の電圧の極性を反転することを禁止する期間中であっても上記コモン電極の電圧の極性を反転することが可能となる反転可能タイミング信号とを含み、

上記コモン電極の電圧の極性は、上記一定周期のタイミング信号と上記シリアルチップセレクト信号と上記反転可能タイミング信号とに基づいて、決定されることを特徴とする請求項1～3の何れか1項に記載の表示装置。

[請求項8] 上記表示ドライバが備える表示のタイミング信号を生成するタイミングジエネレータが、コモン電極の電圧の極性を制御するコモン極性制御信号を生成するコモン極性制御信号生成部を備えており、

上記コモン極性制御信号生成部は、上記一定周期のタイミング信号と上記シリアルチップセレクト信号と上記反転可能タイミング信号とに基づいて、上記コモン極性制御信号を生成することを特徴とする請求項7に記載の表示装置。

[請求項9] 上記一定周期のタイミング信号は、発振回路の出力信号であることを特徴とする請求項7または8に記載の表示装置。

[請求項10] 上記反転可能タイミング信号は、上記画像データにおける水平帰線期間を示す帰線タイミング信号であることを特徴とする請求項7～9

の何れか 1 項に記載の表示装置。

[請求項 11] 上記反転可能タイミング信号は、表示パネルの内部あるいは CPU で生成されることを特徴とする請求項 7 ～ 10 の何れか 1 項に記載の表示装置。

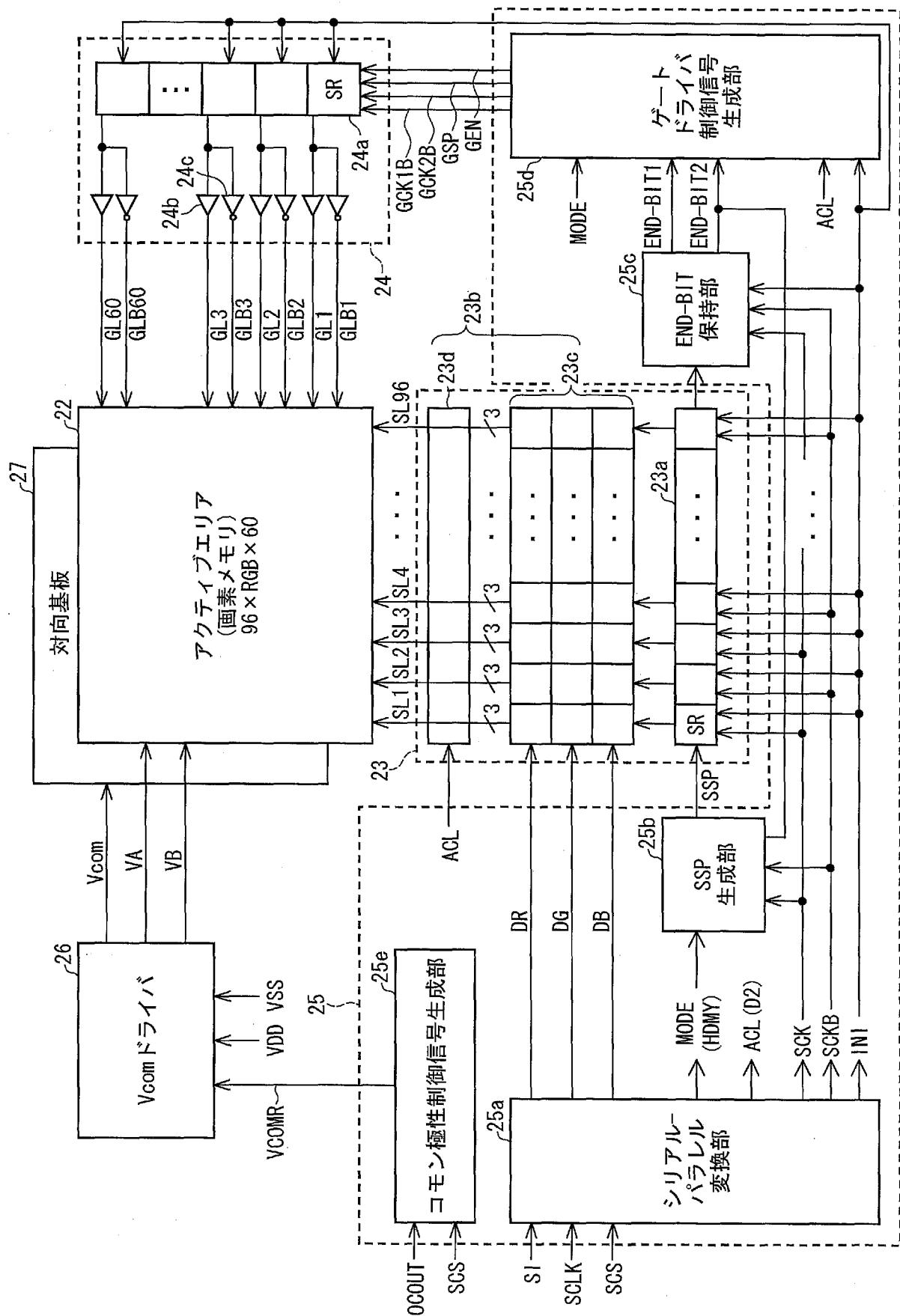
[請求項 12] 画素内のアナログスイッチは CMOS 回路によって作成されていることを特徴とする請求項 1 ～ 11 の何れか 1 項に記載の表示装置。

[請求項 13] 上記発振回路は、表示パネル内に設けられていることを特徴とする請求項 6 または 9 に記載の表示装置。

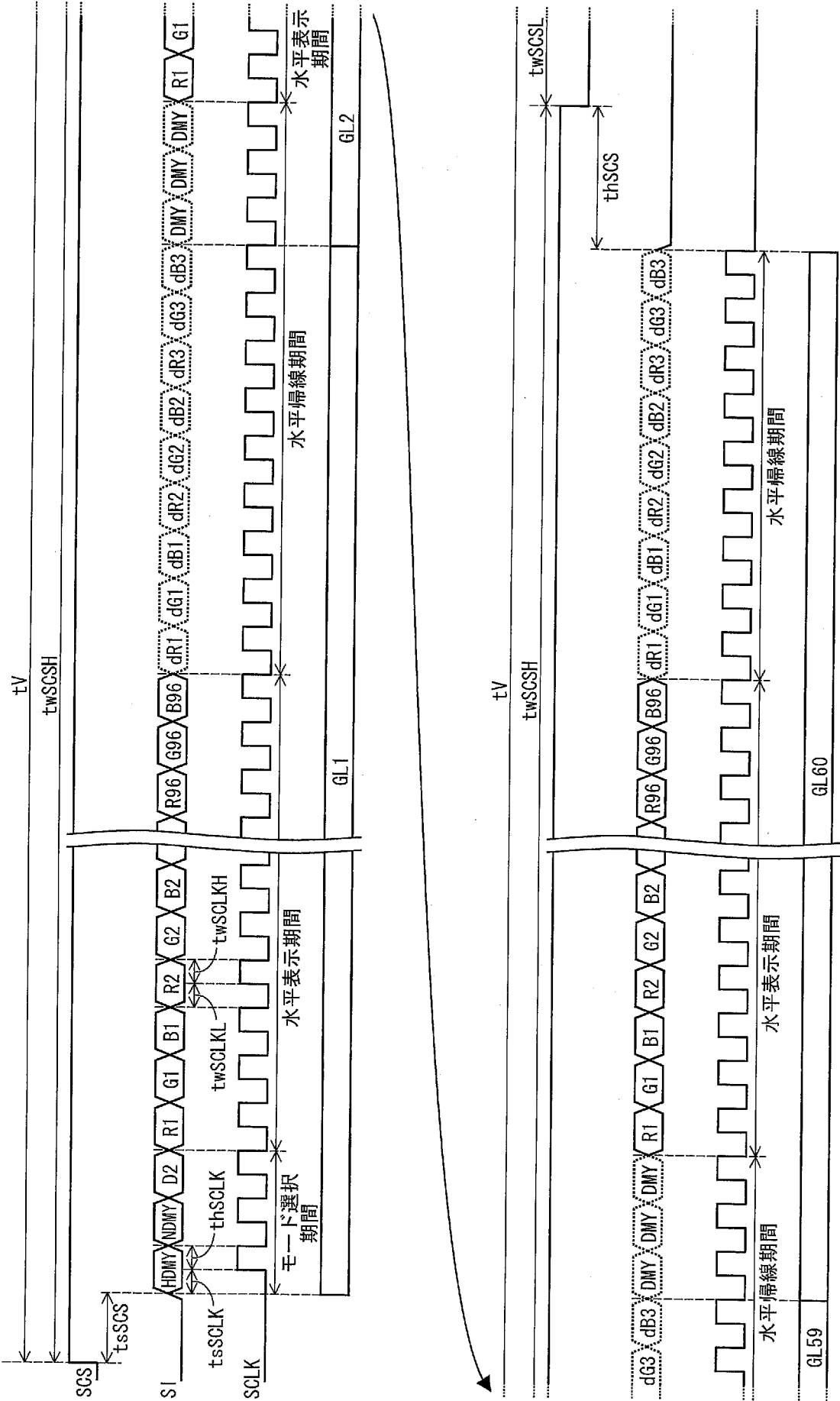
[請求項 14] 上記表示ドライバは、表示パネルにモノリシックに作り込まれていることを特徴とする請求項 12 に記載の表示装置。

[請求項 15] 請求項 1 ～ 14 の何れか 1 項に記載の表示装置をディスプレイとして備えていることを特徴とする電子機器。

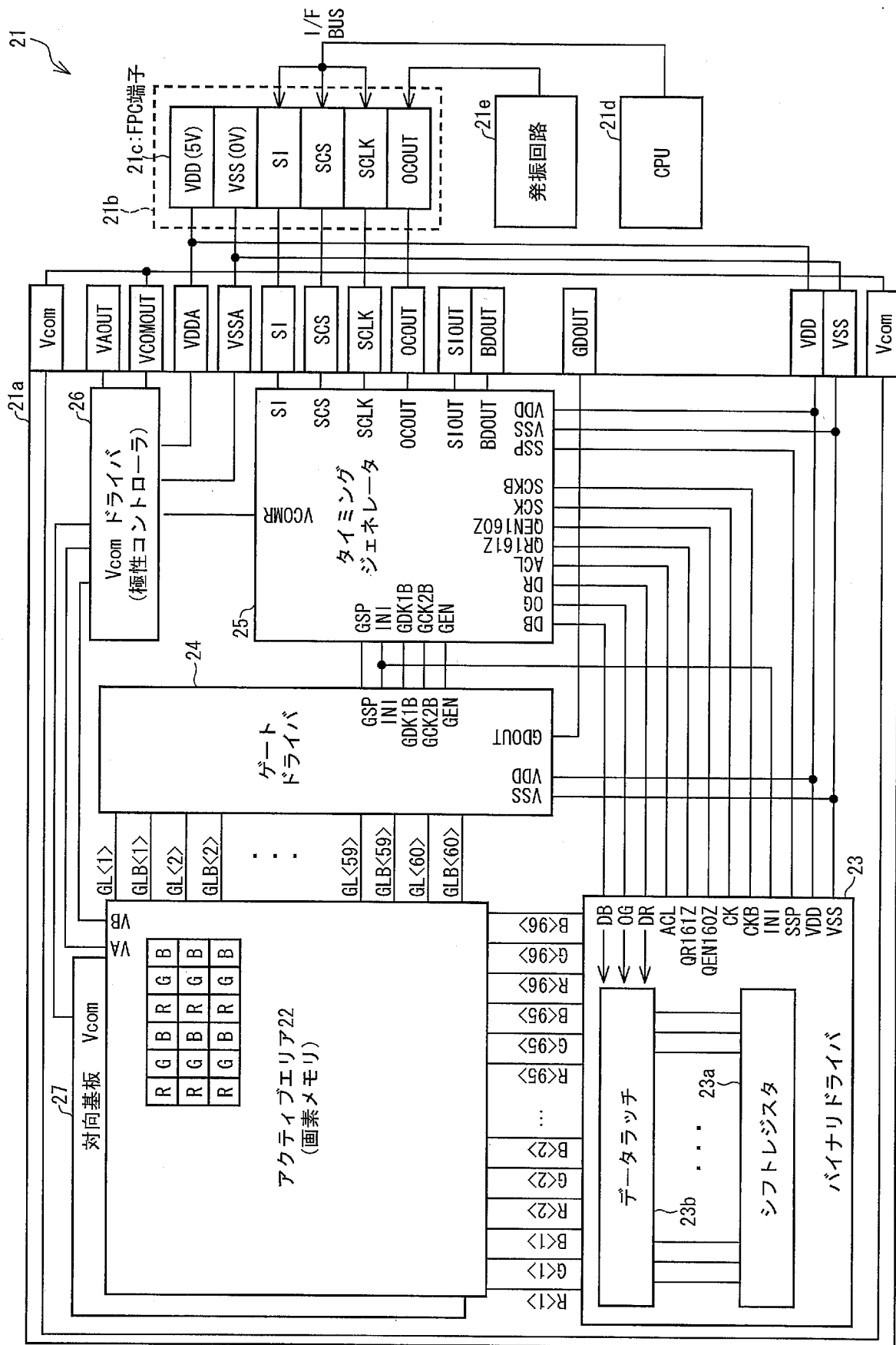
[図1]



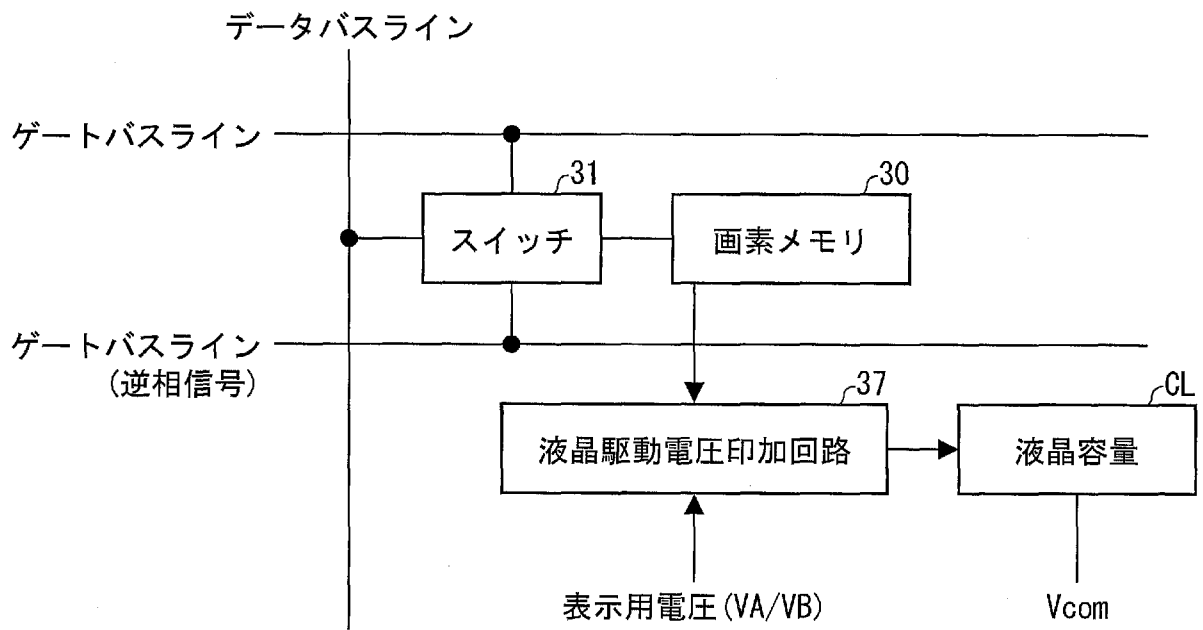
[図2]



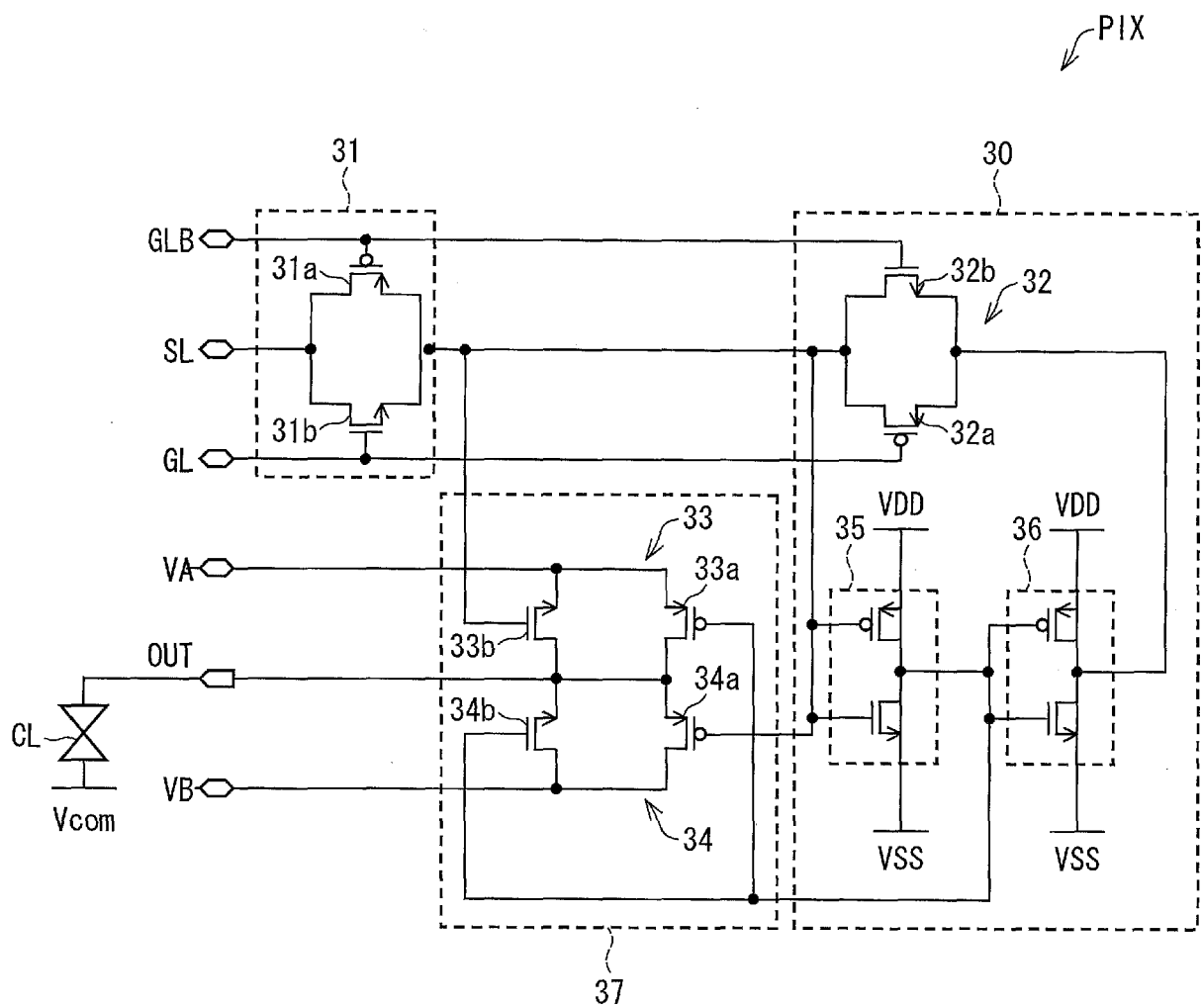
[図3]



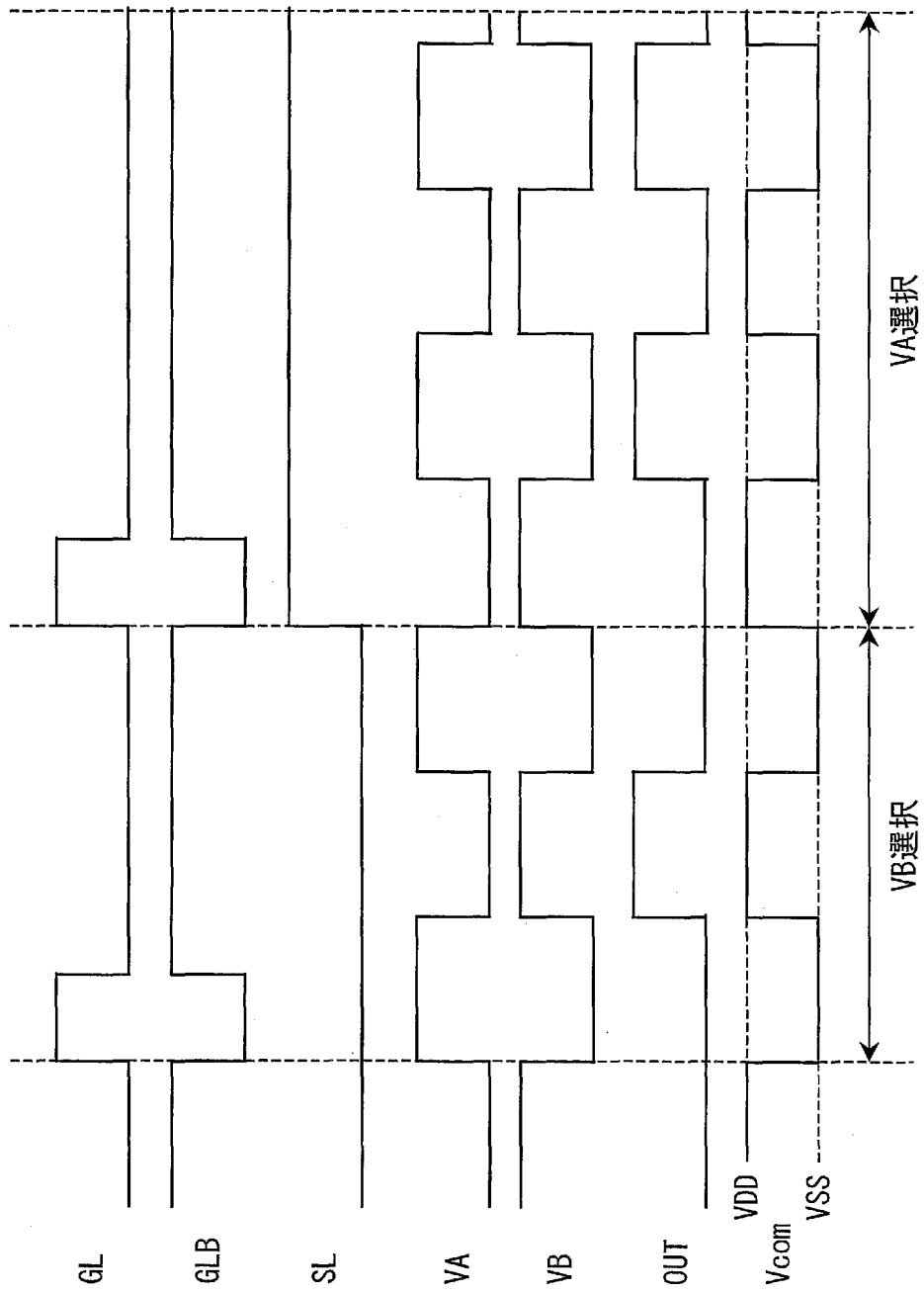
[図4]



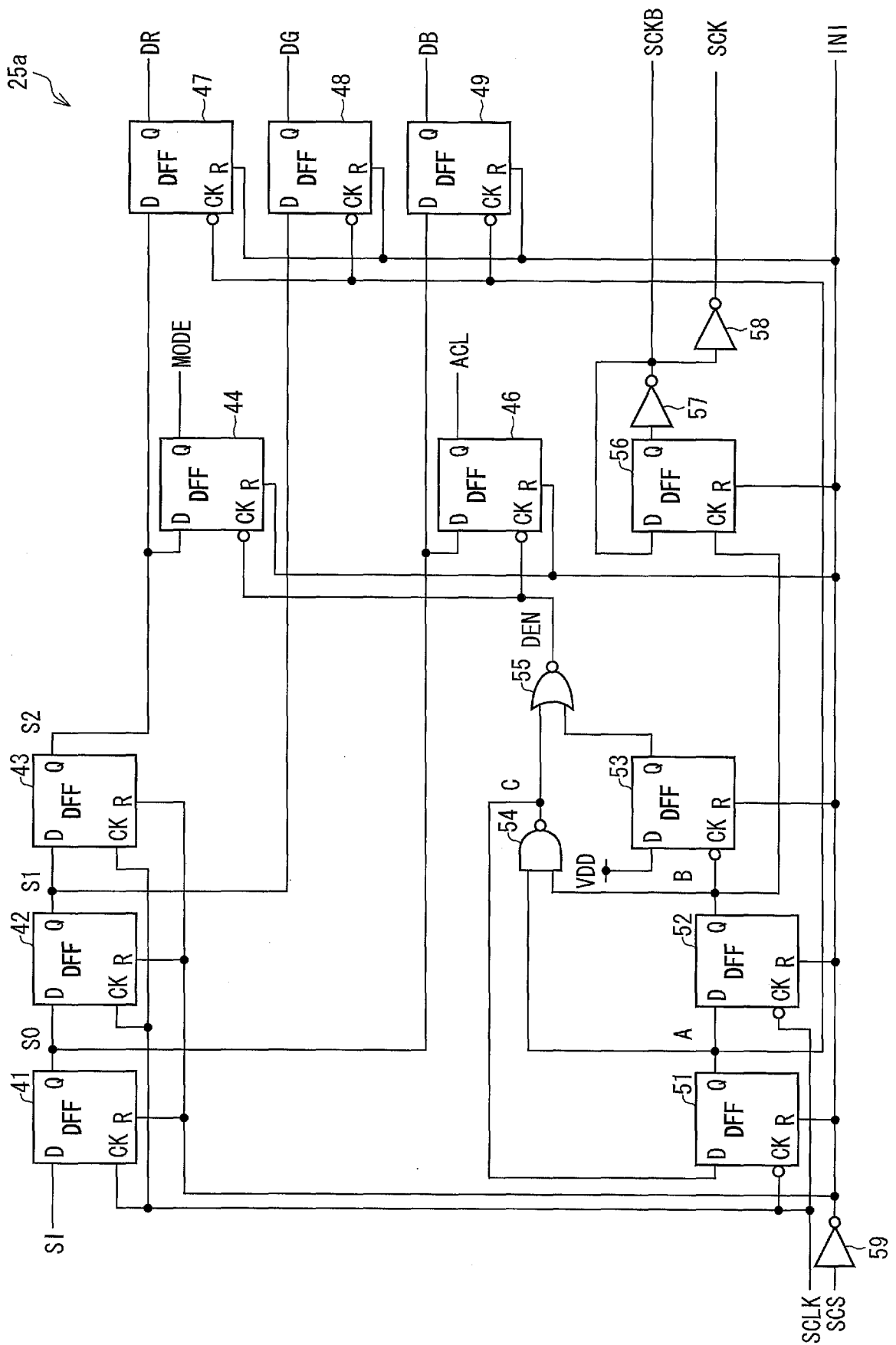
[図5]



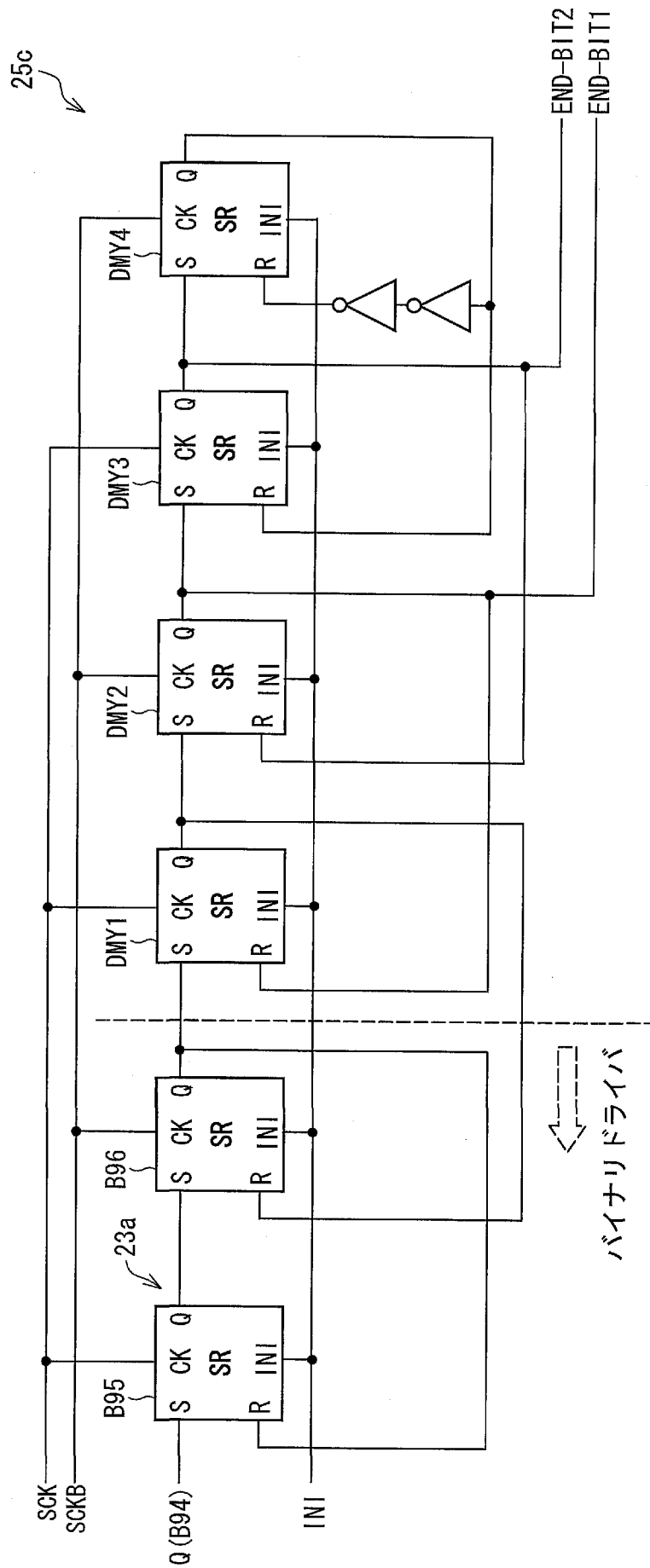
[図6]



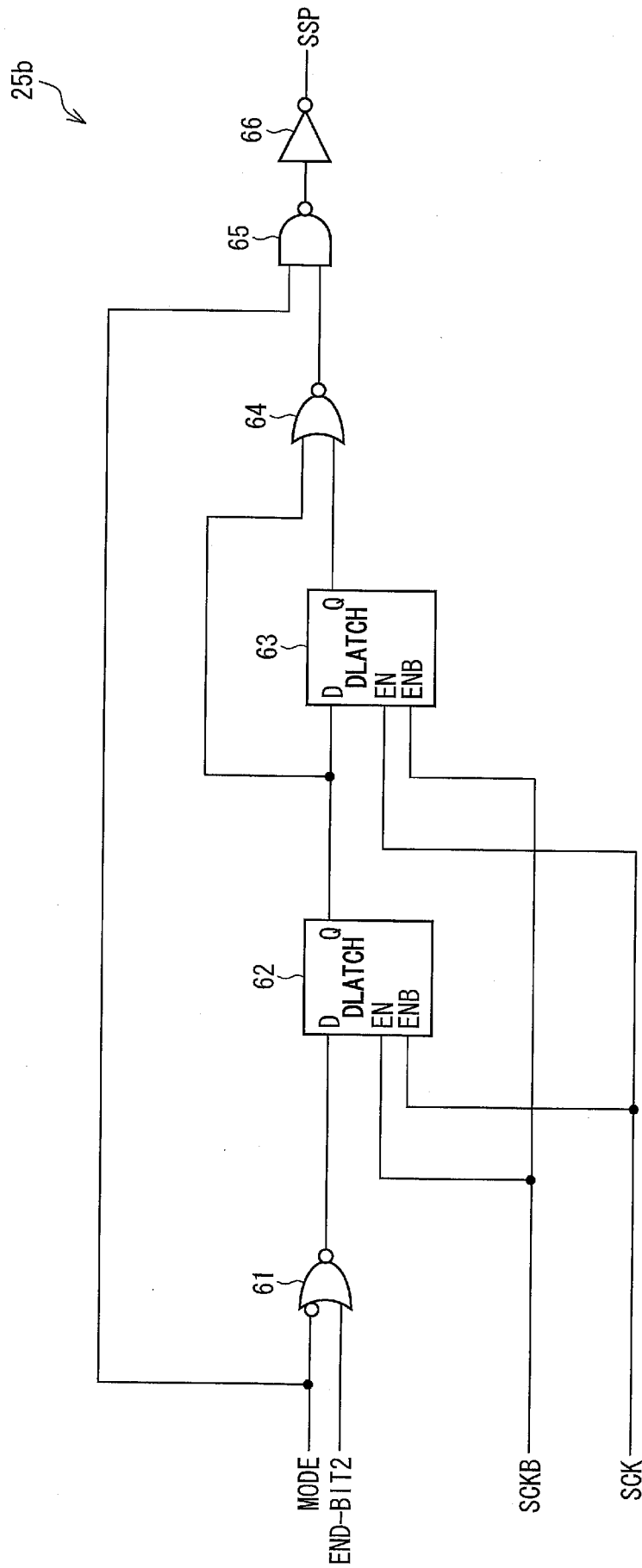
[図7]



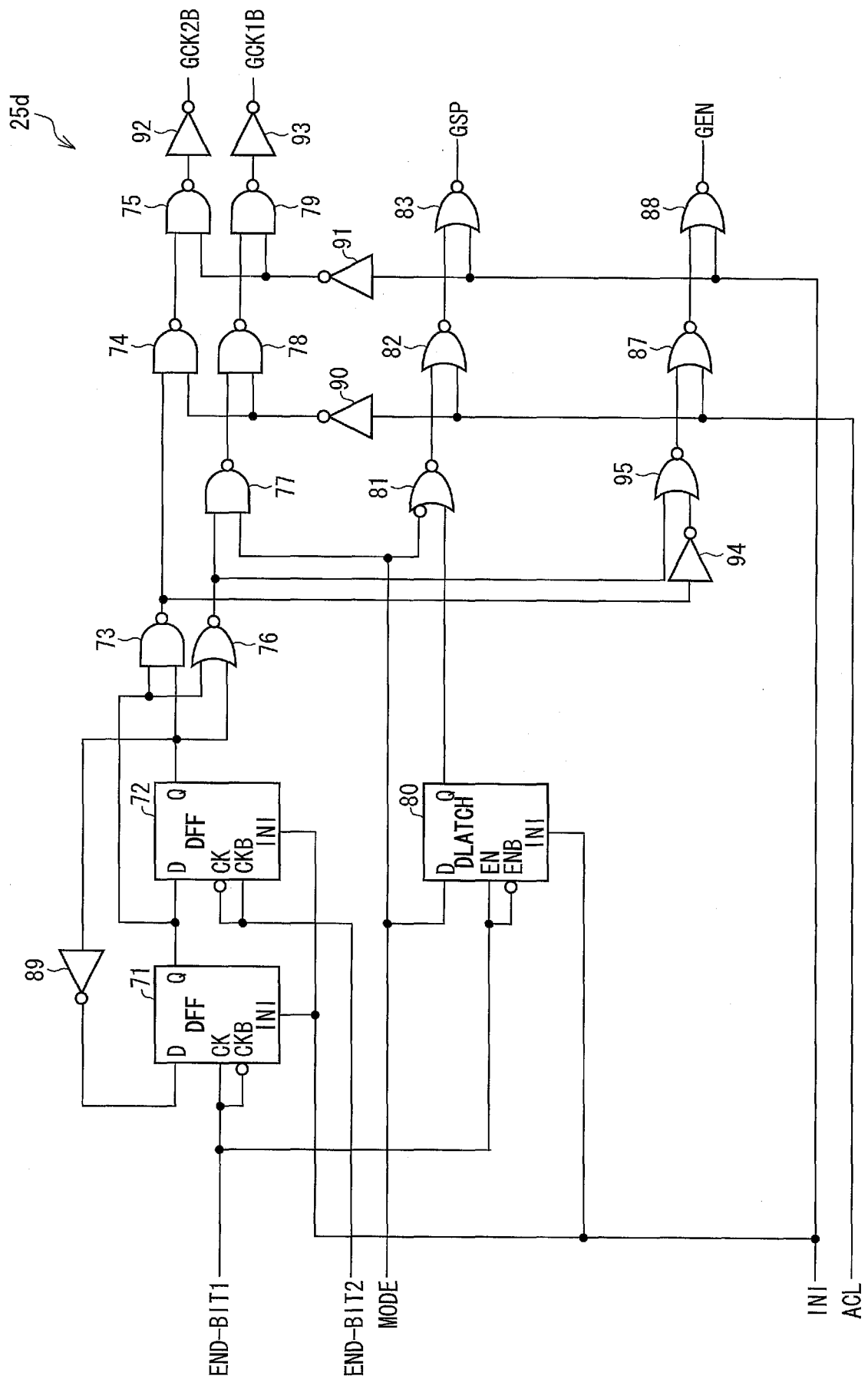
[図8]

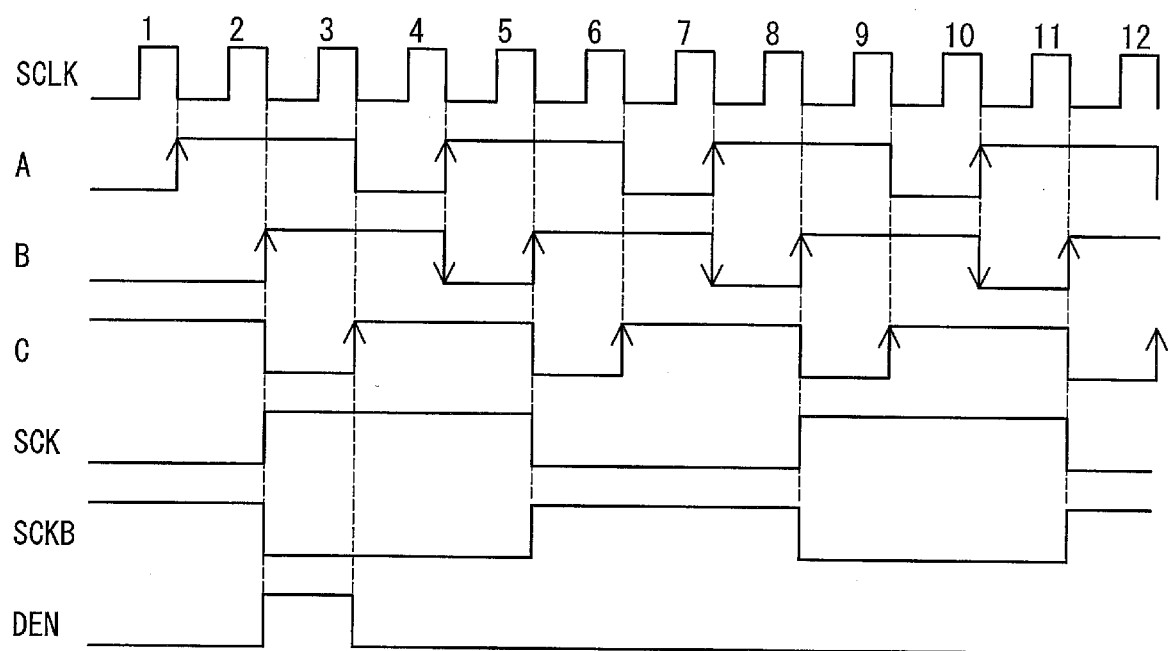
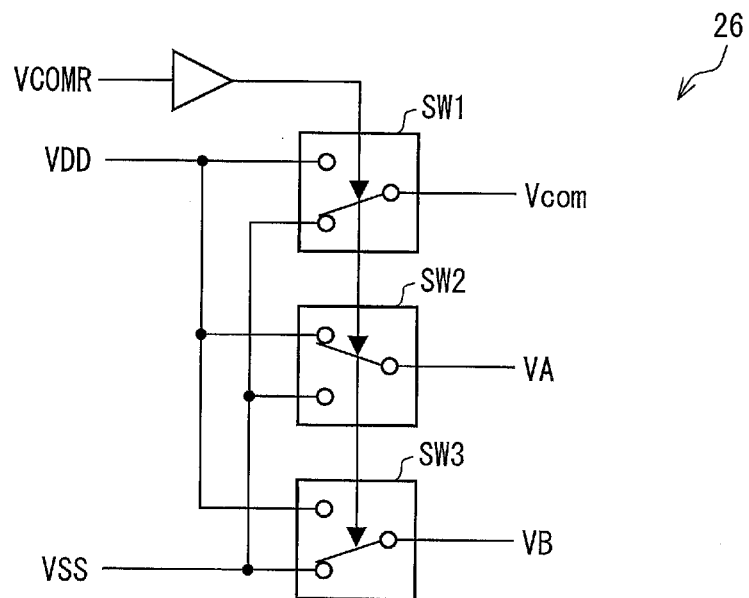


[図9]

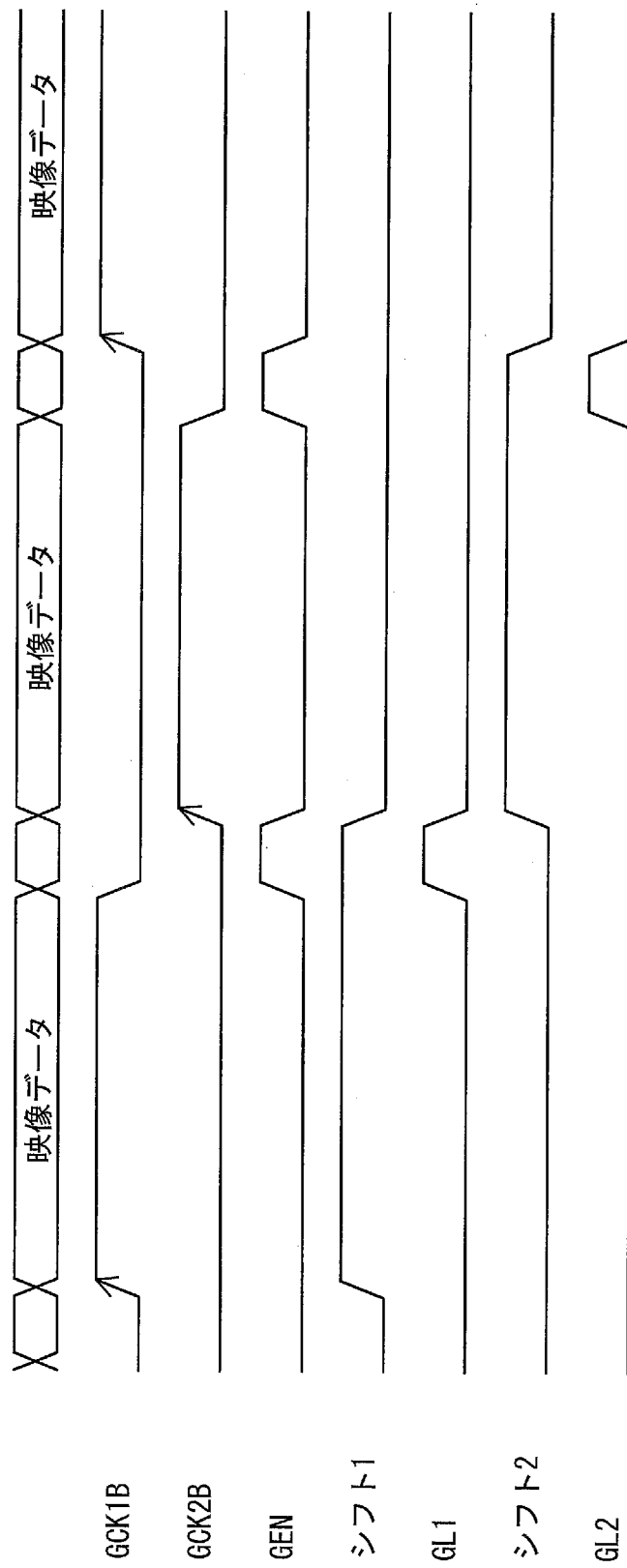


[図10]

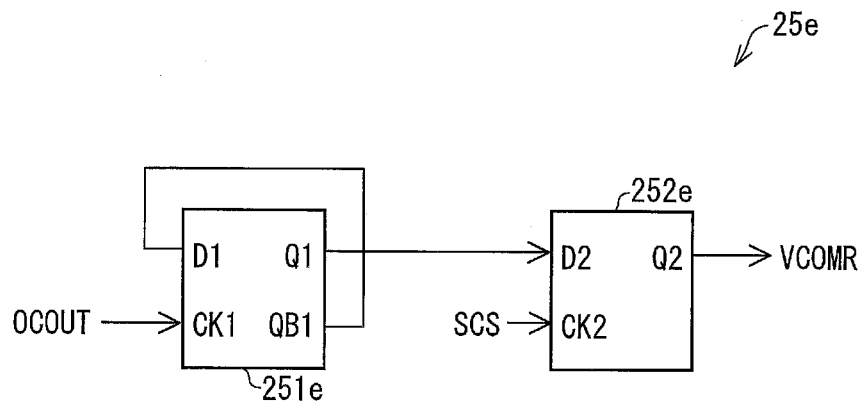




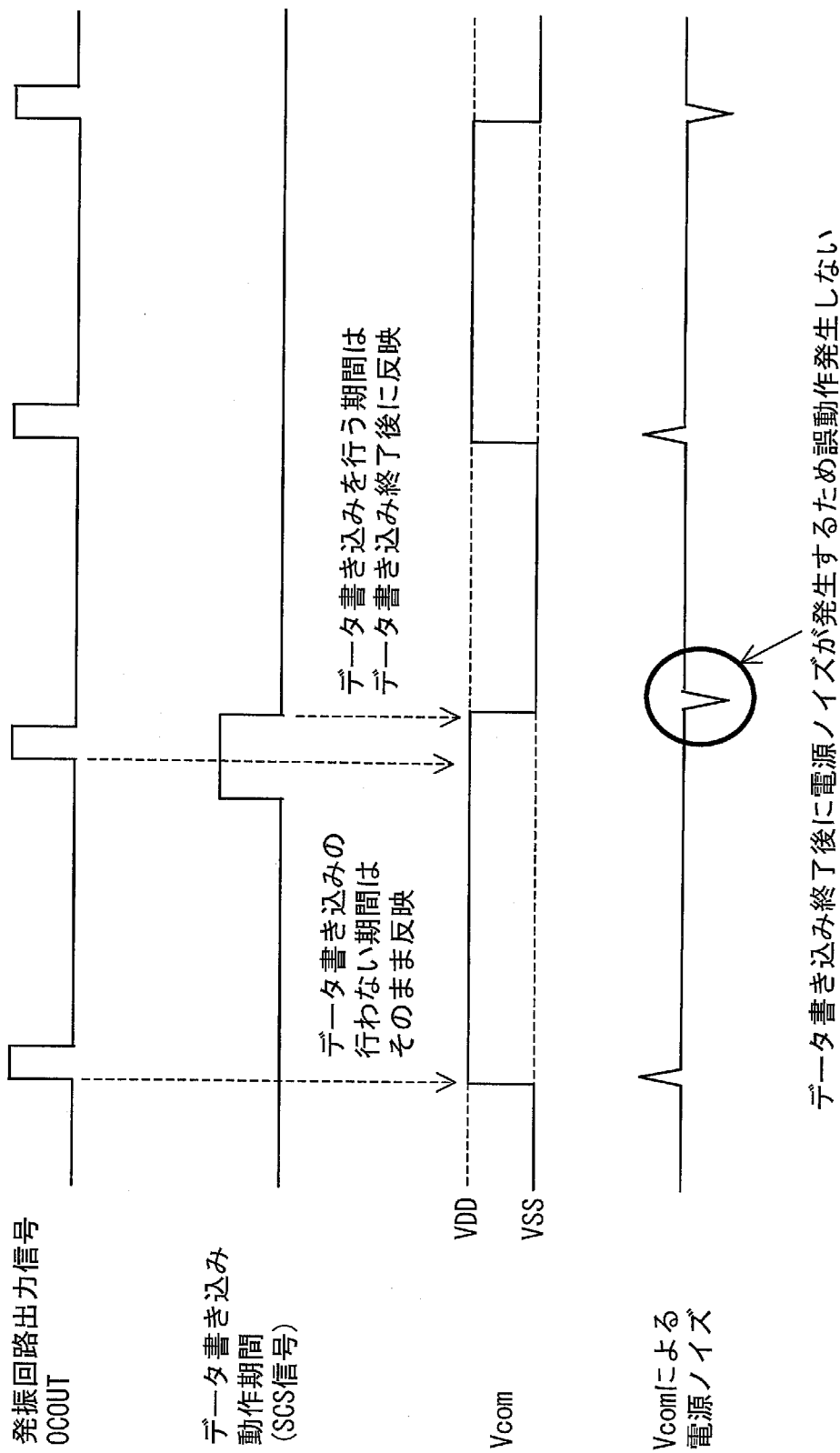
[図13]

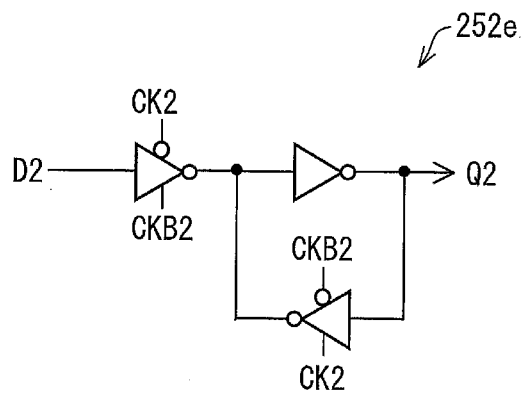
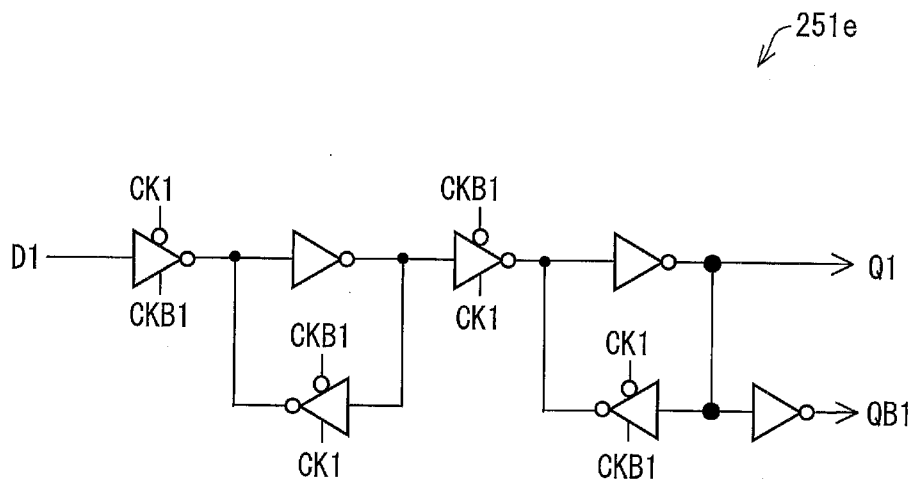


[図14]

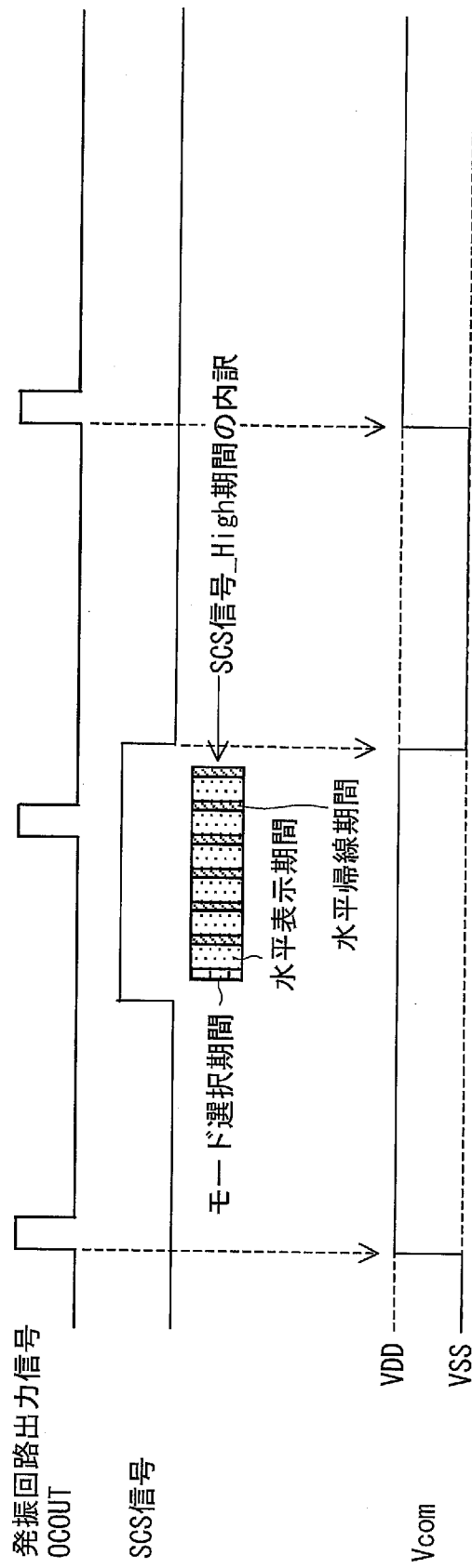


[図15]

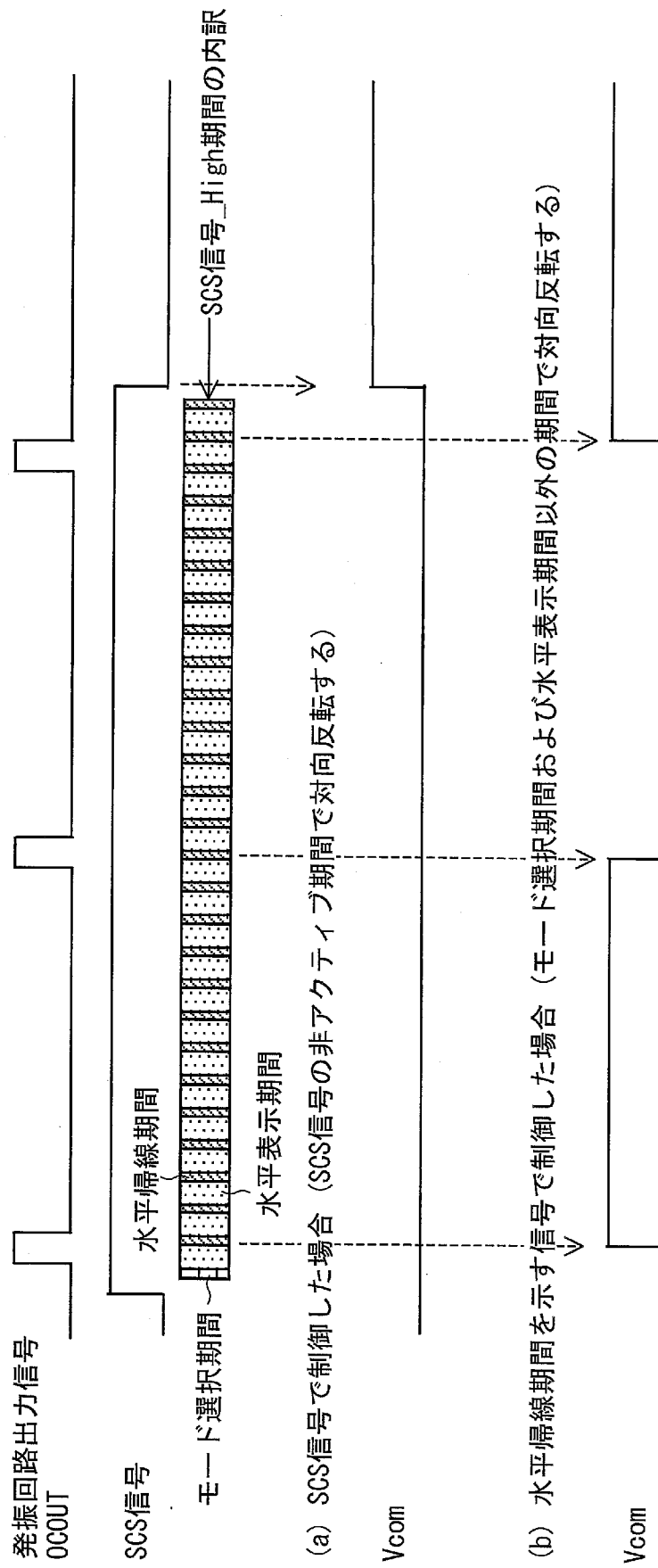




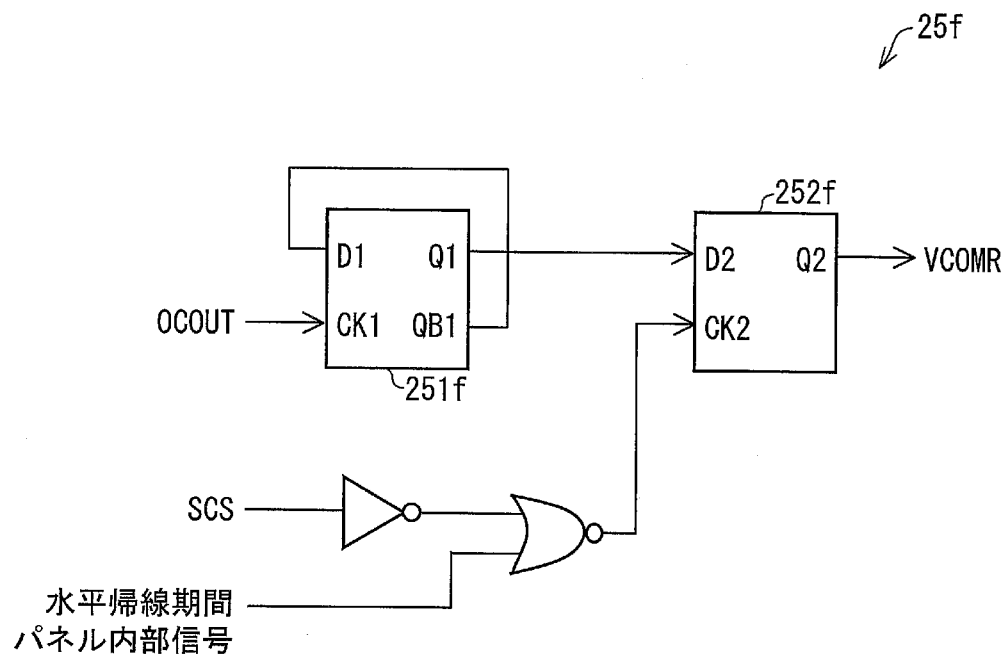
[図18]



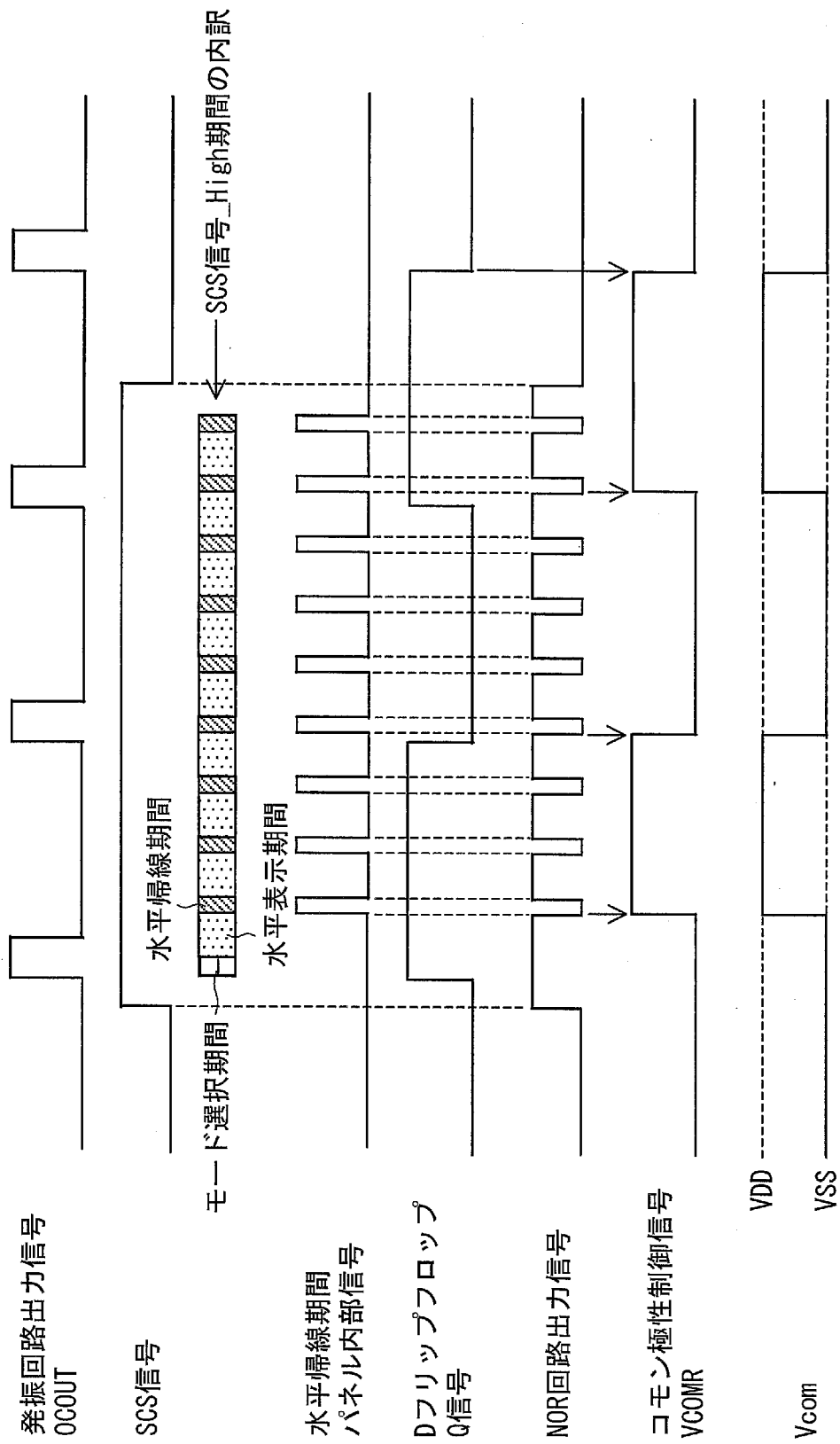
[図19]



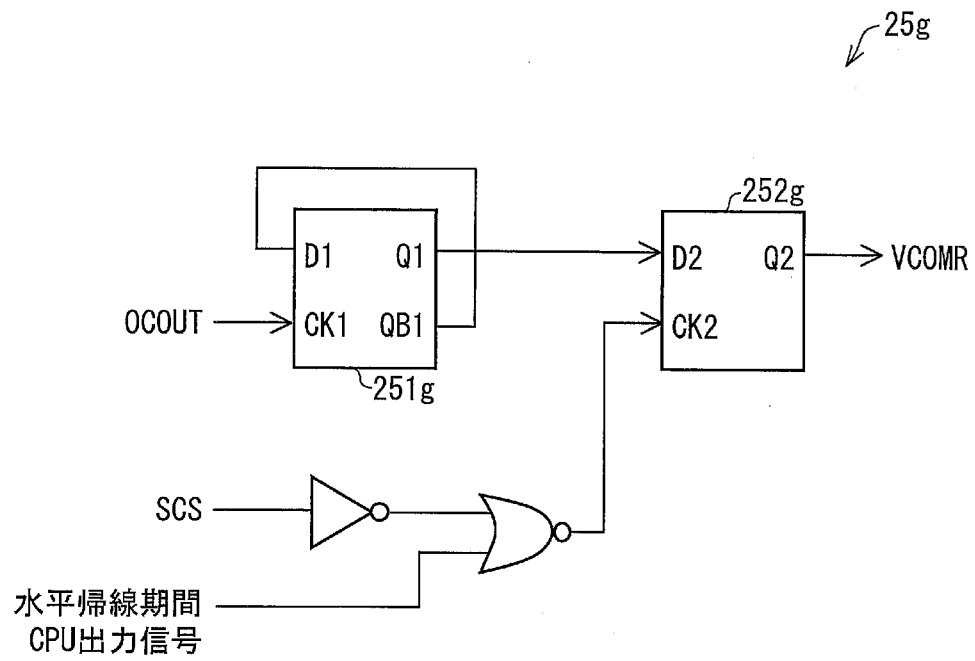
[図20]



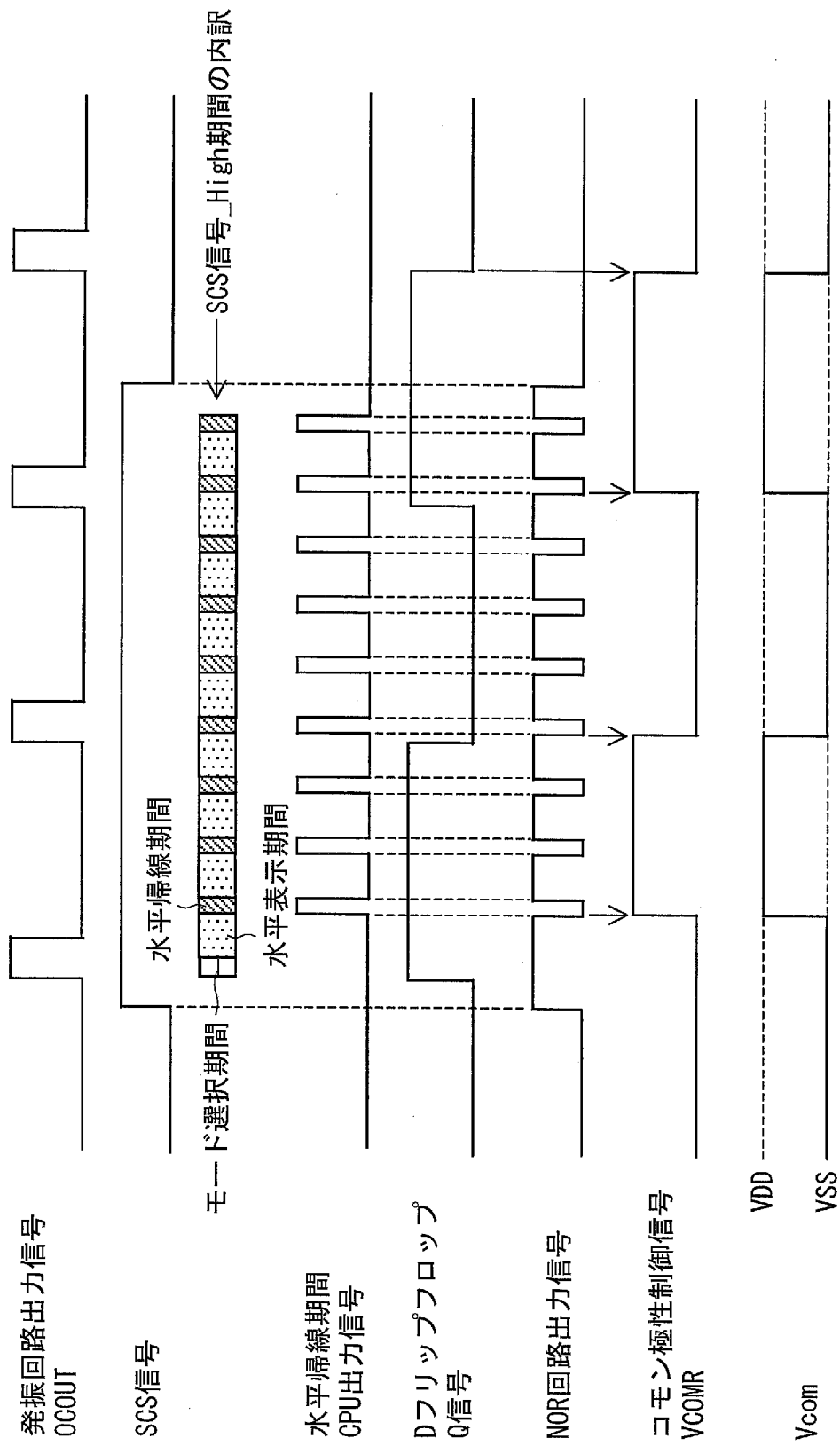
[図21]



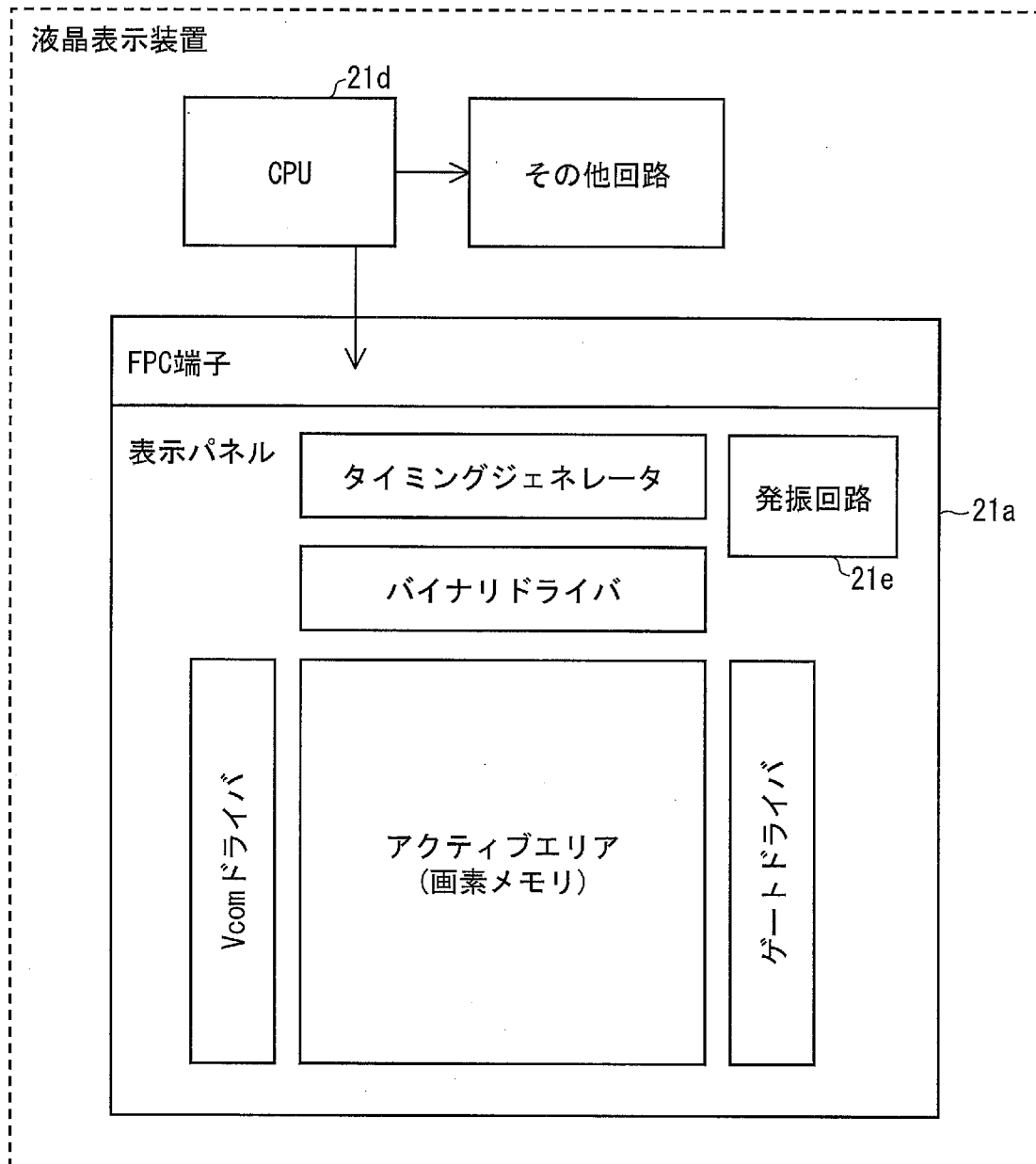
[図22]



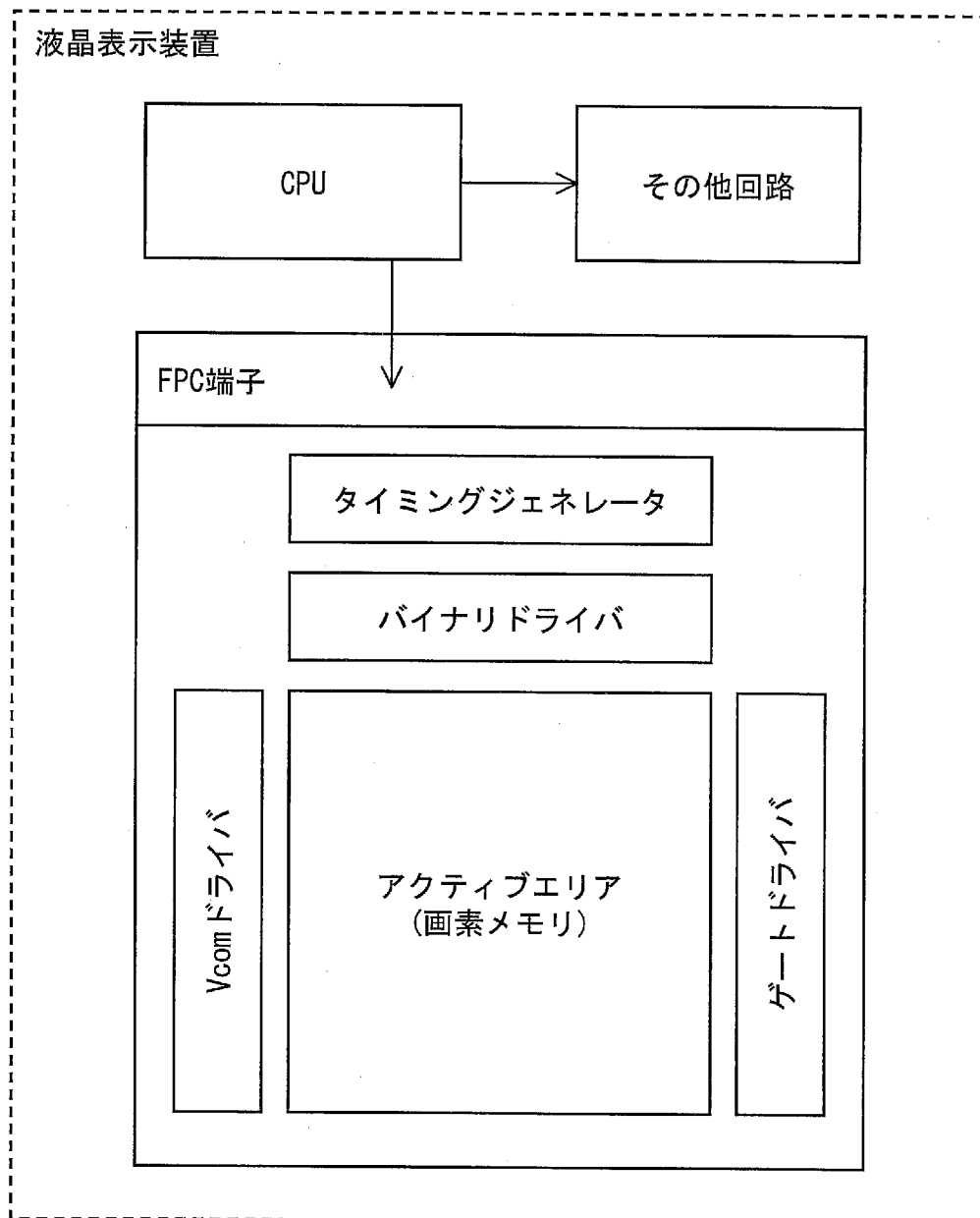
[図23]



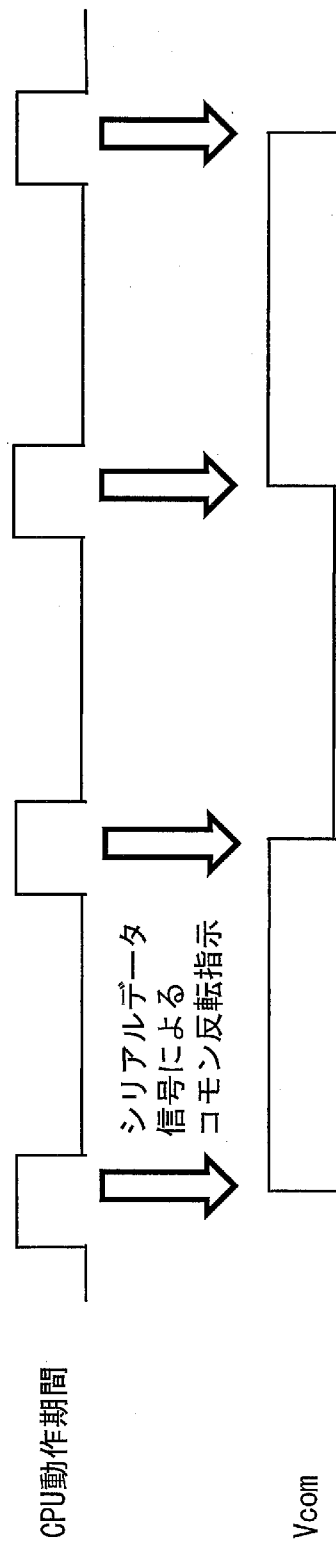
[図24]



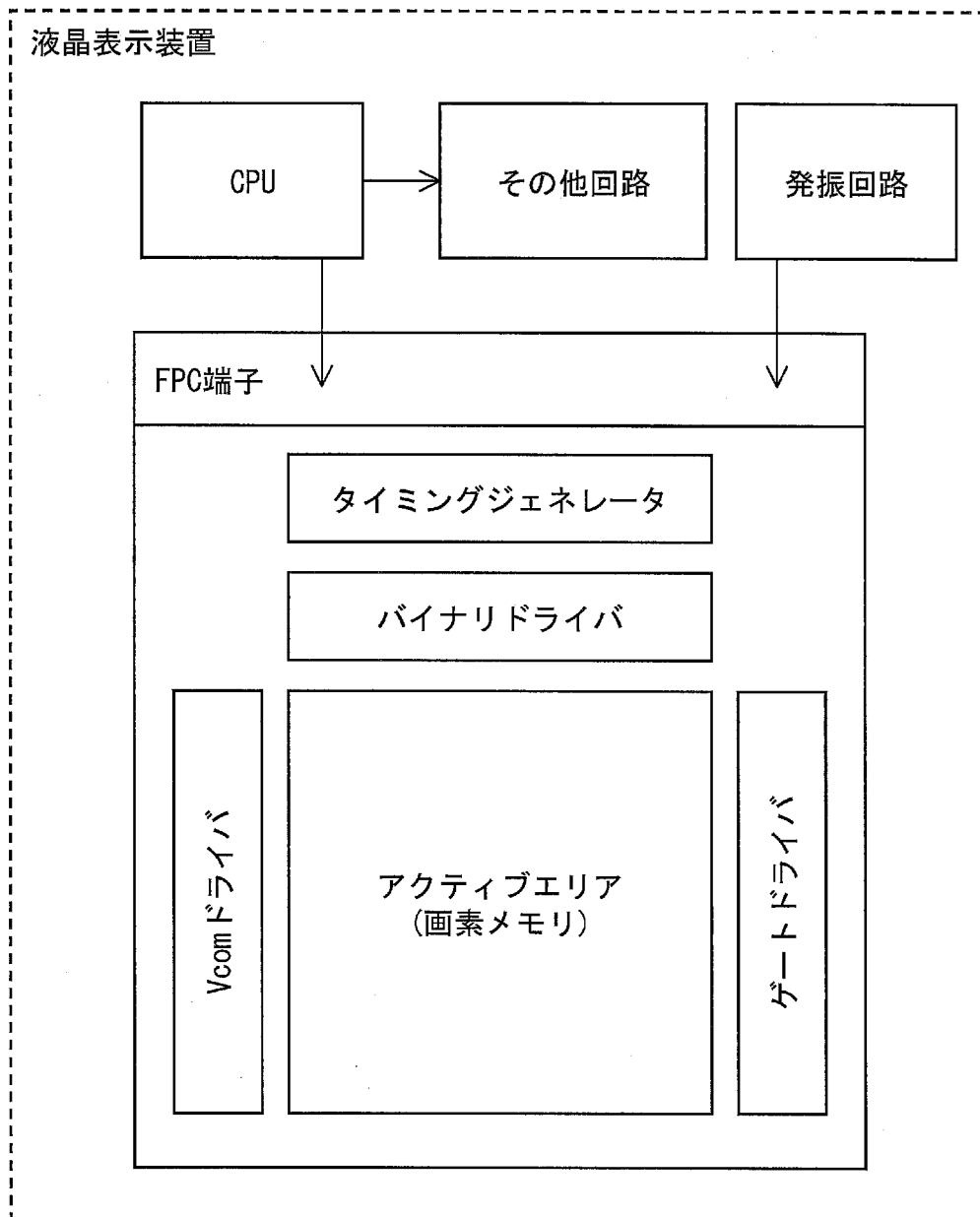
[図25]



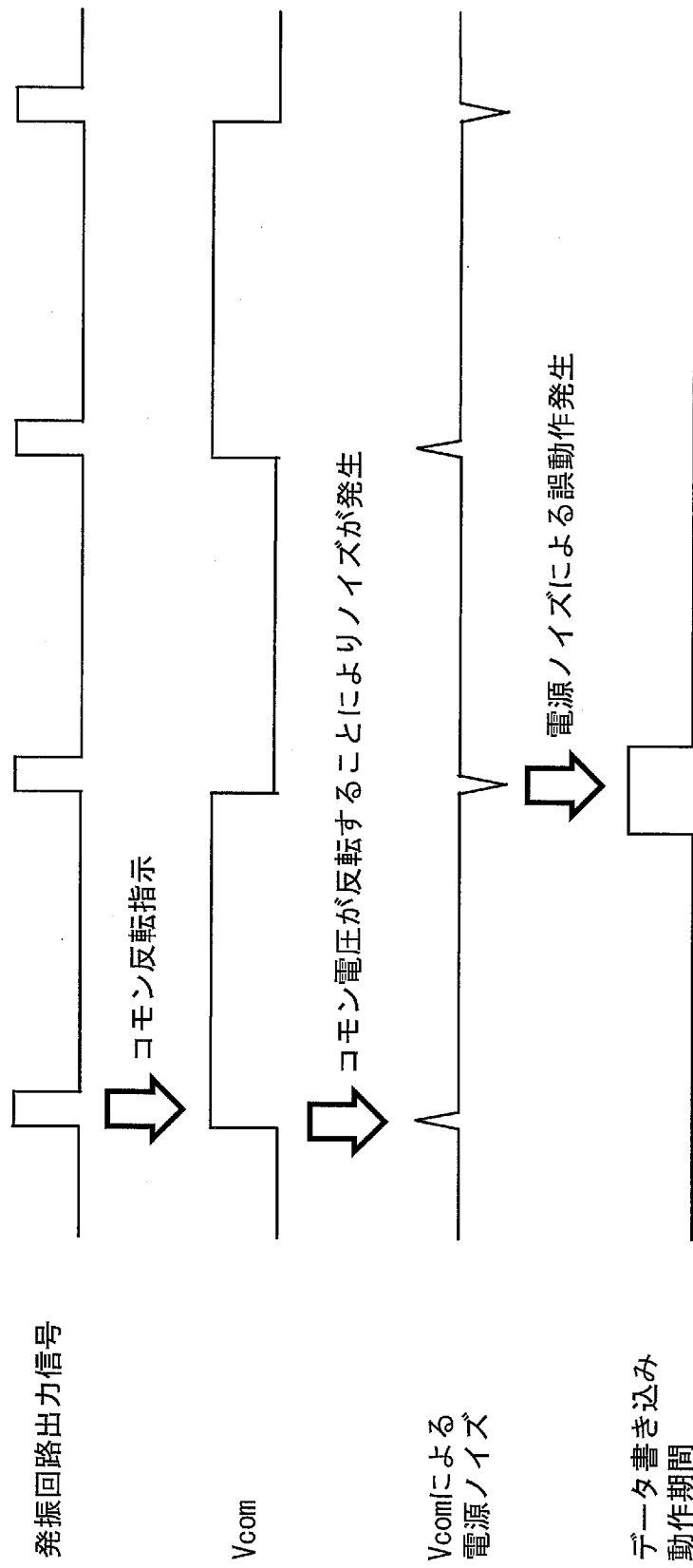
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 081061

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2013
Kokai	Jitsuyo	Shinan	1971-2013	Toroku	Jitsuyo	Shinan	Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-286738 A (Sharp Corp.), 24 December 2010 (24.12.2010), entire text; all drawings (Family: none)	1-15
Y	WO 2009/128283 A1 (Sharp Corp.), 22 October 2009 (22.10.2009), paragraphs [0015] to [0017], [0055] to [0064]; figs. 5, 16 & US 2010/0295841 A1 & EP 2264694 A1 & CN 101925946 A & RU 2447517 C	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 February, 2013 (21.02.13)Date of mailing of the international search report
05 March, 2013 (05.03.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2 012/081061

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-297110 A (Sanyo Electric Co., Ltd.), 11 October 2002 (11.10.2002), entire text; all drawings & US 2002/0140661 A1 & EP 1246160 A2 & TW 535139 B & KR 10-2002-0077246 A & CN 1379378 A	7-11
A	WO 2011/033821 A1 (Sharp Corp.), 24 March 2011 (24.03.2011), paragraphs [0181] to [0207]; fig. 14 to 16 & EP 2479760 A1	1-15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36 (2006. 01) i , G02F1/133 (2006. 01) i , G09G3/20 (2006. 01) i

B. 一 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9
日本国公開実用新案公報	1 9 7 1 - 2 0
日本国実用新案登録公報	1 9 9 6 - 2 0
日本国登録実用新案公報	1 9 9 4 - 2 0

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
8 年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-286738 A (シャープ株式会社) 2010. 12. 24, 全文, 全図 (フアミリーなし)	1-15
Y	W0 2009/128283 A1 (シャープ株式会社) 2009. 10. 22, 段落 [0015] - [0017] , [0055] - [0064] , 図 5, 16 & US 2010/0295841 AI & EP 2264694 AI & CN 101925946 A & RU 2447517 C	1-15

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」

IE 「国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの」

I 「優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」

IΘ 「口頭による開示、使用、展示等に言及する文献」

IP 「国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

T 「国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」

X 「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」

IY 「特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」

I& 「同一パテントファミリー文献」

国際調査を完了した日

2 1 . 0 2 . 2 0 1 3

国際調査報告の発送日

0 5 . 0 3 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

武 田 悟

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

2 G

9 3 0 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-297110 A (三洋電機株式会社) 2002. 10. 11 , 全文 , 全図 & US 2002/0140661 A1 & EP 1246160 A2 & TW 535139 B & KR 10-2002-0077246 A & CN 1379378 A	7-11
A	wo 2011/033821 AI (シャープ株式会社) 2011. 03. 24 , 段落 [0181] - [0207] , 図 14-16 & EP 2479760 A1	1-15