

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 5 月 31 日(31.05.2012)



(10) 国際公開番号

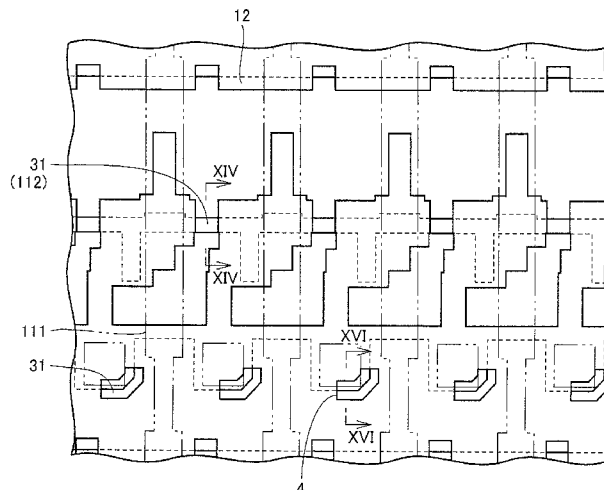
WO 2012/070530 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) G09F 9/00 (2006.01)
G02F 1/1368 (2006.01) G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2011/076802
- (22) 国際出願日: 2011 年 11 月 21 日(21.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-263595 2010 年 11 月 26 日(26.11.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山内 哲也
(YAMAUCHI, Tetsuya).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami
Patent Office, p.c.); 〒5300005 大阪府大阪市北区中
之島二丁目 2 番 7 号 中之島セントラルタワー
Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 表示装置およびその製造方法

[図13]



(57) Abstract: A method for manufacturing a display device provided with gate wiring (112) that is disposed on a substrate to supply a signal to a TFT, and a plurality of source wirings (111) disposed on the upper side thereof, the method for manufacturing a display device including: a step for forming a first conductive pattern (31) that includes the gate wiring (112) by etching a gate metal layer with a first resist pattern as a mask; and a step wherein in a state where a second resist pattern (12) has been formed such that at the portions located between the source wirings (111) a part of the upper end part of the first conductive pattern (31) is exposed and the other parts thereof are covered, at the aforementioned part of the upper end part, the first conductive pattern (31) is etched off from the upper surface part way through in the direction of thickness.

(57) 要約:

[続葉有]

WO 2012/070530 A1

表示装置の製造方法は、TFTに信号を供給するために基板上に配置されたゲート配線（１１２）と、その上側に配置された複数のソース配線（１１１）とを備える表示装置の製造方法であって、第１のレジストパターンをマスクとしてゲートメタル層をエッチングすることによって上記ゲート配線（１１２）を含む第１の導電パターン（３１）を形成する工程と、ソース配線（１１１）同士の間位置する部位において、第１の導電パターン（３１）のうち上面端部の一部を露出させて他の部分は覆い隠すように第２のレジストパターン（１２）を形成した状態で、上記上面端部の一部において上記第１の導電パターン（３１）を上面から厚み方向の途中までエッチング除去する工程とを含む。

明 細 書

発明の名称：表示装置およびその製造方法

技術分野

[0001] 本発明は、表示装置およびその製造方法に関するものである。

背景技術

[0002] 表示装置の一例として液晶表示装置が挙げられる。複数の画素電極を薄膜トランジスタによってそれぞれ駆動する方式の液晶表示装置が知られている。このような方式はアクティブマトリックス方式と呼ばれる。このような液晶表示装置は、薄膜トランジスタに信号を供給するために基板上に配置されたゲート配線と、前記ゲート配線と交差するように前記ゲート配線より上側に配置された複数のソース配線とを備える。

[0003] アクティブマトリックス方式の表示装置における薄膜トランジスタを形成する際に電極材料の段切れを防止するための発明の一例が特開 2 0 0 8 - 2 7 7 3 7 1 号公報（特許文献 1）に記載されている。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 0 8 - 2 7 7 3 7 1 号公報

発明の概要

発明が解決しようとする課題

[0005] ゲート配線、ゲート電極などの導体パターンは、ゲートメタル層と呼ばれる金属層をまず成膜した後に所望の形状にパターニングをすることによって形成される。これらの導体パターンの側面は通常、斜面となっている。

[0006] 液晶表示装置の高精細化が進むにつれて、ゲート配線、ゲート電極などの設計上の幅は小さくなる。ゲートメタル層のパターニングによって形成しようとする導体パターンの幅がある程度以上小さい場合、導体パターンの側面は切り立った形状となる。

[0007] 一方、ソース配線は、ソースメタル層と呼ばれる金属層をまず成膜した後

に所望の形状にパターニングをすることによって形成される。

[0008] 高精細化に対応するためにゲート配線、ゲート電極などを狭い幅で形成した表示装置においては、ソース配線同士の間でリーク電流が発生する場合がある。

[0009] そこで、本発明は、ソース配線同士の間でのリーク電流の発生率を低減することができる表示装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するため、本発明に基づく表示装置の製造方法は、複数の画素電極を薄膜トランジスタによってそれぞれ駆動する方式であり、上記薄膜トランジスタに信号を供給するために基板上に配置されたゲート配線と、上記ゲート配線と交差するように上記ゲート配線より上側に配置された複数のソース配線とを備える表示装置の製造方法であって、上記基板の表面にゲートメタル層を成膜する工程と、上記ゲートメタル層の上面の一部を覆うように第1のレジストパターンを形成する工程と、上記第1のレジストパターンをマスクとして上記ゲートメタル層をエッチングすることによって上記ゲート配線を含む第1の導電パターンを形成する工程と、上記第1の導電パターンのうち上記ソース配線同士の上に位置する部位において、上記第1の導電パターンのうち上面端部の一部を露出させて他の部分は覆い隠すように第2のレジストパターンを形成した状態で、上記上面端部の一部において上記第1の導電パターンを上面から厚み方向の途中までエッチング除去する工程とを含む。

発明の効果

[0011] 従来であれば第1の導電パターンの端部の上に位置する層間絶縁膜の段差部に生じやすかった溝が、本発明によれば、生じにくくなるので、ソースメタル層の一部が除去しきれずに残存するという事態を防ぐことができる。したがって、ソース配線同士の間でのリーク電流の発生率を低減することができる。

図面の簡単な説明

[0012] [図1]ゲートメタル層で形成すべき導電パターンの幅が大きい場合の第1の説明図である。

[図2]ゲートメタル層で形成すべき導電パターンの幅が大きい場合の第2の説明図である。

[図3]ゲートメタル層で形成すべき導電パターンの幅が大きい場合の層間絶縁膜を形成した状態の断面図である。

[図4]ゲートメタル層で形成すべき導電パターンの幅が小さい場合の第1の説明図である。

[図5]ゲートメタル層で形成すべき導電パターンの幅が小さい場合の第2の説明図である。

[図6]ゲートメタル層で形成すべき導電パターンの幅が小さい場合の層間絶縁膜を形成した状態の断面図である。

[図7]本発明に基づく実施の形態1における表示装置の製造方法によって得られる表示装置の概略図である。

[図8]本発明に基づく実施の形態1における表示装置の製造方法のフローチャートである。

[図9]本発明に基づく実施の形態1における表示装置の製造方法の第1の工程の説明図である。

[図10]本発明に基づく実施の形態1における表示装置の製造方法の第2の工程の説明図である。

[図11]本発明に基づく実施の形態1における表示装置の製造方法の第3の工程の説明図である。

[図12]本発明に基づく実施の形態1における表示装置の製造方法の第3の工程を終えた状態の平面図である。

[図13]本発明に基づく実施の形態1における表示装置の製造方法の第4の工程を行なうために第2のレジストパターンを形成した状態の平面図である。

[図14]図13におけるXⅠV-XⅠV線に関する矢視断面図である。

[図15]図14に示した第1の導電パターンが途中まで除去された状態の断面

図である。

[図16]図13におけるXVIーXVI線に関する矢視断面図である。

[図17]図16に示した第1の導電パターンが途中まで除去された第1の状態の断面図である。

[図18]図16に示した第1の導電パターンが途中まで除去された第2の状態の断面図である。

[図19]図15に示した部位を覆うように層間絶縁膜を形成した状態の断面図である。

[図20]図18に示した部位を覆うように層間絶縁膜を形成した状態の断面図である。

[図21]本発明に基づく実施の形態1における表示装置の製造方法の好ましい例のフローチャートである。

[図22]本発明に基づく実施の形態1における表示装置の製造方法のうちソースメタル層を成膜する工程を終えた状態での、図13におけるXIVーXIV線に関する矢視断面図である。

[図23]本発明に基づく実施の形態1における表示装置の製造方法のうち複数のソース配線を形成する工程を終えた状態での、平面図である。

[図24]図23に示した平面図に、ソース配線同士の間でリーク電流が生じる可能性が従来あったルートを実線で記入し、第2のレジストパターンを細線で記入した平面図である。

[図25]本発明に基づく実施の形態2における表示装置の平面図である。

[図26]本発明に基づく実施の形態2における表示装置の第1の導体パターンの肩部の近傍の斜視図である。

発明を実施するための形態

[0013] 発明者らは、ソース配線同士の間でのリーク電流の原因が何であることを検討した。その結果、ゲート配線などのようなゲートメタル層から形成する層の上側に配置される層間絶縁膜の段差部に凹みが生じており、ソースメタル層を成膜して除去した際にこの凹みの内部においてソースメタルを十分に除

去しきれず残存してしまうことによってソース配線同士が電氣的に接続された状態となることが、リーク電流の主な原因であることを突き止めた。

[0014] さらに発明者らは、層間絶縁膜の段差部の凹みはなぜ生じるかについて検討した。その結果、層間絶縁膜が局所的に異常成長し、この部分ではエッチングレートが速い状態となっていることに起因していることを見出した。さらに、層間絶縁膜の異常成長は、ゲートメタル層から形成される導電パターンの側面が切り立っていることに起因していることも見出した。

[0015] 以下に具体的な構造を図示しながら説明する。たとえば図1に示すように、基板79上のゲートメタル層80で形成すべき導電パターンの幅W1が十分に大きい場合は、断面図で見たときのレジストパターン82aの端は緩やかな傾きの曲線を描いている。図1ではレジストパターン82aの端における傾きをわかりやすくするために補助線を表示している。このレジストパターン82aをマスクとしてエッチングされて得られる導電パターンは図2に示すような断面形状となる。この導電パターン81aの上側に層間絶縁膜を形成した場合、図3に示すようになる。層間絶縁膜83の側壁に相当する部分84は他の部分とは異なる成長の仕方となるが、大きな問題を生じるには至っていない。

[0016] これに対して、図4に示すように、ゲートメタル層で形成すべき導電パターンの幅W2が小さい場合、レジストパターン82bの端は切り立った形状となる。図4ではレジストパターン82bの端における傾きをわかりやすくするために補助線を表示している。図4における補助線は、図1における補助線に比べて急峻となっていることがわかる。このレジストパターン82bをマスクとしてエッチングされて得られる導電パターンは図5に示すような断面形状となる。すなわち、導電パターン81bは側面が切り立った形状となる。この導電パターン81bの上側に層間絶縁膜を形成した場合、図6に示すようになる。層間絶縁膜83の側壁に相当する部分85は異常成長となり、エッチングレートが速い状態となっている。したがって、部分85は、ソースメタル層の形成のために行なわれる前洗浄によって除去されやすく、

溝 8 6 が生じる。溝 8 6 は紙面に垂直な方向に延在する。層間絶縁膜の後にはソースメタル層として T i - A l - T i の 3 層構造の導電膜が形成され、パターニングされるが、溝 8 6 が生じている部位においては、ソースメタル層を完全に除去しようとしたときに一部の導電膜が溝 8 6 の内部に残存してしまう場合があることを発明者らは見出した。さらに、このような溝 8 6 の内部への導電膜の残存が、ソース配線同士の間でのリーク電流の原因であることを発明者らは見出した。

[0017] また、ゲートメタル層で形成すべき導電パターンの幅が小さくなると共に、ソース配線間の距離も小さくなる傾向にあり、距離が短いがゆえにリーク電流の発生の危険はますます高まっていた。

[0018] これらの知見に基づき、発明者らは本発明をなすに至った。

(実施の形態 1)

図 7 ～図 1 8 を参照して、本発明に基づく実施の形態 1 における表示装置の製造方法について説明する。この製造方法によって得られる表示装置の概略を図 7 に示す。表示装置 1 0 0 は、ソースドライバ 1 0 1 とゲートドライバ 1 0 2 とを備える。ソースドライバ 1 0 1 およびゲートドライバ 1 0 2 は制御部 1 0 5 に接続されており、制御部 1 0 5 からの信号を受け取る。ソースドライバ 1 0 1 からは複数本のソース配線 1 1 1 が平行に延在している。ゲートドライバ 1 0 2 からは複数本のゲート配線 1 1 2 が平行に延在している。ソース配線 1 1 1 とゲート配線 1 1 2 とが交差する部分の近傍には T F T 1 1 5 が設けられており、T F T 1 1 5 には画素電極 1 1 4 および補助容量電極 1 1 6 が接続されている。2 本のソース配線 1 1 1 と 2 本のゲート配線 1 1 2 とに取り囲まれた領域は 1 つの画素 1 1 0 に相当する。各画素 1 1 0 は、T F T 1 1 5 と画素電極 1 1 4 と補助容量電極 1 1 6 とを含む。図 7 では少ない数の画素 1 1 0 について表示しているが、実際には、表示装置 1 0 0 の表示領域にはより多くの画素 1 1 0 が配列されている。

[0019] 本実施の形態における表示装置の製造方法のフローチャートを図 8 に示す。本実施の形態における表示装置の製造方法が製造しようとする表示装置は

、複数の画素電極を薄膜トランジスタによってそれぞれ駆動する方式であり、前記薄膜トランジスタに信号を供給するために基板上に配置されたゲート配線と、前記ゲート配線と交差するように前記ゲート配線より上側に配置された複数のソース配線とを備える表示装置である。本実施の形態における表示装置の製造方法は、前記基板の表面にゲートメタル層を成膜する工程 S 1 と、前記ゲートメタル層の上面の一部を覆うように第 1 のレジストパターンを形成する工程 S 2 と、前記第 1 のレジストパターンをマスクとして前記ゲートメタル層をエッチングすることによって前記ゲート配線を含む第 1 の導電パターンを形成する工程 S 3 と、前記第 1 の導電パターンのうち前記ソース配線同士の上に位置する部位において、前記第 1 の導電パターンのうち上面端部の一部を露出させて他の部分は覆い隠すように第 2 のレジストパターンを形成した状態で、前記上面端部の一部において前記第 1 の導電パターンを上面から厚み方向の途中までエッチング除去する工程 S 4 とを含む。以下に各工程について詳しく説明する。

[0020] まず、工程 S 1 として、図 9 に示すように基板 7 9 の上面の全面にゲートメタル層 8 0 を形成する。基板 7 9 とゲートメタル層 8 0 との間に他の層が配置されていてもよいが、ここでは説明の便宜のために、基板 7 9 とゲートメタル層 8 0 との間に配置された層は図示省略している。以下の各断面図においても同様である。このことは、既に説明した図 1 ～図 6 においても同様である。

[0021] 工程 S 2 として、図 1 0 に示すように、ゲートメタル層 8 0 の上面の一部を覆うように第 1 のレジストパターン 1 1 を形成する。

[0022] 工程 S 3 として、図 1 1 に示すように、第 1 のレジストパターン 1 1 をマスクとしてゲートメタル層 8 0 をエッチングすることによってゲート配線 1 1 2 を含む第 1 の導電パターン 3 1 を形成する。第 1 の導電パターン 3 1 は複数種類のパターンを含んでいてよい。第 1 の導電パターン 3 1 のうちの少なくとも一部はゲート配線 1 1 2 となるものである。工程 S 3 を終えた状態の平面図を図 1 2 に示す。第 1 の導電パターン 3 1 の一部はゲート配線 1 1

2となっている。図12では、のちにソース配線111が配置される予定の領域を二点鎖線で示している。

[0023] 工程S4として、第1の導電パターン31のうちソース配線111同士の間位置する部位において、第1の導電パターン31のうち上面端部の一部を露出させて他の部分は覆い隠すように第2のレジストパターン12を形成した状態で（図13参照）、前記上面端部の一部において第1の導電パターン31を上面から厚み方向の途中までエッチング除去する。図13においては、第2のレジストパターン12のいくつかの開口部が示されており、開口部を通じて第1の導電パターン31が見えている。開口部以外では第1の導電パターン31は第2のレジストパターン12によって隠されている。

[0024] ゲートメタル層を形成する工程より後かつ層間絶縁膜を形成する工程より前には、従来から「PDドーブ」と称する工程、すなわち、一定のパターンをマスクとしてP型の不純物としてたとえばボロンを注入する工程があった。上記工程S4で用いる第2のレジストパターン12としては、PDドーブに用いられていたマスクパターンを一部改変することによって使用することができる。工程S4における第1の導電パターン31に対する部分的なエッチングは、PDドーブ後で行なわれるレジストアッシングの前に、 CF_4 ガスによって行なうことができる。なお、「レジストアッシング」とは、第2のレジストパターン12を除去するためのアッシングをいう。

[0025] 図13におけるX1V-X1V線に関する矢視断面図を図14に示す。図14は工程S4のエッチング開始前の状態を示す。この部位においては第1の導電パターン31はゲート配線112として紙面に垂直な方向に延在している。したがって、図14に見えている第1の導電パターン31の左右方向の長さはゲート配線112の幅に相当する。第1の導電パターン31の上側は第2のレジストパターン12によって覆われていない。すなわち、この部位では、ゲート配線112の幅の全体にわたって第2のレジストパターン12から露出している。第1の導電パターン31の側面はオーバhang形状となっている。エッチングすることによって、図15に示すように第1の導電

パターン 31 の上面から厚み方向の途中まで除去される。これによって、少なくともこの部位においては、第 1 の導電パターン 31 の側面のオーバハング形状は無くなる。

[0026] 図 13 における X V I - X V I 線に関する矢視断面図を図 16 に示す。図 16 はエッチング開始前の状態を示す。この部位においては第 2 のレジストパターン 12 に開口部 4 が設けられている。第 1 の導電パターン 31 の上面端部が開口部 4 を通じて露出している。したがって、第 1 の導電パターン 31 の上面の一部が第 2 のレジストパターン 12 から露出している。第 1 の導電パターン 31 の側面はオーバハング形状となっている。エッチングし始めることによって、図 17 に示すように第 2 のレジストパターン 12 が若干後退する。さらにエッチングを続けることによって、図 18 に示すように、第 1 の導電パターン 31 の露出していた部分は上面から厚み方向の途中まで除去される。これにより、第 1 の導電パターン 31 の側面のオーバハング形状は無くなる。この後、第 2 のレジストパターン 12 は除去される。

[0027] 本実施の形態における表示装置の製造方法によれば、工程 S4 によって第 1 の導電パターン 31 の側面のオーバハング形状が解消されるので、第 2 のレジストパターン 12 を除去した後に層間絶縁膜 83 を形成しても、異常成長となる部分がなく、溝のない良好な層間絶縁膜 8 とすることができる。たとえば、図 15 に示した部位においては、図 19 に示すようになる。図 18 に示した部位においては、図 20 に示すようになる。

[0028] 本実施の形態における表示装置の製造方法によれば、層間絶縁膜の段差部において図 6 に示したような溝が生じないので、ソースメタル層の一部が除去しきれずに残存するという事態を防ぐことができる。したがって、ソース配線同士の間でのリーク電流の発生率を低減することができる。

[0029] PD ドープに用いられていたマスクパターンを一部改変して第 2 のレジストパターン 12 の形成に利用することとすれば、フォト工程を従来より増やすことなく本発明を実施できることとなるので、好ましい。このことを整理して言い換えれば、次のようになる。本発明に基づく表示装置の製造方法は

、好ましくは、前記第1の導電パターンを上面から厚み方向の途中までエッチング除去する工程より後に不純物注入用マスクを介して不純物を注入する工程を含み、前記第1の導電パターンを上面から厚み方向の途中までエッチング除去する工程で用いる前記第2のレジストパターンの形成には、前記不純物注入用マスクが用いられる。

[0030] 本実施の形態における表示装置の製造方法は、図21に示すように、さらに第1の導電パターン31を覆うように層間絶縁膜83を形成する工程S5と、層間絶縁膜83を覆うようにソースメタル層51を成膜する工程S6（図22参照）と、ソースメタル層86をパターニングして複数のソース配線111を形成する工程S7（図23参照）とを含むことが好ましい。この構成を採用することにより、ソース配線を備えていながら、ソース配線同士の間でのリーク電流の発生率を低減することができる。図21ではPDドープの工程は図示省略している。工程S6を終えた後の状態での、図13におけるX1V-X1V線に関する矢視断面図を図22に示す。さらに工程S7を終えた状態は図19に示したものとなる。この時点での平面図は図23に示すようになる。工程S1より前に半導体膜を形成する工程、半導体膜をパターニングする工程、絶縁膜を形成する工程および不純物注入などの工程を含んでもよい。工程S4の後かつ工程S6の前のいずれかの時点で半導体膜を形成する工程、半導体膜をパターニングする工程および不純物注入などの工程を含んでもよい。図23では、説明の便宜のため、半導体膜は図示省略している。

[0031] ソースメタル層はたとえばTi、Al、Tiをこの順に積み重ねた3層構造である。すなわち、図22に示すように、下から順にTi層5a、Al層5b、Ti層5cとなっている。この場合、本実施の形態における表示装置の製造方法を採用することにより、Ti層5aが不所望に残存することを防止することができる。ソースメタル層は、Ti、Al、Tiの3層構造とする代わりにMo、Al、Moの3層構造としてもよい。あるいは、ソースメタル層はこれら以外の材料からなるものであってもよい。ソースメタル層は

3層構造に限らない。ソースメタル層は、たとえば単層構造であってもよく、3以外の数の積層構造であってもよい。

[0032] なお、本実施の形態における効果をより詳しく示すために、図24を参照して説明する。図24は、図23にいくつかの線を追加的に記入した図である。図24では、第2のレジストパターンの外形線が細線で記入されている。図24では、いくつかのルートが太線で記入されている。図24において太線で示される複数のルートは、従来、ソース配線同士の間でリーク電流が生じる可能性があったルートである。しかし、本発明によれば、これらのルートの途中には、工程S4において、第2のレジストパターンの開口部として第1の導電パターン31を上面から厚み方向の途中までエッチング除去した箇所がある。それらの箇所ではオーバハング形状が局所的に解消されている。したがって、それらの箇所では、層間絶縁膜の段差に溝が生じないので、ソースメタル層が不所望に残ることは防止される。たとえ他の箇所でソースメタル層の材料が層間絶縁膜の段差の溝に残存し、そのようなソースメタルの残存部が連続していたとしても、工程S4で第2のレジストパターンの開口部とした箇所においては、ソースメタルの残存部は確実に途切れることとなるので、ソース配線同士の間でのリーク電流の発生率を低減することができる。

[0033] (実施の形態2)

図25、図26を参照して、本発明に基づく実施の形態2における表示装置について説明する。図25は、本実施の形態における表示装置100の平面図であるが、第2のレジストパターンが細線で重ねて表示されている。図25に示すように、本実施の形態における表示装置100は、複数の画素電極を薄膜トランジスタによってそれぞれ駆動する方式である。表示装置100は、前記薄膜トランジスタに信号を供給するために基板上に配置されたゲート配線112と、ゲート配線112と交差するようにゲート配線112より上側に配置された複数のソース配線111とを備える。ゲート配線112およびゲート配線112と同層のものとして形成された複数の導電体の集合

である第1の導電パターン31は、前記ソース配線同士の間位置する上端面部のいずれかの部位において、上面から厚み方向の途中まで除去された肩部6a、6bを有する。

[0034] 肩部6a、6bはいずれも、製造途中で第2のレジストパターンの開口部が設けられた部位である。最終製品には第2のレジストパターン自体は残っていないが、製造工程の途中で第2のレジストパターンの開口部が設けられていたことの名残は、当該部位の肩部として残っている。

[0035] 第1の導電パターン31のうち肩部6aの近傍の斜視図を図26に示す。ここでは第1の導電パターン31はゲート配線112となっているので、線状に延在する部材の一部の区間を取り出して表示している。図26では、断面形状をわかりやすくするために両端を垂直に切り落とした形状を想定して斜視図としている。肩部6aにおいては第1の導電パターン31の厚みが薄くなっており、たとえ肩部6a以外においては側面のオーバハング形状があったとしても肩部6aにおいては、側面のオーバハング形状はなくなっている。肩部6bにおいても同様である。

[0036] 本実施の形態における表示装置によれば、肩部においては層間絶縁膜の溝がなく、少なくとも肩部においては、ソースメタルの不所望な残存をより確実になくすることができるので、ソース配線同士の間でのリーク電流の発生率を低減することができる。

[0037] なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

産業上の利用可能性

[0038] 本発明は、表示装置およびその製造方法に利用可能である。

符号の説明

[0039] 4 開口部、5a、5c Ti層、5b Al層、6a、6b 肩部、11 第1のレジストパターン、12 第2のレジストパターン、31 第1

の導電パターン、５１ ソースメタル層、７９ 基板、８０ ゲートメタル層、８１ a, ８１ b 導電パターン、８２ a, ８２ b レジストパターン、８３ 層間絶縁膜、８４, ８５ （側壁に相当する）部分、１００ 表示装置、１０１ ソースドライバ、１０２ ゲートドライバ、１０５ 制御部、１１０ 画素、１１１ ソース配線、１１２ ゲート配線、１１５ T F T、１１６ 補助容量電極。

請求の範囲

- [請求項1] 複数の画素電極を薄膜トランジスタによってそれぞれ駆動する方式であり、前記薄膜トランジスタに信号を供給するために基板（79）上に配置されたゲート配線（112）と、前記ゲート配線と交差するように前記ゲート配線より上側に配置された複数のソース配線（111）とを備える表示装置の製造方法であって、
- 前記基板の表面にゲート金属層（80）を成膜する工程と、
- 前記ゲート金属層の上面の一部を覆うように第1のレジストパターン（11）を形成する工程と、
- 前記第1のレジストパターンをマスクとして前記ゲート金属層をエッチングすることによって前記ゲート配線を含む第1の導電パターン（31）を形成する工程と、
- 前記第1の導電パターンのうち前記ソース配線同士の間位置する部位において、前記第1の導電パターンのうち上面端部の一部を露出させて他の部分は覆い隠すように第2のレジストパターン（12）を形成した状態で、前記上面端部の一部において前記第1の導電パターンを上面から厚み方向の途中までエッチング除去する工程とを含む、表示装置の製造方法。
- [請求項2] 前記第1の導電パターンを上面から厚み方向の途中までエッチング除去する工程より後に不純物注入用マスクを介して不純物を注入する工程を含み、
- 前記第1の導電パターンを上面から厚み方向の途中までエッチング除去する工程で用いる前記第2のレジストパターンの形成には、前記不純物注入用マスクが用いられる、請求項1に記載の表示装置の製造方法。
- [請求項3] 前記第1の導電パターンを覆うように層間絶縁膜（83）を形成する工程と、
- 前記層間絶縁膜を覆うようにソース金属層（51）を成膜する工

程と、

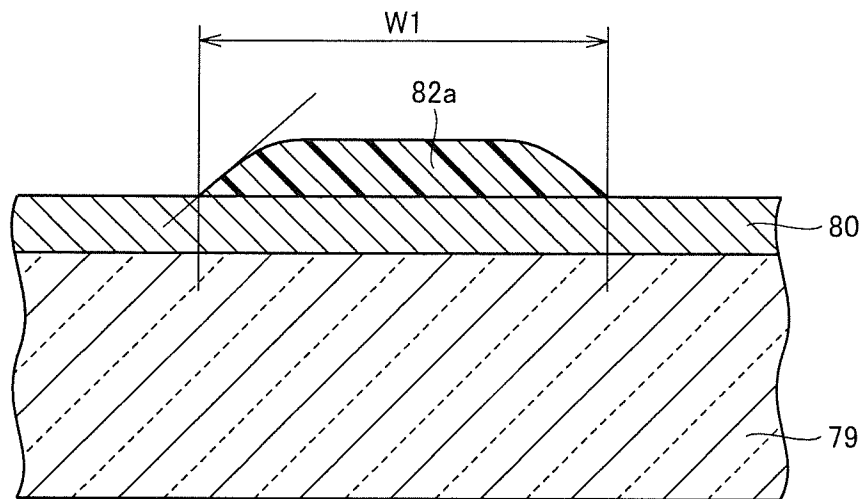
前記ソースメタル層をパターンニングして前記複数のソース配線を形成する工程とを含む、請求項 1 または 2 に記載の表示装置の製造方法。

[請求項4]

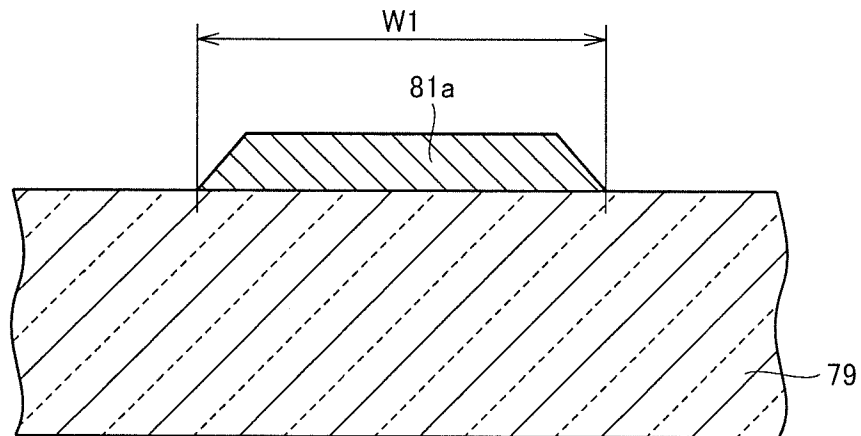
複数の画素電極を薄膜トランジスタによってそれぞれ駆動する方式であり、前記薄膜トランジスタに信号を供給するために基板上に配置されたゲート配線（112）と、前記ゲート配線と交差するように前記ゲート配線より上側に配置された複数のソース配線（111）とを備え、

前記ゲート配線および前記ゲート配線と同層のものとして形成された複数の導電体の集合である第1の導電パターン（31）は、前記ソース配線同士の間位置する上面端部のいずれかの部位において、上面から厚み方向の途中まで除去された肩部（6a, 6b）を有する、表示装置（100）。

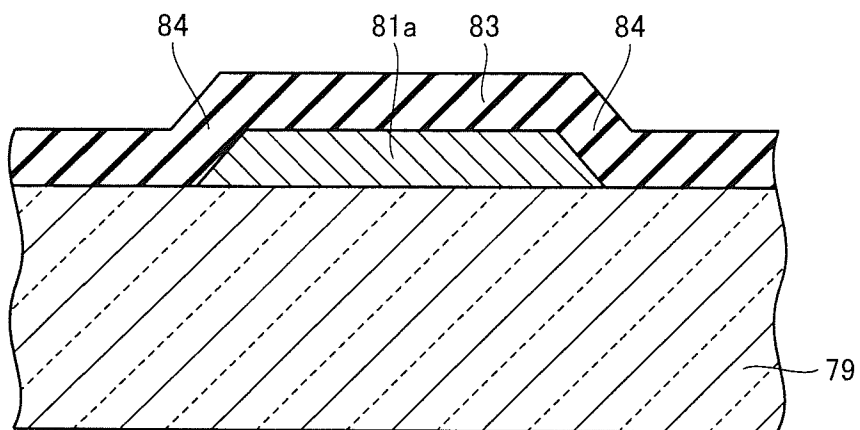
[図1]



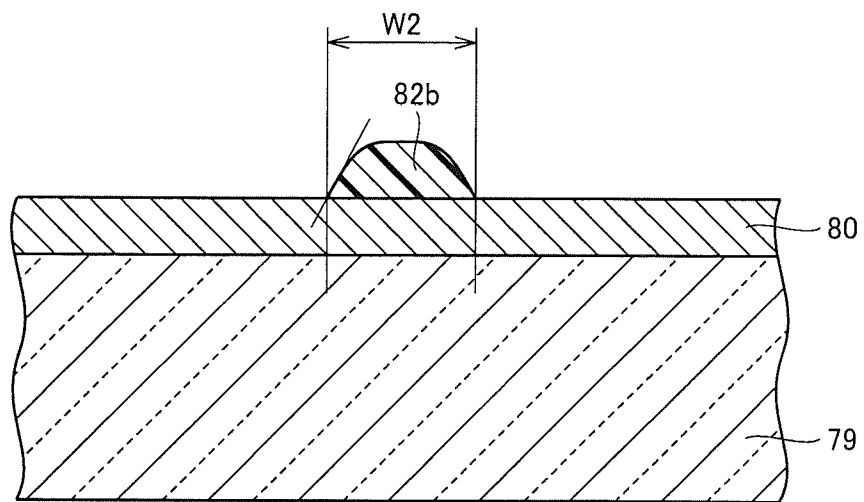
[図2]



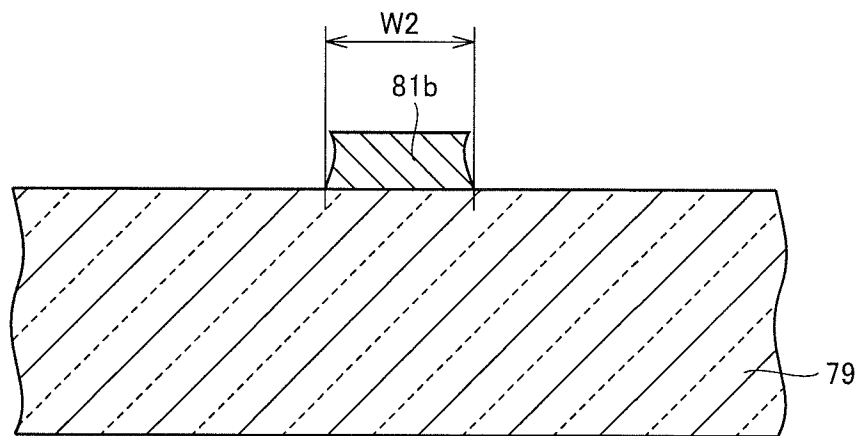
[図3]



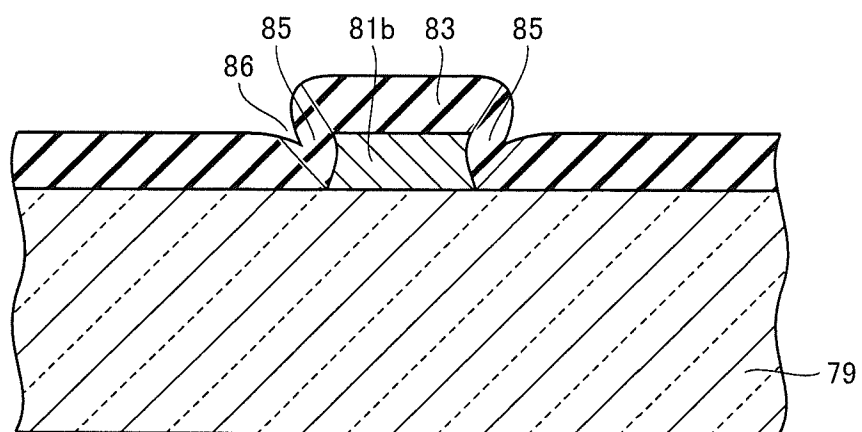
[図4]



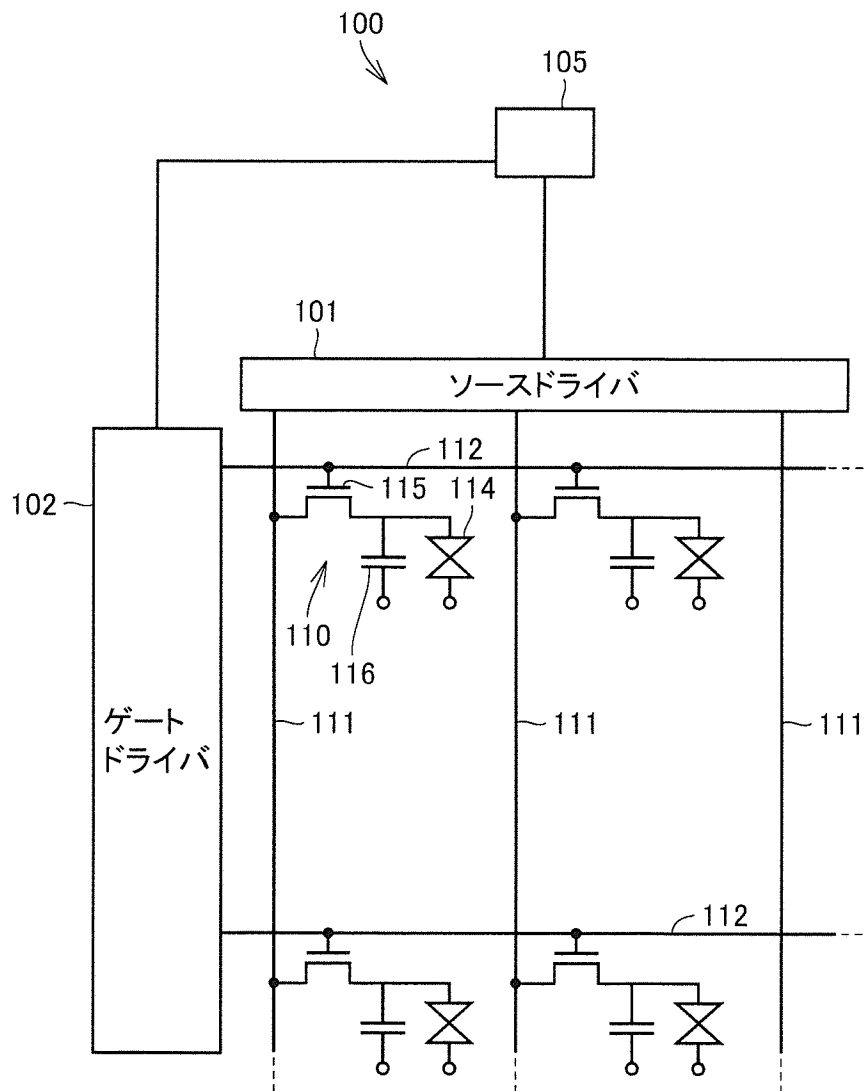
[図5]



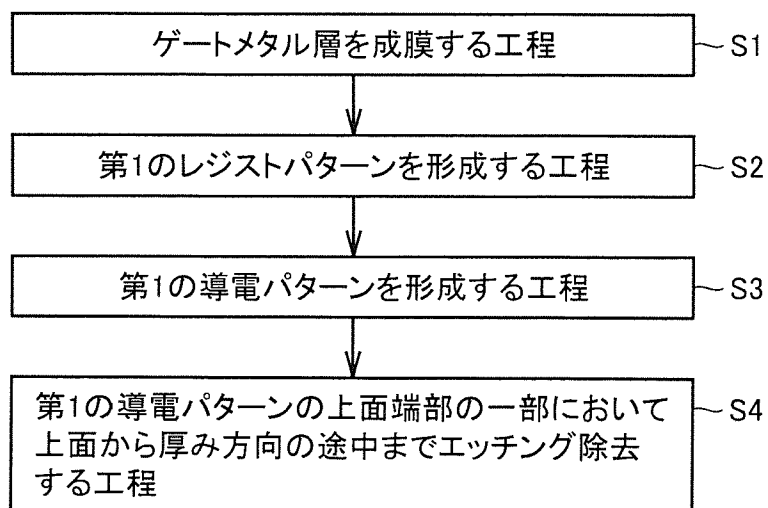
[図6]



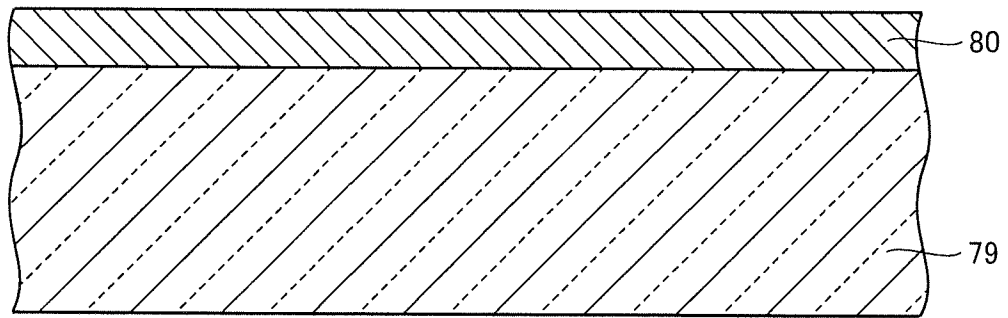
[図7]



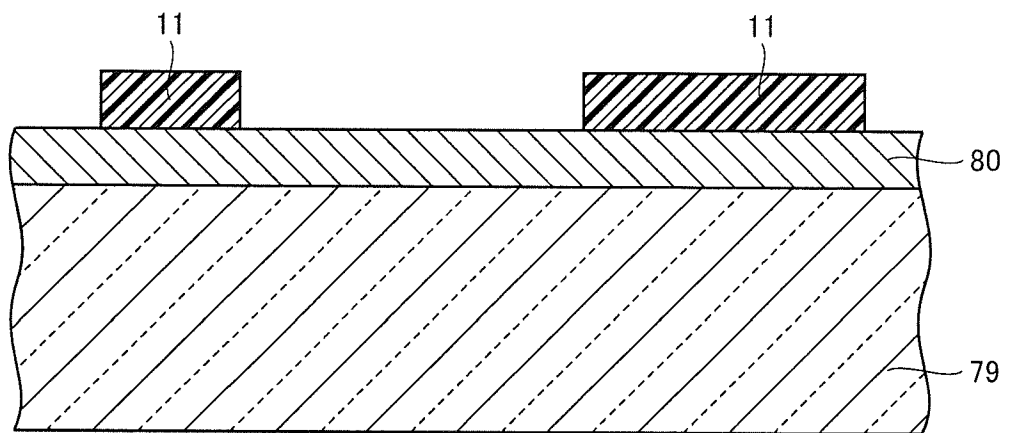
[図8]



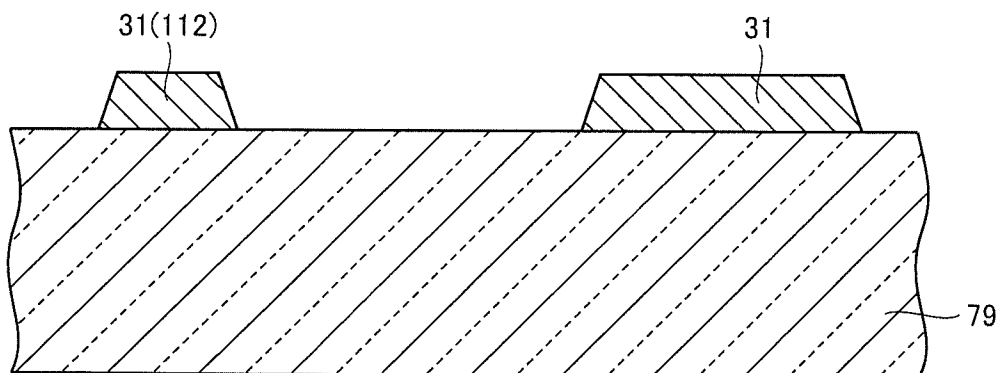
[図9]



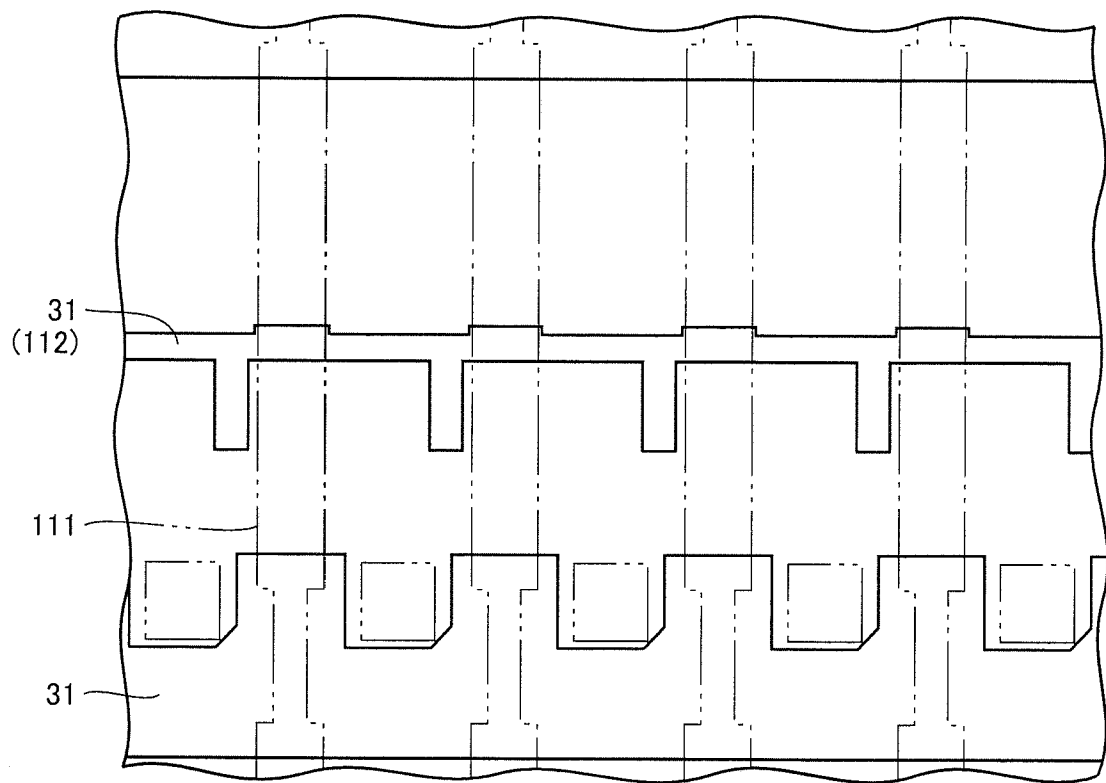
[図10]



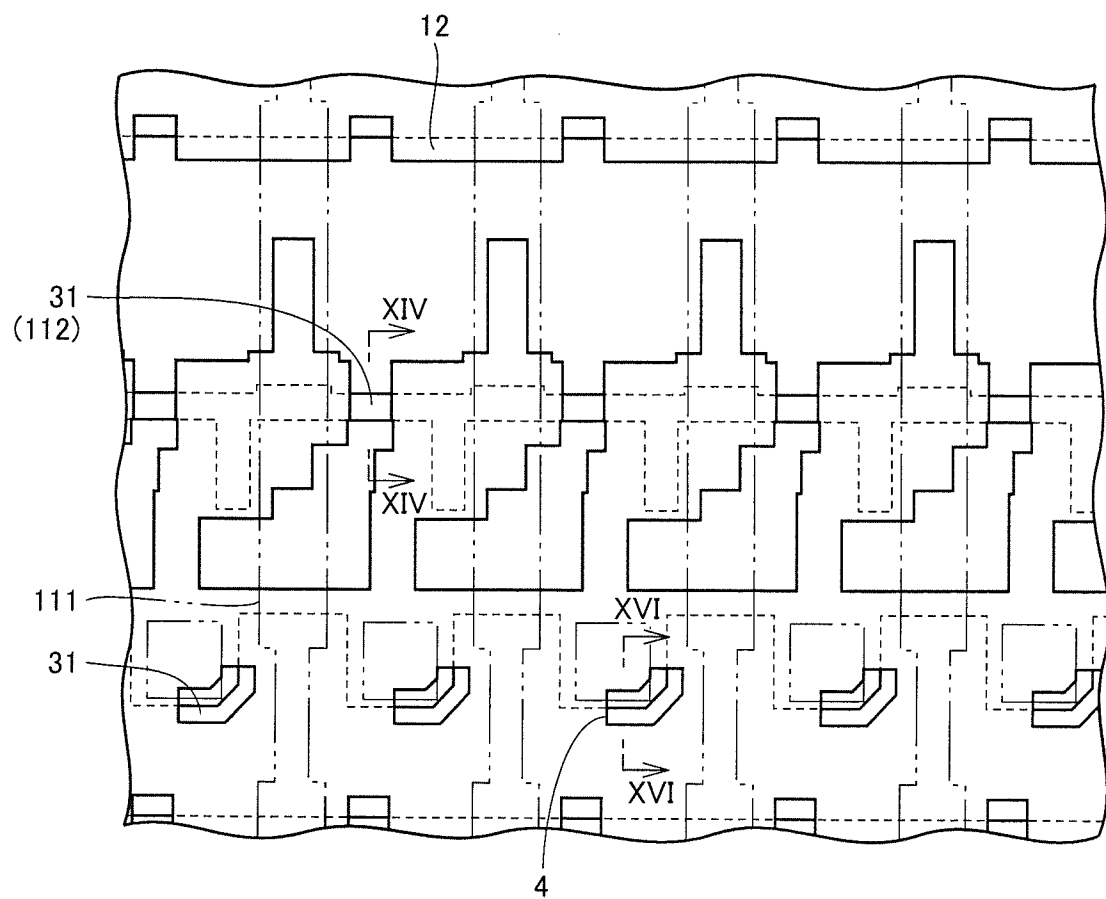
[図11]



[図12]

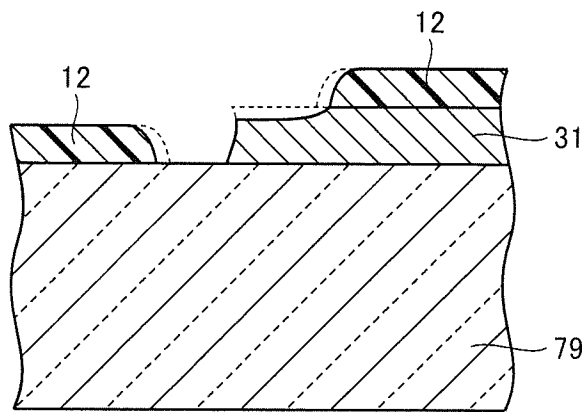


[図13]

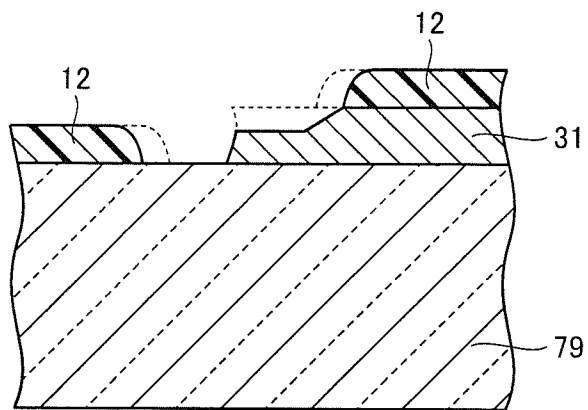


A cross-sectional view of a substrate 79. The substrate is a large rectangular block with diagonal hatching. A smaller, rectangular protrusion is located on the top surface of the substrate. This protrusion is labeled 31(112) and has a different hatching pattern (darker diagonal lines). The top surface of the protrusion is indicated by a dashed line.

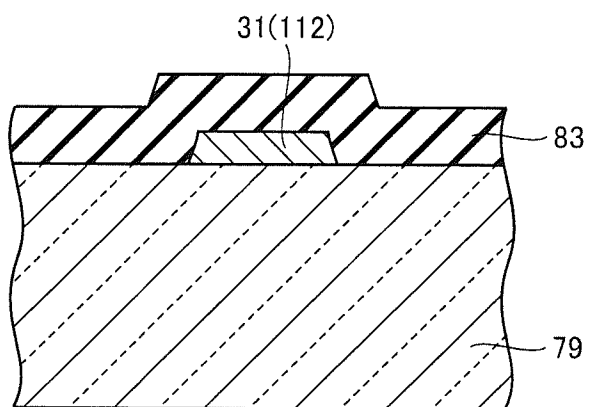
[図17]



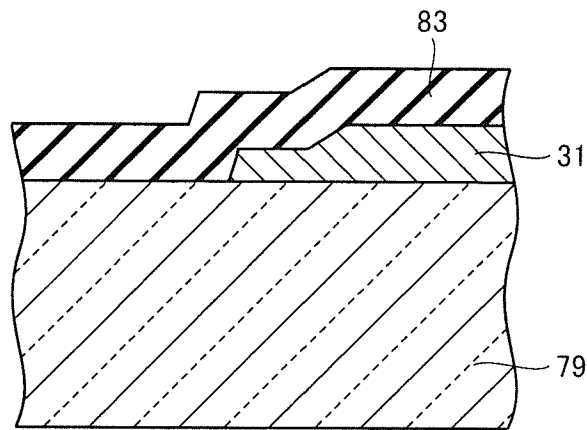
[図18]



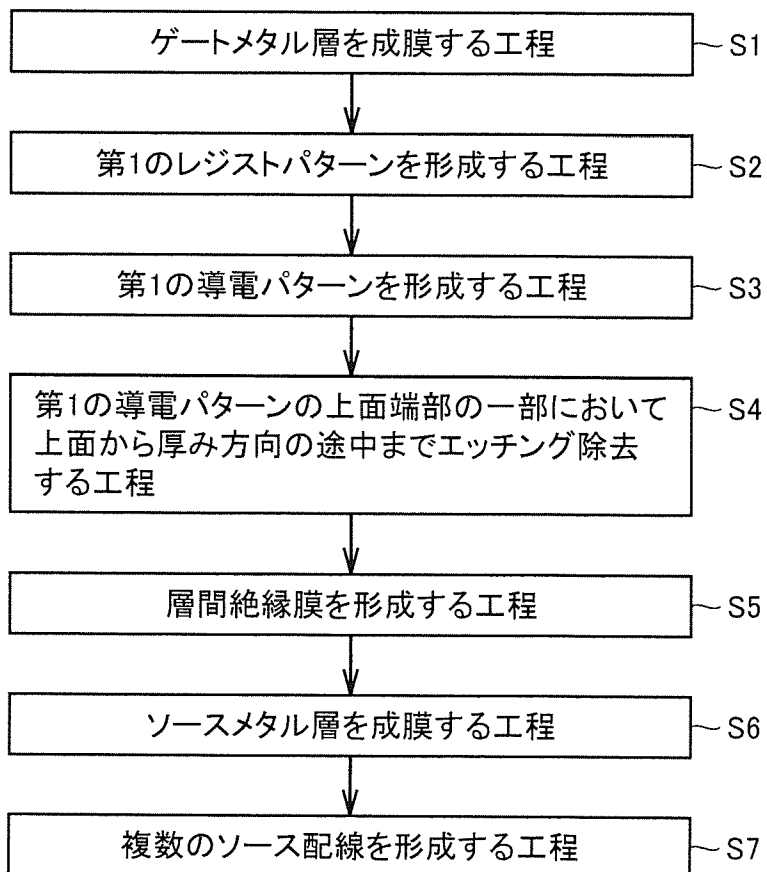
[図19]



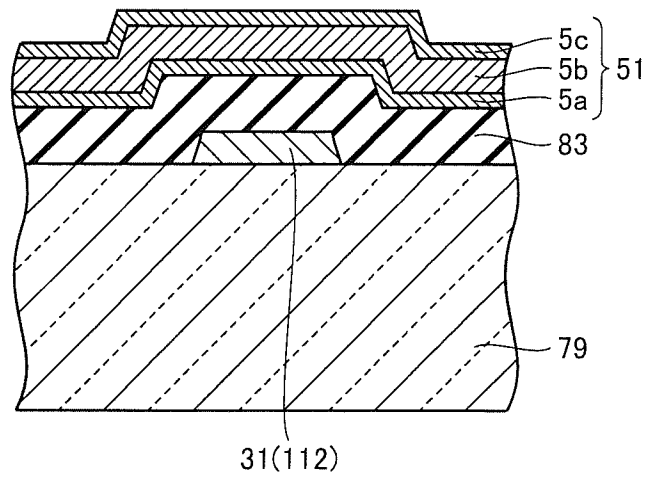
[図20]



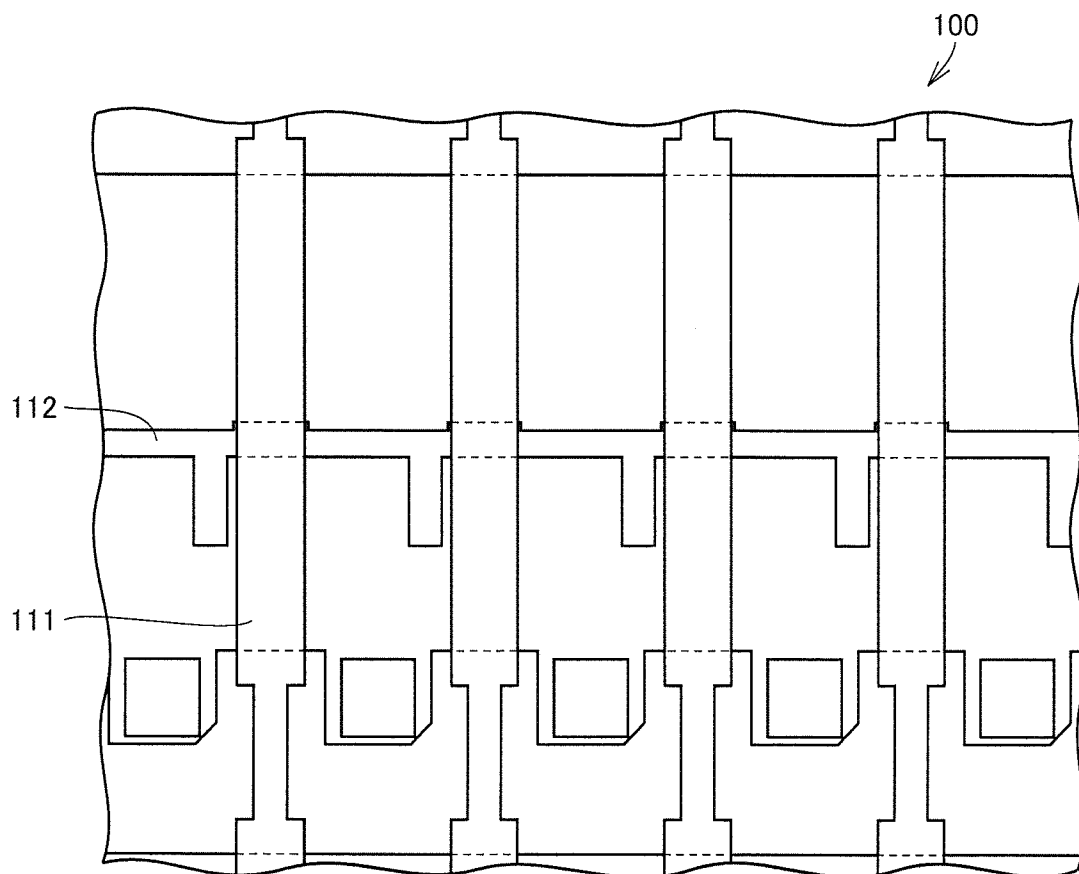
[図21]



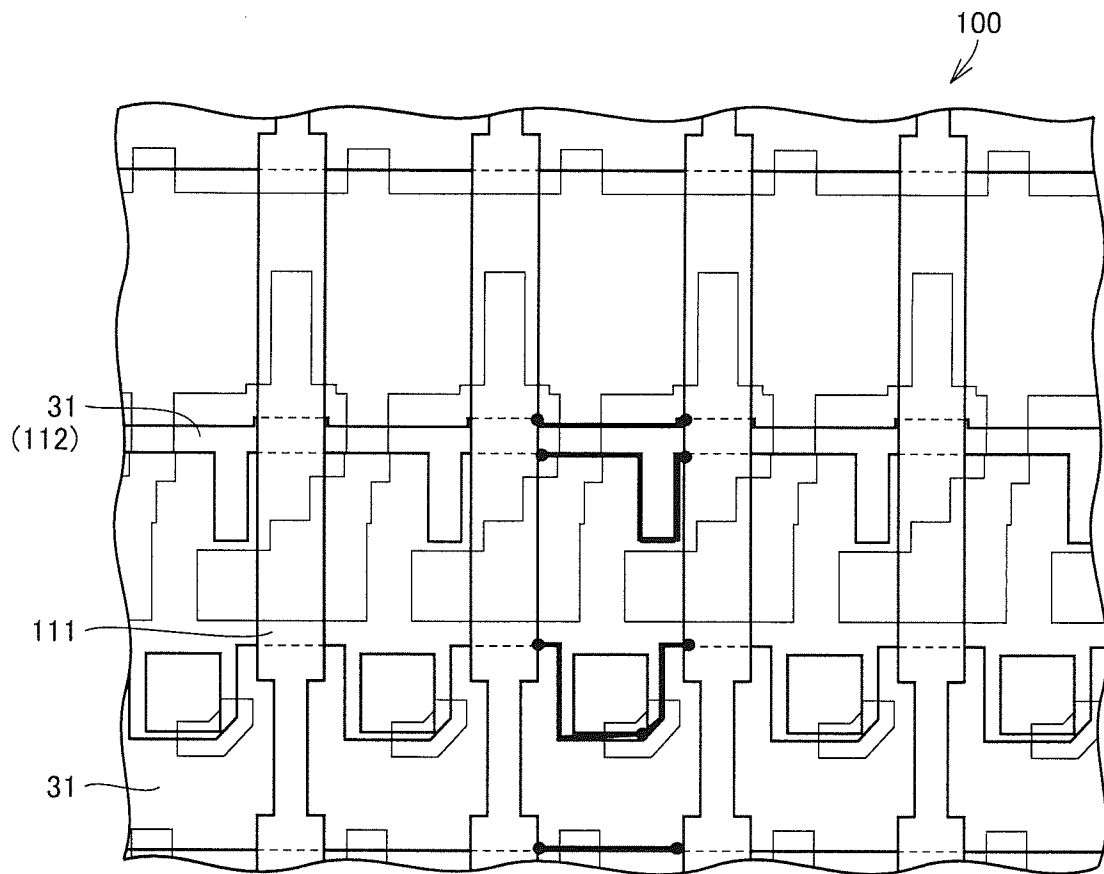
[図22]



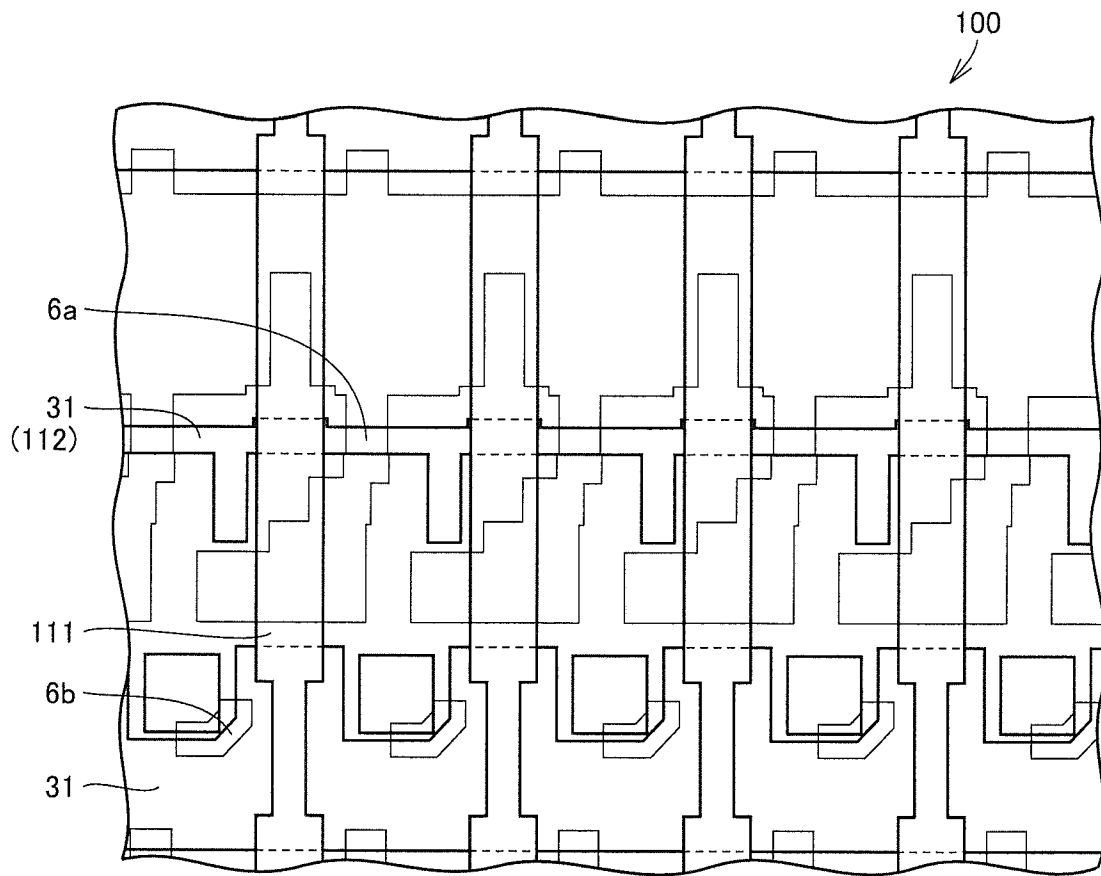
[図23]



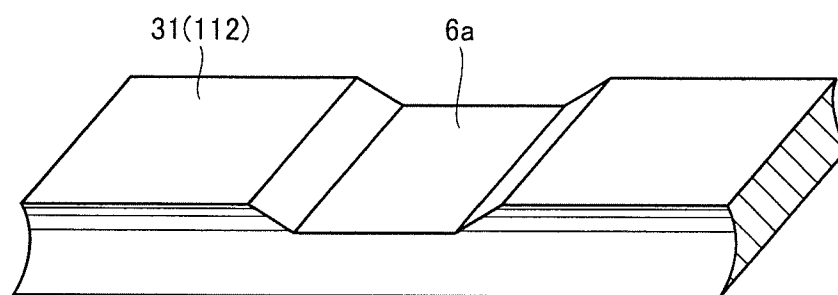
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076802

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-190598 A (Matsushita Electric Industrial Co., Ltd.), 05 July 2002 (05.07.2002), paragraphs [0030] to [0042]; fig. 1 to 3 (Family: none)	4 1-3
A	JP 10-319441 A (Fujitsu Ltd.), 04 December 1998 (04.12.1998), paragraphs [0006] to [0037]; fig. 1 to 11 & US 2001/0001482 A1 & TW 392361 B	1-4
A	JP 2009-158940 A (Semiconductor Energy Laboratory Co., Ltd.), 16 July 2009 (16.07.2009), entire text; all drawings & US 2009/0140438 A1 & CN 101452906 A & KR 10-2009-0057923 A	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

23 January, 2012 (23.01.12)

Date of mailing of the international search report

07 February, 2012 (07.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1368, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2002-190598 A (松下電器産業株式会社) 2002. 07. 05, 【0030】 - 【0042】 及び図 1-3 (ファミリーなし)	4 1-3
A	JP 10-319441 A (富士通株式会社) 1998. 12. 04, 【0006】 - 【0037】 及び図 1-11 & US 2001/0001482 A1 & TW 392361 B	1-4
A	JP 2009-158940 A (株式会社半導体エネルギー研究所) 2009. 07. 16, 全文及び全図 & US 2009/0140438 A1 & CN 101452906 A & KR 10-2009-0057923 A	1-4

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 1 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

松本 陶子

4 L

4 4 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8