

公告本

申請日期: 89.4.29

案號: 89108197

類別:

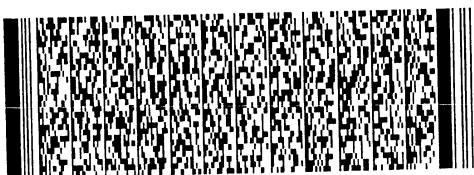
H01L 21/336 27/11

(以上各欄由本局填註)

發明專利說明書

478075

一、發明名稱	中文	半導體裝置
	英文	Semiconductor Device
二、發明人	姓名 (中文)	1. 芦田基 2. 神谷好一 3. 浜砂崇二
	姓名 (英文)	1. 2. 3.
	國籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號三菱電機株式會社內 2. 同1 3. 同1
三、申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利
日本 JP

申請日期
1999/10/25

案號
11-302270

主張優先權
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之領域

本發明係關於一種半導體裝置，尤其是關於一種具備靜態隨機存取記憶體(以下記為「SRAM」)單元的半導體裝置。

背景技術之說明

近年來，為了儘量在攜帶機器中使電池可長時間使用，而內藏於攜帶機器內的半導體電池之省能源化及低電壓化就變得重要起來。隨之，可低消耗電力化且可低電壓動作化的SRAM之需求就益加擴展起來。

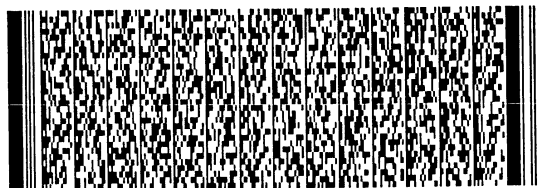
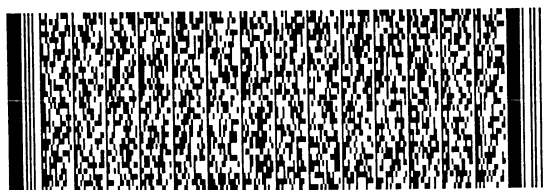
為了對應此種的要求，SRAM之記憶體單元，可採用CMOS型記憶體單元。CMOS型記憶體單元，係由四個n通道型MOS電晶體與二個p通道型MOS電晶體所構成。

一般在SRAM記憶體單元中，可採用二個存取電晶體及二個驅動電晶體。在CMOS型記憶體單元的情況，除了該等電晶體之外，更可採用二個負載電晶體以作為負載元件。

其次，使用圖說明習知之CMOS型記憶體單元。參照圖19，在矽基板之表面上形成有依場隔離膜103所區隔的元件形成區域120a、120b、120c、120d。在元件形成區域120a上，形成有存取電晶體T1、驅動電晶體T3。

在元件形成區域120b上，形成有存取電晶體T2、驅動電晶體T4。在元件形成區域120c上，形成有負載電晶體T5。在元件形成區域120d上，形成有負載電晶體T6。

以穿過元件形成區域120a、120b之方式形成有閘極104c。又，以穿過元件形成區域120a、120c之方式形成有



五、發明說明 (2)

閘極104a。以穿過元件形成區域120b、120d之方式形成有閘極104b。並形成有露出元件形成區域120a之表面的接觸孔112a、112b、112c。

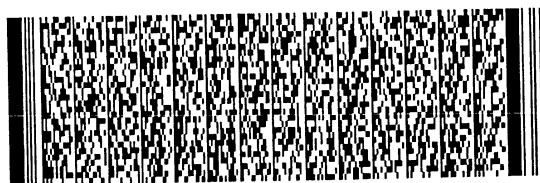
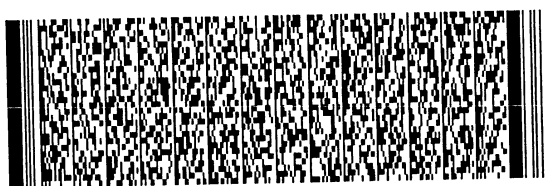
形成有露出元件形成區域120b之表面的接觸孔112d、112e、112f。形成有露出元件形成區域120c之表面的接觸孔112g、112h。形成有露出元件形成區域120d之表面的接觸孔112i、112j。

又，形成有露出n井102b之表面的接觸孔112k、112m。另外，閘極104d，係鄰接之其他記憶體單元的閘極。在一個SRAM中，此種的記憶體單元係有複數個形成於矽基板上。

其次，有關上述記憶體單元之製造方法之一例，係根據圖19所示之剖面線XX-XX加以說明。參照圖20，在矽基板101之預定區域上形成p井102a。在該p井102a之表面上，介著閘極絕緣膜105並以閘極上層絕緣膜106a、106b為光罩(mask)而分別形成有閘極104a、104d。

以該閘極104a、104d及閘極上層絕緣膜106a、106b為光罩，藉由植入例如磷等的雜質以分別形成n⁻汲極區域109a及n⁻源極區域109b。

其次，參照圖21，利用例如CVD法等形成矽氧化膜(未圖示)用以覆蓋閘極104a、104d及閘極上層絕緣膜106a、106b。藉由對該矽氧化膜施予異方性蝕刻術，以在閘極104a之兩側面上形成側壁絕緣膜107a。又，在閘極104d之兩側面上分別形成側壁絕緣膜107b。



五、發明說明 (3)

以該側壁絕緣膜107a、107b及閘極上層絕緣膜106a、106b為光罩，藉由植入n型雜質以分別形成n⁺汲極區域110a、n⁺源極區域110b。

其次，參照圖22，在矽基板101上利用CVD法形成由矽氧化膜所構成的層間絕緣膜111用以覆蓋側壁絕緣膜107a、107b及閘極上層絕緣膜106a、106b。在該層間絕緣膜111上形成預定的光阻圖案(未圖示)。

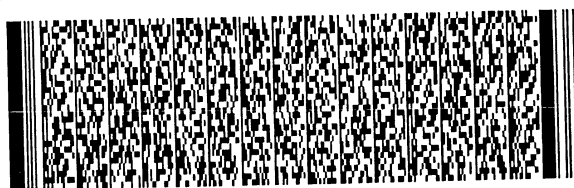
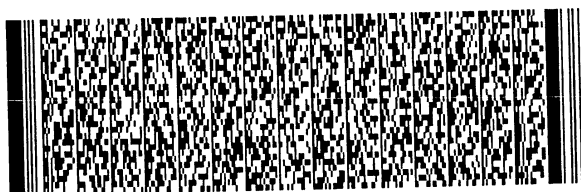
以該光阻圖案為光罩藉由在層間絕緣膜111上施予異方性蝕刻術，以形成露出n⁺汲極區域110a之表面的接觸孔112b。又，形成露出n⁺源極區域110b之表面的接觸孔112c。

其次參照圖23，利用例如濺鍍法形成由鈦膜及鈦氮化物膜所構成的障壁金屬(barrier metal)113用以覆蓋接觸孔112a、112c之側面、底面及層間絕緣膜111之上面。在該障壁金屬113上，利用例如CVD法形成鎢膜(未圖示)。

在該鎢膜上形成光阻圖案(未圖示)。以該鎢膜為光罩，藉由對鎢膜及障壁金屬膜113施予異方性蝕刻術以形成配線層114a、114b、114c。利用以上之製程，完成SRAM之記憶體單元的主要部分。

在上述SRAM之記憶體單元中，有關一個記憶體單元係有必要形成六個MOS電晶體。因此，若與不應用電晶體之例如其他高電阻型之記憶體單元以作為負載元件的情況相比較時，則記憶體單元之佔有面積就會變大。

又，與電晶體電連接用的接觸孔，亦有必要就各自的電



五、發明說明 (4)

晶體加以設計。該等結果，有時會使半導體晶片之尺寸變大。

因此，為了解除此種的問題點，當欲採用例如將接觸孔更靠近閘極，或縮窄元件形成區域的對策時，就會有如下所示之問題點。

首先，在將接觸孔靠近閘極時，例如在圖22所示之製程中形成有接觸孔112c時，閘極104a之表面有時會露出。因此，埋設於接觸孔112c內的鎢與閘極104a有時會短路。

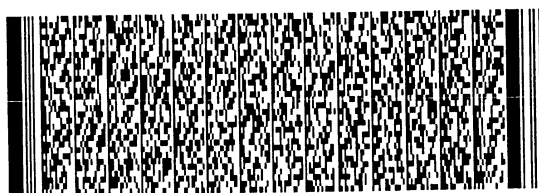
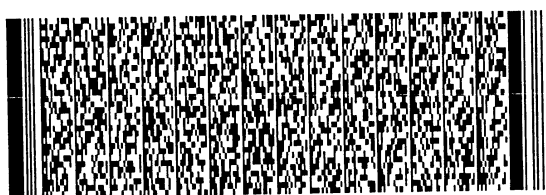
又，當欲縮窄元件形成區域時，例如在圖22所示之製程中形成有接觸孔112b時，場隔離膜103有時會被過度蝕刻。因此，有時電流會從形成於接觸孔112b內的鎢介以場隔離膜103過度被蝕刻的部分而漏洩至p井102中。

因此，就無法輕易縮窄記憶體單元之佔有面積，且無法更加縮小晶片尺寸。

發明之概述

本發明係為了解決上述問題點而成者，其目的在於獲得一種可進行所期望之動作且更加縮小晶片尺寸的半導體裝置。

本發明之第一局面的半導體裝置，其係包含有：第一導電型區域、元件形成區域、半導體元件、絕緣膜及第一接觸孔。第一導電型區域，係形成於半導體基板之主表面上。元件形成區域，係在半導體基板之主表面上依元件隔離膜而區隔，且形成於第一導電型區域之表面上。半導體元件，係形成於元件形成區域上。絕緣膜，係形成於半導

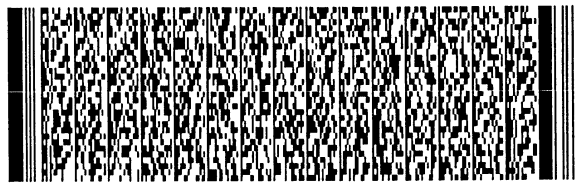
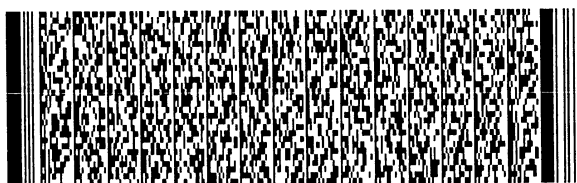


五、發明說明 (5)

體基板上用以覆蓋半導體元件。第一接觸孔，係形成於絕緣膜上，且露出元件形成區域之表面上。而該半導體元件具有電極部、第二導電型之一對第一雜質區域及第二導電型之第二雜質區域。電極部，係以穿過元件形成區域之方式所形成。第二導電型之一對第一雜質區域，係夾住電極部而形成於元件形成區域之一方側及另一方側，且具有第一雜質濃度。第二導電型之第二雜質區域，係以包含第一接觸孔之接觸部分的方式形成於第一雜質區域之中之至少一方的區域上，且具有高於第一雜質濃度的第二雜質濃度。在絕緣膜與半導體元件之間，係以直接接觸電極部之兩側面並覆蓋電極部之方式，形成有蝕刻特性與絕緣膜相異的蝕刻阻止膜。第一接觸孔，係配置成以平面方式與電極部相重疊(overlap)。另外，所謂以平面方式重疊，係指對半導體裝置之佈局圖案(layout pattern)重疊之意。以下亦同。

若依據該半導體裝置，則即使將第一接觸孔配置在以平面方式與電極部相重疊的位置上，由於亦可依直接接觸電極部之側面的蝕刻阻止膜來覆蓋電極部，所以電極部之表面不會因形成第一接觸孔時的蝕刻而露出，而元件形成區域之表面則會自我對準地露出。因此，電極部與埋設於第一接觸孔內的配線材料就不會發生短路現象。結果，可獲得具有更被縮小的晶片尺寸並進行所期望之動作的半導體裝置。

較佳者為，絕緣膜包含有矽氧化膜，而蝕刻阻止膜至少



五、發明說明 (6)

包含有矽氮化膜。

此情況下，就可提高絕緣膜之蝕刻速率對形成第一接觸孔時之蝕刻阻止膜之蝕刻速率的比(蝕刻選擇比)，且實質上不會蝕刻矽氮化膜而可蝕刻矽氧化膜。

更佳者為，蝕刻阻止膜更包含有形成於矽氮化膜之下側的矽氧化膜。

此情況下，就可更提高蝕刻選擇比。

更佳者為，絕緣膜含有用以提高與蝕刻阻止膜之蝕刻選擇比的雜質。

此情況下，就可更提高蝕刻選擇比。

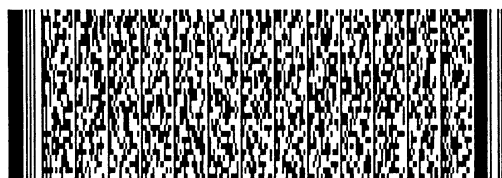
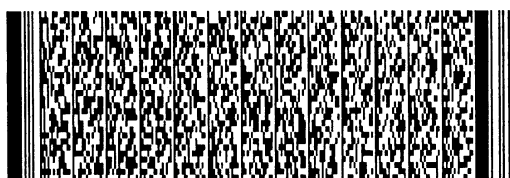
較佳者為，該種的雜質係為磷或硼。

較佳者為，更包含有與電極部隔著間隔，並以穿過元件形成區域之方式所形成之其他的電極部，而其他的電極部，係依至少直接接觸側面的蝕刻阻止膜而被覆蓋，第一接觸孔，係配置成以平面方式與其他的電極部相重疊。

此情況下，藉由將第一接觸孔配置成以平面方式與其他的電極部相重疊，即可輕易將具有複數個電極部之半導體裝置的晶片尺寸縮小化。

又，較佳者為，電極部與其他的電極部之間隔係比蝕刻阻止膜之膜厚的2倍還長，而蝕刻阻止膜之膜厚，係比電極部及其他的電極部之高度還薄。

此情況下，就可使位於形成第一接觸孔時所鄰接的電極部與其他的電極部之間的元件形成區域之表面自我對準地確實露出。



五、發明說明 (7)

更佳者為，第二雜質區域，係依介以第一接觸孔之接觸部分導入雜質而形成者。

此情況下，就可介以接觸部分而容易自我對準地形成第二雜質區域。

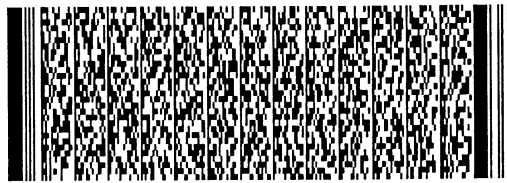
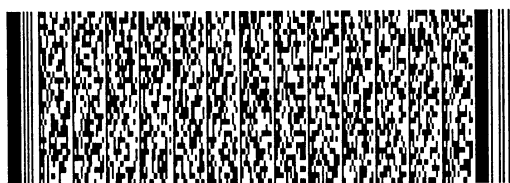
較佳者為，更包含有：形成於絕緣膜上，且配置成不以平面重疊在電極部上的第二接觸孔；以及其包含第二接觸孔之接觸部分，並形成於第一雜質區域之中之另一方區域上，且具有高於第一雜質濃度的第三雜質濃度的第二導電型之第三雜質區域，而半導體元件係包含有第三雜質區域的電晶體，第三雜質區域與第三雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離，係比第二雜質區域與第二雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離還長。

此情況下，在具有一對雜質區域、第二雜質區域及第三雜質區域之電晶體中，就可在第三雜質區域與該第三雜質區域所位置之側的電極部之側面正下方之間，具有由第一雜質區域所構成的一種寄生電阻。具有此種寄生電阻的電晶體，係可意圖降低電流驅動能力。

較佳者為，該第三雜質區域，係依介以第二接觸孔之接觸部分導入雜質而形成者。

此情況下，就可介以接觸部分而容易自我對準地形成第三雜質區域。

較佳者為，元件隔離絕緣膜係依蝕刻阻止膜而被覆蓋，第一或第二接觸孔，係配置成分別以平面方式與元件隔離



五、發明說明 (8)

絕緣膜相重疊。

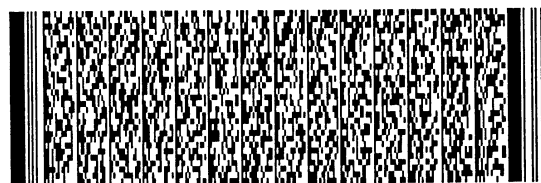
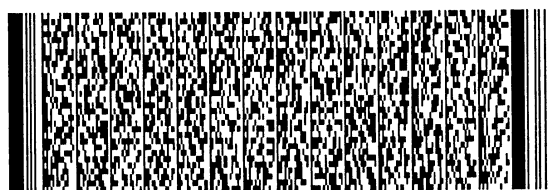
此情況下，就可更縮窄元件形成區域，且可更進而縮小半導體裝置之晶片尺寸。又，由於元件隔離絕緣膜係依蝕刻阻止膜而覆蓋，所以在形成各自的接觸孔時元件隔離絕緣膜不會過度被蝕刻。又，由於介以該各自的接觸孔之接觸部分導入雜質而可形成第二或第三雜質區域，所以可抑制電流從元件隔離絕緣膜與元件形成區域之境界附近洩漏。

較佳者為，更包含有：形成於絕緣膜上且配置成以平面重疊在電極部上的第三接觸孔；以及包含第三接觸孔之接觸部分，並形成於第一雜質區域之中之另一方區域上，且具有高於第一雜質濃度的第三雜質濃度的第二導電型之第四雜質區域，而半導體元件係更包含第四雜質區域的電晶體，第四雜質區域與第四雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離，係與第二雜質區域與第二雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離實質相同。

此情況下，在具有電極部、一對第一雜質區域、第二雜質區域及第四雜質區域的電晶體中，藉由具有上述的距離關係，就可減低動作之不均等且可使電晶體之動作穩定。

較佳者為，在第一接觸孔與第三接觸孔以平面方式與電極部相重疊的部分上，電極部之電極長度係比其他的部分還長者。

此情況下，實質上不會擴展元件形成區域，而可輕易形



五、發明說明 (9)

成夾住電極部且位於一方側與另一方側的第一接觸孔與第三接觸孔。

又，較佳者為，第一或第三接觸孔，係配置成以平面方式與各自的元件隔離絕緣膜相重疊者。

此情況下，就可更縮窄元件形成區域，且更可謀求半導體裝置之晶片尺寸的縮小化。又，藉由元件隔離膜係由蝕刻阻止膜所覆蓋，所以在形成第一及第三接觸孔時，可抑制元件隔離絕緣膜被過度蝕刻，甚至於可抑制洩漏電流。

更佳者為，第四雜質區域係依介以第三接觸孔之接觸部分導入雜質而形成者。

此情況下，就可介以接觸部分而容易自我對準地形成第四雜質區域。

較佳者為，更包含有：形成於絕緣膜上且配置成不以平面重疊在電極部上的第二接觸孔；包含第二接觸孔之接觸部分，並形成於第一雜質區域中之另一方區域上，且具有高於第一雜質濃度的第二雜質濃度的第二導電型之第三雜質區域；形成於絕緣膜上，且配置成以平面重疊在電極部上的第三接觸孔；以及包含第三接觸孔之接觸部分，並形成於第一雜質區域中之另一方區域上，且具有高於第一雜質濃度的第二雜質濃度的第二導電型之第四雜質區域。然後在半導體基板上形成有複數個半導體裝置，而較佳者為，半導體元件，係包含有，具有電極部、一對第一雜質區域、第二雜質區域及第三雜質區域的第一電晶體；以及具有電極部、一對第一雜質區域、第二雜質區域及第



五、發明說明 (10)

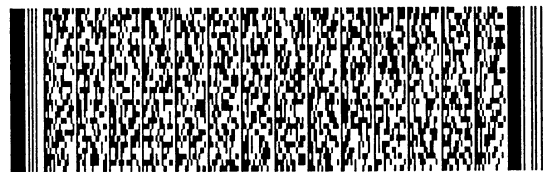
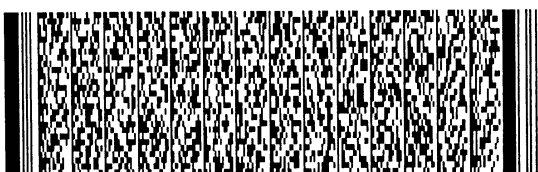
四雜質區域的第二電晶體。更且，第三雜質區域與第三雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離，係比第二雜質區域與第二雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離還長，而第四雜質區域與第四雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離，係與第二雜質區域與第二雜質區域所位置之側的電極部之側面正下方之半導體基板之主表面的距離實質相同。

此情況下，第一電晶體，因具有上述之寄生電阻，而可意圖降低其動作能力(電流驅動能力)。又，第二電晶體，因未具有該種寄生電阻，而可抑制動作之不均等且可使動作穩定。

又，較佳者為，包含有：交叉連接閘極與汲極的一對驅動電晶體；在驅動電晶體之各個汲極上連接有源極的一對存取電晶體；以及在驅動電晶體之各個汲極上連接有汲極，在驅動電晶體之各個閘極上連接有閘極的一對負載電晶體，而存取電晶體係為第一電晶體，驅動電晶體及負載電晶體係為第二電晶體。

此情況下，特別是藉由將靜態記憶體單元之存取電晶體當作第一電晶體，依寄生電阻之存在即可意圖降低存取電晶體之電流驅動能力，並可增大驅動電晶體之電流驅動能力對存取電晶體之電流驅動能力的比(β 比)。結果，可穩定靜態記憶體單元之動作。

較佳者為，更包含有：以填滿第一接觸孔之方式所形成



五、發明說明 (11)

的導電體部；以及形成於絕緣膜上且與導電體部電連接的配線層，該配線層係局部覆蓋在導電體部之上面，而未被配線層覆蓋之導電體部之上面，係位在低於絕緣膜之上面的位置上。

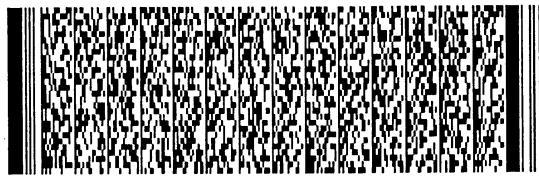
此情況下，可縮小相鄰配線層之實質的水平間隔，並可更加縮小配線形成區域甚至於半導體裝置之晶片尺寸。

又，較佳者為，更包含有形成於絕緣膜及元件隔離絕緣膜上，且露出第一導電型之區域表面的第四接觸孔。

此情況下，用以穩定第一導電型之區域電位的第四接觸孔就不會受到佈局圖案限制而可輕易形成。

本發明之第二局面的半導體裝置，其係包含有絕緣膜、接觸孔、導電體部及配線層。絕緣膜，係形成於半導體基板之主表面上。接觸孔，係形成於絕緣膜上且露出半導體基板之主表面上。導電體部，係埋設於接觸孔內。配線層，係形成於絕緣膜上且與導電體部電連接。該配線層係用以覆蓋導電體部之上面的一部分，而未依配線層而被覆蓋的導電體部之上面，係位在低於絕緣膜之上面的位置上。

若依據該半導體裝置，則藉由將未被配線層覆蓋的導電體部之上面位於比絕緣膜之上面還低的位置上，即可縮小連接導電體部之配線層與其他的配線層之實質的水平距離。藉此，就可縮小用以形成配線層的區域甚至於半導體裝置的晶片尺寸。

較佳具體例之說明

五、發明說明 (12)

實施形態1

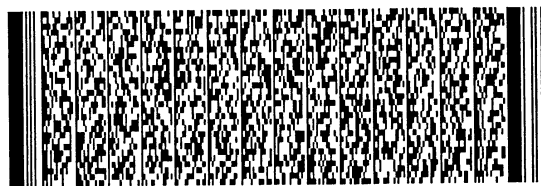
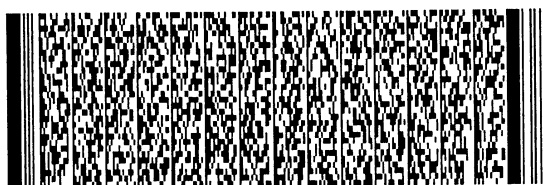
就具有本發明實施形態1之靜態記憶體單元的半導體裝置加以說明。靜態記憶體單元之等效電路與其平面構造係分別顯示於圖1及圖2中。參照圖1及圖2，在SRAM中，係在配置成矩陣狀的互補型資料線(位元線)與字線之交叉部分上配置有記憶體單元。記憶體單元係由正反器電路和二個存取電晶體T1、T2所構成。

在正反器電路中，係藉由分別交叉連接例如由負載電晶體T5和驅動電晶體T3所構成的一個反相器、由負載電晶體T6和驅動電晶體T4所構成之另一個反相器、輸入端子及輸出端子，而構成二個儲存節點N1、N2。

存取電晶體T1及驅動電晶體T3，係形成於元件形成區域20a上。存取電晶體T2及驅動電晶體T4，係形成於元件形成區域20b上。存取電晶體T1及存取電晶體T2之閘極4c，係以穿過元件形成區域20a、20b的方式所形成。

負載電晶體T5係形成於元件形成區域20c上。負載電晶體T6係形成於元件形成區域20d上。驅動電晶體T3及負載電晶體T5之閘極4a，係以穿過元件形成區域20a及20c的方式所形成。驅動電晶體T4及負載電晶體T6之閘極4b，係以穿過元件形成區域20b、20d的方式所形成。鄰接之另一記憶體單元的閘極4d，係與閘極4a隔著間隔而配置。

各元件形成區域20a、20b、20c、20d係由場隔離膜3所區隔。在存取電晶體T1之汲極區域上配置有用以電連接的接觸孔12a。在存取電晶體T2之汲極區域上配置有用以電



五、發明說明 (13)

連接的接觸孔12d。在存取電晶體T1之源極區域及驅動電晶體T3之汲極區域上形成有用以電連接的接觸孔12b。

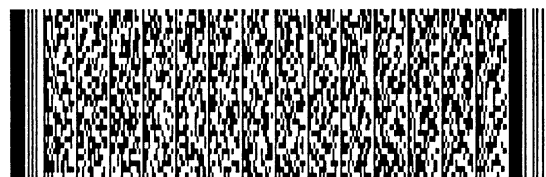
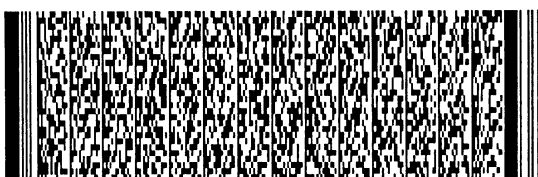
在驅動電晶體T3之源極區域上形成有用以電連接的接觸孔12c。在存取電晶體T2之源極區域及驅動電晶體T4之汲極區域上形成有用以電連接的接觸孔12e。在驅動電晶體T4之源極區域上形成有用以電連接的接觸孔12f。

在負載電晶體T5之汲極區域及源極區域上分別形成有用以電連接的接觸孔12h、12g。在負載電晶體T6之汲極區域及源極區域上分別形成有用以電連接的接觸孔12i、12j。

更且，在n井上形成有用以電連接的接觸孔12k、12m。接觸孔12b係對應儲存節點N1。接觸孔12e係對應儲存節點N2。接觸孔12c、12f係對應接地接點。接觸孔12g、12j係連接在電源線(Vcc)線上。存取電晶體T1、T2之閘極4c係連接在字線(WL)上。利用此字線即可控制存取電晶體T1、T2之導通。

在儲存節點N1、N2中，係當一方之儲存節點的電壓為高位準時，另一方之儲存節點的電壓就存在有低位準的狀態，或其相反的狀態之二個穩定狀態。此狀態被稱雙穩態。只要預定的電源電壓施加在記憶體單元上，則記憶體單元可繼續該雙穩態。在SRAM中，上述之一個記憶體單元係形成複數個於矽基板之表面上。另外，在圖12及圖2中，S係表示源極區域，D係表示汲極區域。

其次，就此記憶體單元之動作加以簡單說明。首先，在對特定的記憶體單元寫入資料時，利用對應該記憶體單元



五、發明說明 (14)

之字線(WL)使存取電晶體T1、T2導通，同時按照所期望的邏輯值強制對互補型之位元線對施加電壓。藉此，正反器電路就可將二個儲存節點N1、N2之電位設定成上述之雙穩態，且保持資料以作為電位差。

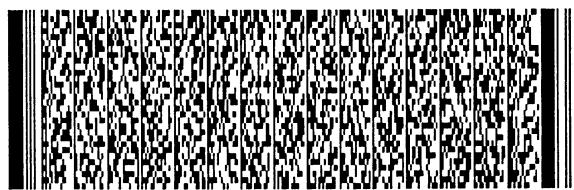
另一方面，當讀出資料時，藉由使存取電晶體T1、T2導通，儲存節點N1、N2之電位即可傳遞至位元線上，並可讀出資料。

其次，就SRAM之記憶體單元的剖面構造，根據圖2所示之剖面線III-III加以說明。參照圖3，在矽基板1之預定的區域上形成有p井2a。在該p井2a之表面上藉以閘極氧化膜5形成閘極4a及閘極上層絕緣膜6a。同樣地，形成有閘極4d及閘極上層絕緣膜6b。

夾住閘極4a且在p井2a之表面上，分別形成有 n^- 汲極區域9a及 n^- 源極區域9b。以直接接觸閘極4a、4d之各自的兩側面之方式形成有用以作為蝕刻阻止膜的矽氧化膜7及矽氮化膜8。

在該矽氮化膜8上，形成有例如由矽氧化膜所構成的層間絕緣膜11。在層間絕緣膜11、矽氮化膜8及矽氧化膜7上，形成有露出場隔離膜3之一部分及 n^- 汲極區域9a之表面的接觸孔12b。又，形成有露出 n^- 汲極區域9b之表面的接觸孔12c。

接觸孔12b，係以其開口端重疊於場隔離膜3上的方式所形成。接觸孔12c，係形成以平面方式重疊在閘極4a及閘極4d上。藉由介以接觸孔12b之接觸部分導入預定的雜質



五、發明說明 (15)

即可形成 n^+ 汲極區域10a。

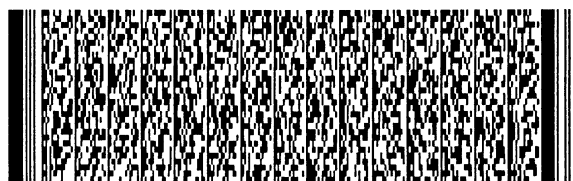
又，藉由介以接觸孔12c之接觸部分導入預定的雜質即可形成 n^+ 源極區域10b。另外，在接觸孔12b、12c內，如後述般，形成有障壁金屬及鎢膜。

其次，有關此SRAM之製造方法之一例，係根據圖2所示之剖面線III-III加以說明。首先參照圖4，在矽基板1之表面上形成有用以形成元件形成區域的場隔離膜3。其次，在預定區域上形成p井2a及n井(未圖示)。

在p井2a之表面上介以閘極氧化膜5形成閘極4a、4d及閘極上層絕緣膜6a、6b。將閘極4a、4d及閘極上層絕緣膜6a、6b當作光罩，藉由植入例如磷等的n型雜質，以分別形成 n^- 汲極區域9a、 n^- 源極區域9b。

其次參照圖5，利用例如CVD法形成膜厚1~50nm的矽氧化膜7用以覆蓋閘極4a、4d及閘極上層絕緣膜6a、6b。在該矽氧化膜7上，例如利用CVD法形成膜厚1~50nm的矽氮化膜8。在該矽氮化膜8上，例如利用CVD法形成由膜厚100~1000nm之矽氧化膜所構成的層間絕緣膜11。矽氧化膜7及矽氮化膜8，係如後述般，變為形成各接觸孔時的蝕刻阻止膜。

其次參照圖6，在層間絕緣膜11上形成光阻圖案50。將該光阻圖案50當作光罩，並使用例如含有 C_4F_8 的蝕刻氣體藉由對層間絕緣膜11施予異方性蝕刻以露出矽氮化膜8之表面。在此異方性蝕刻中，矽氮化膜8之蝕刻速率，較佳者為層間絕緣膜11之蝕刻速率的10分之1以下。



五、發明說明 (16)

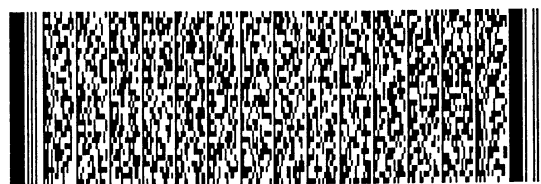
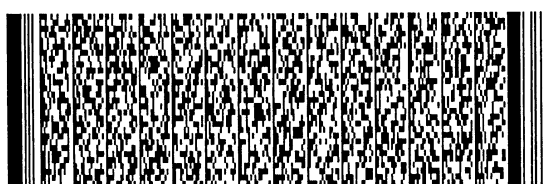
其次參照圖7，繼續將光阻圖案50當作光罩，使用例如含有 CH_2F_2 的蝕刻氣體藉由對已露出的矽氮化膜8施予異方性蝕刻以露出矽氧化膜7之表面。在此異方性蝕刻中，矽氧化膜7之蝕刻速率，較佳者為矽氮化膜8之蝕刻速率的10分之1以下。另外，在此異方性蝕刻中，在閘極4a、4d之互為相對的側面上分別殘留矽氮化膜8a、8b。

其次，參照圖8，繼續將光阻圖案50當作光罩，使用例如含有 CHF_3 的蝕刻氣體藉由對已露出的矽氧化膜7施予異方性蝕刻以形成露出 n^- 汲極區域9a之表面的接觸孔12b。同樣地，形成露出 n^- 源極區域9b之表面的接觸孔12c。之後去除光阻圖案50。

其次參照圖9，介以接觸孔12b之接觸部分，藉由植入例如砷等的 n 型雜質以形成 n^+ 汲極區域10a。又同樣地，介以接觸孔12c之接觸部分，藉由導入 n 型雜質以形成 n^+ 源極區域10b。

其次參照圖10，在接觸孔12b、12c之側面、底面及層間絕緣膜11之上面上，例如利用濺鍍法以形成膜厚約30nm的鈦膜(未圖示)。在該鈦膜上，例如利用濺鍍法等以形成膜厚約50nm的鈦氮化膜。鈦膜及鈦氮化膜係成為障壁金屬13。在該障壁金屬13上，例如利用CVD法形成鎢膜14。

其次參照圖11，在鎢膜14上形成光阻圖案51。將該光阻圖案51當作光罩，藉由對鎢膜14及障壁金屬13施予異方性蝕刻，以分別形成上層連接配線14a、14b、14c。之後去除光阻圖案51。



五、發明說明 (17)

其次參照圖12，在層間絕緣膜11上更形成矽氧化膜等的絕緣膜15用以覆蓋上層連接配線14a、14b、14c。利用以上製程即可完成SRAM記憶體單元的主要部分。

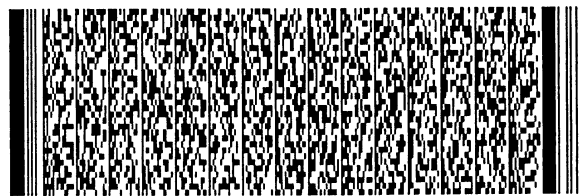
如圖6~8所示，在上述SRAM記憶體單元中，即使將接觸孔12c之開口端的位置配置在與閘極4a、4d相重疊的位置上，藉由直接覆蓋閘極4a、4d之各自兩側面之作為蝕刻阻止膜的矽氧化膜7及矽氮化膜8之存在，則依異方性蝕刻亦可無須露出閘極4a、4d之表面即可輕易自我對準地露出 n^- 源極區域9b之表面。

藉此，不會使埋設於接觸孔12c內的上層配線14b與閘極4a、4d短路而可縮小SRAM記憶體單元的區域。

又，在形成接觸孔12b時，即使配置成以平面方式與場隔離膜3相重疊，藉由矽氮化膜8及矽氧化膜7之存在亦不會使場隔離膜3過度蝕刻。

又，藉由介以接觸孔12b之接觸部分導入 n 型雜質並自我對準地形成 n^+ 汲極區域10a，即可將位於場隔離膜3之附近的元件形成區域部分之晶體缺陷等包含於其內部中。藉此，就可抑制從上層連接配線14a至矽基板1之洩漏電流。該等的結果，即可獲得可進行所期望之動作且更可縮小晶片尺寸的半導體裝置。

又，如圖5所示，當作蝕刻阻止膜的矽氧化膜7及矽氮化膜8，較佳者係其膜厚 t 形成比閘極4a、4d及閘極上層絕緣膜6a、6b之高度 H 還薄。更較佳者為，鄰接之閘極4a、4d的間隔 D 比膜厚 t 之二倍還長。藉此，在圖8所示之製程



五、發明說明 (18)

中，在接觸孔12c之底部可確實露出 n^- 源極區域9b。

另外，適於用以形成圖6、圖7及圖8所示之接觸孔之蝕刻的蝕刻氣體係為其一例，且只要矽氮化膜8之蝕刻速率相對於蝕刻層間絕緣膜11時的蝕刻速率為10分之1以下的條件則並非被限定於此。

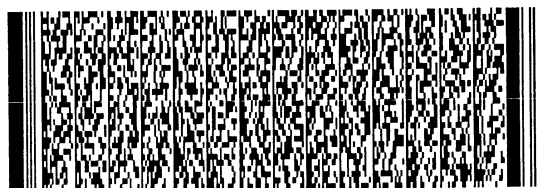
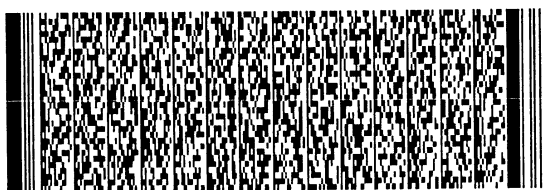
又，在蝕刻矽氮化膜8時，只要矽氧化膜7之蝕刻速率相對於矽氮化膜8之蝕刻速率為10分之1以下的條件則並非被限定於上述之條件。

尤其是，層間絕緣膜11，藉由應用已添加硼或磷等之雜質的矽氧化膜，即可更加增大層間絕緣膜11與矽氮化膜8之蝕刻選擇比。

實施形態2

就具備本發明之實施形態2之SRAM記憶體單元的半導體裝置加以說明。參照圖13，形成於層間絕緣膜11上的上層連接配線14d，係局部連接在埋設於接觸孔12b內之部分的上面上。又，上層連接配線14e，係局部連接在埋設於接觸孔12c內之部分的上面上。

未連接有上層連接配線14d且埋設於連接孔12b內之部分的上面係位於比層間絕緣膜11之上面還低的位置上。同樣地，未連接上層連接配線14e且埋設於連接孔12c內之部分的上面係位於比層間絕緣膜11之上面還低的位置上。另外，有關除此以外的構成由於與實施形態1中所說明之圖12所示的構成相同，所以在相同構件上附記相同的元件編號並省略其說明。



五、發明說明 (19)

在上述之記憶體單元中，係在分別埋設於接觸孔12b、12c內的部分上形成有凹坑16a、16b。其次，就上述記憶體單元之製造方法之一例使用圖加以說明。參照圖15，在圖10所示之製程之後在鎢膜14上形成光阻圖案52。

將此光阻圖案52當作光罩，並藉由對鎢膜14及障壁金屬13上施予異方性蝕刻以露出層間絕緣膜11之上面。為了去除存在於已露出之層間絕緣膜11之上面的蝕刻殘渣而施予預定的過蝕刻(over etching)。

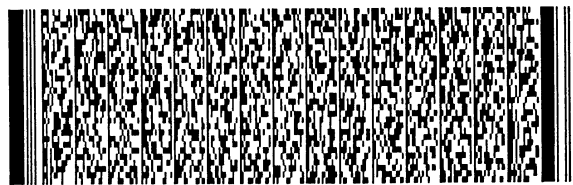
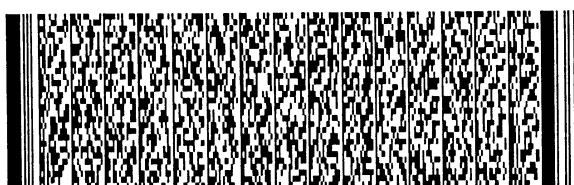
亦可利用此過蝕刻，蝕刻分別埋設於接觸孔12b、12c內之鎢膜14及障壁金屬13以分別形成有凹坑16a、16b。之後去除光阻圖案52。藉此就可分別形成有上層連接配線14d、14e、14f。

若依據上述之記憶體單元，則與實施形態1中所說明的記憶體單元相比較，則可更加縮窄各上層連接配線14d、14e、14f之間隔。

亦即，如圖14及圖15所示，即使將最小解像寬度 L_0 當作照相製版的能力，亦可將例如上層連接配線14e之左側端部縮小至從埋設於接觸孔12b內之鎢膜之右端部分算起的水平距離 L_1 。

同樣地，可將例如上層連接配線14f之左側端部縮小至從埋設於接觸孔12c內之鎢膜14之右端部分算起的水平距離 L_2 。結果，可更加謀求形成於層間絕緣膜11上的上層連接配線之區域，甚至於記憶體單元區域的縮小化。

實施形態3



五、發明說明 (20)

就具備本發明實施形態3之SRAM記憶體單元的半導體裝置加以說明。參照圖16及圖17，特別形成有閘極4e及4f。如圖17所示，在該閘極4e上，在元件形成區域20c中將閘極之閘極長度形成比其他的部分還長。

有關閘極4f亦同樣地在元件形成區域20d中將閘極之閘極長度形成比其他的部分還長。另外，有關除此以外的構成，由於與實施形態1中所說明之圖2所示的構成相同所以在相同構件上附記相同的元件編號並省略其說明。

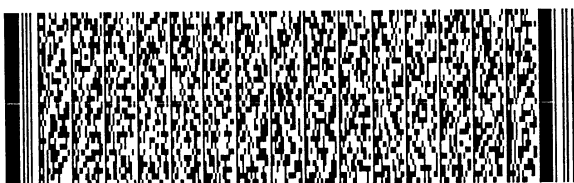
在此記憶體單元中，如圖17所示在負載電晶體T5中， n^+ 汲極區域10c與該位於 n^+ 汲極區域10c側之閘極4e的側面正下方之矽基板1之主表面的距離 S_1 ，係與 n^+ 源極區域10d與該位於 n^+ 源極區域10d側之閘極4e的側面正下方之矽基板1之主表面的距離 S_2 實質相等。

另一方面，在實施形態1中所說明之SRAM記憶體單元所對應的區域中，如圖18所示，其對應的距離 S_1 係長於距離 S_2 。因而，在負載電晶體T5中，如圖18所示， p^- 源極區域9c係變成一種的寄生電阻R。

在本實施形態之SRAM記憶體單元中，負載電晶體T5、T6，係藉由形成不具有上述寄生電阻R的電晶體，就會減低動作之不均等並可使電晶體之動作更加穩定。

另一方面，在存取電晶體T1、T2中，較佳者為具有寄生電阻的電晶體。更且，在驅動電晶體T3、T4中，較佳者為不具有寄生電阻的電晶體。

另外，在圖16所示之構造中，驅動電晶體T3、T4，雖為



五、發明說明 (21)

具有寄生電阻的電晶體，但是藉由適當配置接觸孔12b、12c，即可形成不具有寄生電阻的電晶體。

在存取電晶體T1、T2中，藉由寄生電阻之存在即可意圖降低電流驅動能力。在驅動電晶體T3、T4中，電流驅動能力會變得比較高，而動作之不均等亦會變少。

藉此，就可增大驅動電晶體T3、T4之電流驅動能力對存取電晶體T1、T2之電流驅動能力的比(β 比)，結果，可更加穩定SRAM記憶體單元之動作。

另外，在上述之各實施形態中，雖係舉SRAM記憶體單元為例加以說明，但是將接觸孔以平面方式重疊在閘極上的構造，亦可適用於除了SRAM以外之例如DRAM的其他半導體裝置上，並可輕易謀求半導體晶片尺寸之縮小化或高集成化。

又，並非只連接至各電晶體上，即使對於例如用以使形成有各電晶體之p井或n井等的電位之接觸孔12k、12等，亦可配置成以平面方式將接觸孔重疊在場隔離膜3上，且可更加縮小晶片尺寸。

此次所揭示的實施形態僅係全部之點中的例示而非限制。本發明之範圍並非僅止於上述之說明，而是包含申請專利範圍之請求範圍所示內容，或與申請專利範圍之請求範圍均等的意義以及範圍內之所有的變更。

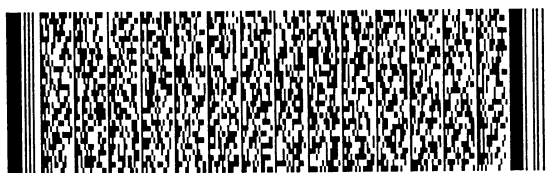
元件編號之說明

- 1 矽基板
- 2a p井



五、發明說明 (22)

2b	n 井
3	場 隔 離 膜
4a ~ 4f	閘 極
5	閘 極 氧 化 膜
6a 、 6b	閘 極 上 層 絕 緣 膜
7	矽 氧 化 膜
8	矽 氮 化 膜
9a	n ⁻ 汲 極 區 域
9b	n ⁻ 源 極 區 域
9c	p ⁻ 汲 極 區 域
9d	p ⁻ 源 極 區 域
10a	n ⁺ 汲 極 區 域
10b	n ⁺ 源 極 區 域
10c	p ⁺ 汲 極 區 域
10d	p ⁺ 源 極 區 域
11	層 間 絕 緣 膜
12a ~ 12m	接 觸 孔
13	阻 障 金 屬
14	鎢 膜
14a ~ 14f	上 層 連 接 配 線
15	絕 緣 膜
16a 、 16b	凹 坑
20a ~ 20d	元 件 形 成 區 域
50 、 51 、 52	光 阻 圖 案



圖式簡單說明

圖1顯示本發明實施形態1之SRAM記憶體單元的等效電路圖。

圖2顯示同實施形態1之記憶體單元的平面構造圖。

圖3為圖2所示之剖面線III-III的剖面圖。

圖4為同實施形態1中顯示圖2所示之SRAM記憶體單元之製造方法之一製程的剖面線III-III的剖面圖。

圖5為同實施形態1中顯示圖4所示之製程之後所進行之製程的剖面圖。

圖6為同實施形態1中顯示圖5所示之製程之後所進行之製程的剖面圖。

圖7為同實施形態1中顯示圖6所示之製程之後所進行之製程的剖面圖。

圖8為同實施形態1中顯示圖7所示之製程之後所進行之製程的剖面圖。

圖9為同實施形態1中顯示圖8所示之製程之後所進行之製程的剖面圖。

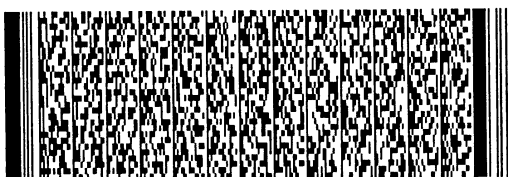
圖10為同實施形態1中顯示圖9所示之製程之後所進行之製程的剖面圖。

圖11為同實施形態1中顯示圖10所示之製程之後所進行之製程的剖面圖。

圖12為同實施形態1中顯示圖11所示之製程之後所進行之製程的剖面圖。

圖13為本發明實施形態2之SRAM記憶體單元的剖面圖。

圖14為同實施形態2中顯示圖13所示之記憶體單元的平



圖式簡單說明

面圖。

圖15為同實施形態2中顯示圖13所示之SRAM記憶體單元之製造方法之一製程的剖面圖。

圖16為本發明實施形態3之SRAM記憶體單元的平面圖。

圖17為同實施形態3中，記憶體單元之圖16所示之剖面線XVII—XVII的剖面圖。

圖18為同實施形態3中，用以比較實施形態1中所說明之記憶體單元的圖2所示之剖面線XVIII—XVIII的剖面圖。

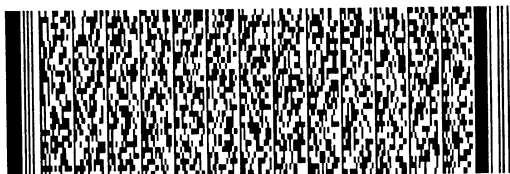
圖19為習知之SRAM的平面圖。

圖20顯示SRAM記憶體單元之製造方法之一製程且根據圖19所示之剖面線XX—XX的剖面圖。

圖21顯示圖20所示之製程之後所進行之製程的剖面圖。

圖22顯示圖21所示之製程之後所進行之製程的剖面圖。

圖23顯示圖22所示之製程之後所進行之製程的剖面圖。

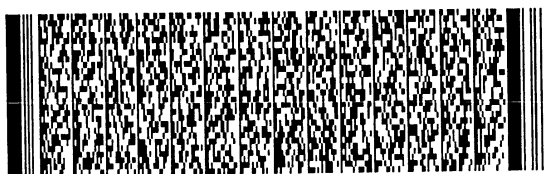


四、中文發明摘要 (發明之名稱：半導體裝置)

在矽基板1之p井2a的表面上形成有包含閘極4a的驅動電晶體T3。為了覆蓋該驅動電晶體T3而形成有矽氧化膜7及矽氮化膜8。在該矽氮化膜8上形成有層間絕緣膜11。至少以平面重疊於閘極4a上的方式在閘極4a上配置有接觸孔12c。藉此可獲得一種可進行所期望之動作，且可謀求記憶體單元區域之縮小化的半導體裝置。

英文發明摘要 (發明之名稱：Semiconductor Device)

A driver transistor including a gate electrode is formed on the surface of a well of a silicon substrate. A silicon oxide film and a silicon nitride film are formed to cover the driver transistor. An interlayer insulator film is formed on the silicon nitride film. A contact hole is arranged to planarly overlap with at least the gate electrode. Thus, a semiconductor device capable of performing desired operations and reducing a memory cell area is obtained.



六、申請專利範圍

1. 一種半導體裝置，其係包含有：

第一導電型區域(2a)，形成於半導體基板(1)之主表面上；

元件形成區域(20a~20d)，在前述半導體基板(1)之主表面上依元件隔離膜(3)而區隔，且形成於前述第一導電型區域(2a)之表面上；

預定的半導體元件(T1~T6)，形成於前述元件形成區域(20a~20d)上；

絕緣膜(11)，形成於前述半導體基板(1)上用以覆蓋前述半導體元件；以及

第一接觸孔(12c、12g)，形成於前述絕緣膜(11)上，且露出前述元件形成區域(20a~20d)之表面上，而

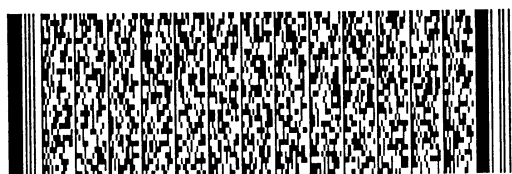
前述半導體元件(T1~T6)，具有，

電極部(4a~4e)，以穿過前述元件形成區域(20a~20d)之方式所形成；

第二導電型之一對第一雜質區域(9a~9d)，夾住前述電極部(4a~4e)而形成於前述元件形成區域(20a~20d)之一方側及另一方側，且具有第一雜質濃度；以及

第二導電型之第二雜質區域(10a~10d)，以包含前述第一接觸孔(12c、12g)之接觸部分的方式形成於前述第一雜質區域(9a~9d)之中之至少一方的區域上，且具有高於前述第一雜質濃度的第二雜質濃度，

在前述絕緣膜(11)與前述半導體元件(T1~T6)之間，以直接接觸前述電極部(4a~4e)之兩側面並覆蓋前述電極部



六、申請專利範圍

(4a~4e)之方式，形成有蝕刻特性與前述絕緣膜(11)相異的蝕刻阻止膜(7、8)，

前述第一接觸孔(12c、12g)，係配置成以平面方式與前述電極部(4a~4e)相重疊。

2. 如申請專利範圍第1項之半導體裝置，其中前述絕緣膜(11)係包含有矽氧化膜(11)，而前述蝕刻阻止膜(7、8)係至少包含有矽氮化膜。

3. 如申請專利範圍第1項之半導體裝置，其中更包含有與前述電極部(4a~4c)隔著間隔，並以穿過前述元件形成區域(20a~20d)之方式所形成之其他的電極部(4d)，

前述其他的電極部(4d)，係依至少直接接觸側面的前述蝕刻阻止膜(7、8)而被覆蓋，

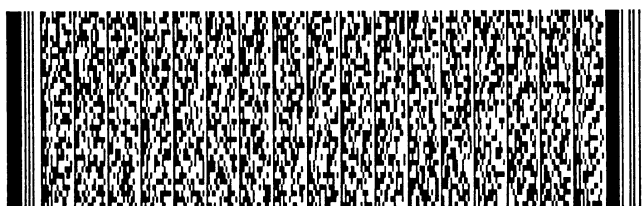
前述第一接觸孔(12c、12g)，係配置成以平面方式與前述其他的電極部(4d)相重疊。

4. 如申請專利範圍第3項之半導體裝置，其中前述電極部(4a)與前述其他的電極部(4d)之間隔，係比前述蝕刻阻止膜(7、8)之膜厚的2倍還長，

前述蝕刻阻止膜(7、8)之膜厚，係比前述電極部(4a)及前述其他的電極部(4d)之高度還薄。

5. 如申請專利範圍第1項之半導體裝置，其中前述第二雜質區域(10a、10b)，係依介以前述第一接觸孔(12c、12g)之前述接觸部分導入雜質而形成者。

6. 如申請專利範圍第1項之半導體裝置，其中更包含有：



六、申請專利範圍

第二接觸孔(12h)，形成於前述絕緣膜(11)上，且配置成不以平面重疊在前述電極部(4a)上；以及

第二導電型之第三雜質區域(10c)，包含前述第二接觸孔(12h)之接觸部分，並形成於前述第一雜質區域(9c)中之另一方區域上，且具有高於前述第一雜質濃度的第三雜質濃度，

前述半導體元件(T5)係更包含前述第三雜質區域(10c)的電晶體(T5)，

前述第三雜質區域(10c)與前述第三雜質區域(10c)所位置之側的前述電極部(4a)之側面正下方之前述半導體基板(1)之主表面的距離(S1)，係比前述第二雜質區域(10d)與前述第二雜質區域(10d)所位置之側的前述電極部(4a)之側面正下方之前述半導體基板(1)之主表面的距離(S2)還長。

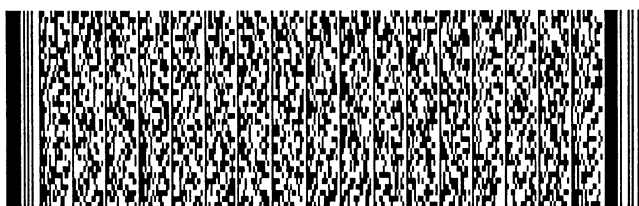
7. 如申請專利範圍第6項之半導體裝置，其中前述元件隔離絕緣膜(3)，係依前述蝕刻阻止膜(7、8)而被覆蓋，

前述第一或第二接觸孔(12c、12g、12h)，係配置成以平面方式與前述元件隔離絕緣膜(3)相重疊。

8. 如申請專利範圍第1項之半導體裝置，其中更包含有：

第三接觸孔(12h)，形成於前述絕緣膜(11)上，且配置成以平面重疊在前述電極部(4a)上；以及

第二導電型之第四雜質區域(10c)，包含前述第三接觸孔(12h)之接觸部分，並形成於前述第一雜質區域(9c、



六、申請專利範圍

9d) 中之另一方區域上，且具有高於前述第一雜質濃度的第三雜質濃度，

前述半導體元件(T5)係更包含前述第四雜質區域(10c)的電晶體(T5)，

前述第四雜質區域(10c)與前述第四雜質區域(10c)所位置之側的前述電極部(4e)之側面正下方之前述半導體基板(1)之主表面的距離(S1)，係與前述第二雜質區域(10d)與前述第二雜質區域(10d)所位置之側的前述電極部(4e)之側面正下方之前述半導體基板(1)之主表面的距離(S2)實質相同。

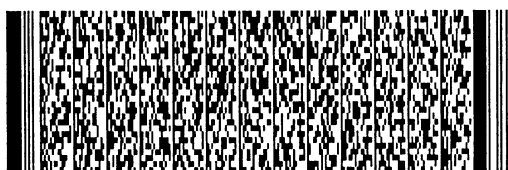
9. 如申請專利範圍第8項之半導體裝置，其中在前述第一接觸孔(12g)與前述第三接觸孔(12h)以平面方式與前述電極部(4e)相重疊的部分上，前述電極部(4e)之電極長度係比其他的部分還長者。

10. 如申請專利範圍第9項之半導體裝置，其中前述第一或第三接觸孔(12g、12h)，係配置成以平面方式與前述元件隔離絕緣膜(3)相重疊者。

11. 如申請專利範圍第1項之半導體裝置，其中具有複數個前述半導體元件(T1~T6)，係更包含有：

第二接觸孔(12h)，形成於前述絕緣膜(11)上，且配置成不以平面重疊在前述電極部(4a)上；

第二導電型之第三雜質區域(10c)，包含前述第二接觸孔(12h)之接觸部分，並形成於前述第一雜質區域(9c、9d)中之另一方區域上，且具有高於前述第一雜質濃度



六、申請專利範圍

的第二雜質濃度；

第三接觸孔(12h)，形成於前述絕緣膜(11)上，且配置成以平面重疊在前述電極部(4a)上；以及

第二導電型之第四雜質區域(10c)，包含前述第三接觸孔(12h)之接觸部分，並形成於前述第一雜質區域(9c、9d)之中之另一方區域上，且具有高於前述第一雜質濃度的第二雜質濃度，

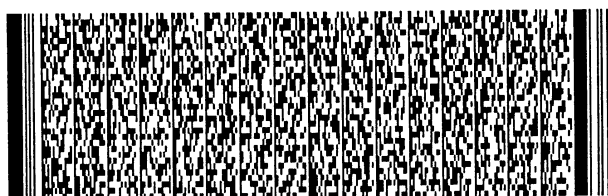
前述半導體元件(T5)，係包含有，

第一電晶體(T5)，具有前述電極部(4a)、一對前述第一雜質區域(9c、9d)、前述第二雜質區域(10d)及前述第三雜質區域(10c)；以及

第二電晶體(T5)，具有前述電極部(4e)、一對前述第一雜質區域(9c、9d)、前述第二雜質區域(10d)及前述第四雜質區域(10c)，

前述第三雜質區域(10c)與前述第三雜質區域(10c)所位置之側的前述電極部(4a)之側面正下方之前述半導體基板(1)之主表面的距離(S1)，係比前述第二雜質區域(10d)與前述第二雜質區域(10d)所位置之側的前述電極部(4a)之側面正下方之前述半導體基板(1)之主表面的距離(S2)還長，而

前述第四雜質區域(10c)與前述第四雜質區域(10c)所位置之側的前述電極部(4e)之側面正下方之前述半導體基板(1)之主表面的距離(S1)，係與前述第二雜質區域(10d)與前述第二雜質區域(10d)所位置之側的前述電極部(4e)之



六、申請專利範圍

側面正下方之前述半導體基板(1)之主表面的距離(S2)實質相同。

12. 如申請專利範圍第11項之半導體裝置，其中具有靜態記憶體單元，而該靜態記憶體單元係包含有：

一對驅動電晶體(T3、T4)，交叉連接閘極與汲極；

一對存取電晶體(T1、T2)，在前述驅動電晶體(T3、T4)之各個汲極上連接有源極；以及

一對負載電晶體(T5、T6)，在前述驅動電晶體(T3、T4)之各個汲極上連接有汲極，在前述驅動電晶體(T3、T4)之各個閘極上連接有閘極，

前述存取電晶體(T1、T2)係為前述第一電晶體(T1、T2)，

前述驅動電晶體(T3、T4)及前述負載電晶體(T5、T6)係為前述第二電晶體(T3～T6)。

13. 如申請專利範圍第1項之半導體裝置，其中更包含有：

導電體部(14e、14d)，以填滿前述第一接觸孔(12c、12b)之方式所形成；以及

配線層(14e、14d)，形成於前述絕緣膜(11)上，且與前述導電體部(14e、14d)電連接，

前述配線層(14e、14d)係局部覆蓋在前述導電體部(14e、14d)之上面，

未被前述配線層(14e、14d)覆蓋之前述導電體部(14e、14d)之上面，係位在低於前述絕緣膜(11)之上面的位置



六、申請專利範圍

上。

14. 如申請專利範圍第1項之半導體裝置，其中更包含有形成於前述絕緣膜(11)及前述元件隔離絕緣膜(3)上，且露出前述第一導電型之區域表面的第四接觸孔(12k、12m)。

15. 一種半導體裝置，其係包含有：

絕緣膜(11)，形成於半導體基板(1)之主表面上；

接觸孔(12c、12b)，形成於前述絕緣膜(11)上，且露出前述半導體基板(1)之主表面上；

導電體部(14e、14d)，埋設於前述接觸孔(12c、12b)內；

配線層(14e、14d)，形成於前述絕緣膜(11)上，且與前述導電體部(14e、14d)電連接，

前述配線層(14e、14d)係用以覆蓋前述導電體部(14e、14d)之上面的一部分，

未依前述配線層(14e、14d)而被覆蓋的前述導電體部(14e、14d)之上面，係位在低於前述絕緣膜(11)之上面的位置上。



89108197

圖 1

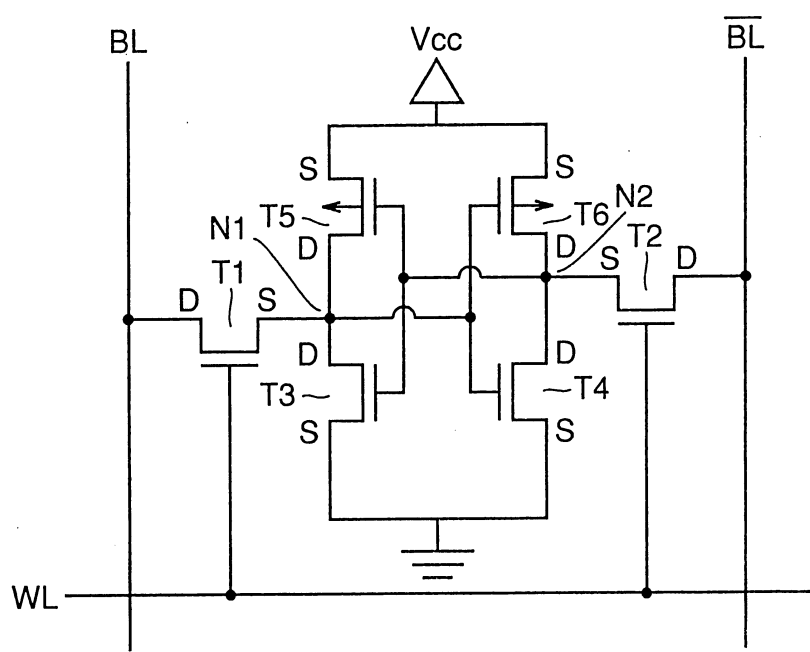


圖 2

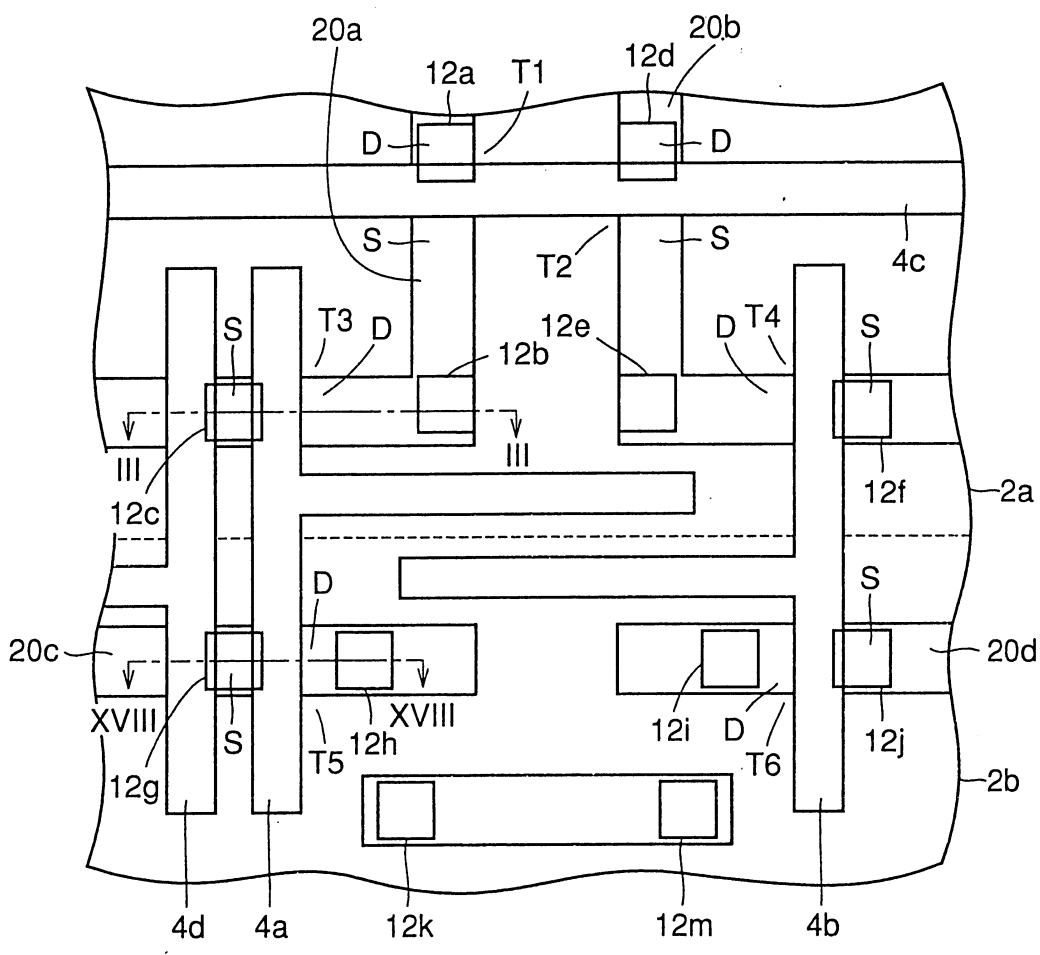


圖 3

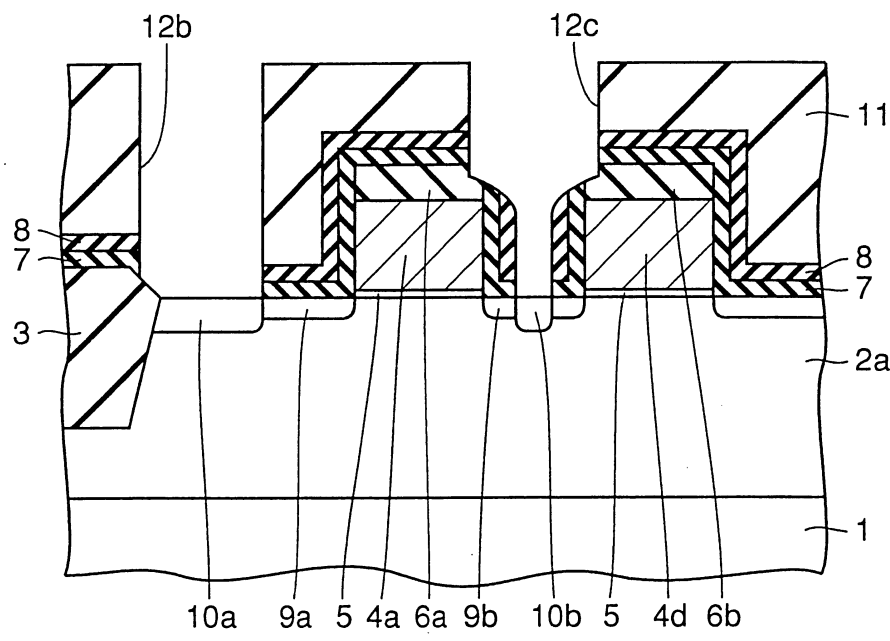


圖 4

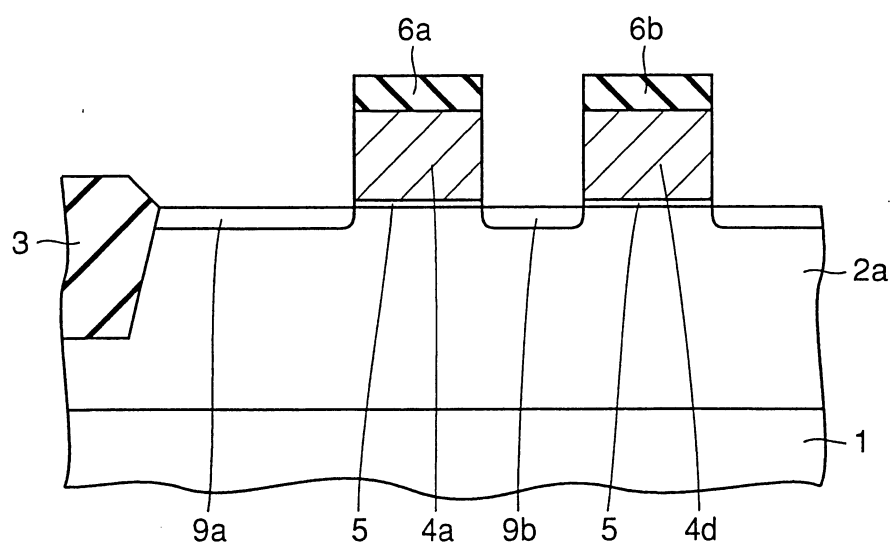
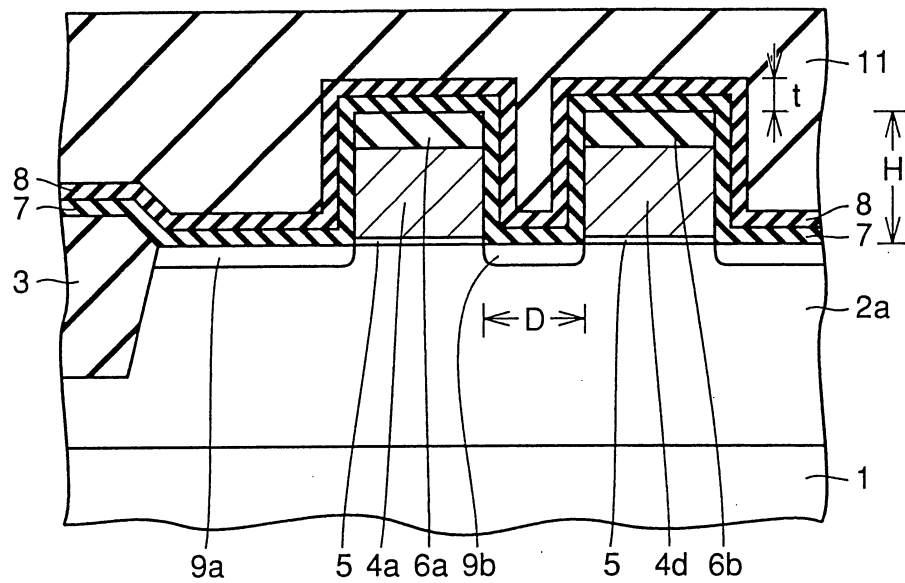
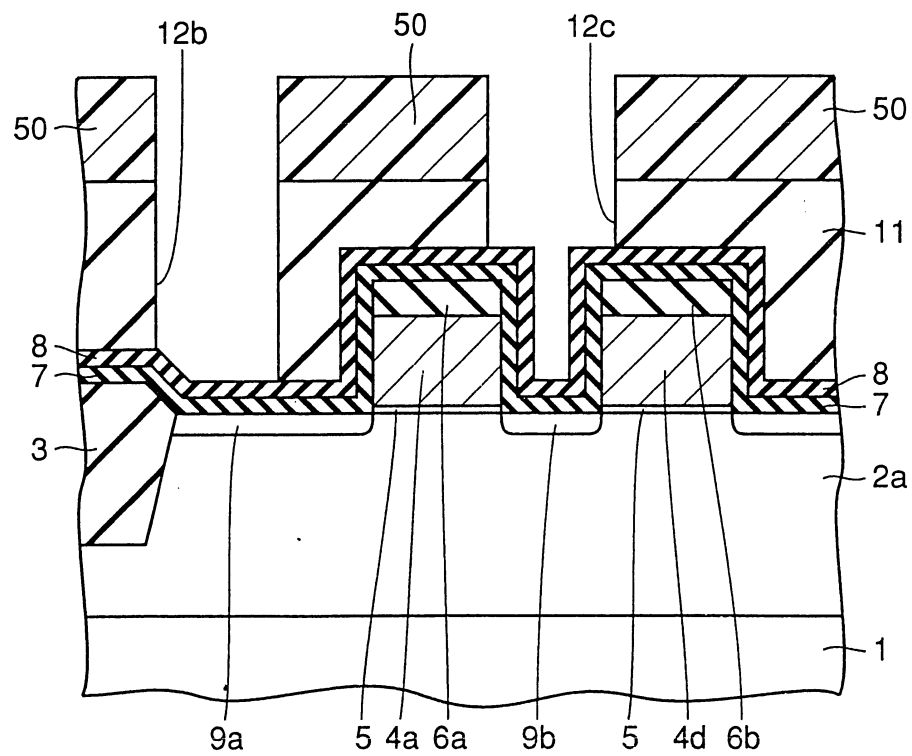


圖 5



6



7

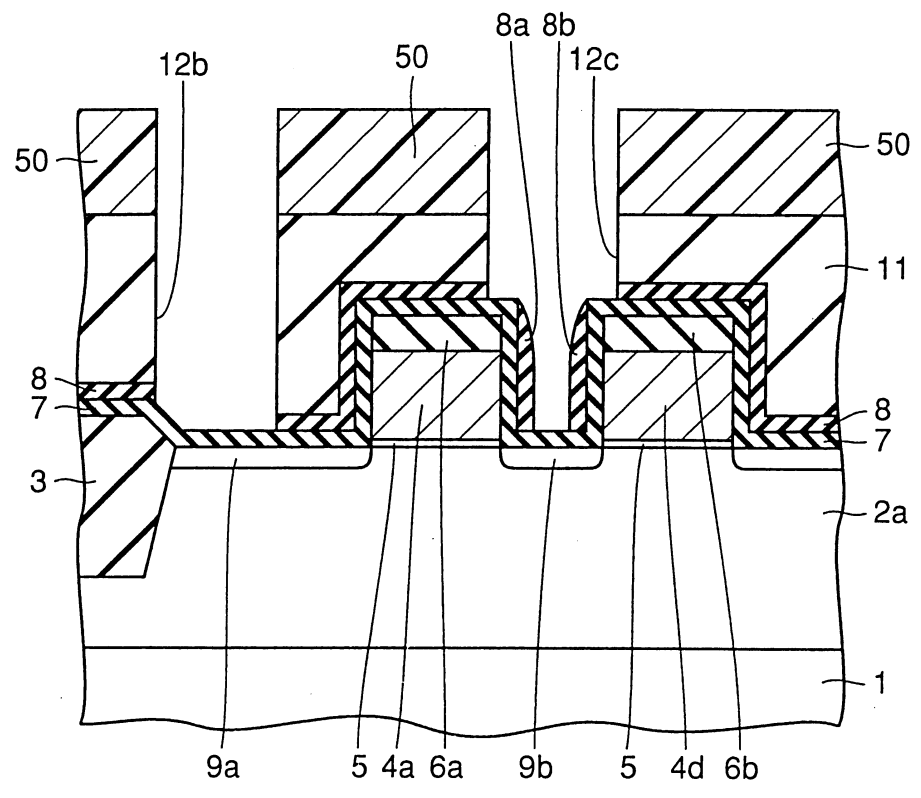


圖 8

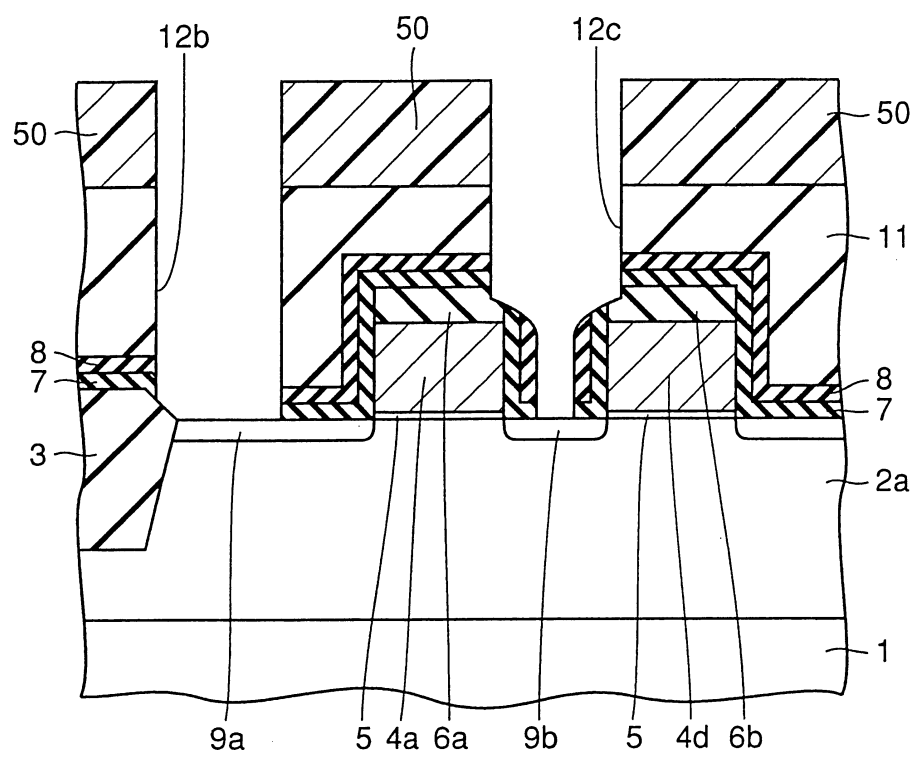


圖 9

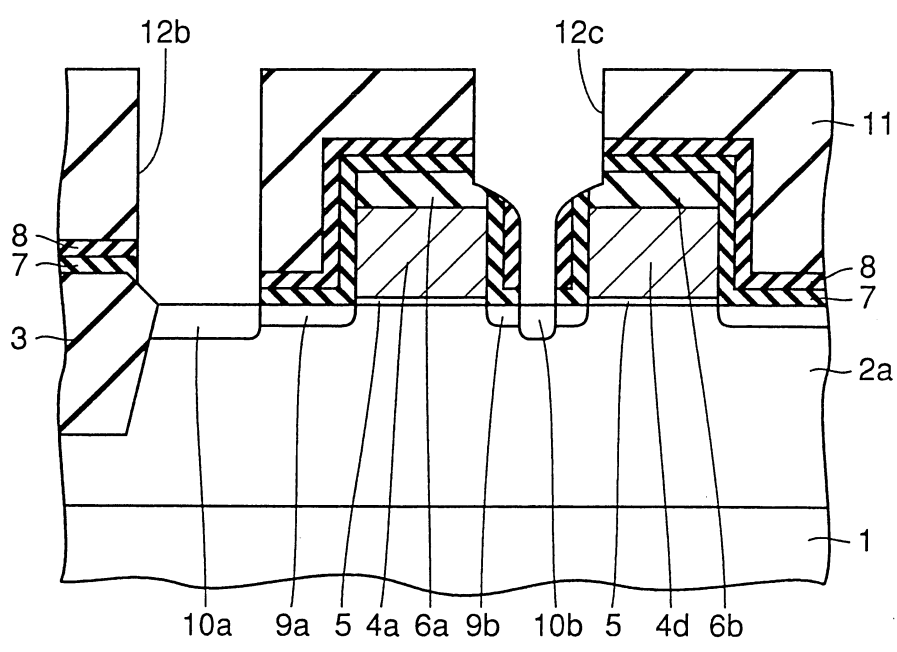


圖 10

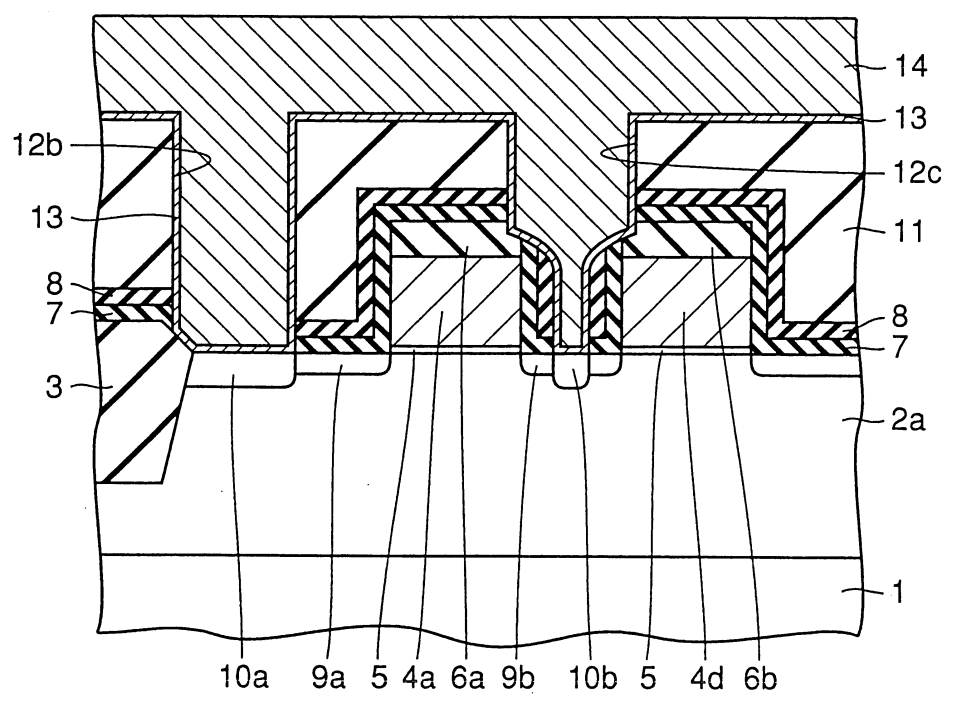
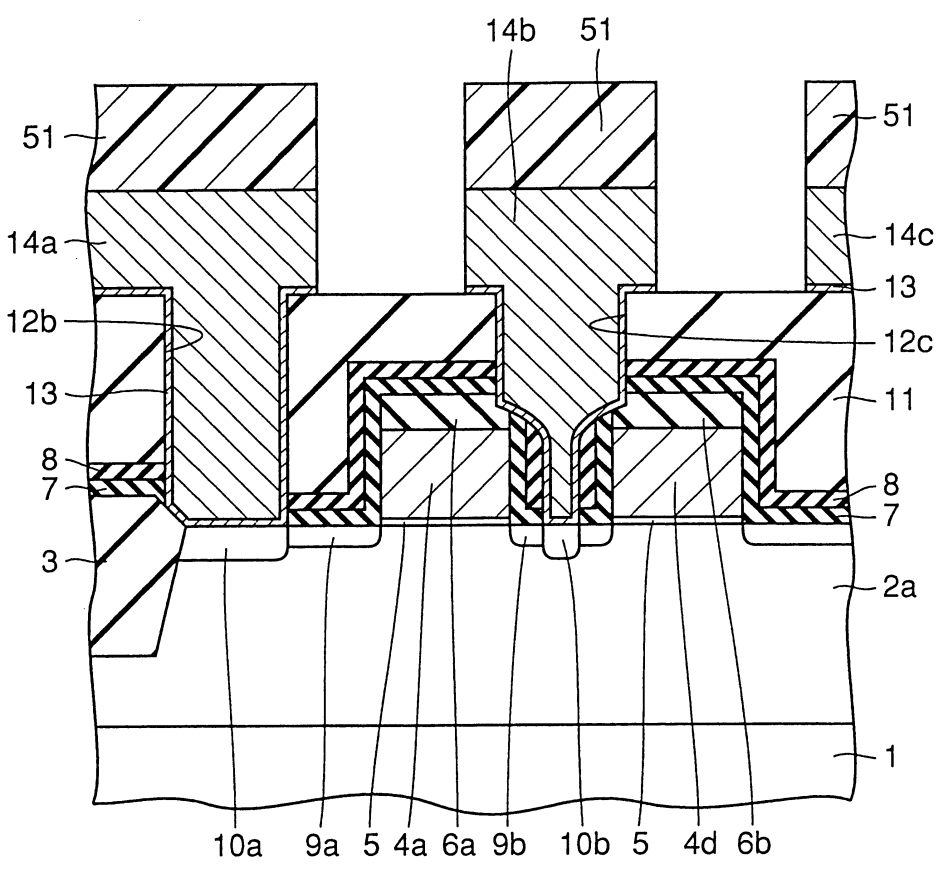


圖 11



12

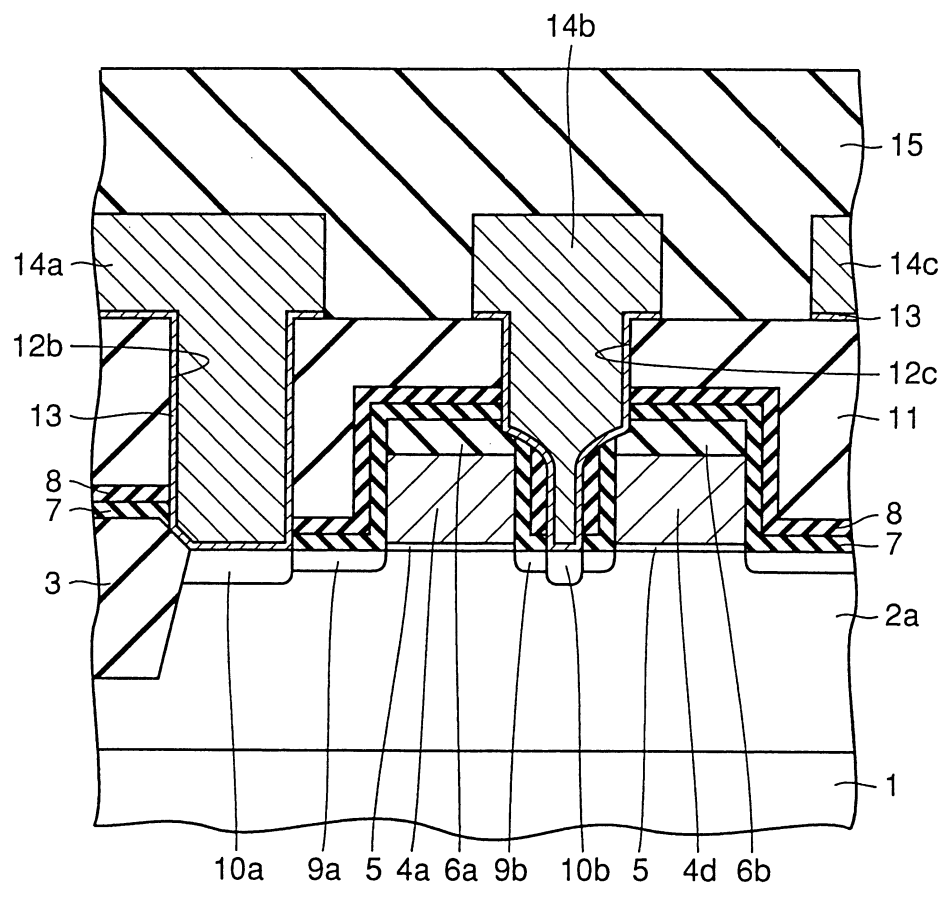


圖 13

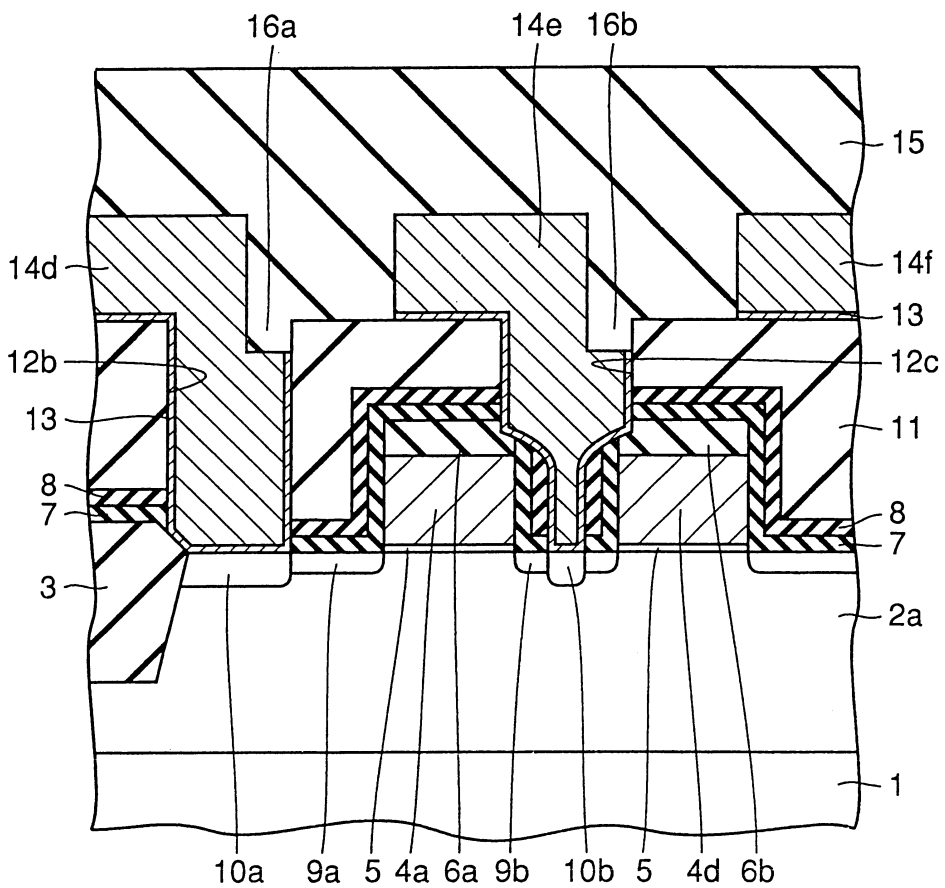


圖 14

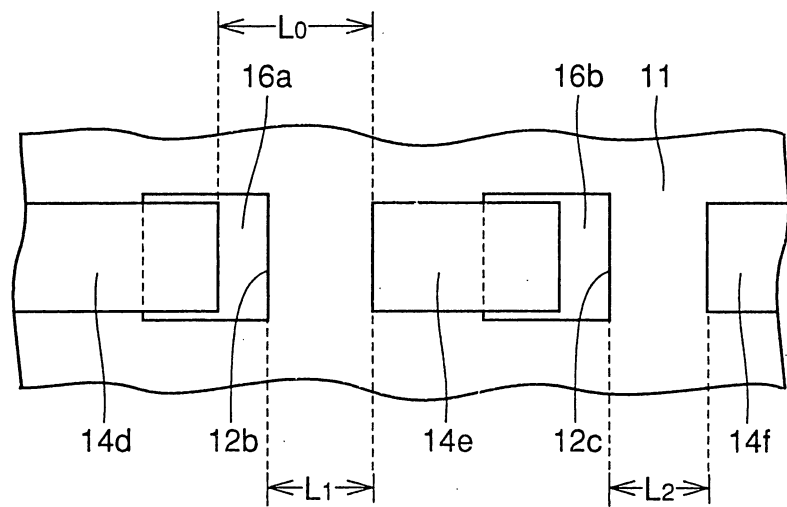


圖 15

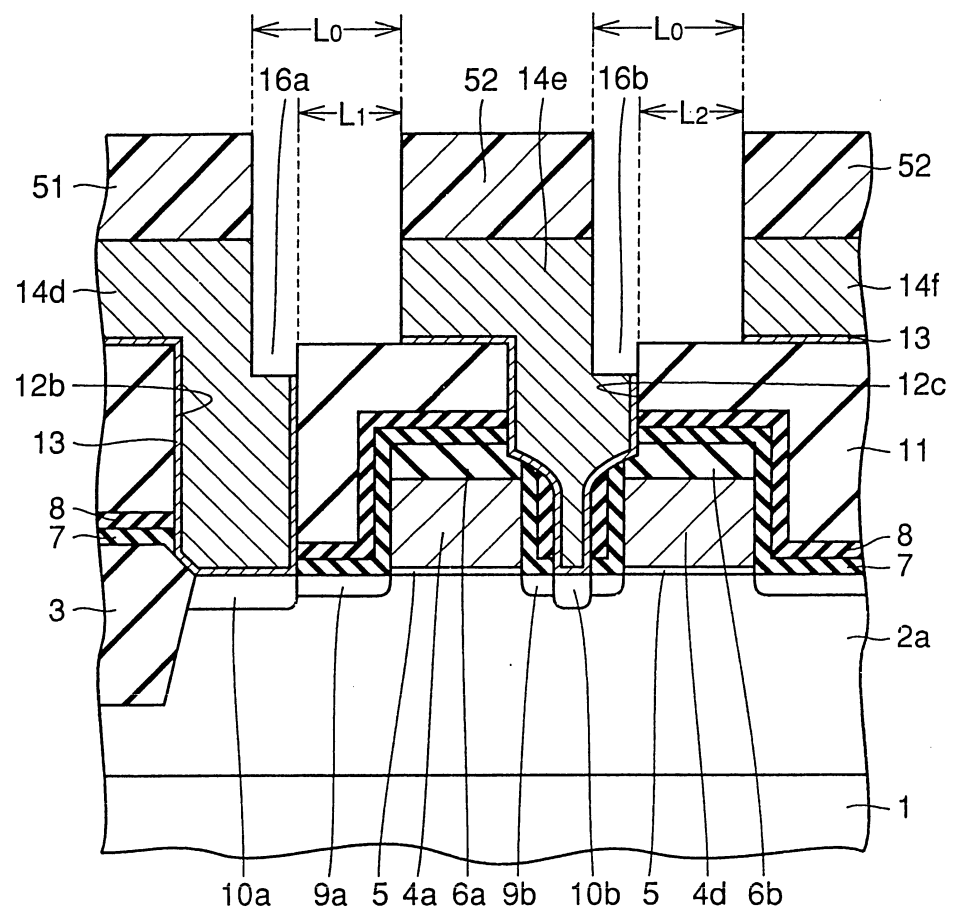


圖 16

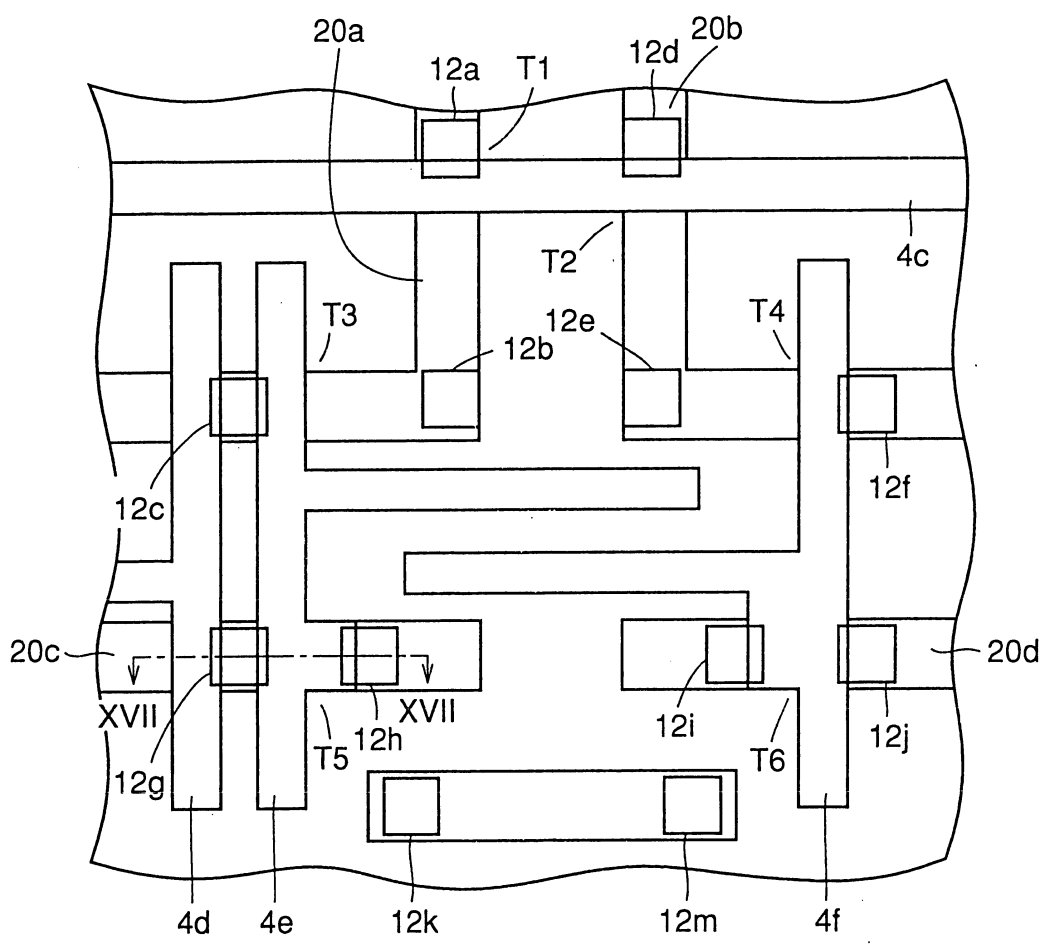


圖 19

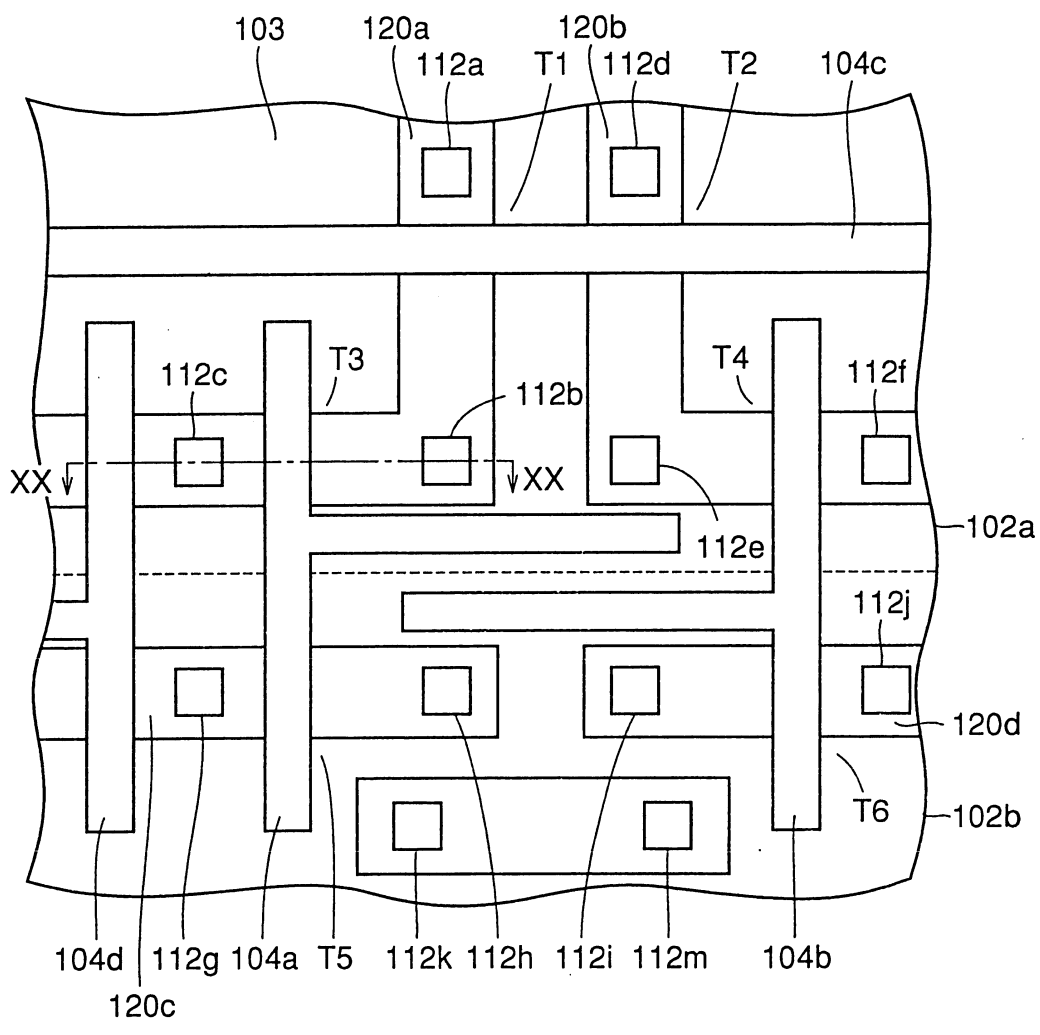


圖 20

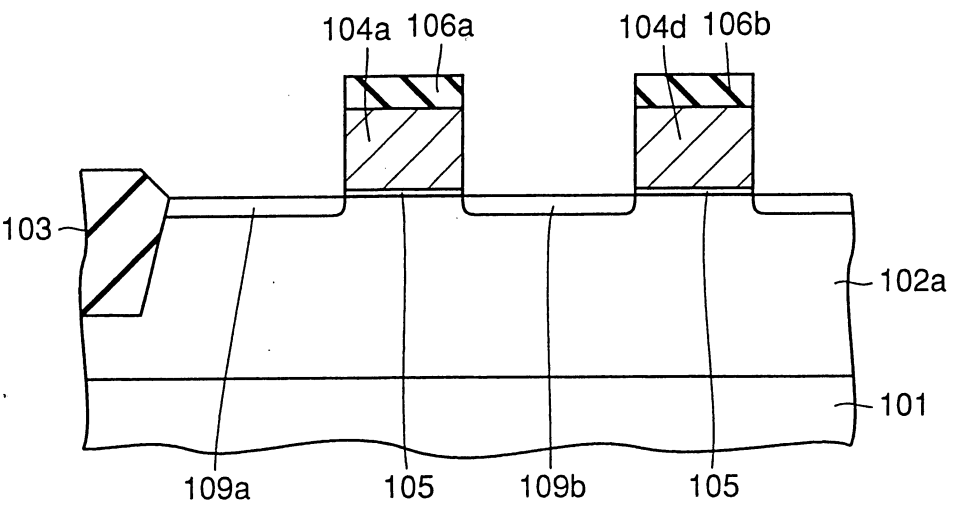


圖 21

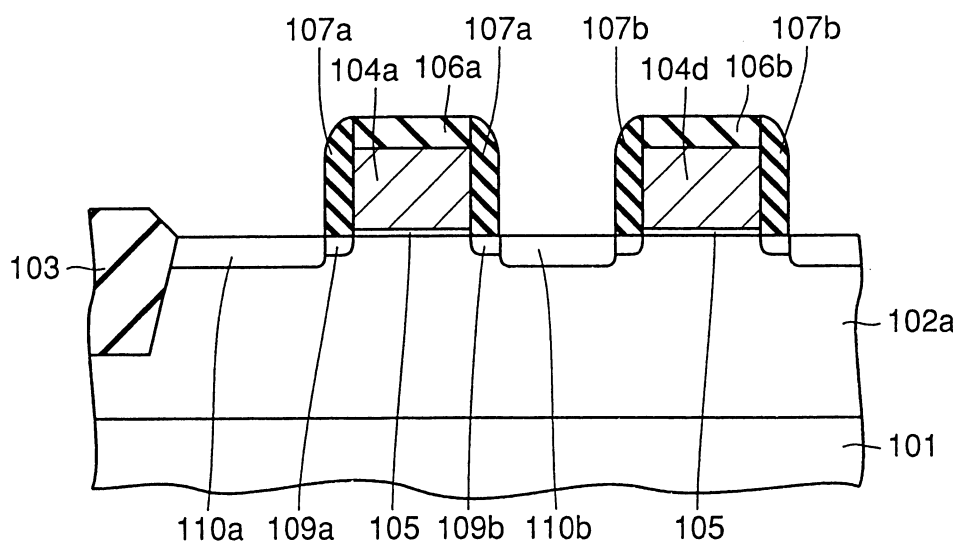


圖 22

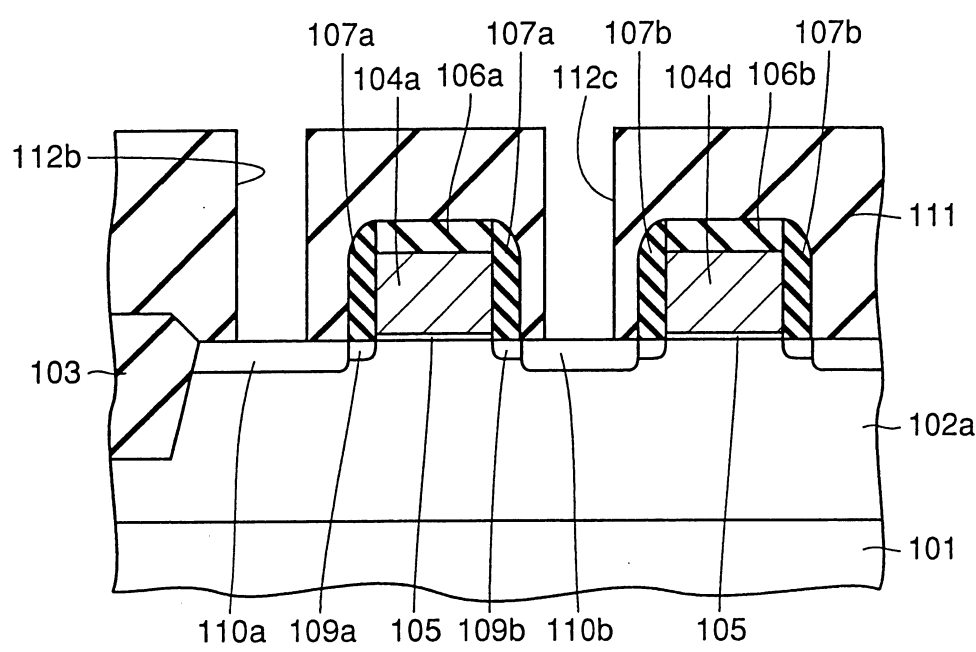


圖 23

