[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 13/40

[12] 发明专利说明书

[21] ZL 专利号 00109307.X

[45] 授权公告日 2004 年 5 月 5 日

[11] 授权公告号 CN 1148667C

[22] 申请日 2000.5.29 [21] 申请号 00109307.X

[30] 优先权

[32] 1999.5.31 [33] EP [31] 99110490.2

[32] 2000.1.26 [33] EP [31] 00250024.7

[71] 专利权人 德国汤姆森-布兰特有限公司

地址 联邦德国菲林根-施文宁根

[72] 发明人 托马斯·布吕内 拉尔夫·奥斯特曼
延斯·卡恩布里
西格弗里德·施魏德勒

审查员 李延峰

[74] 专利代理机构 中科专利商标代理有限责任公司

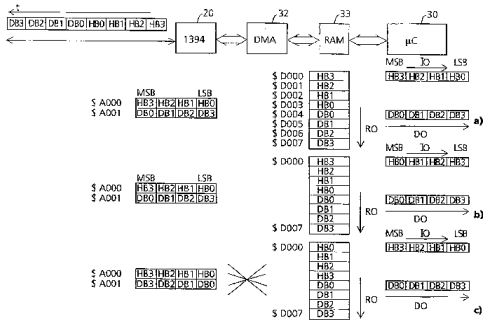
代理人 朱海波

权利要求书 2 页 说明书 11 页 附图 6 页

[54] 发明名称 数据包预处理方法及其中的总线接口和数据处理单元

[57] 摘要

IEEE 1394 总线通信协议有三层：物理层、链路层和事务层。由于 IEEE1394 异步数据包的报头数据包括 32 位字，它必须在所连接的应用数据处理单元(30)中被解释为 32 位字，这就存在一个问题。IEEE 1394 总线接口单元(20)被规定为大端类型。在小端类型应用数据处理器(30)中，数据字的顺序只能在字节顺序被变更以后，才会被正确地解释。根据本发明，通过针对异步数据包的硬件电路系统，可在数据链路层单元(21)中自动实现字节顺序的变更。



ISSN1008-4274

1．一种用于在总线接口单元（20）中对经由通信总线接收的数据包（10，11，12）进行预处理的方法，所述数据包（10，11，12）有报头数据字段和可选的有效载荷数据字段，其中，至少所述报头数据字段由若干个多字节数据字组成，其特征在于：为准备在应用数据处理单元（30）中对数据包进行处理，根据一个信息项，该信息项表明数据包编址的所述应用数据处理单元（30）是小端类型，从而提供有效载荷数据字段的字节重新排序的步骤，其中，有效载荷数据字段的字节重新排序的步骤与报头数据字段和有效载荷数据字段中的字节无限制的进一步重新排序相并行。

2．根据权利要求 1 所述的方法，其特征在于，在将数据包从接口单元（20）传送至应用数据处理单元（30）的存储器（33）的数据总线上，进行固定不变的电路交叉连接，实现报头数据字段和有效载荷数据字段中的字节进一步重新排序。

3．根据权利要求 1 所述的方法，其特征在于，所述信息项在接口单元（20）的初始化过程中被写入所述接口单元（20）。

4．根据权利要求 1 所述的方法，其特征在于，所述通信总线是 IEEE 1394 总线，受到字节重新排序的所述数据包是异步数据包。

5．一种用于在总线接口单元（20）中对经由通信总线接收的数据包（10，11，12）进行预处理的方法，所述数据包（10，11，12）有报头数据字段和可选的有效载荷数据字段，其中，至少所述报头数据字段由若干个多字节数据字组成，其特征在于：为准备在应用数据处理单元（30）中对数据包进行处理，根据一个信息项，该信息项表明数据包编址的所述应用数据处理单元（30）是大端类型还是小端类型，从而提供所述报头数据字段的所述多字节数据字的字节重新排序的步骤，或者提供有效载荷数据字段的字节重新排序的步骤，其中，额外报头被加到所述总线接口单元（20）的数据包中，并且，两个字节排序检测位（13）放置在所述额外报头的多字节数据字的两字节内。

6．一种执行经由通信总线接收的数据包（10，11，12）进行预处理方法的总线接口单元，所述数据包（10，11，12）有报头数据字段和可选的有效载荷数据字段，其中，至少所述报头数据字段由若干个多字节数据字组成，为准备在应用数据处理单元（30）中对数据包进行处理，包括状态寄存器（22），它包含初始化过程中设置的小端或大端标志（23），并表明数据包编址的所述应用数据处理单元（30）是大端类型还是小端类型，字节重新排序电路（24），它在所述小端或大端标志（23）内的项目控制之下，对所述数据包（10，11，12）的报头数据字段的多字节数据字的字节或者对有效载荷数据字段的字节进行重新排序。

数据包预处理方法及其中的总线接口和数据处理单元

背景技术

本发明涉及用于在总线接口单元中对经由通信总线接收的数据包进行预处理的方法，和在这种方法中所用的总线接口单元，以及在这种方法中所用的应用数据处理单元。

背景技术

一种高度复杂的通信总线是 IEEE 1394 总线，它是低成比，高性能的串行总线。它具有读／写存储器结构和高度完备的通信协议。100、200 或 400M 位／秒的数据速率能接近于实时地被发送。同时，数据能被双向发送。被传输的地址值的第一组十位涉及上至 1023 个可能的 IEEE 1394 总线的群集之一。被发送的地址值的随后六位，涉及专用群集内上至 63 个节点之一，相应的应用或设备被指派到这个节点。节点之间的数据可以交换而不与控制器交互作用。设备可随时与网络连接或断开，有即插即用的性能。

通信协议有三层：物理层，数据链路层，和事务层。一般地说，事务层利用固件实现，这表示通过总线终端的应用数据处理单元或控制处理器中的软件来实现，而其他层则在总线接口单元中利用芯片组来实现。

物理层包含模拟收发机和数字状态机。它处理总线自动配置和热插拔。它重复计时，重复产生和重复所有数据包，并将所有数据包转送至本地数据链路层。它执行包外成帧，例如速度代码，前缀和包尾的组合。它对来自本地链路层的数据包进行判断和发送。可买到的 IC 型号有如得克萨斯仪器（公司）的 TSB11C01，TSB11LV01，TSB21LV03 和 TSB41LV03，富士通（公司）的 M86611，和 IBM 的 21S750。

数据链路层完成向它的目的地分配数据包的全部步骤。它通过地址

识别，来识别编址至节点的数据包，并对包头解码。它将数据包输送至更高层，并按更高层产生数据包。它的工作方式既可以是用于 AV 数据的同步方式，也可以是用于控制数据的异步方式。

在同步方式中，所建立的信道具有被保证的带宽。有确定的执行时间。传输是以 125μs 的时段或周期来实现的。这种方式比异步数据传送方式有较高的优选级。

异步方式在时间上不是苛刻的，但是安全可靠。它的动作是涉及占线和项目协议的确认服务。用的是固定地址。在总线空闲时进行传输。异步方式处理读请求 / 响应，写请求 / 响应，和锁定请求 / 响应。它完成循环控制，CRC（循环冗余码）产生和确认。可以买到的数据链路层 IC 的型号有如得克萨斯仪器 TSB12C01A，TSB12LV21，TSB12LV31 和 TSB12LV41，和飞利浦（公司）的 PDI1394L11。

事务层实现异步总线事务：

－读请求 / 读响应

－写请求 / 写响应

－锁定请求 / 锁定响应。

上述这些可通过微控制器上的软件运行而实现，这种微控制器例如 SparcLite 的 i960。另外，也可以是执行装置控制、连接管理、时间压缩和信息包规格化的 AV（音频视频）层。

在 IEEE 1394 体系，数据链路层的作用就像外部应用设备和 IEEE 1394 总线之间的接口（经过物理层）。外部应用设备可以例如是一台用户电子装置，如电视机顶盒或 VCR 或 DVD 播放机，它输送 / 接收延迟时间苛刻的同步数据，和无严格延迟时间的异步数据。这里，异步数据包被用于控制操作或寄存器读 / 写 / 锁定操作。同步数据包包含如视频 / 音频数据这样的信息项。外部应用设备也可以是涉及诸如硬盘驱动器这样的个人计算机，它只输送和接收异步数据包。这里，异步数据包可以是包括音频 / 视频数据在内的所有种类的数据。

在 IEEE 1394 总线总线标准中，规定数据包被安排成四部段的形式（每个四部段由相应于 32 位的四个字节组成）。在这个标准中，还规定总线接口单元本身必须是大端(big endian)类型的，这就是说，四部段内

的字节顺序是这样的，即最高有效字节被存储在最低位地址，等等。这种表达的更详细定义将在说明书的后面表述。在计算机技术中已知有两种字节顺序方案。一种是大端类型，另一种是小端类型。在小端类型微处理机中，多字节数据字的字节从小端开始被存储，也就是最低有效字节被存储在最低位地址，等等。大端类型或小端类型的微控制器或微处理机都可以买到。当用 IEEE 1394 总线接口设计总线终端时，按照目的微控制器的字节顺序安排异步数据包报头的四部字节顺序的问题就产生了，因为这个报头数据要在目的微控制器中被估算，这是属于事务的数据估算。一种解决办法是在从总线接口单元读出数据以后，在目的微控制器中利用软件对字重新排序。但这种解决办法的缺点是：目的微控制器如果是小端类型，它就得包含字节重新排序的任务，这在目的的微控制器方面来说，会导致性能的降低。

发明内容

在认识这种缺点以后，本发明的第一个设想就是：根据用来表明应用数据处理单元是大端类型还是小端类型的信息项，在数据链路层内通过硬件，使异步数据包的报头四部段的字节顺序变更。

如果数据链路层有一个带若干寄存器的寄存器堆，这些寄存器有多字节数据字项目，则这种解决方法的缺点是：如果控制处理器与链路层单元的类型不同，当在控制处理器中解释时，在这些寄存器中的项目字节也还是需要重新排序。

所以本发明的还有第二个设想：用有效载荷数据字段的字节顺序变更，代替报头数据字段的字节顺序变更。这样做，用于字节重新排序的多路复用装置可以很简单，因为多路复用器的控制，不必像寄存器堆项目那样要考虑其它数据成分。

两种解决方法都有优点，即应用数据处理单元的处理能力不需要用在字节重排上。还有，应用数据处理单元的软件被简化。

按照本发明，一种用于在总线接口单元中对经由通信总线接收的数据包进行预处理的方法，所述数据包有报头数据字段和可选的有效载荷数据字段，其中，至少所述报头数据字段由若干个多字节数据字组成，

其特征在于：为准备在应用数据处理单元中对数据包进行处理，根据一个信息项，该信息项表明数据包编址的所述应用数据处理单元是小端类型，从而提供有效载荷数据字段的字节重新排序的步骤，其中，有效载荷数据字段的字节重新排序的步骤与报头数据字段和有效载荷数据字段中的字节无限制的进一步重新排序相并行。

例如，这样是有利的，即在进行有效载荷数据字段的字节重新排序步骤时，伴随以报头数据字段和有效载荷数据字段中字节的进一步重新排序。这可以用另一个多路复用装置来完成，或者，很简单地在将数据包从接口单元 20 传送至应用数据处理单元 30 的存储器 33 的数据总线内，做成固定的电路交叉连接。

在初始化过程中将信息项写进总线单元，这个信息项表明应用数据处理单元是大端类型还是小端类型，这是一个优选实施例，因为在初始化过程中总是有大量参数要在总线接口单元内被设计，项目在以后的操作中不需要被改变。

在外部报头内提供字节顺序检测位，就可能在估算和试验过程中，容易地在应用数据处理单元中修正字节顺序。这是完全自动地将所述信息项传送至总线接口单元的基础。这样的软件能用在大端和小端机器上。这就使软件在应用数据处理单元中的适应性变得单纯。软件只需要被编译，随时可在大端类型或小端类型机器上运行。

本发明的方法所使用的总线接口单元的优选实施例，和使用的应用数据处理单元的优选实施例。

附图说明

对本发明的实施例的描述将参考附图，它们表示：

图 1 是用于说明在大端机器中字节顺序转换的示图，该大端机器被连接于另一大端机器；

图 2 是用于说明在小端机器中字节顺序转换的示图，该小端机器被连接到大端机器；

图 3 是 IEEE 1394 总线的异步包结构；

图 4 是带 IEEE 1394 接口的硬盘驱动方块图；

图 5 是用于说明在 IEEE 1394 总线接口的数据链路层 IC 的字节顺序变更过程；

图 6 是在 IEEE 1394 总线接口的数据链路层 IC 内进行字节顺序变更的硬件单元方块图；

图 7 是用于说明本发明的第二实施例。

具体实施方式

首先，解释两个词大端和小端的意思。

大端和小端是两个术语，它们描述被存储在计算机存储器中的字节序列的顺序。大端是这样的顺序，即其中的“大端”（序列中的最高有效字节数值）被首先存储（最低位存储地址）。小端是这样的顺序，即其中的“小端”（序列中的最低有效字节数值）被首先存储。例如在大端计算机中，十六进制数 0x4F52，所需求的两个字节，在存储器中被存储为 0x4F52（例如 0x4F）被存储于地址 1000，0x52 则将被存储为 0x524F（0x52 在地址 1000，0x4F 在地址 1001）。

如上面在前言中已说过的，在电子装置中经常存在多字节数据字。由 4 字节或相应的 32 位组成的四部段数据字是一个例子。例如，IEEE 1394 总线以多个四部段构成，这将在下面作更详细的解释。计算机的存储器空间很经常地是以 8 位存储器字长构成，这表明四部段就得被存储在 4 个存储单元 / 地址。机器的存储器空间即使以 32 位字长（四部段）构成，这些机器的处理方式 / 处理机命令，也很经常地做成 8 位存储器存取。注意，对这里所解释的实施例来说，假设存储器以 8 位字长构成。

小端和大端方式的原理用图 1 和 2 来说明，以 32 位字和 8 位存储器存取为例。两个四部段被在表示图 1 中。第一个四部段被存储在大端型源系统的 8 位组成的存储器中。第二个四部段被存储在也是大端型目标系统的 8 位组成的存储器中。

小端系统的字节顺序被表示在图 2 中，也是以 32 位字长和 8 位存储器存取为例。所示的是小端机器从与大端机器相反的侧边开始，对四部段进行汇编。小端机器假设存储器中的四部段的最高有效字节，处在四部段被存储的 4 个地址中的最低位地址，依此类推。因此，最后判读

的四部段是错误的字节顺序，如图 2 中所示。

在 IEEE 1394 标准中，参考的高性能串行总线 IEEE 标准即：标准 IEEE 1394－1995，纽约 1996 年 8 月 30 日，确定通信协议，它越来越多地用在计算机技术和用户电子产品中。

通信协议可以用于同步和异步数据包的传送。这个数据包的结构在 IEEE 1394 中被规定。同步数据包被提供用于音频／视频数据的传送，因为这种数据在有规律的时间间隔内出现，在源装置中有相对稳定的间隔量。典型的应用是从电视机顶盒向录象机这样的记录设备传送已编码的音频和视频数据，或者从卫星接收机向小型光盘播放机只传送音频数据，等等。

对于用 MPEG 2（数字影视压缩标准－2）编码的、以同步数据包传送的音频和视频数据，有一个单独的标准，它被称作 IEC 国际标准 61883－1，用户音频／视频设备－数字界面，1998－02 第一版。在这里，规定了同步数据包的结构以及如何用报头数据、时间标记等等填充这些包的规则。这种包内的报头（1394 报头和 CIP 报头）是在 IEEE 1394 接口的数据链路层内被估算的。这意味着报头数据不需要被传送至总线接口外部的微控制器或 CPU。

同步包的有效载荷数据与位流数据有关，位流数据一般不被解释为多字节数据形式。数据字节被从数据链路层 IC 中的存储器，以直接存储器存取的方式，移位至应用数据处理单元。相应的 DMA（直接存储器存取）单元被提供在这些装置中。DMA 单元被设计用于读出数据，其顺序与这些数据被写入接口单元存储器的顺序相同，并以相同的顺序把它们写入应用数据处理单元的存储器。这表明对同步数据包来说，在向应用数据处理单元传送数据时，不存在字节排序问题。

异步数据包的情形则不同。与 MPEG2 编码的音频和视频数据种类不同的每一种数据，都用异步数据包传送。在与典型的用户电子设备不同的应用中，可能发生同样地被编码的音频和视频数据，也不得不作为异步数据包传送的情形。下面将举出一个例子。根据大多数 IEEE 1394 接口设计，属于事务层的异步数据包报头，不是在数据链路层 IC 做的。它们是在应用数据处理单元被估算的，并由于在一个应用中的微机（μC）

是大端类型而另一设备是小端类型，使字节顺序发生问题。

异步包的结构表示在图 3 中。参考号码 10 和 12 是不带有效载荷数据的异步包。这些数据包包括外部报头和异步 1394 报头。外部报头是任选的，但它是用于应用设备或数据链路层内的控制目的，在本发明特定的实施例中携带两个字节的顺序检测位 13。对此将在下面进行解释。参考号码 12 表示数据包，它也有一个数据字段。异步报头和外部报头的组成部分列表如下：

名 称	说 明
DESTINATION_ID（目的地_ID）	目的地标识
TL	事务标签
RT	重试代码
TCODE	事务代码
PRI	优先级
SOURCE_ID（源_ID）	源标识
PACKET TYPE SPECIFIC INFORMATION（数据包类型专用信息）	数据包类型专用信息
DATA_LENGTH（数据_长度）	数据字段长度
EXTENDED_TCODE（扩展的 TCODE）	事务代码扩展
DATA FIELD（数据字段）	数据字段
ZERO PAD BYTES（零填空字节）	以零填充字节
HSIZE	报头字段的报头长度
RSV	保留
DATA SIZE（数据长度）	数据字段长度

异步 1394 报头组成部分的含义，在上述 IEC61883－1 标准中也有充分的描述。要注意的是：异步报头可包括例如三个或四个依赖于异步数据包类型的四部段。从图 3 容易看出：异步报头中的项目与四部段中的字节限制是不同步的，所以在估算过程中对字节顺序敏感。不带数据字段的异步包可用于沟通协议，例如确认消息，也可用于某种专用的控制消息，如封锁对带儿童防护性能的电视机的请求等等。

图 4 中描绘了非用户应用设备的一个例子。它是带 IEEE 1394 接口的硬盘驱动的例子。参考号码 20 表示 IEEE 1394 接口。参考号码 30 表示应用数据处理单元，它用于控制 HD（硬盘）驱动 40，例如根据 SCSI

（小型计算机接口）协议进行控制。应用数据处理单元 30 还有根据事务层服务程序估算异步报头数据的任务。为此目的，在应用数据处理单元是小端类型的情况下，就需要对字节重新排序。这是因为在 IEEE 1394 标准中，IEEE 1394 数据链路 IC 被规定为大端类型。如果应用数据处理单元是大端类型，就不需要对字节重新排序了。

根据发明，字节重新排序是在状态寄存器 22 中的小端标志 23 的控制下，用相应的多路复用装置 24 进行的。这个标志在数据链路层 IC 21 初始化过程中设置。这个 IC 的初始化，则是在电源接通以后，用运行于应用数据处理单元 30 的专用程序实现的。在这个程序中，假如应用数据处理单元是小端类型，必须插入一个步骤，把小端标志设置为“1”。假如应用数据处理单元是大端类型，标志则被设置为“0”。

图 5 说明字节重新排序的步骤。所表示的是异步 1394 报头数据的一个四部段 25，对它的字节进行重新排序。在接收到异步 1394 包以后立即自动地进行这种重新排序。当数据处理单元访问这个数据包时，它将收到字节顺序正确的报头四部段，在估算中可以避免错误的结果。如果小端标志输入的是“0”，报头四部段的自动字节排序将被断开，四部段将不改变字节顺序地被传送到应用数据处理单元。按照这个实施例，数据字段的各个四部段不被重新排序，因为有效载荷数据字是 8 位数据字，这表示多字节数据字必须被立即解释。有效载荷数据字节，被从最低位地址到较高位进行 8 位访问，从存储器中被读出。

借助于不同数据包的外部报头，可容易地解决用于四个或五个四部段重新排序的多路复用装置的控制问题。外部报头的结构在 IEEE 1394 标准中未被规定。这是一个任选的报头，它能被用于在应用装置或数据链路层单元内的控制目的。在数据包从 IEEE 1394 总线接收的方式中，外部报头在 1394 接口的数据链路层 IC 中产生。图 3 中表明外部报头有一个关于报头长度的项目，还有一个关于数据字段长度的项目。在字节重新排序之前。需要对报头长度和数据长度进行估算。这利用两个触发器组很容易实现，每当四部段已被重排后，设置这些触发器，在四个／五个触发器已被设置后，停止重分类。借助于外部报头中关于报头长度的项目，在数值四和五之间进行选择。为此目的，只需要几个逻辑门。

多路复用装置的结构被表示于图 6。它包括多路复用级 241，向它馈送的输入是需要改变的字节的相应位。这些多路复用级的输出被馈送至输出寄存器 26 的相应位。每个多路复用器 241，被以小端标志 23 控制。

图 3 中也表示出外部报头有两个项目 13，它们被称为字节顺序检测位。在每个外部报头，第一字节顺序检测位被设置为“0”，第二字节顺序检测位被设置为“1”。在传送至应用数据处理单元以后，利用这两个位，可容易地检测包的报头字节顺序。这是因为当第二最高有效字节在其最高有效位有“0”项目，和第三最高有效字节在其最高有效位有“1”项目时，表示正确的字节顺序。

利用这些字节顺序检测位，有可能改善软件在应用数据处理单元中的运行，从而能完全自动地动态适应应用数据处理单元的字节顺序解释。在第一次初始化时，软件查我软件包并估算字节顺序检测位。根据结果，它知道这是大端还是小端机器，并能为以后的初始化设置相应的参数。用这种更通用的软件，软件工程师不必注意大端和小端问题。

下面，详细解释发明的加一个实施例。为此目的以图 7 作为参考。图 7 表示了 4 个报头字节 HB0 至 HB3 的传输顺序和 4 个有效载荷数据字节 DB0 至 DB3。所接受到的字节被按次序写入 IEEE 1394 接口单元的内存储器，其中$A000 至$A001 表示由 32 位构成的内存储器的地址。报头四部段的 MSB（最高有效字节）是 HB3，LSB（最低有效字节）是 HB0。所接收到的数据字被传送至外存储器 33。这一步的实现不借助于应用 CPU 30，而是利用直接存储器存取单元 32。外存储器 33 和接口单元 20 之间的总线假设是 32 位。外存储器 32 由 8 位构成。因此，所接收到的两个四部段占用外存储器 33 中的地址空间$D000 至$D007。可以看出，报头四部段 HB3 的 MSB 被存储在第一存储位置$D000，报头四部段 HS0 的 LSB 被存储在地址 SD003。有效载荷数据字段的第一数据字节 DB0 被存储在地址$D004，最后的数据字节 DB3 被存储在地址$D007。这是不进行字节重新排序时的存储顺序。在图 7a 中，假设 CPU 30 是大端类型的。这样，CPU 30 将对正确的顺序地址$D000 至$D003 中的报头四部段进行解释。它将把存储位置$D000 中的字节解释为报头四

部段的 MSB，把存储位置$D003 中的字节解释为报头四部段的 LSB。为了有效载荷数据字段的数据字节的解码，数据字节将以所示的读出顺序 RO 从存储器中读出。所以在这种情况下，应用μC 30 中的解码顺序是正确的。

在图 7b 中，假设μC 30 是小端类型的。在这种情况下，对报头四部段的解释将是错误的。小端机器将把报头字节 HB0 解释为 MSB，而把报头字节 HB3 解释为 LSB。存储器中的有效载荷数据字节的解码顺序则是正确的，与第一种情况没有什么不同，如在图 7b 中所看到的。

在图 7c 中，假设μC 30 是小端类型的。为了获得正确的报头四部段解释，进行下述步骤：对存储器 33 和 IEEE 1394 接口 20 之间的 32 位数据总线连接中的字节顺序，通过相应的电路交叉简单地变更。当然，这在所有操作时间内是固定的，在操作过程中不能改变。这个固定的字节顺序的变更，在 IEEE 1394 接口单元 20 和存储器 33 之间用交叉符号被表示在图 7c 中。当然，这样做将使来自单元 20 的内存储器中的所有四部段都受到字节顺序变更。对所接收到的数据包的报头和有效载荷数据字段，这种方法是有效的。从图 7b 可知，有效载荷数据字段的数据字节，将在小端机器中以正确的顺序被解码。因此，为避免解码错误，在接口单元 20 中，对有效载荷数据字段四部段进行重新排序。这是在通过图 6 所示那样的多路复用装置接收到数据包以后，立即自动地进行的。这样，在接口单元 20 的内存储器中的有效载荷数据字段四部段的字节顺序被改变。这在图 7c 中有所表示。结果，在存储器 33 中有效载荷数据字段的字节顺序，与图 7a 和图 7b 中所示的情况是相同的，但报头四部段的字节顺序是不同的。这样就在小端μC 30 中产生对报头四部段的正确解释，以及对有效载荷数据字节的正确的解码顺序。

对于不同的实现装置，可以有所变化，例如，在 IEEE 1394 接口单元 20 和外部存储器 33 之间的数据总线连接的宽度不同，例如 16 位或 8 位。但发明的原理仍然是适用的。

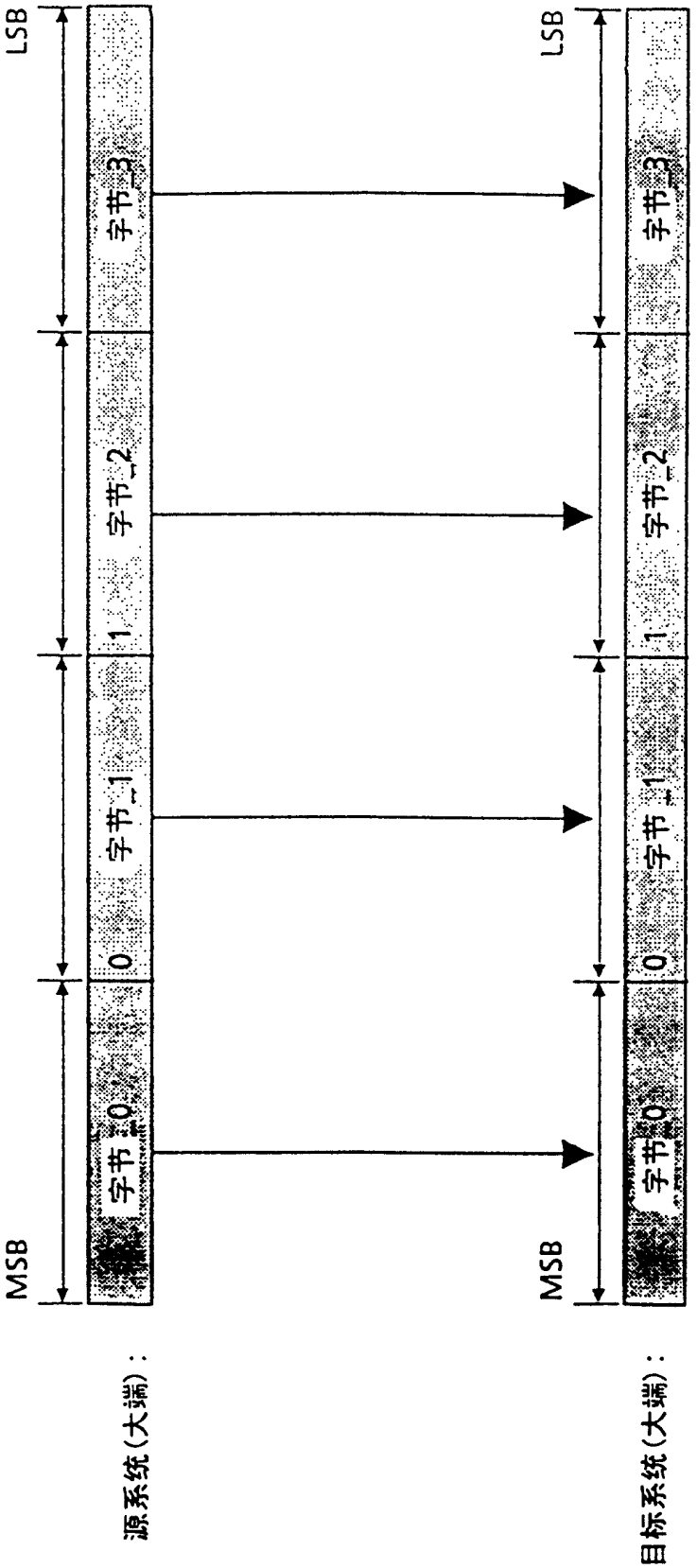


图 1

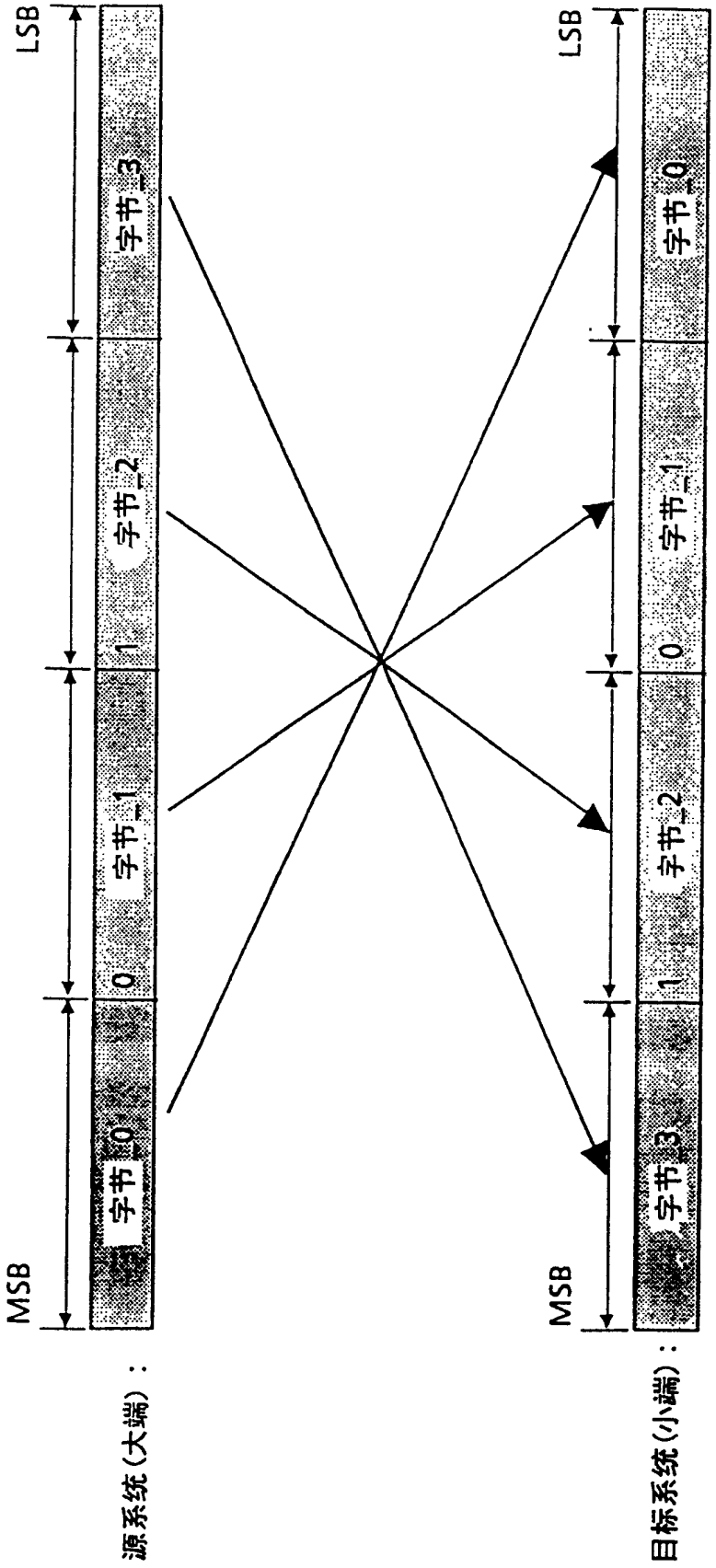


图 2

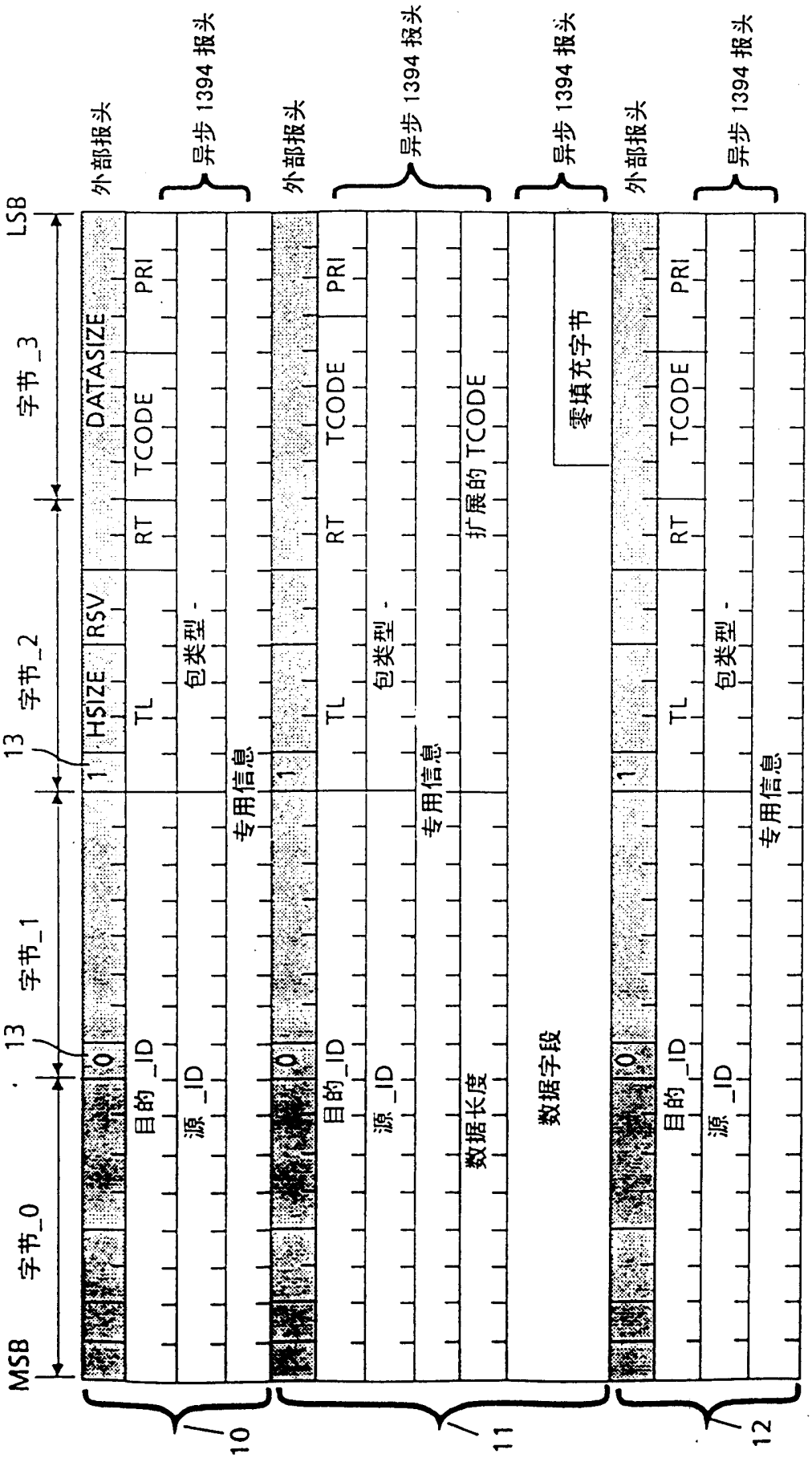

MSB
字节_0
13
字节_1
13
字节_2
字节_3
LSB
外部报头
异步 1394 报头
外部报头
异步 1394 报头
异步 1394 报头
外部报头
异步 1394 报头
目的_ID
源_ID
HSIZE
RSV
DATASIZE
TL
包类型 -
RT
TCODE
PRI
专用信息
数据长度
扩展的 TCODE
数据字段
零填充字节
10
11
12

图 3

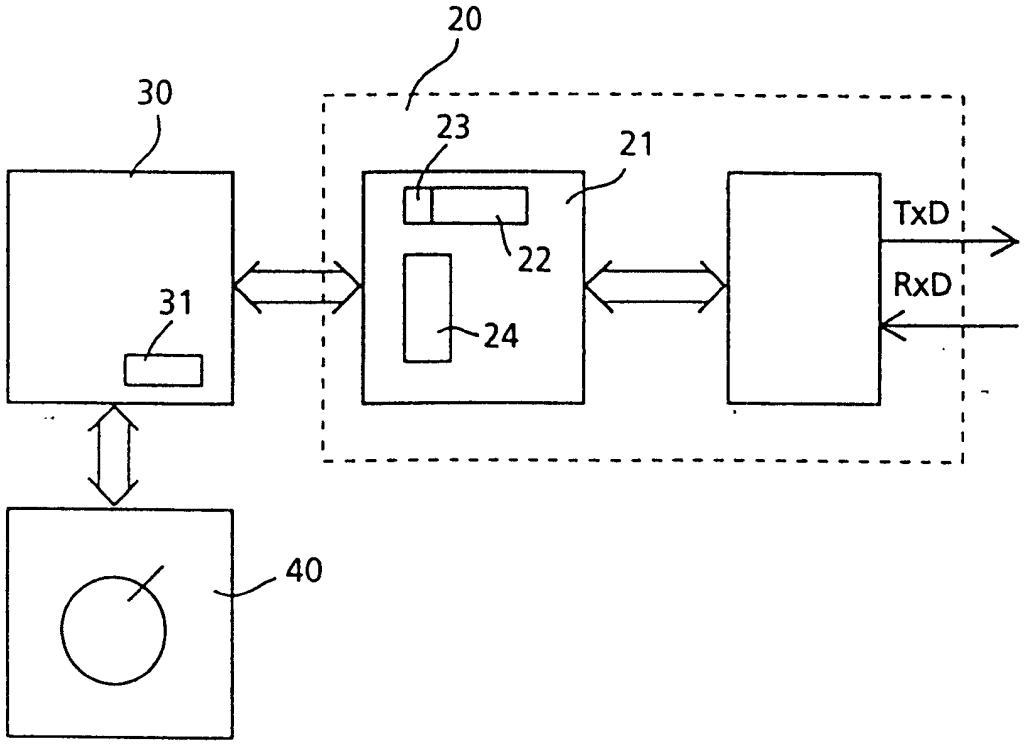

20
30
23
21
22
TxD
RxD
31
24
40

图 4

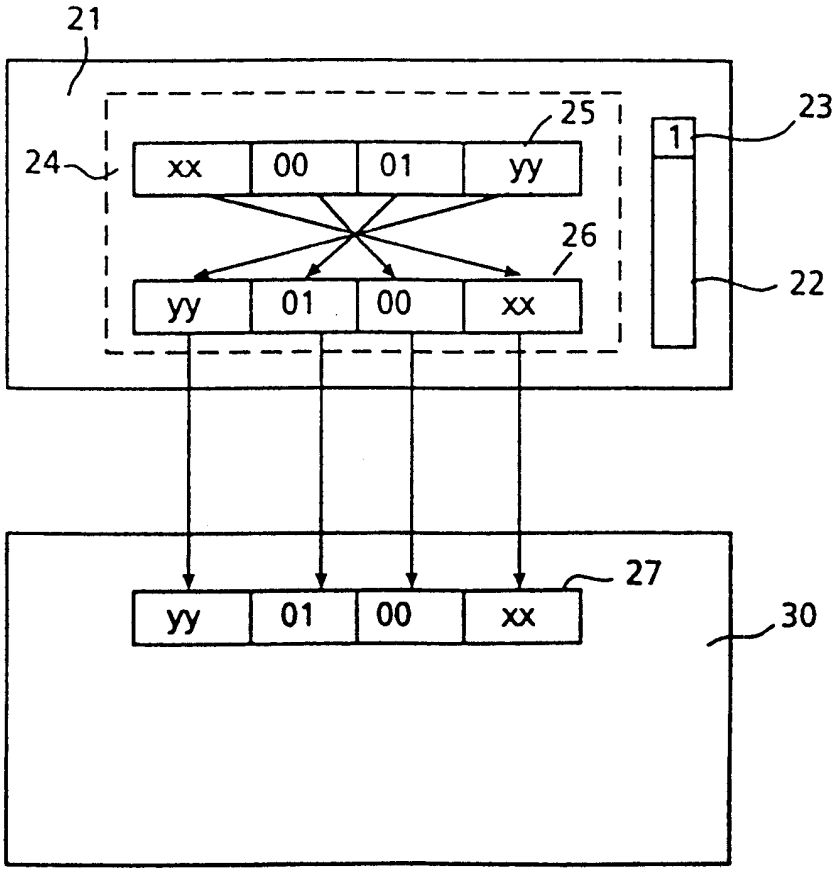

21
25
23
24
xx
00
01
yy
1
26
22
yy
01
00
xx
27
yy
01
00
xx
30

图 5

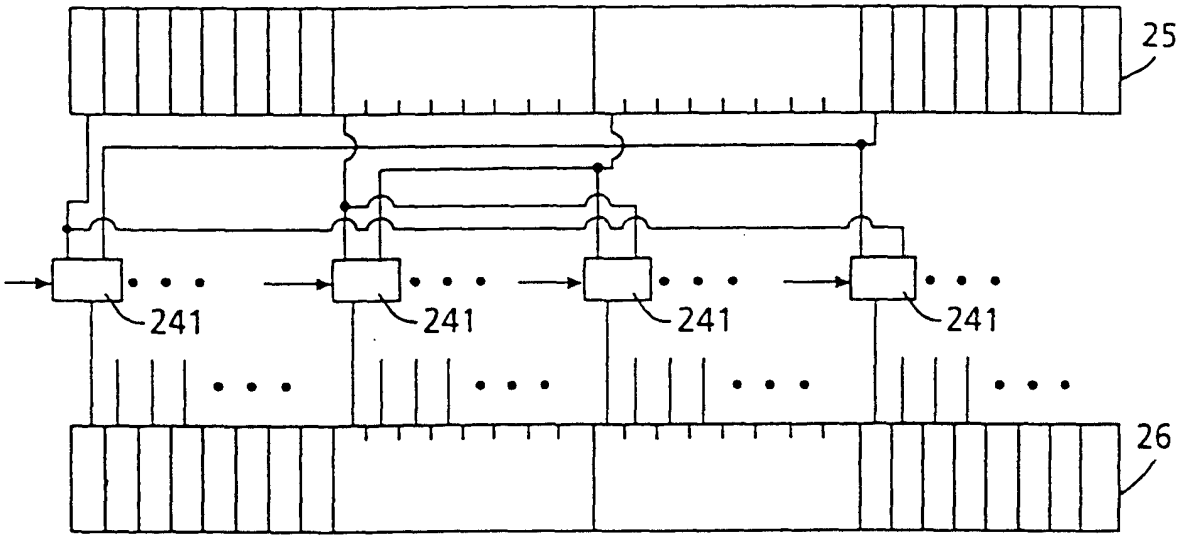


图 6

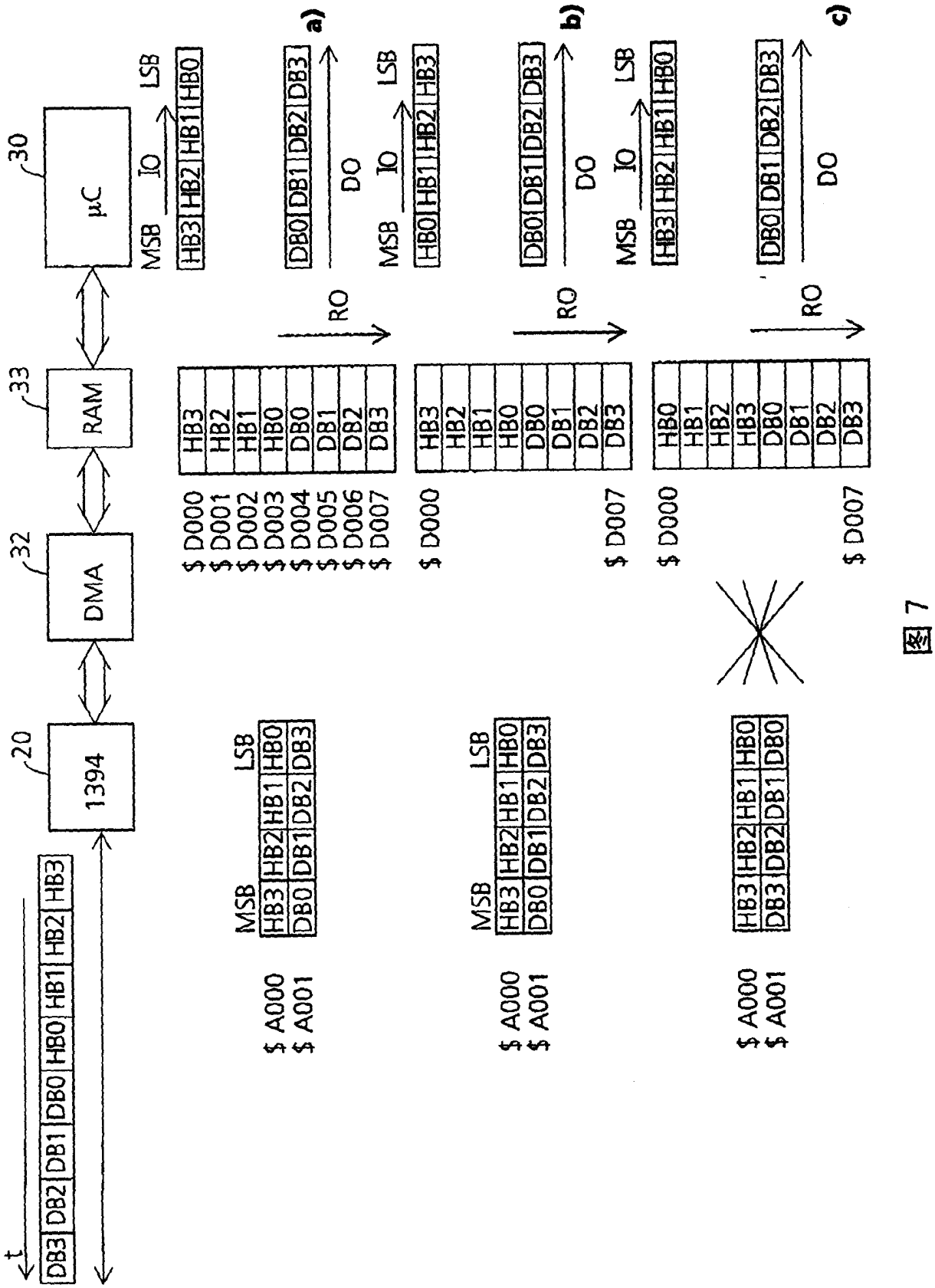

20
1394
32
DMA
33
RAM
30
µC
t
DB3 DB2 DB1 DB0 HB0 HB1 HB2 HB3
MSB
LSB
IO
HB3 HB2 HB1 HB0
DB0 DB1 DB2 DB3
a)
b)
c)
DO
RO
$ D000
$ D001
$ D002
$ D003
$ D004
$ D005
$ D006
$ D007
$ A000
$ A001
HB3 HB2 HB1 HB0
DB0 DB1 DB2 DB3
HB0 HB1 HB2 HB3
DB0 DB1 DB2 DB3

图 7