(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3846657号
(P3846657)
(45)発行日　平成18年11月15日(2006.11.15)　(24)登録日　平成18年9月1日(2006.9.1)

(51)Int.Cl.　F I
H01L 27/12 (2006.01)　H01L 27/12 B
H01L 21/02 (2006.01)　H01L 21/02 B

請求項の数 2　(全 7 頁)

(21)出願番号　特願平9-328286
(22)出願日　平成9年11月28日(1997.11.28)
(65)公開番号　特開平11-163307
(43)公開日　平成11年6月18日(1999.6.18)
審査請求日　平成15年11月28日(2003.11.28)

(73)特許権者　302006854
株式会社ＳＵＭＣＯ
東京都港区芝浦一丁目２番１号
(74)代理人　100094215
弁理士　安倍　逸郎
(72)発明者　冨田　真一
佐賀県杵島郡江北町大字上小田２２０１番地　住友シチックス株式会社内

審査官　萩原　周治

(56)参考文献　特開平０４－１２９２６７（ＪＰ，Ａ）
特開平０５－２１７８２４（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】貼り合わせ基板およびその製造方法

(57)【特許請求の範囲】
【請求項１】
第１の半導体基板と第２の半導体基板とをその間に誘電体層を介在させて貼り合わせた貼り合わせ基板において、
薄膜化された第１の半導体基板の周辺部位を変形させて第２の半導体基板に貼着させることにより、上記誘電体層を貼り合わせ基板に内在させた貼り合わせ基板。
【請求項２】
第１の半導体基板と第２の半導体基板の間に誘電体層を介在させて貼り合わせ接着される貼り合わせ基板の製造方法において、
少なくとも第１の半導体基板及び第２の半導体基板の間に誘電体層を介在させて貼り合わせて熱処理し、接着する工程と、
貼り合わせ基板の周辺部の未接着部分を除去する工程と、
貼り合わされた第１の半導体基板を貼り合わせ面とは反対側から薄膜化する工程と、
その後、前記誘電体層の周辺部のみ削除し、削除された周辺部位において第１及び第２の半導体基板を貼着させることにより誘電体層を内在させる工程とを備えたことを特徴とする貼り合わせ基板の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、第１の半導体基板と第２の半導体基板の間に誘電体層を介在させて貼り合わ

せ接着される貼り合わせ基板及びその製造方法に関する。

【０００２】

【従来の技術】

従来において、第１の半導体基板と第２の半導体基板との間に誘電体層を介在させて接着して形成されるＳＯＩ（Silicon on Insulator）基板が知られている。

【０００３】

この種の貼り合わせ基板の製造方法は、第１の半導体基板と第２の半導体基板のうち、少なくとも一方に誘電体層、例えば、酸化膜（SiO_2）を形成しておき、前記２枚の半導体基板を密着させ熱処理を施して、貼り合わせ基板を形成する。

【０００４】

その後、基板の鏡面加工時に発生したダレにより生じる貼り合わせ基板周辺の未接着部分を研削及びエッチングにより除去し、デバイス形成層となる層を所望の厚みになるように研削した後、仕上げとして鏡面研磨後、ＳＯＩ構造を有する貼り合わせ基板とする。

【０００５】

このような従来の接着法による貼り合わせ基板は、例えば、図３（１）～（５）に示すような順序で形成される。

【０００６】

すなわち、まず、図３（１）に示した第１の半導体基板１０と第２の半導体基板１１は、ラッピング、エッチング及び表面研磨等の前処理が施されているものを用いる。

【０００７】

次に、前記半導体基板１０，１１を用いて、図３（２）に示すように、第１の半導体基板１０の表面に誘導体層となる酸化膜１０ａを形成する。その後第１の半導体基板１０と第２の半導体基板１１の双方の接着表面の清浄化処理を行い、図３（３）に示すように、前記半導体基板１０，１１を室温で密着し、温度８００℃以上で熱処理することにより接着強度を増す。

【０００８】

次に、図には示していないが、半導体基板１０，１１には、研磨時にウエーハ周辺にダレが発生しており、そのまま双方を接着すると未接着部が生じる。この未接着部は、貼り合わせ基板を洗浄又は研磨する際、前記未接着部分が剥がれて飛散すると発塵源となり、基板表面がダストで汚染されたり、その一部が表面に付着して加工時に傷つけられる。そこで、図３（４）に示すように、未接着部を研削し、エッチングによって除去する。その後、図３（５）に示すように第１の半導体基板１０を貼り合わせ面とは反対側より研削等により薄膜化し、ＳＯＩ層を所望の厚みになるように研磨を行う。

【０００９】

このようにして従来の製造方法により半導体基板１０，１１の間に酸化膜１０ａを介在した貼り合わせ基板１３が製造される。尚、ＳＯＩ構造を有する貼り合わせ基板の厚みは、作製されるデバイスによって異なるが、一般にはＳＯＩ層が厚さ１～３０μｍ程度のものである。

【００１０】

また、半導体基板１０，１１の間に酸化膜を介在させない直接接着の貼り合せ基板も同様の加工で作製される。

【００１１】

【発明が解決しようとした課題】

従来の貼り合わせ基板１３は、基板周辺部において、貼り合わせ基板に介在する酸化膜１０ａが表面に露出していた。このため、デバイス製造工程において、酸化膜を除去する工程があると、周辺部の表面に露出している酸化膜１０ａも一緒に除去され、図４に示すように、第１の半導体基板１０と第２の半導体基板１１との間に隙間が生じて、未接着部１２Ａが形成されていた。

【００１２】

このような未接着部１２Ａは、後の工程において剥がれて飛散し、発塵源となりデバイ

ス歩留の低下をひきおこす可能性があった。

【００１３】

本発明は、前記各問題点に鑑みてなされたもので、貼り合わせ基板に介在する例えば、酸化膜等の誘電体層の周辺部を表面化しないように削除し、前記誘電体層を内在するように第１の半導体基板を第２の半導体基板に貼着して、未接着部が生じないように貼り合わせ基板を製造し、未接着部が剥がれて発塵源となるのを防止する製造方法を提供することを目的としている。

【００１４】

【課題を解決するための手段】

請求項１に記載の発明は、第１の半導体基板と第２の半導体基板とをその間に誘電体層を介在させて貼り合わせた貼り合わせ基板において、薄膜化された第１の半導体基板の周辺部位を変形させて第２の半導体基板に貼着させることにより、上記誘電体層を貼り合わせ基板に内在させた貼り合わせ基板である。

請求項２に記載の発明に係る貼り合わせ基板の製造方法は、第１の半導体基板と第２の半導体基板の間に誘電体層を介在させて貼り合わせ接着される貼り合わせ基板の製造方法において、少なくとも第１の半導体基板及び第２の半導体基板の間に誘電体層を介在させて貼り合わせて熱処理し、接着する工程と、貼り合わせ基板の周辺部の未接着部分を除去する工程と、貼り合わされた第１の半導体基板を貼り合わせ面とは反対側から薄膜化する工程と、その後、前記誘電体層の周辺部が表面化しないように削除し、削除された周辺部位において第１及び第２の半導体基板を貼着させることにより誘電体層を内在させる工程とを備えた構成の貼り合わせ基板の製造方法である。

【００１５】

このように、第１の半導体基板と第２の半導体基板との間に介在する酸化膜等の誘電体層の周辺部のみ削除して、第１の半導体基板を第２の半導体基板に貼着させ、酸化膜等の誘電体層を貼り合わせ基板中に内在するよう製造すると、デバイス製造工程での発塵を防止することができる。

【００１６】

【発明の実施の形態】

以下、本発明を詳細に説明する。

【００１７】

図１は本発明に係る貼り合わせ基板の製造方法を示す工程図である。

【００１８】

本発明に係る貼り合わせ基板の製造方法について、図１の製造方法を示す工程図に基づいて説明する。

【００１９】

図１（１）は活性層側の基板となる第１の半導体基板１と支持側の基板となる第２の半導体基板２を示す。図１（２）に示すように、第１の半導体基板１に熱処理等を行って酸化膜１ａを形成し、この酸化膜１ａが誘電体層を構成する。次に、図１（３）に示すように、酸化膜（誘電体層）１ａを間に介在させて第１の半導体基板１と第２の半導体基板２を貼り合わせる。そして、半導体基板１，２に熱処理を施し、接着強度を強めて貼り合わせ基板３を形成する。

【００２０】

その後、第１の半導体基板１を裏面から所望の厚さに薄膜化し、所望の厚みの貼り合わせ半導体基板４を製造することとなるが、本発明の製造方法においては、デバイス製造工程におけるダスト等の発生及びそのダストによる半導体基板の欠陥等を防止するために、次に記載するように薄膜化する。

【００２１】

すなわち、図１（４）に示すように、貼り合わせ後の工程として、周辺の未接着部を研削、エッチングにより除去したあと、第１の半導体基板１を厚さ１０μｍ～１００μｍとなるように、研削又はエッチング等により裏面から薄膜化を行う。次に、図１（５）に示

すように、貼り合わせ半導体基板３に介在する酸化膜（誘電体層）１ａの周辺部位を酸系のエッチング液、例えば、５０％弗酸（５０％ＨＦ）、フッ化水素アンモニウム（NH_4HF_2）等により削除する。従って、第１の半導体基板１と第２の半導体基板２は貼り合わせ接着界面において、その周辺部位に未接着部３Ａを生じる。

【００２２】

本例では、前述したように、第１の半導体基板１はその厚さが１０μｍ～１００μｍと薄膜化されており、柔軟性を有するため、自重によるたわみ、或は、液体の表面張力等が働いて、第１の半導体基板１のこの薄膜化された部位を変形させることができる。そこで、第１の半導体基板１のこの薄膜化された部位を変形させて、第２の半導体基板２に貼着する。これにより、図１（６）に示すように、酸化膜（誘電体層）１ａは貼り合わせ基板３に内在された形となる。

【００２３】

その後、必要に応じて、貼り合わせ基板３の薄膜化、熱処理等を行い所望の貼り合わせ基板４を形成する。

【００２４】

このように誘電体層１ａは、貼り合わせ基板３に内在される形となるため、その後の処理工程やさらにデバイス形成工程等において、周辺部の剥がれによって生じるダスト等の汚染物質の発生を低減することができ、良品率を向上することができる。

【００２５】

次に、本発明の製造方法に係る他の具体例について説明する。図２は、本発明に係る貼り合わせ基板の製造方法を示す工程図である。

【００２６】

図２（１）は、活性層側の基板となる第１の半導体基板５と支持側の基板となる第２の半導体基板６を示す。図１（２）に示すように、第１の半導体基板５に熱処理等を行って酸化膜５ａを形成し、この酸化膜５ａが誘電体層を構成する。次に、図１（３）に示すように、前記酸化膜（誘電体層）５ａを間に介在させて第１の半導体基板５と第２の半導体基板６を貼り合わせる。そして、貼り合わせられた第１の半導体基板５と第２の半導体基板６に熱処理を施し、接着強度を強めて貼り合わせ基板７を形成する。そして、図２（４）に示すように、貼り合わせ基板７の外周の未接着部分を、研削・エッチングによって除去する。

【００２７】

次に、図２（５）に示すように、非酸化性雰囲気中において、ＣＶＤ膜９を形成する。例えば、モノシラン及びアンモニア（SiH_4+NH_3）ガス、ジクロルシラン及びアンモニア（$SiH_2Cl_2+NH_3$）ガス等を用いてＣＶＤ窒化膜８を形成する。このため、貼り合わせ基板７は、ＣＶＤ窒化膜８で覆われ、前記酸化膜（誘電体層）５ａは、貼り合わせ基板７に内在される。

【００２８】

その後、図２（６）に示すように、貼り合わせ基板７を裏面から薄膜化し、所望の厚みの貼り合わせ基板９を形成する。

【００２９】

このように貼り合わせ基板９は、酸化膜（誘電体層）５ａを内在した形で薄膜化されて製造されるため、未接着部が剥離することによって生じる汚染を防止することができる。また、酸化膜（誘電体層）５ａが貼り合わせ基板９に内在されているため、デバイス製造工程時のダストの発生を低減することができる。

【００３０】

なお、貼り合わせ半導体ウエーハ９に形成する膜は、前述したＣＶＤ窒化膜８のみならず、多結晶膜、適宜の非酸化ＣＶＤ膜を形成してもよい。

【００３１】

【発明の効果】

以上説明したように、請求項１に記載の発明に係る貼り合わせ基板によれば、デバイス

工程での発塵を防止することができる。

また、請求項２に係る貼り合わせ基板の製造方法は、第１の半導体基板と第２の半導体基板の間に誘電体層を介在させて貼り合わせ接着される貼り合わせ基板の製造方法において、少なくとも第１の半導体基板及び第２の半導体基板の間に誘電体層を介在させて貼り合わせて熱処理し、接着する工程と、貼り合わせ基板の周辺部の未接着部分を除去する工程と、貼り合わされた第１の半導体基板を貼り合わせ面とは反対側から薄膜化する工程と、その後、前記誘電体層の周辺部のみ削除し、削除された周辺部位において第１及び第２の半導体基板を貼着させることにより誘電体層を内在させる工程とを備えた構成の貼り合わせ基板の製造方法である。

【００３２】

このように、第１の半導体基板と第２の半導体基板との間に介在する、例えば酸化膜等の誘電体層の周辺部のみ削除して、第１の半導体基板を第２の半導体基板に貼着させ、誘電体層を貼り合わせ基板中に内在するよう製造すると、デバイス製造工程での発塵を防止することができる。

【図面の簡単な説明】

【図１】　本発明に係り、貼り合わせ基板の製造方法示す工程図である。

【図２】　本発明に係り、貼り合わせ基板の製造方法を示す工程図である。

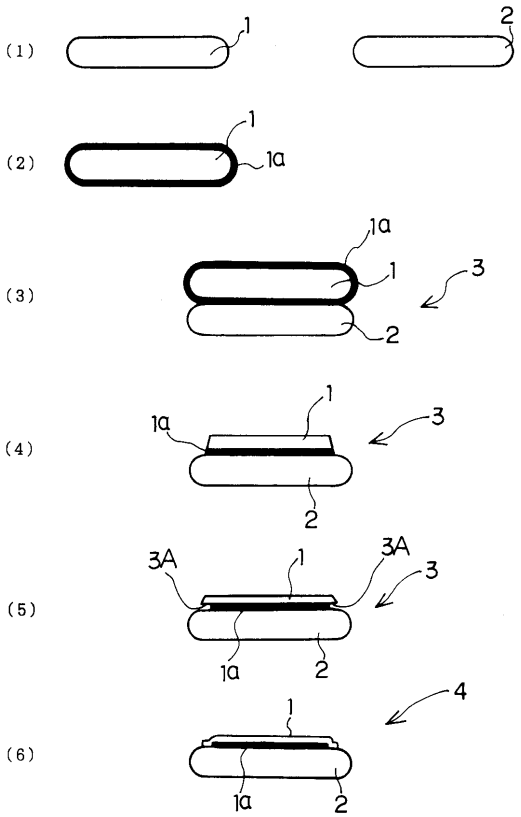
【図３】　従来例に係り、貼り合わせ基板の製造方法を示す工程図である。

【図４】　従来例に係り、貼り合わせ基板の製造方法を示す一の工程図である。

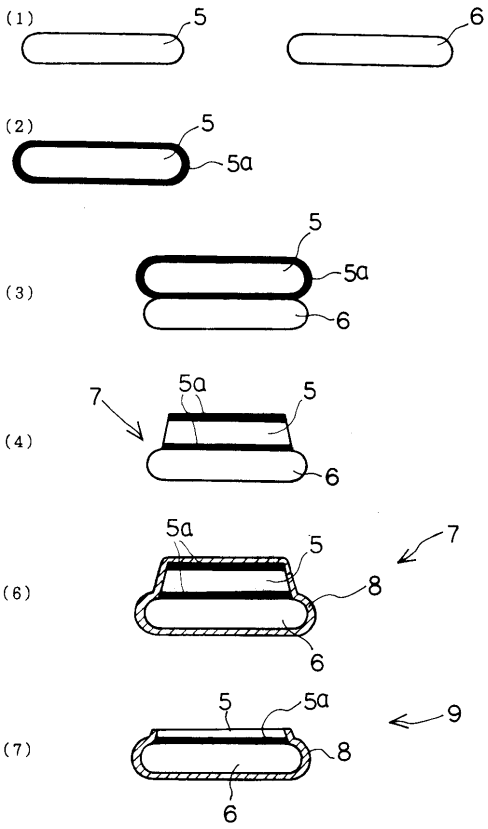
【符号の説明】

１　第１の半導体基板
１ａ　酸化膜（誘電体層）
２　第２の半導体基板
３　貼り合わせ基板
３Ａ　未接着部
４　貼り合わせ基板
５　第１の半導体基板
５ａ　酸化膜（誘電体層）
６　第２の半導体基板
７　貼り合わせ基板
８　ＣＶＤ膜
９　貼り合わせ基板
１０　第１の半導体基板
１０ａ　酸化膜
１１　第２の半導体基板
１２　貼り合わせ基板
１２Ａ　未接着部
１３　貼り合わせ基板

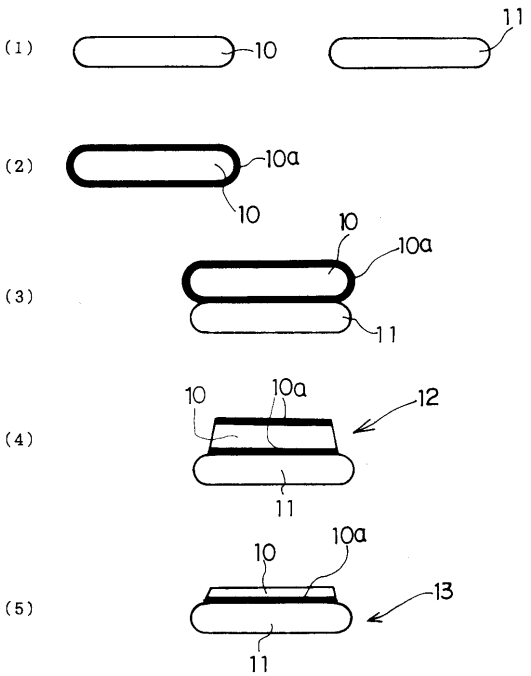
【図１】


(1)
1
2
(2)
1
1a
(3)
1a
1
3
2
(4)
1
1a
3
2
(5)
3A
1
3A
3
1a
2
(6)
4
1
1a
2

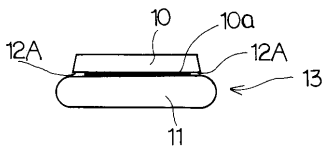
【図２】


(1)
5
6
(2)
5
5a
(3)
5
5a
6
(4)
7
5a
5
6
(6)
5a
5
7
8
6
(7)
5
5a
9
8
6

【図３】


(1)
10
11
(2)
10a
10
(3)
10
10a
11
(4)
10
10a
12
11
(5)
10
10a
13
11

【図４】


10
10a
12A
12A
13
11

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/02
H01L 27/12