(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3583862号
(P3583862)
(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月6日(2004.8.6)

(51)Int.Cl.[7]　F I
H01L 21/60　H01L 21/92　602J
H01L 21/60　311S
H01L 21/92　602P
H01L 21/92　604C

請求項の数 2　(全 14 頁)

(21)出願番号　特願平8-117209
(22)出願日　平成8年5月13日(1996.5.13)
(65)公開番号　特開平9-306917
(43)公開日　平成9年11月28日(1997.11.28)
審査請求日　平成15年2月7日(2003.2.7)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　上野　聡
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　林　輝義
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　原田　卓
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置およびその製造方法

(57)【特許請求の範囲】
【請求項１】
半導体チップ上に設けられたパッドとパッケージ上に設けられた金属電極とがはんだバンプにより接続される半導体集積回路装置であって、
前記パッドのうち、高周波信号の入出力に用いられる高周波入出力パッドの面積が、高周波信号の入出力に用いられないその他のパッドの面積と比較して小さく、
前記高周波入出力パッドの周辺には前記その他のパッドが配置され、
前記はんだバンプに用いられる材料の量は、前記高周波入出力パッドおよび前記その他のパッドにおいて均一であることを特徴とする半導体集積回路装置。
【請求項２】
請求項１記載の半導体集積回路装置の製造方法であって、
（ａ）半導体集積回路素子が形成された半導体基板上に高周波信号の入出力に用いられない前記その他のパッドと前記その他のパッドよりも面積が小さい前記高周波入出力パッドとを形成する工程、
（ｂ）前記高周波入出力パッドおよび前記その他のパッドが形成されていない半導体基板上にレジストを形成する工程、
（ｃ）前記高周波入出力パッドおよび前記その他のパッドならびに前記レジスト上にはんだを形成する工程、
（ｄ）前記レジストをその上層に形成されたはんだとともに除去し、前記高周波入出力パッドおよび前記その他のパッド上に面積が均一なはんだパターンを形成する工程、

（ｅ）前記半導体ウエハを加熱して、前記高周波入出力パッドおよび前記その他のパッド上に形成された前記はんだパターンをボール状に整形する工程、
を有することを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置およびその製造方法に関し、特に、パッケージと半導体集積回路とを接続するパッドの影響を受けて発生する信号損失の抑制に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
近年、半導体集積回路装置の超高周波領域での使用の要求が高まっている。このような半導体集積回路装置は、たとえばベースバンド光通信のように１０Ｇｂ／ｓもの高速の伝送速度を必要とする光伝送用の広帯域増幅器を構成する場合等に用いられる。
【０００３】
ところで、半導体集積回路装置を構成する半導体チップをセラミック基板や樹脂基板等のパッケージにマウントする際に、フリップチップ方式の接続方式（ＦＣＢ）が、採用されるようになってきている。この方式においては、半導体集積回路装置のサイズを理想的にはチップサイズにまで小さくすることが可能であり、半導体集積回路装置を用いた回路全体を小さくすることが可能となる利点を有する。このような半導体集積回路装置の縮小化は、高密度実装技術への適用性を高めると同時に、高周波用途において回路を集中定数的に取り扱うことができるというメリットを有する。
【０００４】
フリップチップ方式の接続方式については、工業調査会「ＩＣ　化実装技術」（１９８０年１月１５日発行）ｐ１７５およびｐ８４、あるいは株式会社オーム社発行、「ＬＳＩハンドブック」（昭和５９年１１月３０日発行）、ｐ４０９～ｐ４１０に詳細に記載されているが、以下簡単に説明する。
【０００５】
フリップチップ方式の接続方式において、半導体チップとパッケージとの電気的接続には突起電極が使用される。
【０００６】
この突起電極を有する半導体チップの実装は、ＣＣＢ（Ｃｏｎｔｒｏｌｌｅｄ　Ｃｏｌｌａｐｓｅ　Ｂｏｎｄｉｎｇ）　実装あるいはＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）実装として知られている。
【０００７】
突起電極は、その突起部分がＰｂＳｎ合金等からなるバンプで構成され、その下地にスパッタ等により形成されたＣｒ／Ｃｕ等のバンプ下地金属（ＢＬＭ）を介在させて設置するようになっているのが一般的である。バンプはパターニングされたレジストをマスクとして、あるいは金属マスクを使用して蒸着等により形成されるのが一般的である。
【０００８】
【発明が解決しようとする課題】
前記のＦＣＢ技術を超高周波用途の半導体集積回路装置に適用するに際して、本発明者らは実験および検討を行い、以下のような問題点があることを認識した。
【０００９】
第１に、パッケージと半導体チップとを接続する際に用いられる半導体チップ上のパッド部分の伝送特性が、半導体集積回路装置の高周波伝送特性に大きな影響を与えるという点である。
【００１０】
すなわち、パッドの浮遊容量および基板抵抗により信号伝送の損失を生じ、周波数が高くなるに従って信号減衰が大きくなるという問題である。図１７に代表的なパッド部分にお

ける信号減衰量の周波数依存性を示す。信号周波数がある程度低い場合は、信号減衰量が小さいため無視できる。しかし、超高周波領域たとえば１０ＧＨｚ程度の周波数で使用する場合には信号減衰量が大きく、半導体集積回路装置の伝送特性に大きな影響を与えてしまう。

【００１１】

つまり、広帯域増幅器等を構成する半導体集積回路装置に適用した場合、増幅器の利得の帯域内偏差を抑制することが困難になるという不具合が発生する。言い換えると、パッドによる損失量が周波数によって異なるため、増幅器の利得を一定に保つように設計しても、入出力部にパッドがあるがために、その利得を広い帯域にわたって一定に保つことが難しくなる。この結果、利得が周波数特性を有するようになり、特に高周波帯域の利得が低周波帯域の利得よりも低下し、いわゆる利得の帯域内偏差が生ずるという問題を生じる。

【００１２】

パッド部分の伝送特性を改善する手法としては、パッドと基板間のインピーダンスを大きくすることが考えられ、パッド面積を縮小することにより可能ではある。しかし、パッド面積を縮小すると半導体チップとパッケージとの接着力が低下し、半導体集積回路装置の長時間使用により、パッドまたはバンプが半導体チップからはがれてしまい、パッケージと半導体集積回路の電気的な接続が不可能になる。従って、パッケージと半導体チップとの接続の高い信頼性を確保することが困難となってしまう。これが第２の問題点である。

【００１３】

このように、増幅器において、利得の帯域内偏差が生ずると、特に広帯域を用いているシステムでは利得の帯域内偏差がそのまま伝送特性の劣化として現れるため、情報を正確かつ、高速に伝送する上で支障が生じる。一方、パッケージと半導体チップとの接続強度が弱い場合、信頼性が劣化し、長時間使用に耐えることが不可能となる。

【００１４】

本発明の目的は、パッケージと半導体チップとがＦＣＢによって接続された半導体集積回路装置の高周波伝送特性を改善し、かつ、半導体集積回路装置の信頼性を維持する技術を提供することにある。

【００１５】

本発明の他の目的は、パッケージにＦＣＢによって接続される半導体チップの、パッド部分の伝送特性を改善し、かつ、半導体チップとパッケージとの耐剥離性に優れた半導体集積回路装置およびその製造方法を提供することにある。

【００１６】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１７】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１８】

（１）本発明の半導体集積回路装置は、半導体チップ上に設けられたパッドとパッケージ上に設けた金属電極とがはんだバンプにより接続される半導体集積回路装置であって、パッドのうち高周波信号の入出力に用いられる高周波入出力パッドの面積が、高周波信号の入出力に用いられないその他のパッドの面積と比較して小さいものである。

【００１９】

このような半導体集積回路装置によれば、半導体チップ上に設けられたパッドのうち、高周波信号の入出力に用いられる高周波入出力パッドのみをその他のパッドよりも小さな面積とするため、高周波入出力パッド部分の伝送特性を改善するとともに、半導体チップとパッケージとの接着強度は従来どおりに維持することが可能である。

【００２０】

すなわち、高周波入出力パッドの面積を縮小することにより、その浮遊容量を小さくし、

高周波入出力パッドと半導体基板との間のインピーダンスを高めて高周波伝送特性を改善すると同時に、その他のパッドについては従来どおりの面積とすることにより半導体チップとパッケージとの接着性を確保するものである。

【００２１】

半導体チップに設けられた全パッドのうち、高周波入出力パッドの占める割合は、一般に大きくないため、高周波入出力パッドの面積を小さくしても全体の接着強度に与える影響はあまり大きくない。一方、半導体集積回路装置の帯域劣化の主要因は高周波入出力パッドであって、その他のパッドは帯域劣化に全く影響していない。そこで、高周波入出力パッドのみの面積を小さくして、帯域劣化と耐剥離性低下とを同時に対策したものである。

【００２２】

つまり、パッドによる信号減衰を抑制し、応力強度に優れた半導体集積回路装置が実現可能である。

【００２３】

（２）本発明の半導体集積回路装置は、前記（１）記載の半導体集積回路装置であって、高周波入出力パッドの周辺には、それ以外のパッドが配置されているものである。

【００２４】

このような半導体集積回路装置によれば、高周波入出力パッドの周辺にそれ以外のパッドを配置したため、半導体集積回路装置の信頼性をさらに高めることができる。

【００２５】

半導体チップとパッケージとの全体の接着強度は、（１）に記載のとおり、高周波入出力パッド以外のパッドの面積を従来どおりとすることにより担保することができるが、高周波入出力パッドが特定の領域に集まって配置された場合には、その領域に半導体チップとパッケージとの熱膨張の差等によるストレスの集中が発生する可能性がある。このようなストレスの集中がある場合には、接着強度の弱い高周波入出力パッド部分に剥離が発生する可能性がある。このような剥離は半導体集積回路装置の信頼性を低下させる要因となる。

【００２６】

そこで、本発明では、高周波入出力パッドの周辺にそれ以外のパッドを配置することによって、高周波入出力パッド周辺の接着強度低下を防止し、高周波入出力パッドの剥離発生を防止して、半導体集積回路装置の信頼性を高めるものである。

【００２７】

（３）本発明の半導体集積回路装置は、前記（１）または（２）記載の半導体集積回路装置であって、はんだバンプに用いられる材料の量は、高周波入出力パッドおよびそれ以外のパッドにおいて均一としているものである。

【００２８】

このような半導体集積回路装置によれば、はんだボール用に供給するはんだの量を均一としても、はんだによる表面張力のため、大きさの異なるパッドが混同した場合でも、良好なはんだボールの形成が可能である。さらに、パッケージとの接続を行う際に、はんだボールはボールの潰れる量を自己制御してボールの高さを均一とするため、すべてのパッドとパッケージとの接続は均一にすることができる。

【００２９】

この場合、はんだ量をパッドの面積に応じて調整する必要がないため、はんだ量調整のための条件出し等の作業が不要である。

【００３０】

（４）本発明の半導体集積回路装置は、前記（１）または（２）記載の半導体集積回路装置であって、はんだバンプに用いられる材料の量は、パッドの面積に比例して増減されているものである。

【００３１】

このような半導体集積回路装置によれば、はんだバンプに用いられる材料の量をパッドの面積に比例して増減するため、バンプの高さを均一に揃えることができる、このため、半

導体チップとパッケージとの接続を行う際のリフローを、より確実に行うことができる。
【００３２】
（５）本発明の半導体集積回路装置の製造方法は、前記（１）～（４）記載の半導体集積回路装置の製造方法であって、（ａ）半導体ウェハ上に高周波入出力パッドおよびその他のパッドを形成する工程、（ｂ）高周波入出力パッドおよびその他のパッドが形成されていない半導体ウェハ上にレジストを形成する工程、（ｃ）高周波入出力パッドおよびその他のパッドならびにレジスト上にはんだを形成する工程、（ｄ）レジストをその上層に形成されたはんだとともに除去する工程、（ｅ）半導体ウェハを加熱して、高周波入出力パッドおよびその他のパッド上に形成されたはんだをボール状に整形する工程、を有し、（ｂ）の工程において形成されるレジストのパターンにより、高周波入出力パッドおよびその他のパッド上に形成されるはんだバンプの材料の量を調節することを特徴とするものである。
【００３３】
このような、レジストのパターンによりパッド上に形成されるはんだの量を調整するため、容易にはんだ量を調整することができる。
【００３４】
この場合、レジストパターンを均一としてはんだ量を全てのパッドに対して同一とすることも可能であり、また、レジストパターンをパッド面積に比例するように調整してパッド上に形成されるはんだバンプの高さを揃えることも可能である。
【００３５】
【発明の実施の形態】
以下、本発明の実施の形態を図面に基づいて詳細に説明する。
【００３６】
（実施の形態１）
図１は、本発明の一実施の形態である半導体集積回路装置の一例を示した上面図である。
【００３７】
半導体チップ１上には、高周波入出力パッド２（黒丸）およびその他のパッド３（白丸）が形成されている。高周波入出力パッド２の面積は、その他のパッド３の面積よりも小さくなっている。その結果、高周波入出力パッド２の部分での高周波信号の減衰を抑制し、半導体集積回路装置の信号伝送特性を改善することができる。
【００３８】
高周波入出力パッド２の面積縮小による高周波伝送特性の改善について、図２～図４を用いてさらに詳しく説明する。
【００３９】
図２は、半導体チップ上の一般的なパッドを示した断面図であり、図３は、図２におけるパッド部分の等価回路を示した回路図である。
【００４０】
高周波入出力パッド２あるいはその他のパッド３であるパッド４は、半導体基板５上に酸化シリコン等の絶縁体である層間膜６を介して形成されている。
【００４１】
パッド４は、半導体基板５との間に層間膜６を介してパッド容量Ｃｏｘを形成し、半導体基板５は、抵抗Ｒｓと基板容量Ｃｓとの並列回路と等価である。結局、パッド４は、図３に示すように、抵抗Ｒｓと基板容量Ｃｓとの並列回路にパッド容量Ｃｏｘが直列に接続されたものと等価な回路を介して接地されていることとなる。つまり、パッド４に寄生するパッド容量Ｃｏｘおよび抵抗Ｒｓが信号伝達ラインに付加されることになり、その寄生素子による信号減衰の影響により信号伝送に大きな影響を与えることとなる。
【００４２】
信号減衰を防止するためには、信号伝達ラインに付加された寄生素子の影響が無視できるようになれば良い。そのためには、パッド４のインピーダンスＺが十分大きい値にならなければならない。

【００４３】
パッド４と接地間とのインピーダンスＺは、前記等価回路より、Ｚ＝１／ｊωＣｏｘ＋１／（１／Ｒｓ＋ｊωＣｓ）となる。（但し、ωは角周波数である。）この式から、Ｚを大きくするためには、ω、ＣｏｘまたはＣｓを小さく、あるいはＲｓを大きくする必要がある。しかし、本来高周波での使用を目的としていることからωを大きくすることはできず、また、Ｒｓ、Ｃｓの変更は、半導体基板５の物性に関係することからこれを変えることは難しい。そこで、Ｃｏｘを小さくすることが最も現実的かつ有効な手段である。すなわち、Ｃｏｘは、パッド４の形状の幾何学的な変更のみでその値を変えること、つまり、その面積の縮小によりＣｏｘの値をほぼ比例的に小さくすることができる。
【００４４】
図４にパッド４の大きさを変えた場合の信号損失の変化を示す。曲線７は、従来のパッド面積と同等の面積の場合の信号損失を示し、曲線８は、パッド面積を小さくした場合の信号損失を示す。パッド面積を小さくした方が信号損失が小さくなっていることが判る。
【００４５】
本実施の形態１では、高周波入出力パッド２の信号損失が曲線８に対応し、その他のパッド３の信号損失が曲線７に対応するものである。このように、本実施の形態１では、高周波入出力パッド２における信号損失を小さくし、半導体集積回路装置の高周波特性を改善することができる。
【００４６】
一方、パッド面積の縮小を高周波入出力パッド２に限り、その他のパッド３の面積を従来と同様とすることにより、半導体チップ１とパッケージとの接着力を従来と同等に保持することができる。すなわち高周波入出力パッド２の数は、その他もパッド３の数に比べて少なく、高周波入出力パッド２の面積を縮小することによる接着性の低下は無視できるレベルとすることができる。
【００４７】
また、本実施の形態１の半導体集積回路装置では、高周波入出力パッド２の周辺にその他のパッド３が配置されるようになっている。言い換えると、高周波入出力パッド２が隣接して配置されることがない。
【００４８】
このように高周波入出力パッド２とその他のパッド３を配置することにより、半導体チップ１とパッケージとの全体の接着力を保持するのみならず、高周波入出力パッド２の接着力を確保して、半導体集積回路装置の信頼性を高めることができる。
【００４９】
次に、本実施の形態１の半導体集積回路装置の製造方法について、図５～図１１に従って説明する。
【００５０】
図５～図１１は、本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【００５１】
まず、半導体基板５の主面に、公知の技術を用いて、ＭＯＳＩＣ、バイポーラＩＣ等の半導体集積回路素子および配線９を形成し、層間膜６を形成する。さらに、層間膜６の所定の領域にコンタクトホール１０を開口し、パッド用金属膜１１を形成する（図５）。
【００５２】
パッド用金属膜１１は、単層あるいは複数層で形成することができる。また、形成方法として、蒸着法あるいはスパッタ法等を用いることができる。
【００５３】
次に、リソグラフィ技術を用いて、高周波入出力パッド２およびその他のパッド３を形成する（図６）。
【００５４】
このとき、パッド面積は、マスクパターンを調整することにより決定することができる。

【００５５】
次に、高周波入出力パッド２およびその他のパッド３が形成された半導体基板５の主面上にレジスト膜を塗布し、リソグラフィ技術を用いて、高周波入出力パッド２およびその他のパッド３の周辺のレジストを除去し、高周波入出力パッド２およびその他のパッド３の間にレジストパターン１２を形成する（図７）。
【００５６】
次に、レジストパターン１２が形成された半導体基板５の主面上に、はんだ膜１３を全面に形成する（図８）。
【００５７】
はんだ膜１３は、スパッタ法、蒸着法等を用いて形成することができる。
【００５８】
次に、その上にはんだ膜１３が形成されたレジストパターン１２を、上層のはんだ膜１３とともにリフトオフにて除去し、はんだパターン１４を形成する（図９）。
【００５９】
このとき、はんだパターン１４の面積は均一とすることができる。はんだパターン１４の面積を均一とすることにより、条件出し等の煩雑な作業を省略し、製造工程を簡略化することができる。
【００６０】
次に、半導体基板５全体にアニール処理を行い、はんだパターン１４を溶かす。はんだパターン１４は表面張力により、球形となり、ＣＣＢ接続用のはんだボール１５が形成される（図１０）。
【００６１】
このとき、パッドの、面積が異なっても、はんだの表面張力により全てのパッド上に良好なボールが形成される。
【００６２】
最後に、はんだボール１５が形成された半導体基板５、すなわち半導体チップ１とパッケージ１６とを接続する。なお、本実施の形態１では、すべてのパッドについてはんだの量を均一にするため、高周波入出力パッド２ではその面積が小さいことより、はんだボール１５の高さがその他のパッド３よりも高くなるが、再度、はんだ溶解を行う為、その表面張力により、はんだの潰れる量が自動的に制御され、均一なパッケージ接続が可能となる。
【００６３】
本実施の形態１の半導体集積回路装置またはその製造方法によれば、以下のような効果が得られる。
【００６４】
（１）高周波信号の入出力に用いる高周波入出力パッド２のみの面積を小さくするため、高周波入出力パッド２部分の伝送特性を改善するとともに、半導体チップ１とパッケージ１６との接着強度を従来どおりに維持することが可能である。
【００６５】
なお、接着強度の評価は、－５５℃、１０分と１５０℃、１０分の温度サイクル試験により評価を行い、剥離発生が認められず、また、従来の半導体集積回路装置の接着性に比べて遜色のないことが確かめられている。
【００６６】
（２）高周波入出力パッド２の周辺にその他のパッド３を配置するため、高周波入出力パッド２部分の剥離を防止し、半導体集積回路装置の信頼性を高めることができる。
【００６７】
（３）はんだボール１５用に供給するはんだの量を均一とするため、レジストパターン１２を形成する際の条件出しを省略し、工程を簡略化することができる。
【００６８】
（４）大きさの異なるパッドが混在しても、はんだによる表面張力のため、良好なはんだ

ボール１５の形成が可能である。また、パッケージ１６との接続を行う際に、はんだボール１５の高さに不均一が存在しても、はんだボール１５は、ボールの潰れる量を自己制御してボールの高さを均一とするため、すべてのパッドとパッケージ１６との接続を均一にすることができる。

【００６９】

（実施の形態２）

本実施の形態２の半導体集積回路装置は、パッドの面積に応じてはんだの量を調節するものであること以外は、実施の形態１で説明した半導体集積回路装置と同様の構成を有するものである。よって、その構成の相違する部分を主に説明し、構成の同様な部分については、説明を省略する。

【００７０】

本実施の形態２の半導体集積回路措置の製造方法の他の例を、図１２～図１６に従って説明する。

【００７１】

図１２～図１６は、本実施の形態２の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。

【００７２】

半導体基板５の主面への半導体集積回路素子、配線９、層間膜６、コンタクトホール１０およびパッド用金属膜１１の形成は、実施の形態１と同様である。

【００７３】

また、高周波入出力パッド２およびその他のパッド３の形成についても実施の形態１と同様である。

【００７４】

次に、高周波入出力パッド２およびその他のパッド３が形成された半導体基板５の主面上にレジスト膜を塗布し、リソグラフィ技術を用いて、高周波入出力パッド２およびその他のパッド３の周辺のレジストを除去し、高周波入出力パッド２およびその他のパッド３の間にレジストパターン１７を形成する（図１２）。

【００７５】

このとき、レジストパターン１７は、その開口が、パッド面積に比例するように調整する。すなわち、面積の小さい高周波入出力パッド２の開口は、面積の大きいその他のパッド３の開口よりも小さくする。

【００７６】

次に、レジストパターン１２が形成された半導体基板５の主面上に、はんだ膜１３を全面に形成する（図１３）。

【００７７】

はんだ膜１３は、スパッタ法、蒸着法等を用いて形成することができる。

【００７８】

次に、その上にはんだ膜１３が形成されたレジストパターン１２を、上層のはんだ膜１３とともにリフトオフにて除去し、はんだパターン１８を形成する（図１４）。

【００７９】

次に、半導体基板５全体にアニール処理を行い、はんだパターン１８を溶かす。はんだパターン１８は表面張力により、球形となり、ＣＣＢ接続用のはんだボール１９が形成される（図１５）。

【００８０】

このとき、パッドの、面積が異なっても、面積に応じたはんだの量を調節しているため、はんだボール１９の高さはパッド面積によらず均一となっている。

【００８１】

最後に、はんだボール１９が形成された半導体基板５、すなわち半導体チップ１とパッケージ１６とを接続する。なお、本実施の形態２では、パッドの面積に応じてはんだの量を調節しており、はんだボール１９の高さは均一なものである。

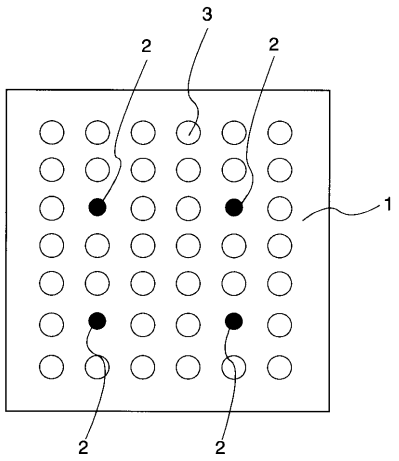
【００８２】
従って、本実施の形態２では、半導体チップ１とパッケージ１６との接続を大変良好に行うことができる。
【００８３】
以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。
【００８４】
【発明の効果】
本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。
【００８５】
（１）半導体チップ上に設けられたパッドのうち、高周波信号の入出力に用いられる高周波入出力パッドのみをその他のパッドよりも小さな面積とするため、高周波入出力パッド部分の伝送特性を改善するとともに、半導体チップとパッケージとの接着強度は従来どおりに維持することが可能である。その結果、半導体集積回路装置として広帯域増幅器を構成する場合に、信頼性低下を招くことなく、パッドの影響を受けて生じる利得の帯域内偏差を抑制することができる。
【００８６】
（２）高周波入出力パッドの周辺にそれ以外のパッドを配置したため、半導体集積回路装置の信頼性をさらに高めることができる。
【００８７】
（３）はんだボール用に供給するはんだの量を均一としても、はんだによる表面張力のため、大きさの異なるパッドが混同した場合でも、良好なはんだボールの形成が可能である。さらに、パッケージとの接続を行う際に、はんだボールはボールの潰れる量を自己制御してボールの高さを均一とするため、すべてのパッドとパッケージとの接続は均一にすることができる。
【００８８】
この場合、はんだ量をパッドの面積に応じて調整する必要がないため、はんだ量調整のための条件出し等の作業が不要である。
【００８９】
（４）はんだバンプに用いられる材料の量をパッドの面積に比例して増減するため、バンプの高さを均一に揃えることができる、このため、半導体チップとパッケージとの接続を行う際のリフローを、より確実に行うことができる。
【００９０】
（５）レジストのパターンによりパッド上に形成されるはんだの量を調整するため、容易にはんだ量を調整することができる。
【００９１】
この場合、レジストパターンを均一としてはんだ量を全てのパッドに対して同一とすることも可能であり、また、レジストパターンをパッド面積に比例するように調整してパッド上に形成されるはんだバンプの高さを揃えることも可能である。
【図面の簡単な説明】
【図１】本発明の一実施の形態である半導体集積回路装置の一例を示した上面図である。
【図２】半導体チップ上の一般的なパッドを示した断面図である。
【図３】図２におけるパッド部分の等価回路を示した回路図である。
【図４】パッド４の大きさを変えた場合の信号損失の変化を示したグラフである。
【図５】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【図６】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図７】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【図８】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【図９】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【図１０】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【図１１】本実施の形態１の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。
【図１２】本実施の形態２の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。
【図１３】本実施の形態２の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。
【図１４】本実施の形態２の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。
【図１５】本実施の形態２の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。
【図１６】本実施の形態２の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。
【図１７】代表的なパッド部分における信号減衰量の周波数依存性を示したグラフである。

【符号の説明】
１　半導体チップ
２　高周波入出力パッド
３　その他のパッド
４　パッド
５　半導体基板
６　層間膜
７，８　曲線
９　配線
１０　コンタクトホール
１１　パッド用金属膜
１２　レジストパターン
１３　はんだ膜
１４　はんだパターン
１５　はんだボール
１６　パッケージ
１７　レジストパターン
１８　はんだパターン
１９　はんだボール
Ｃｏｘ　パッド容量
Ｃｓ　基板容量
Ｒｓ　抵抗
Ｚ　インピーダンス

【図１】

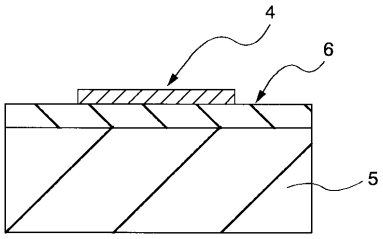
図 1



1：半導体チップ
2：高周波入出力パッド
3：その他のパッド

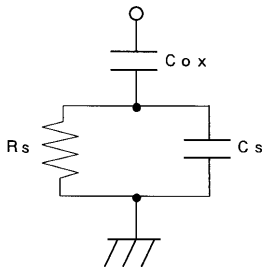
【図２】

図 2



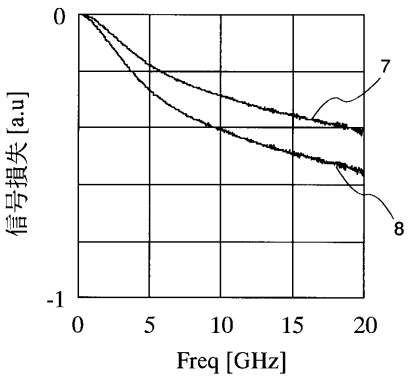
【図３】

図 3



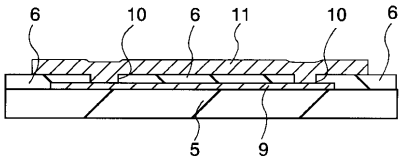
【図４】

図 4



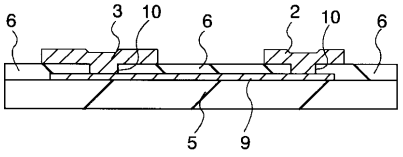
【図５】

図 5



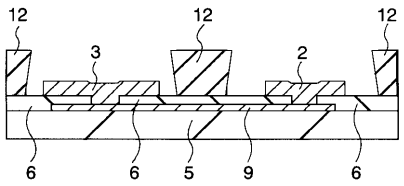
【図６】

図 6



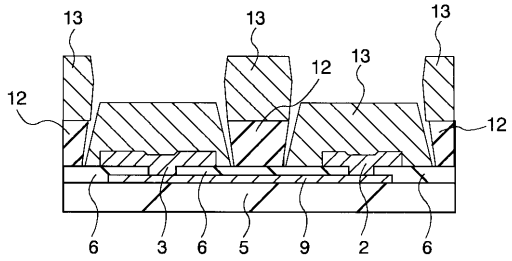
【図７】

図 7



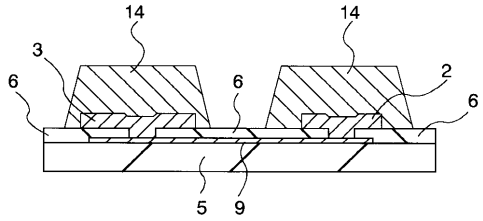
【図８】

図 8



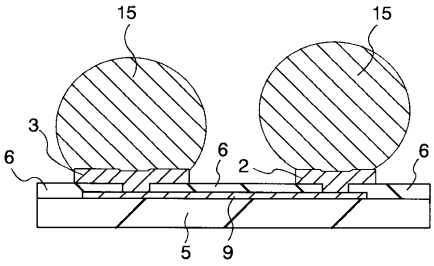
【図９】

図 9



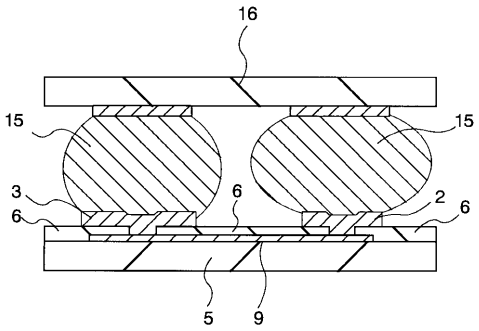
【図１０】

図 10



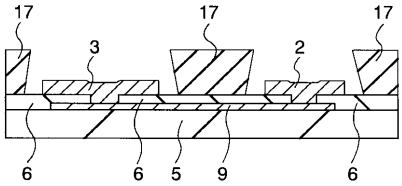
【図１１】

図 11



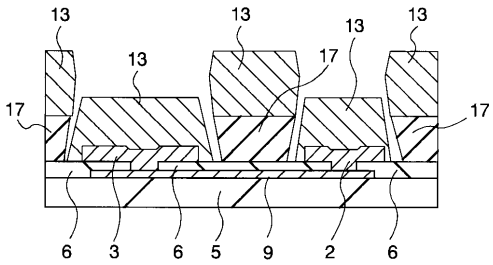
【図１２】

図 12



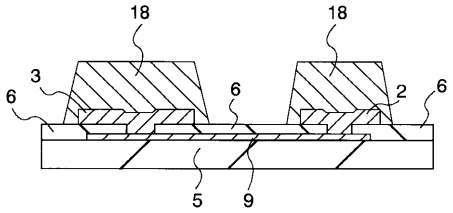
【図１３】

図 13



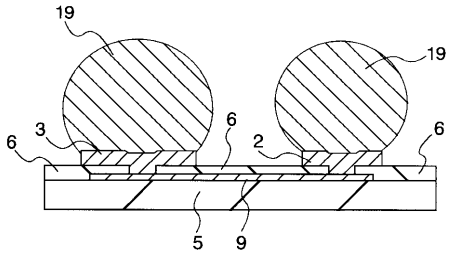
【図１４】

図 14



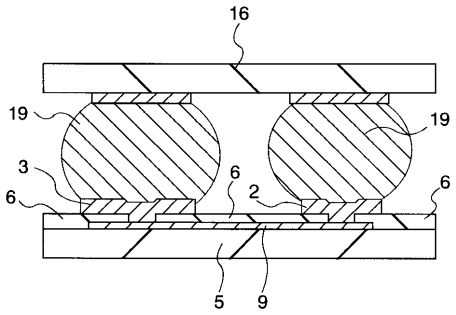
【図１５】

図 15



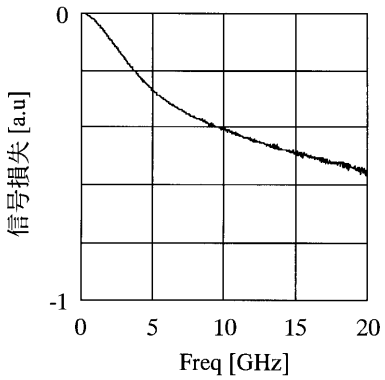
【図１６】

図 16



【図１７】

図 17



フロントページの続き

審査官　田中　永一

(56)参考文献　特開平８－３１８６５（ＪＰ，Ａ）
特開平７－２６３４４９（ＪＰ，Ａ）
特開平７－２７３４３９（ＪＰ，Ａ）
特開平９－２６６２１０（ＪＰ，Ａ）
実開平７－４２１３４（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/60
H01L 21/60　311