

PCT

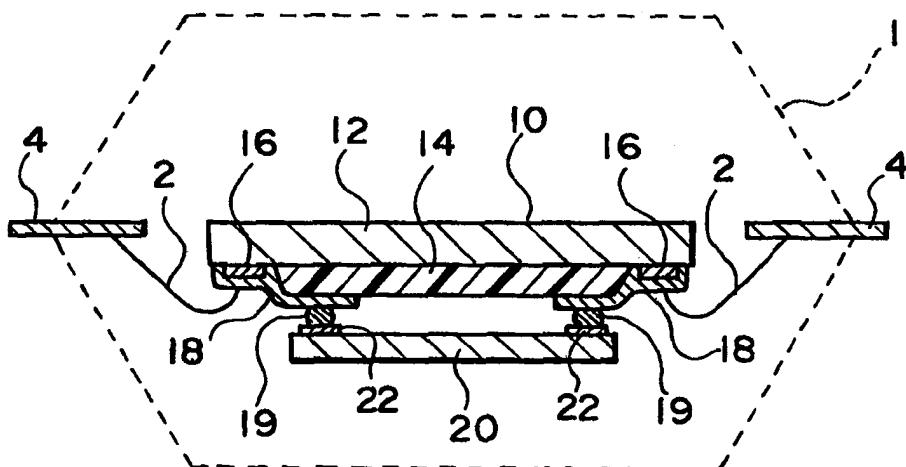
世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類 <b>H01L 25/04</b>	A1	(11) 国際公開番号 <b>WO98/40915</b>
		(43) 国際公開日 1998年9月17日(17.09.98)
(21) 国際出願番号 PCT/JP98/00973		
(22) 国際出願日 1998年3月10日(10.03.98)		
(30) 優先権データ 特願平9/72614 1997年3月10日(10.03.97) JP		
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)		(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, GW, HU, ID, IL, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO特許 (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		添付公開書類 国際調査報告書
(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		

(54) Title: **ELECTRONIC COMPONENT AND SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING THE SAME, CIRCUIT BOARD HAVE THE SAME MOUNTED THEREON, AND ELECTRONIC EQUIPMENT HAVING THE CIRCUIT BOARD**

(54) 発明の名称 電子部品及び半導体装置並びにこれらの製造方法並びにこれらを実装した回路基板及びこの回路基板を有する電子機器



(57) Abstract

An assembled-type semiconductor device which enables reduction in cost or improvement in reliability in junction between chips or between a chip and a circuit board. This assembled-type semiconductor device has a first semiconductor device (10) including a semiconductor chip (12) having an electrode (16), a stress relaxation layer (14) provided on the semiconductor chip (12), a wiring (18) formed from the electrode (16) onto the stress relaxation layer (14), and a solder ball (19) formed on the wiring (18) on the stress relaxation layer (14), and a bare chip (20) as a second semiconductor device electrically joined with the first semiconductor device (10).

本発明は、チップ同士又はチップと回路基板と接合において、コストの削減又は信頼性の向上を図ることのできる集合型の半導体装置である。この集合型の半導体装置は、電極（16）を有する半導体チップ（12）と、半導体チップ（12）の上に設けられる応力緩和層（14）と、電極（16）から応力緩和層（14）の上にかけて形成される配線（18）と、応力緩和層（14）の上で配線（18）に形成されるハンダボール（19）と、を有する第1の半導体装置（10）と、第1の半導体装置（10）に電気的に接合される第2の半導体装置としてのペアチップ（20）と、を有する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード（参考情報）

A L	アルバニア	F I	フィンランド	L T	リトアニア	S N	セネガル
A M	アルメニア	F R	フランス	L U	ルクセンブルグ	S Z	スウェーデン
A T	オーストリア	G A	ガボン	L V	ラトヴィア	T D	チャード
A U	オーストラリア	G B	英國	M C	モナコ	T G	トーゴー
A Z	アゼルバイジャン	G E	グルジア	M D	モルドヴァ	T J	タジキスタン
B A	ボスニア・ヘルツェゴビナ	G H	ガーナ	M G	マダガスカル	T M	トルクメニスタン
B B	バルバドス	G M	ガンビア	M K	マケドニア旧ユーゴス	T R	トルコ
B E	ベルギー	G N	ギニア		ラヴィア共和国	T T	トリニダッド・トバゴ
B F	ブルキナ・ファソ	G W	ギニア・ビサオ	M L	マリ	U A	ウクライナ
B G	ブルガリア	G R	ギリシャ	M N	モンゴル	U G	ウガンダ
B J	ベナン	H U	ハンガリー	M R	モーリタニア	U S	米国
B R	ブラジル	I D	インドネシア	M W	マラウイ	V N	ウズベキスタン
B Y	ブルーニッシュ	I E	アイルランド	M X	メキシコ	Y U	ヴィエトナム
C A	カナダ	I I L	イスラエル	N E	ニジエール	Z W	ジンバブエ
C C F	中央アフリカ	I I S	アイスランド	N L	オランダ		
C C G	コンゴ共和国	I T	イタリア	N O	ノールウェー		
C C H	スイス	J P	日本	N Z	ニュージーランド		
C C I	コートジボアール	K E	ケニア	P L	ポーランド		
C C M	カーメルーン	K G	キルギス	P T	ポルトガル		
C C N	中国	K P	北朝鮮	R O	ルーマニア		
C C U Y	キューバ	K R	韓国	R U	ロシア		
C C Y Z	キプロス	K Z	カザフスタン	S D	スードン		
C C Z	チエシコ	L C	セント・ルシア	S E	スウェーデン		
D D E	ドイツ	L I	リヒテンシュタイン	S G	シンガポール		
D D K E	デンマーク	L K	スリランカ	S I	スロヴェニア		
E E S	エストニア	L R	リベリア	S K	スロ伐キア		
E S	スペイン	L S	レソト	S L	シエラ・レオーネ		

## 明細書

電子部品及び半導体装置並びにこれらの製造方法  
並びにこれらを実装した回路基板及びこの回路基板を有する電子機器

## 技術分野

本発明は、複数のチップが接合された電子部品及び半導体装置並びにこれらの製造方法並びにこれらを実装した回路基板及びこの回路基板を有する電子機器に関する。

## 背景技術

半導体装置は、論理回路、メモリ又はC P Uなど広範な用途に使用されている。また、複数種類の回路を一つの半導体装置に集積することも行われる。しかしながら、そのためには、半導体装置の設計をやり直さねばならず、コストが上がる。そこで、複数の半導体チップを接合して、一つの半導体装置とすることが行われてきた。従来、このような半導体装置は、複数のペアチップが接合されただけのもので、いずれかのペアチップの電極に設けられたハンダバンプによって回路基板に実装されていた

したがって、ペアチップ同士の接合又は半導体装置の回路基板への実装において、考慮が足りなかった。

例えば、ペアチップ同士を接合するには、一方のペアチップの電極を接合するためのパッドを、他方のペアチップに形成する必要があり、そのためにペアチップの設計をやり直さねばならなかった。

あるいは、回路基板に実装するときに、いずれかのペアチップと回路基板とが直接接合されると、ペアチップと回路基板との熱膨張係数の差によって、ハンダからなる接合部に亀裂が生じることがあった。

本発明は、上述したような課題を解決するものであり、その目的は、チップ同士又はチップと回路基板と接合において、コストの削減又は信頼性の向上を図る

ことのできる電子部品及び半導体装置並びにこれらの製造方法並びにこれらを実装した回路基板及びこの回路基板を有する電子機器を提供することにある。

### 発明の開示

(1) 本発明に係る半導体装置は、電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和構造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成されるとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第1の半導体装置と、

前記第1の半導体装置の前記電極に比して配置されたピッチが異なる電極を有し、前記第1の半導体装置の配線のうちのいずれかに電気的に接合される第2の半導体装置と、

を有する。

本発明によれば、第1及び第2の半導体装置が接合されて一つの集合型の半導体装置となる。また、第1の半導体装置が応力緩和構造を有するので、この応力緩和構造を介して、外部電極に加えられる応力を緩和することができる。すなわち、第1の半導体装置の外部電極を回路基板のパッド等にボンディングすると、半導体チップと回路基板との熱膨張係数の差によって応力が生じ得るが、応力緩和構造によって、この応力が緩和される。

また、一般的に半導体チップに形成される電極の位置はその半導体チップ単体において最良となる位置に設計することが好ましい。この場合に、第1の半導体装置の半導体チップにおける電極位置と、第1半導体チップの電極位置とは異なる位置に電極が存在する半導体チップを有する第2の半導体装置においては、双方の電極のピッチが異なるがために集合型（一体化）に形成するには、双方の電極位置を合わせるように設計しなければならない。しかしながら本発明のように、いずれかの配線を引き回してピッチ変換させることで電極位置が相異なる半導体チップを1つの集合型の半導体装置に形成することができる。

(2) 前記応力緩和構造は、前記半導体チップの上に設けられる応力緩和層を含み、

前記外部電極と接続される配線は、前記電極から前記応力緩和層の上にかけて形成され、

前記外部電極は、前記応力緩和層の上で前記外部電極と接続される配線に形成されてもよい。

(3) 前記応力緩和構造は、前記半導体チップの上に設けられる応力緩和層と、該応力緩和層を貫通するとともに該応力緩和層上に応力を伝達する接続部と、を含み、

前記外部電極と接続される配線は、前記応力緩和層の下に形成され、

前記外部電極は、前記接続部上に形成されてもよい。

(4) 前記第2の半導体装置は、前記電極を有する半導体チップと、前記電極に設けられる外部電極と、からなるペアチップである集合型の半導体装置。

これによれば、第2の半導体装置は、いわゆるペアチップであり、第1の半導体装置に対してフリップチップボンディングがなされる。このように、第2半導体装置としてペアチップを用いれば、加工が不要なため、低コスト及び工程の省略化を図ることができる。

(5) 前記第2の半導体装置は、前記電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和層と、前記電極から前記応力緩和層の上にかけて形成される配線と、前記応力緩和層の上で前記配線に形成される外部電極と、を有してもよい。

これによれば、第1の半導体装置のみならず、第2の半導体装置も、応力緩和層によって応力を緩和できるようになっている。

(6) 前記第2の半導体装置は、前記電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和層と、前記応力緩和層の下で前記電極から形成される配線と、前記応力緩和層を貫通するとともに該応力緩和層上に応力を伝達する接続部と、前記接続部上に形成される外部電極と、を有してもよい。

(7) 前記第2の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記第2の半導体装置の前記外部電極が、前記第1の半導体装置に電気的に接

合されてもよい。

(8) 前記第2の半導体装置と接続される配線は、前記半導体チップ上に形成され、

前記第2の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記応力緩和層は、前記第2の半導体装置と接続される配線の少なくとも一部を避ける領域に形成されてもよい。

これによれば、第1の半導体装置の応力緩和層は、配線の少なくとも一部を避ける領域のみに形成されるので、応力緩和層の形成領域を減らすことができる。

(9) 前記第2の半導体装置と接続される配線は、前記応力緩和層上に形成され、

前記第2の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有してもよい。

これによれば、第2の半導体装置が接合される配線は、応力緩和層上に形成されているので、半導体チップの設計をやり直さなくても、所望の形状にすることができる。したがって、既知の半導体装置を利用して第1の半導体装置を構成できるので、コストが上がるのを避けることができる。

(10) 前記第2の半導体装置と接続される配線は、前記半導体チップ上に形成され、

前記第2の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記応力緩和層は、前記第2の半導体装置と接続される配線の少なくとも一部を避ける領域に形成されてもよい。

(11) 前記第2の半導体装置と接続される配線は、前記応力緩和層上に形成され、

前記第2の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有してもよい。

(12) 前記第1の半導体装置に電気的に接合される少なくとも一つの第3の半導体装置を有してもよい。

これによれば、少なくとも3つの半導体装置を接合して、一つの集合型半導体装置とすることができる。

(13) 前記全ての半導体装置を封止する樹脂パッケージと、

前記第1の半導体装置の電極に接続されるアウターリードと、  
を有してもよい。

この半導体装置は、樹脂封止型のものである。

(14) 前記第1の半導体装置は、前記第2の半導体装置との接続面とは反対側面に接着される放熱器を有してもよい。

こうして、第1の半導体装置の半導体チップの放熱を図ることができる。

(15) 本発明に係る電子部品は、電極を有する素子チップと、前記素子チップの上に設けられる応力緩和構造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成されるとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第1の電子部品と、

前記第1の電子部品の前記電極に比して配置されたピッチが異なる電極を有し、前記第1の半導体装置の配線のうちのいずれかに電気的に接合される第2の電子部品と、

を有する。

(16) 本発明に係る電子部品の製造方法は、電極を有する素子チップと、前記素子チップの上に設けられる応力緩和構造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成されるとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第1の電子部品に、前記複数の配線のうちのいずれかを介して、第2の電子部品を電気的に接合する工程を含む。

(17) 本発明に係る半導体装置の製造方法は、電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和構造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成されるとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第1の半導体装置に、前記複数の配線のうちのいずれかを介して、第2の半導体装置を電気的に接合する工程を含む。

これによって、上記集合型の半導体装置を製造することができる。

(18) 前記第2の半導体装置と接続される配線は、パッドを有して前記半導体チップ上に形成され、

前記応力緩和構造は、前記パッドを避ける領域に形成される応力緩和層を含み、前記第2の半導体装置は、電極と、該電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記第2の半導体装置の外部電極と、前記第1の半導体装置の前記パッドと、を接合してもよい。

(19) 前記応力緩和構造は、前記半導体チップの上に設けられる応力緩和層を含み、

前記第2の半導体装置と接続される配線は、パッドを有して前記応力緩和層上に形成され、

前記第2の半導体装置は、電極と、該電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記第2の半導体装置の外部電極と、前記第1の半導体装置の前記パッドと、を接合してもよい。

(20) 前記第1の半導体装置の前記パッド及び前記第2の半導体装置の前記外部電極のうち、少なくともいずれか一方は、回路基板への実装に使用されるハンダよりも融点の高いハンダからなるものであってもよい。

これにより、製造された集合型の半導体装置を回路基板に実装するときのハンダを、リフロー工程で溶融させても、その温度では、パッド及び外部電極を接合するハンダは再溶融せず、その接合状態が破壊されないようになっている。

(21) 前記第1の半導体装置の前記パッド及び前記第2の半導体装置の前記外部電極は、表面がハンダよりも融点の高い金属からなるものでもよい。

これによれば、パッドの表面の金属と外部電極の表面の金属とで、パッドとバンプとが接合される。これらの金属の融点は、ハンダの融点よりも高い。したがって、製造された集合型の半導体装置を回路基板に実装するときのハンダを、リフロー工程で溶融させても、パッド及び外部電極を接合する金属は再溶融せず、その接合状態が破壊されないようになっている。

(22) 前記第1の半導体装置の前記パッド及び前記第2の半導体装置の前記外部電極のうち、一方の表面はハンダからなり、他方の表面はハンダよりも融点の高い金属からなるものであってもよい。

これによれば、一方のハンダが溶融して接合されるときに、他方の金属が拡散するので、ハンダの再溶融の温度が上がる。そして、製造された集合型の半導体装置を回路基板に実装するときのハンダを、リフロー工程で溶融させても、その温度では、パッド及び外部電極を接合するハンダは再溶融せず、その接合状態が破壊されないようになっている。

(23) 前記第2の半導体装置の外部電極と前記第1の半導体装置の前記パッドとの間に、熱硬化性接着剤を含む異方性導電膜を配置し、この異方性導電膜によって、前記第1の半導体装置の前記パッドと前記第2の半導体装置の前記外部電極とを接合してもよい。

これによれば、異方性導電膜が熱硬化性接着剤を含むので、製造された集合型の半導体装置を回路基板に実装するときのハンダを、リフロー工程で溶融させても、その温度では異方性導電膜が硬化するので、パッド及び外部電極の接合状態が破壊されないようになっている。

(24) 本発明に係る回路基板には、上記集合型の半導体装置が実装される。

(25) 本発明に係る電子機器は、この回路基板を有する。

### 図面の簡単な説明

図1は、第1実施形態に係る半導体装置を示す図であり、図2は、第2実施形態に係る半導体装置が実装された回路基板を示す図であり、図3は、第3実施形態に係る半導体装置が実装された回路基板を示す図であり、図4A及び図4Bは、第4実施形態に係る半導体装置を示す図であり、図5は、第5実施形態に係る半導体装置を示す図であり、図6は、第6実施形態に係る半導体装置を示す図であり、図7は、第7実施形態に係る半導体装置を示す図であり、図8は、本発明を適用した半導体装置の製造工程を示す図であり、図9は、本発明を適用した半導体装置の製造工程を示す図であり、図10は、本発明を適用した半導体装置の製

造工程を示す図であり、図11は、本発明を適用した半導体装置の製造工程を示す図であり、図12は、集合型の半導体装置を構成する個々の半導体装置の変形例を示す図であり、図13は、集合型の半導体装置を構成する個々の半導体装置の変形例を示す図であり、図14は、集合型の半導体装置を構成する個々の半導体装置の変形例を示す図であり、図15は、本発明を適用した半導体装置を実装した回路基板を示す図であり、図16は、本発明を適用した半導体装置を実装した回路基板を備える電子機器を示す図である。

### 発明を実施するための最良の形態

以下、本発明の好適な実施の形態について図面を参照して説明する。

#### (第1実施形態)

図1は、第1実施形態に係る半導体装置を示す図である。同図に示す半導体装置1は、半導体装置10と半導体装置としてのペアチップ20とを有する集合型のものである。

半導体装置10は、半導体チップ12の電極16を有する面において、この電極16を避ける領域に応力緩和層14を有し、電極16から応力緩和層14の上にかけて、配線18が形成されている。配線18の上には、ハンダボール19が形成されている。ハンダボール19は、配線18上の所望の位置に形成できるので、電極16のピッチから任意のピッチに容易に変換することができる。すなわち、外部端子のピッチ変換が容易である。

また、応力緩和層14として、ヤング率が低く応力緩和の働きを果たせる材質が用いられている。例えば、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂やシリコーン変性エポキシ樹脂等が挙げられる。したがって、ハンダボール19に対して、外部から加えられる応力を、応力緩和層14が緩和できるようになっている。

そして、ハンダボール19には、ペアチップ20の電極22が接合されている。なお、ハンダボール19は、予め半導体装置10の電極16に形成しておいてもよいが、ペアチップ20の電極22に形成しておいてもよい。ここで、半導体裝

置 10 の外部端子のピッチ変換が容易であるため、半導体装置 10 とペアチップ 20 との電気的な接合を容易に行うことができる。

半導体装置 10 の半導体チップ 12において、配線 18 が設けられていない電極（図示せず）には、ワイヤ 2 がボンディングされ、リード 4 に接続されている。そして、図において二点鎖線で示す領域が樹脂封止されることで半導体装置 1 が得られる。

本実施形態によれば、半導体装置 10 に既存のペアチップ 20 を組み合わせるだけなので、容易に新たな集積回路を形成することができる。なお、半導体装置 10 及びペアチップ 20 の機能として、論理回路及びメモリ (RAM) 又は CPU 及びメモリ (SRAM) などの組み合わせがある。

また、本実施形態では、QFP のパッケージ形態を例に挙げたが、パッケージの形態はこれに限定されるものではない。

本発明は、異種の半導体装置に適用することが好ましいが、同種の半導体装置に適用しても差し支えない。

#### (第 2 実施形態)

図 2 は、第 2 実施形態に係る半導体装置が実装された回路基板を示す図である。同図に示す半導体装置 3 は、応力緩和層 31 を有する半導体装置 30 と半導体装置としてのペアチップ 32 とを有する集合型のものである。半導体装置 30 及びペアチップ 32 の構造及び接合手段は、図 1 に示す半導体装置 10 及びペアチップ 20 と同様である。そして、半導体装置 30 の配線 34 が、バンプ 36 を介して回路基板 38 に実装されている。

なお、ペアチップ 32 の電極を有する面及び側端面は、樹脂 51 によって保護されていることが好ましい。

本実施形態は、第 1 の半導体装置と第 2 の半導体装置との間での応力緩和を図りたい上に、ピッチ変換を行いたい例としてあげたものである。言い換えると本形態の使用ケースとしては、回路基板との熱膨張係数の差が小さい場合か、それとも温度変化の少ない雰囲気中にてのみ扱われる場合には好適である。

#### (第 3 実施形態)

図3は、第3実施形態に係る半導体装置が実装された回路基板を示す図である。同図に示す半導体装置5は、半導体装置40及び半導体装置としてのペアチップ42を有する集合型のものである。本実施形態は、回路基板48との応力緩和を図ることができる構造である。

半導体装置40は、図1に示す半導体装置10と同様に、電極45を避ける領域に、ヤング率の低い応力緩和層41が形成されている。この応力緩和層41上には、図示しない電極から導かれた配線にパッド44が形成され、このパッド44上に形成されたバンプ43を介して、ペアチップ42と接合されている。また、応力緩和層41上には、電極45から導かれた配線46が形成され、配線46は、バンプ47を介して回路基板48に接合される。詳しくは、配線46にもパッドが形成されて、このパッドの上にバンプ47が形成される。

なお、ペアチップ42の電極を有する面及び側端面は、樹脂51によって保護されていることが好ましい。

本実施形態によれば、半導体装置40が応力緩和層41を有するので、半導体装置40と回路基板48との熱膨張係数差による応力が緩和される。また、配線44は、応力緩和層41上に形成されるので簡単に設計することができ、ペアチップ42として既知のものを使用しても、半導体装置40の設計をやり直す必要がない。

#### (第4実施形態)

図4A及び図4Bは、第4実施形態に係る半導体装置を示す図であり、図4Bは平面図、図4Aは図4BのA-A線断面図である。同図に示す半導体装置50は、半導体装置52及び2つの半導体装置としてのペアチップ54を有する集合型のものである。その機能として、例えば、論理回路、メモリ(RAM)及びCPUの組み合わせが挙げられる。

半導体装置50は、図1に示す半導体装置10と同様の構成である。すなわち、半導体チップ58の電極60を有する面であって、この電極60を避ける領域に応力緩和層62が形成され、電極60から応力緩和層62上に配線64が形成され、応力緩和層62上において配線64にバンプ66が形成されている。

また、半導体装置 5 0 は、図示しない複数の電極から導かれた配線にパッド 6 8 が形成されており、バンプ 7 0 を介して、ペアチップ 5 4 の電極 7 2 と接続されている。なお、ペアチップ 5 4 は、樹脂 5 1 によって、ペアチップ 5 4 の電極 7 2 を有する面及び側端面が覆われて保護されていることが好ましい。

さらに、半導体装置 5 0 の配線 6 4 上には、バンプ 6 6 を避けてソルダレジスト層 7 4 が形成される。このソルダレジスト層 7 4 は、酸化防止膜として、また最終的に集合型の半導体装置となったときの保護膜として、あるいは防湿性の向上を目的とした保護膜となる。

本実施形態によれば、半導体装置 5 2 に、2つのペアチップ 5 4 が接合されているが、3つ以上のペアチップ 5 4 を接合してもよい。このような複数のペアチップを用いて回路を形成するマルチチップモジュール (MCM) は、本実施形態のように、応力緩和層 6 4 上に配線 6 8 を形成することで、設計が容易になる。

#### (第5実施形態)

図 5 は、第5実施形態に係る半導体装置を示す図である。同図に示す半導体装置 8 0 は、半導体装置 9 0 に他の半導体装置 9 2 が接合された集合型のものである。すなわち、半導体装置 9 0 の半導体チップ 8 2 の電極 8 4 を有する面であって、この電極 8 4 を避ける領域に応力緩和層 8 6 が形成され、電極 8 4 から応力緩和層 8 6 上に配線 8 8 が形成され、応力緩和層 8 6 上において配線 8 8 にバンプ 8 9 が形成されている。このように、半導体装置 9 0 は、応力緩和層 8 6 によって、バンプ 8 9 に加えられる応力を緩和するようになっている。なお、配線 8 8 に、ソルダレジスト層 8 7 によって保護されている。

また、半導体装置 9 0 には、図示しない複数の電極から導かれた配線にパッド 8 1 が形成されており、バンプ 8 5 を介して、このパッド 8 1 に半導体装置 9 2 の配線 9 1 が接合されている。詳しくは、配線 9 1 に形成されたパッドが、パッド 8 1 に接合される。半導体装置 9 2 も、半導体装置 9 0 と同様に、応力緩和層 9 4 を有している。なお、半導体装置 9 2 の電極を有する面及び側端面は、樹脂 9 3 によって覆われて保護されていることが好ましい。

製造過程において、バンプ 8 5 を、半導体装置 9 0 のパッド 8 1 又は半導体装

置 9 2 の配線 9 1 のパッドにのみ予め形成しておくことにすれば、一方にのみバンプを形成すれば良く、他方においては接続用のバンプ形成を省略できることで、その工数やコストを省くことができる。

本実施形態によっても、パッド 8 1 は、応力緩和層 8 6 上に形成されるので簡単に設計することができる。

#### (第 6 実施形態)

図 6 は、第 6 実施形態に係る半導体装置を示す図である。同図に示す半導体装置 1 0 0 は、半導体装置 1 0 2 に、半導体装置としてのペアチップ 1 0 4 及び半導体装置 1 0 6 が接合されてなる。

ここで、ペアチップ 1 0 4 は図 4 A に示すペアチップ 5 4 と同様であり、半導体装置 1 0 6 は図 5 に示す半導体装置 9 2 と同様であるため、説明を省略する。

また、半導体装置 1 0 2 は、応力緩和層 1 0 8 の構成において、図 5 に示す半導体装置 9 0 と異なる。すなわち、図 6 において、半導体装置 1 0 2 の半導体チップ 1 1 0 には、バンプ 1 1 2 の形成領域にのみ応力緩和層 1 0 8 が形成されている。そして、半導体チップ 1 1 0 において、ペアチップ 1 0 4 及び半導体装置 1 0 6 が接合される中央領域（能動素子の形成領域）には、応力緩和層 1 0 8 は形成されていない。このため、半導体チップ 1 1 0 には、ペアチップ 1 0 4 及び半導体装置 1 0 6 が接合される面において、図示しない電極から導かれた配線にパッド 1 1 4 が形成されて、半導体装置 1 0 2 とペアチップ 1 0 4 及び半導体装置 1 0 6 との電気的な接続が図られている。なお、パッド 1 1 4 の下には、図示しない絶縁膜が形成されている。また、ペアチップ 1 0 4 、 1 0 6 の電極を有する面及び側端面は、樹脂 1 0 5 によって覆われて保護されていることが好ましい。

本実施形態によれば、応力緩和層 1 0 8 が、回路基板（図示せず）との接続のためのバンプ 1 1 2 の形成領域のみに形成されているので、応力緩和層 1 0 8 の形成不良による歩留まりの低下を減少させることができる。本実施形態では、ペアチップ 1 0 4 及びピッチ変換がなされるとともに応力緩和機能を有する半導体装置 1 0 6 の両方が接合された構造となっているが、どちらか一方のみを接合する構造としてもよい。

### (第7実施形態)

図7は、第7実施形態に係る半導体装置を示す図である。同図に示す半導体装置120は、図4に示す集合型の半導体装置50に放熱器122を取り付けたものである。放熱器122については、周知のものが使用される。また、半導体装置50と放熱器122との接着には、熱伝導性の接着剤124が使用される。

本実施形態によれば、放熱器122によって放熱性が向上し、高放熱を伴うような高集積回路であってもMCM構造を採用することができる。

### (その他の実施形態)

図8～図11は、本発明を適用した半導体装置の製造工程を示す図である。

図8に示す半導体装置130は、半導体装置132及び半導体装置としてのペアチップ134を有する集合型のものである。

半導体装置132は、図示しない電極から導かれた配線に形成されたパッド136に、金(Au)のメッキ層138が形成されている点を除き、図4に示す半導体装置52と同様の構成である。なお、図8には、図4に示すソルダレジスト層74が形成される前の状態で、半導体装置132が示されている。また、メッキ層138は、電解メッキ又は無電解メッキのいずれによって施されたものであってもよい。

ペアチップ134は、アルミニウム(Al)からなる電極140に、金(Au)からなるバンプ142が形成されてなる。

本実施形態では、半導体装置132とペアチップ134とを接合して、半導体装置130を製造する。具体的には、半導体装置132におけるパッド136と、ペアチップ134の電極140とを、メッキ層138及びバンプ142を介して接合する。詳しくは、所定の温度と圧力のもとで生じる拡散を利用した熱圧着接合、又は超音波で生じる振動と圧力による塑性変形を利用した超音波接合、あるいは両者を併用して接合する。その後、ペアチップ134と半導体装置132との間及びペアチップ134の側面に、図示しない樹脂を注入する。

メッキ層138及びバンプ142は、いずれも金(Au)から形成されており、金(Au)の融点はハンダの融点より高い。したがって、本実施形態に係る半導

体装置 130 によれば、回路基板への実装のためのハンダの融点と同等か若干高い温度でのリフロー工程を経ても、リフロー時の温度は金とハンダでできた合金の融点よりも低くて溶融しないので、半導体装置 132 とペアチップ 134 との接合が外れない。こうして、回路基板への実装時における信頼性を高めることができる。なお、金属拡散によって接合できれば、金 (Au) 以外の金属を用いても良い。

次に、図 9 に示す半導体装置 150 は、半導体装置 152 及び半導体装置としてのペアチップ 154 を有する集合型のものである。半導体装置 152 は、ペアチップ 154 との接合のためのパッド 156 の表面に、共晶ハンダからなるハンダ層 158 がコーティングされてなる。ハンダ層 158 の厚みは、5~20 μm 程度でよい。その他の構成は、図 8 に示す半導体装置 132 と同様である。また、ペアチップ 154 は、図 8 に示すペアチップ 134 と同様に、電極 160 に、金 (Au) からなるバンプ 162 が形成されている。なお、半導体装置 152 への接合のために、パッドのピッチ変換を行うときには、ペアチップ 152 の代わりに、応力緩和層の上に配線を形成する構造を採用してもよい。

本実施形態では、上記図 8 に示す実施形態と同様に、半導体装置 152 とペアチップ 154 とを、熱圧着接合又は超音波接合あるいは両者を併用して接合する。そうすると、ハンダ層 158 中に、バンプ 162 を構成する金 (Au) が拡散し、再溶融の温度が上がる。その後、半導体装置 152 とペアチップ 154 との間及びペアチップ 154 の側面に、図示しない樹脂を注入する。

こうして、リフロー工程を経るときの、接合部分の再溶融を防止し、回路基板への実装時における信頼性を高めることができる。

次に、図 10 に示す半導体装置 170 は、半導体装置 172 及び半導体装置としてのペアチップ 174 を有する集合型のものである。半導体装置 172 は、ペアチップ 174 との接合のためのパッド 176 上及びその付近に、フラックスが塗布されてなる。ここで、パッド 176 は、ニッケル (Ni) 又は銅 (Cu) 等の金属からなる。その後、フラックスを洗浄し、半導体装置 172 とペアチップ 174 との間及びペアチップ 174 の側面に、図示しない樹脂を注入する。

ペアチップ174の電極180には、ハンダからなるバンプ182が形成されている。バンプ182を構成するハンダは、半導体装置170を回路基板へ実装するときのハンダよりも融点の高いものである。

本実施形態によれば、半導体装置172とペアチップ174とを接合するハンダが、実装時のハンダよりも融点が高いので、リフロー工程を経るときの、接合部分の再溶融が防止され、回路基板への実装時における信頼性を高めることができる。

次に、図11に示す半導体装置190は、半導体装置192及び半導体装置としてのペアチップ194を有する集合型のものである。半導体装置192は、ペアチップ194との接合のためのパッド196を有する。具体的には、パッド196と一体的に比較的広い面積のパッドが形成されている。ペアチップ194は、半導体装置192に接合されるためのバンプ198を有し、パッド196に形成されたパッドにペアチップ194のバンプ198が接合されるようになっている。

なお、図1を除く各形態において、外部端子（バンプ36等）を低融点ハンダで形成し、半導体装置同士の接続部（バンプ43等）を高温ハンダで形成するか、あるいは双方同じハンダを用いるかわりに接続部のバンプを接続後に樹脂等で被覆させてしまうか、すれば回路基板との接続の際に他の部分が接続不良になることがなくなる。

パッド196は、ニッケル（Ni）、白金（Pt）、金（Au）又はクローム（Cr）などからなり、バンプ198は、銅（Au）などからなる。

本実施形態では、パッド196とバンプ198との接合に、熱硬化性接着剤を含む異方性導電膜200が用いられる。すなわち、パッド196とバンプ198との間に、異方性導電膜200を配置して両者を接合する。

本実施形態によれば、半導体装置192とペアチップ194とを接合する異方性導電膜200が、リフロー工程で加熱されると硬化するので、接合部分が外れることがなく、回路基板への実装時における信頼性を高めることができる。なお、本実施形態において、異方性導電膜200の代わりに、導電性もしくは絶縁性の接着剤を使用してもよい。

図12～図14には、集合型の半導体装置を構成する個々の半導体装置の変形例が示されている。以下の説明は、本発明の第1及び第2の半導体装置のいずれにも適用可能である。

図12に示す半導体装置230は、応力緩和層236の下に配線238が形成されたものである。詳しくは、半導体チップ232の上に、絶縁層としての酸化膜（図示せず）を介して、電極234から配線238が形成され、この上に応力緩和層236が形成されている。なお、配線238は、クローム（Cr）からなる。

応力緩和層236には、フォトリソグラフィによって穴236aが形成されており、この穴236aの領域においては配線238上を応力緩和層236が覆わないようになっている。言い換えると、穴236aの直下に配線238が位置するように、穴236aは形成されている。そして、配線238、並びに穴236aを形成する内周面及び開口端部にかけて、スパッタリングによってクローム（Cr）層242及び銅（Cu）層244が形成されている。つまり、応力緩和層236を貫通するように、クローム（Cr）層242及び銅（Cu）層244が形成されている。しかも、開口端部においては比較的広い幅で、クローム（Cr）層242及び銅（Cu）層244が拡がるようになっている。

銅（Cu）層244の上には、銅（Cu）からなる台座246が形成され、この台座246に、ハンダボール（外部電極）240が形成されている。ハンダボール（外部電極）240は、クローム層（Cr）242、銅層244（Cu）及び台座246を介して、配線238と電気的に接続されている。すなわち、クローム層（Cr）242、銅層244（Cu）及び台座246は、接続部となっている。

本実施形態によれば、穴236aの開口端部において、クローム（Cr）層242、銅（Cu）層244及び台座246（接続部）の少なくとも一部から形成される応力伝達部248から、応力緩和層236に、ハンダボール240からの応力が伝達される。この応力伝達部248は、接続部238aよりも外周に位置している。

本変形例では応力伝達部 248 は、つば状部 248a、つまり突出した部分を含めて設けられている。したがって、ハンダボール 240 の中心を軸として倒すように働く応力を、応力伝達部 248 は広い面積で応力緩和層 236 に伝達することができる。応力伝達部 248 は、面積が広いほど効果的である。

また、本変形例によれば、応力伝達部 248 が、配線 238 に対する接続部 238a とは別の高さの位置に配置されており、接続部 238a、配線 238 は硬い酸化膜上に配置されているので、発生する応力は応力緩和層 236 に吸収される。したがって、接続部 238a には応力が伝わりにくくなり、配線 238 にも応力が伝わりにくいのでクラックを防止することができる。

次に、図 13 に示す半導体装置 310 は、応力緩和層 316 と、この上に形成された配線 318 と、を有する CSP 型のものである。詳しくは、半導体チップ 312 の能動面 312a 上に、電極 314 を避けて応力緩和層 316 が形成され、電極 314 から応力緩和層 316 の上にかけて配線 318 が形成されている。

ここで、応力緩和層 316 は、ポリイミド樹脂からなり、半導体装置 310 が基板（図示せず）に実装されたときに、半導体チップ 312 と実装される基板との熱膨張係数の差によって生じる応力を緩和するものである。また、ポリイミド樹脂は、配線 318 に対して絶縁性を有し、半導体チップ 312 の能動面 312a を保護することができ、実装時のハンダを溶融するときの耐熱性も有する。ポリイミド樹脂の中でも、ヤング率が低いもの（例えばオレフィン系のポリイミド樹脂やダウケミカル社製の BCB 等）を用いることが好ましく、特にヤング率が  $40 \sim 50 \text{ kg/mm}^2$  程度であることが好ましい。応力緩和層 316 は、厚いほど応力緩和力が大きくなるが、半導体装置の大きさや製造コスト等を考慮すると、 $1 \sim 100 \mu\text{m}$  程度の厚みとすることが好ましい。ただし、ヤング率が  $40 \sim 50 \text{ kg/mm}^2$  程度のポリイミド樹脂を用いた場合には、 $10 \mu\text{m}$  程度の厚みで足りる。

あるいは、応力緩和層 316 として、例えばシリコーン変性ポリイミド樹脂、エポキシ樹脂やシリコーン変性エポキシ樹脂等、ヤング率が低く応力緩和の働きを果たせる材質を用いてもよい。また、応力緩和層 316 の代わりに、パッシベー

ション層（SiN、SiO<sub>2</sub>など）を形成し、応力緩和自体は、後述する変形部320で行ってもよい。この場合、応力緩和層316を補助的に設けてもよい。

配線318は、クローム（Cr）からなる。ここで、クローム（Cr）は、応力緩和層316を構成するポリイミド樹脂との密着性が良いことから選択された。あるいは、耐クラック性を考慮すれば、アルミニウムやアルミシリコン、アルミカッパー等のアルミ合金又はカッパー合金又は銅（Cu）又は金のような延展性（延びる性質）のある金属でもよい。または、耐湿性に優れたチタン又はチタンタングステンを選択すれば、腐食による断線を防止することができる。チタンは、ポリイミドとの密着性の観点からも好ましい。なお配線は、上記金属を組み合わせて2層以上に形成しても良い。

配線318上には、接合部319が形成され、接合部319上に、この接合部319よりも断面積が小さい変形部320が形成されている。変形部320は、銅などの金属からなり、能動面312a内で、能動面に対してほぼ直角に立ち上がりて細長い形状をなす。変形部320は、細長い形状をなすので、図13の左側に二点鎖線で示すように、屈曲できるようになっている。

変形部320の先端には、外部電極部322が形成されている。外部電極部322は、半導体装置310と実装基板（図示せず）との電気的な接続を図るためにハンダボールなどが上に設けられてもよい。外部電極部322は、実装基板との電気的な接続又はハンダボール搭載を可能にする大きさで形成されている。あるいは、変形部320の先端部を外部電極部322としてもよい。

また、配線318及び応力緩和層316の上には、能動面312aの全面の上方を覆うようにソルダレジスト324が設けられている。このソルダレジスト324は、配線318及び能動面312aを保護してこれらの腐食等が防止される。

本実施形態によれば、変形部320が曲がって変形すると、それに従って外部電極部322が移動するようになっている。こうなることで、半導体装置310の外部電極部322に対して加えられる熱ストレスが、変形部320の変形によって吸収される。つまり、変形部320が応力緩和構造となっている。

なお、本実施形態では、応力緩和層316が形成されているが、変形部320

は応力緩和層316よりも変形しやすくなるように形成されているので、変形部320だけでも熱ストレスを吸収することが可能である。したがって、応力緩和層316の代わりに、応力緩和機能を有しない材質からなる層（例えば単なる絶縁層又は保護層）を形成した構造であっても、熱ストレスの吸収が可能となる。

次に、図14に示す半導体装置410は、半導体チップ412及び絶縁フィルム414を含み、絶縁フィルム414に外部接続端子416が形成されている。半導体チップ412は、複数の電極413を有する。電極413は、対向する二辺にのみ形成されているが、周知のように四辺に形成されてもよい。

詳しくは、絶縁フィルム414は、ポリイミド樹脂等からなり、一方の面に配線パターン418が形成されている。また、絶縁フィルム414には、複数の穴414aが形成されており、この穴414aを介して、配線パターン418の上に外部接続端子416が形成されている。したがって、外部接続端子416は、配線パターン418とは反対側に突出するようになっている。なお、外部接続端子416は、ハンダ、銅又はニッケルなどからなり、ボール状に形成されている。

各々の配線パターン418には、凸部418aが形成されている。各凸部418aは、半導体チップ412の各電極413に対応して形成されている。したがって、電極413が、半導体チップ412の外周に沿って四辺に並んでいる場合には、凸部418aも四辺に並ぶように形成される。電極413は、凸部418aに電気的に接続され、配線パターン418を介して外部接続端子416と導通するようになっている。また、凸部418aが形成されることで、絶縁フィルム414と半導体チップ412との間、あるいは、配線パターン418と半導体チップ412との間には広い間隔をあけることができる。

ここで、電極413と凸部418aとの電気的な接続は、異方性導電膜420によって図られる。異方性導電膜420は、樹脂中の金属微粒子（導電粒子）を分散させてシート状にしたものである。電極413と凸部418aとの間で異方性導電膜420が押しつぶされると、金属微粒子（導電粒子）も押しつぶされて、両者間を電気的に導通させるようになる。また、異方性導電膜420を使用すると、金属微粒子（導電粒子）が押しつぶされる方向にのみ電気的に導通し、それ

以外の方向には導通しない。したがって、複数の電極413の上に、シート状の異方性導電膜420を貼り付けても、隣り同士の電極413間では電気的に導通しない。

本実施の形態では、異方性導電膜420は、電極413と凸部418aとの間及びその付近にのみ形成されているが、電極413と凸部418aとの間にのみ形成してもよい。そして、絶縁フィルム414と半導体チップ412との間に形成される隙間には、応力緩和構造としての応力緩和部422が形成されている。応力緩和部422は、絶縁フィルム414に形成されたゲル注入穴424から樹脂を注入して形成される。

ここで、応力緩和部422を構成する樹脂として、ヤング率が低く応力緩和の働きを果たせる材質が用いられている。例えば、ポリイミド樹脂、シリコーン樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、アクリル樹脂等が挙げられる。この応力緩和部422を形成することで、外部接続端子416に対して外部から加えられる応力を緩和できるようになっている。

次に、本実施の形態に係る半導体装置410の製造方法について、主要な工程を説明する。まず、絶縁フィルム414に、外部接続端子416を設けるための穴414aと、ゲル注入穴424と、を形成する。そして、絶縁フィルム414に銅箔を貼り付けて、エッティングにより配線パターン418を形成し、さらに、凸部418aの形成領域をマスクして、それ以外の部分を薄肉にするようにエッティングする。こうして、マスクを除去すれば、凸部418aを形成することができる。

また、絶縁フィルムには、凸部418aの上から異方性導電膜420を貼り付ける。詳しくは、複数の凸部418aが、対向する二辺に沿って並ぶ場合は平行する2つの直線状に異方性導電膜420を貼り付け、凸部418aが四辺に並ぶ場合は、これに対応して矩形を描くように異方性導電膜420を貼り付ける。

こうして、上記絶縁フィルム414を、凸部418aと電極413とを対応させて、半導体チップ412上に押しつけて、凸部418aと電極413とで異方

性導電膜420を押しつぶす。こうして、凸部418aと電極413との電気的接続を図ることができる。

次に、ゲル注入穴424から、樹脂を注入して、絶縁フィルム414と半導体チップ412との間に、応力緩和部422を形成する。

そして、穴414aを介して配線パターン418上にハンダを設け、ボール状の外部接続端子416を形成する。

これらの工程によって、半導体装置410を得ることができる。なお、本変形例では、異方性導電膜420を用いたが、その代わりに異方性接着剤を用いても良い。異方性接着剤は、シート状をなしていない点を除き異方性導電膜420と同様の構成のものである。

あるいは、絶縁性接着剤を凸部418aと電極413とで挟み込みながら押圧し、凸部418aと電極413と圧接させてもよい。また、絶縁フィルム414側に凸部418aを設けず、その代わりに、電極413側に形成された金やハンダ等のバンプを使用してもよい。

図15には、本発明を適用した半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1100のバンプとを機械的に接続することでそれらの電気的導通を図る。この場合、半導体装置1100は、上述したような外部との熱膨張差により生じる歪みを吸収する構造を有しており、本半導体装置1100を回路基板1000に実装しても接続時及びそれ以降の信頼性を向上できる。また更に半導体装置1100の配線に対しても工夫が成されれば、接続時及び接続後の信頼性を向上させることができる。なお実装面積もベアチップにて実装した面積にまで小さくすることができる。このため、この回路基板1000を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

上記第2実施形態以降の実施形態において、半導体チップの裏面及び側面が露

出しているが、半導体チップへの傷等が問題になる場合には、半導体チップの露出部（裏面及び側面）を、エポキシやポリイミド等の樹脂で覆うようにしても良い。また、回路基板との接続には、ハンダバンプを使用した例を記載したが、金やその他の金属のバンプでも良いし、導電性樹脂を用いた突起を使用しても良い。

そして、この回路基板1000を備える電子機器として、図16には、ノート型パーソナルコンピュータ1200が示されている。

なお、上記実施形態は、半導体装置に本発明を適用した例であるが、半導体装置と同様に多数のバンプを必要とする面実装用の電子部品であれば、能動部品か受動部品かを問わず、本発明を適用することができる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

本発明は、半導体チップ同士の組み合わせの他に、電子部品同士を組み合わせる場合のみならず、電子部品と半導体チップとを組み合わせる場合にも適用することができる。また応力緩和層をいずれか一方の部品に設けてもまたは両方に設けても良い。

## 請求の範囲

1. 電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和構造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成されるとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第1の半導体装置と、

前記第1の半導体装置の前記電極に比して配置されたピッチが異なる電極を有し、前記第1の半導体装置の配線のうちのいずれかに電気的に接合される第2の半導体装置と、

を有する集合型の半導体装置。

2. 請求項1記載の集合型の半導体装置において、

前記応力緩和構造は、前記半導体チップの上に設けられる応力緩和層を含み、前記外部電極と接続される配線は、前記電極から前記応力緩和層の上にかけて形成され、

前記外部電極は、前記応力緩和層の上で前記外部電極と接続される配線に形成される集合型の半導体装置。

3. 請求項1に記載の集合型の半導体装置において、

前記応力緩和構造は、前記半導体チップの上に設けられる応力緩和層と、該応力緩和層を貫通するとともに該応力緩和層上に応力を伝達する接続部と、を含み、前記外部電極と接続される配線は、前記応力緩和層の下に形成され、前記外部電極は、前記接続部上に形成される集合型の半導体装置。

4. 請求項1記載の集合型の半導体装置において、

前記第2の半導体装置は、前記電極を有する半導体チップと、前記電極に設けられる外部電極と、からなるペアチップである集合型の半導体装置。

5. 請求項1記載の集合型の半導体装置において、

前記第2の半導体装置は、前記電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和層と、前記電極から前記応力緩和層の上にかけて形成される配線と、前記応力緩和層の上で前記配線に形成される外部電極と、を有

する集合型の半導体装置。

6. 請求項 1 記載の集合型の半導体装置において、

前記第 2 の半導体装置は、前記電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩和層と、前記応力緩和層の下で前記電極から形成される配線と、前記応力緩和層を貫通するとともに該応力緩和層上に応力を伝達する接続部と、前記接続部上に形成される外部電極と、を有する集合型の半導体装置。

7. 請求項 1 に記載の集合型の半導体装置において、

前記第 2 の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記第 2 の半導体装置の前記外部電極が、前記第 1 の半導体装置に電気的に接合される集合型の半導体装置。

8. 請求項 2 に記載の集合型の半導体装置において、

前記第 2 の半導体装置と接続される配線は、前記半導体チップ上に形成され、

前記第 2 の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記応力緩和層は、前記第 2 の半導体装置と接続される配線の少なくとも一部を避ける領域に形成される集合型の半導体装置。

9. 請求項 2 に記載の集合型の半導体装置において、

前記第 2 の半導体装置と接続される配線は、前記応力緩和層上に形成され、

前記第 2 の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有する集合型の半導体装置。

10. 請求項 3 に記載の集合型の半導体装置において、

前記第 2 の半導体装置と接続される配線は、前記半導体チップ上に形成され、

前記第 2 の半導体装置は、前記電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記応力緩和層は、前記第 2 の半導体装置と接続される配線の少なくとも一部を避ける領域に形成される集合型の半導体装置。

11. 請求項 3 に記載の集合型の半導体装置において、

前記第2の半導体装置と接続される配線は、前記応力緩和層上に形成され、  
前記第2の半導体装置は、前記電極から形成される配線と、該配線に形成され  
る外部電極と、を有する集合型の半導体装置。

12. 請求項1から請求項11のいずれかに記載の集合型の半導体装置において、  
前記第1の半導体装置に電気的に接合される少なくとも一つの第3の半導体裝  
置を有する集合型の半導体装置。

13. 請求項1から請求項11のいずれかに記載の集合型の半導体装置において、  
前記全ての半導体装置を封止する樹脂パッケージと、  
前記第1の半導体装置の電極に接続されるアウターリードと、  
を有する集合型の半導体装置。

14. 請求項1から請求項11のいずれかに記載の集合型の半導体装置において、  
前記第1の半導体装置は、前記第2の半導体装置との接続面とは反対側面に接  
着される放熱器を有する集合型の半導体装置。

15. 電極を有する素子チップと、前記素子チップの上に設けられる応力緩和構  
造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成され  
るとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第  
1の電子部品と、

前記第1の電子部品の前記電極に比して配置されたピッチが異なる電極を有し、  
前記第1の半導体装置の配線のうちのいずれかに電気的に接合される第2の電子  
部品と、

を有する集合型の電子部品。

16. 電極を有する素子チップと、前記素子チップの上に設けられる応力緩和構  
造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成され  
るとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第  
1の電子部品に、前記複数の配線のうちのいずれかを介して、第2の電子部品を  
電気的に接合する工程を含む集合型の電子部品の製造方法。

17. 電極を有する半導体チップと、前記半導体チップの上に設けられる応力緩  
和構造と、前記電極から形成される複数の配線と、前記応力緩和構造上に形成さ

れるとともに前記複数の配線のうちのいずれかに接続される外部電極と、を有する第1の半導体装置に、前記複数の配線のうちのいずれかを介して、第2の半導体装置を電気的に接合する工程を含む集合型の半導体装置の製造方法。

18. 請求項17記載の集合型の半導体装置の製造方法において、

前記第2の半導体装置と接続される配線は、パッドを有して前記半導体チップ上に形成され、

前記応力緩和構造は、前記パッドを避ける領域に形成される応力緩和層を含み、

前記第2の半導体装置は、電極と、該電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記第2の半導体装置の外部電極と、前記第1の半導体装置の前記パッドと、を接合する集合型の半導体装置の製造方法。

19. 請求項17記載の集合型の半導体装置の製造方法において、

前記応力緩和構造は、前記半導体チップの上に設けられる応力緩和層を含み、

前記第2の半導体装置と接続される配線は、パッドを有して前記応力緩和層上に形成され、

前記第2の半導体装置は、電極と、該電極から形成される配線と、該配線に形成される外部電極と、を有し、

前記第2の半導体装置の外部電極と、前記第1の半導体装置の前記パッドと、を接合する集合型の半導体装置の製造方法。

20. 請求項18又は請求項19記載の集合型の半導体装置の製造方法において、

前記第1の半導体装置の前記パッド及び前記第2の半導体装置の前記外部電極のうち、少なくともいずれか一方は、回路基板への実装に使用されるハンダよりも融点の高いハンダからなる集合型の半導体装置の製造方法。

21. 請求項18又は請求項19記載の集合型の半導体装置の製造方法において、

前記第1の半導体装置の前記パッド及び前記第2の半導体装置の前記外部電極は、表面がハンダよりも融点の高い金属からなる集合型の半導体装置の製造方法。

22. 請求項18又は請求項19記載の集合型の半導体装置の製造方法において、

前記第1の半導体装置の前記パッド及び前記第2の半導体装置の前記外部電極

のうち、一方の表面はハンダからなり、他方の表面はハンダよりも融点の高い金属からなる集合型の半導体装置の製造方法。

23. 請求項18又は請求項19記載の集合型の半導体装置の製造方法において、前記第2の半導体装置の外部電極と前記第1の半導体装置の前記パッドとの間に、熱硬化性接着剤を含む異方性導電膜を配置し、この異方性導電膜によって、前記第1の半導体装置の前記パッドと前記第2の半導体装置の前記外部電極とを接合する集合型の半導体装置の製造方法。

24. 請求項1から請求項11のいずれかに記載の集合型の半導体装置が実装された回路基板。

25. 請求項24記載の回路基板を有する電子機器。

1 / 9

FIG. 1

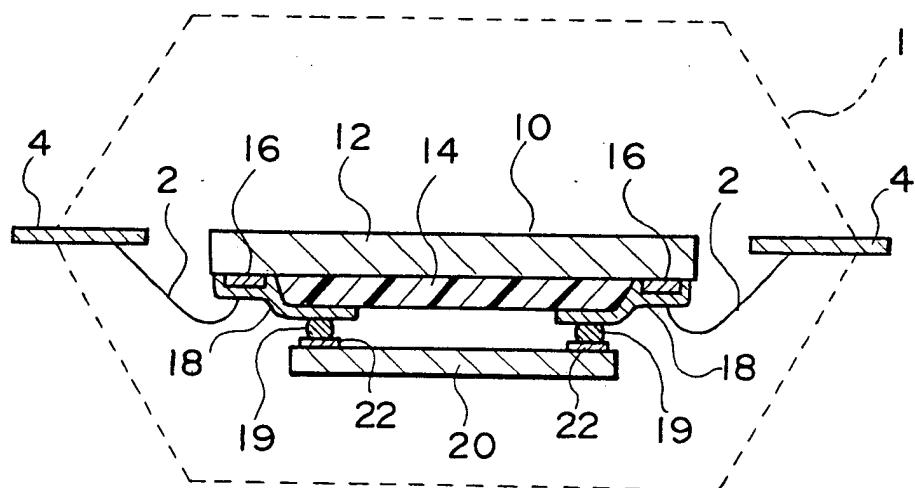


FIG. 2

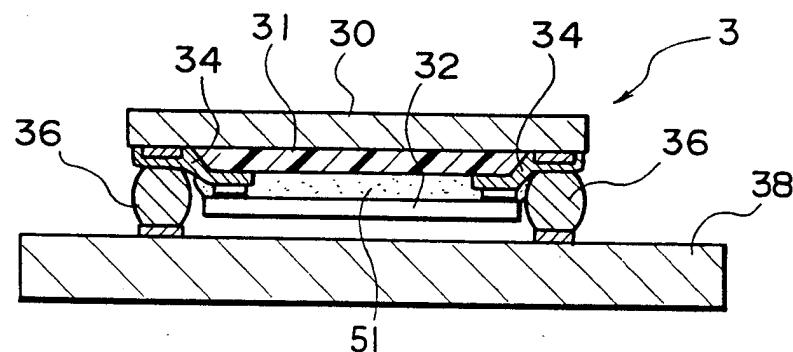
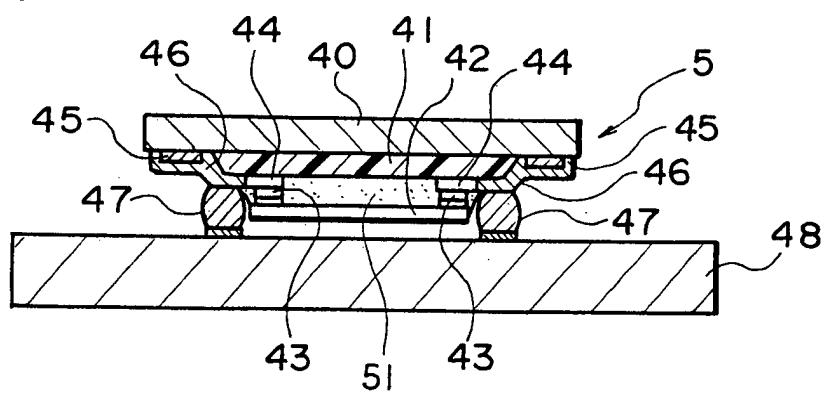


FIG. 3



2 / 9

FIG. 4A

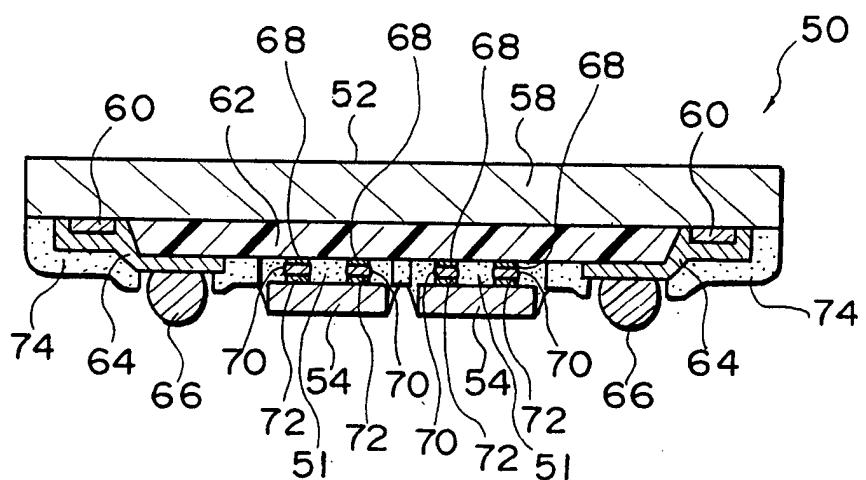
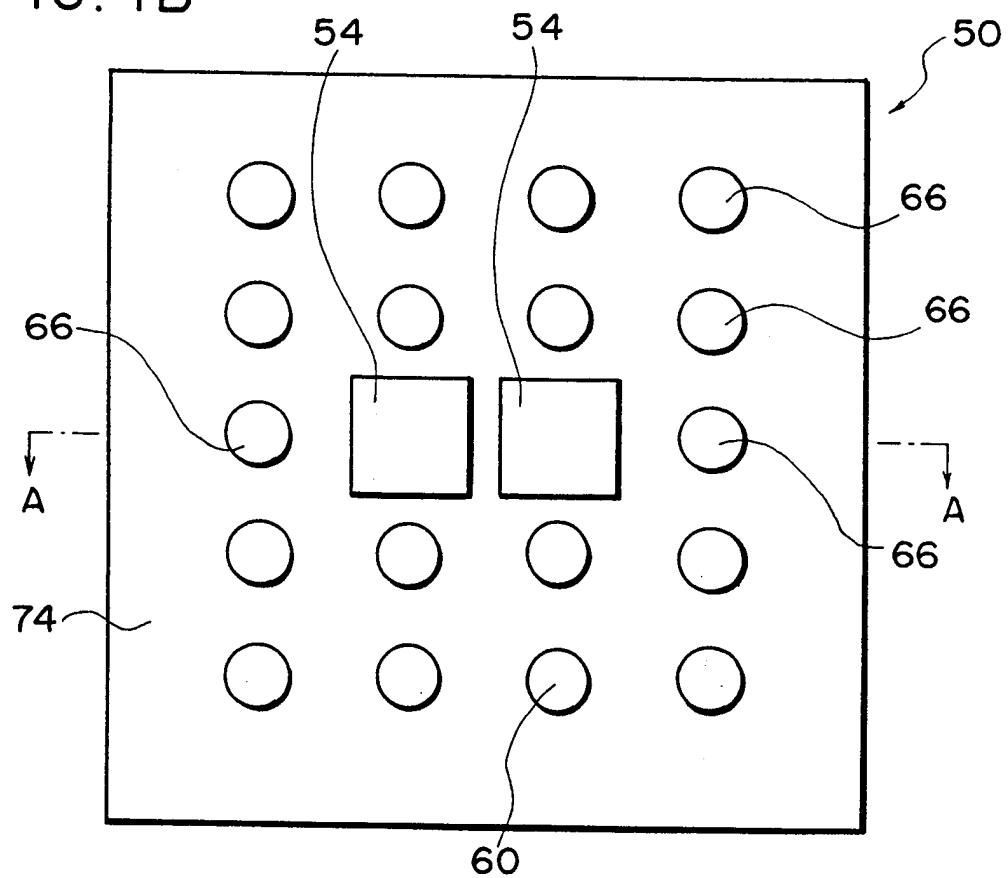


FIG. 4B



3 / 9

FIG. 5

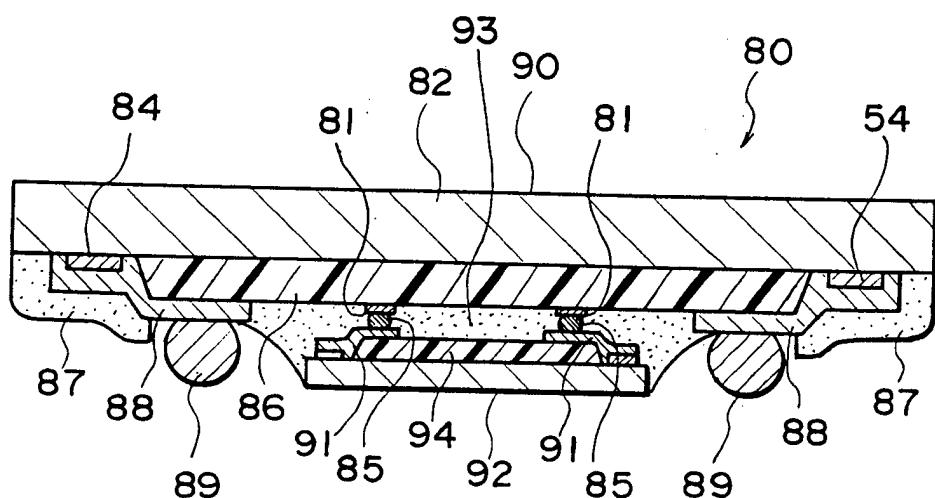
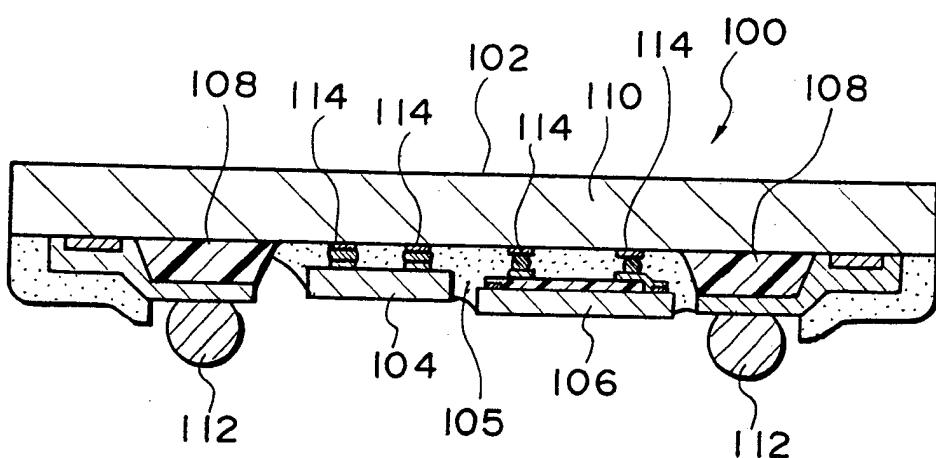


FIG. 6



4 / 9

FIG.7

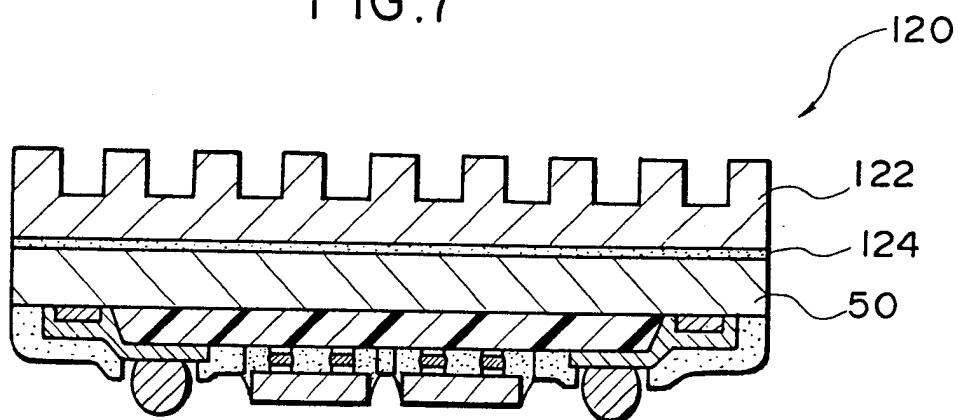
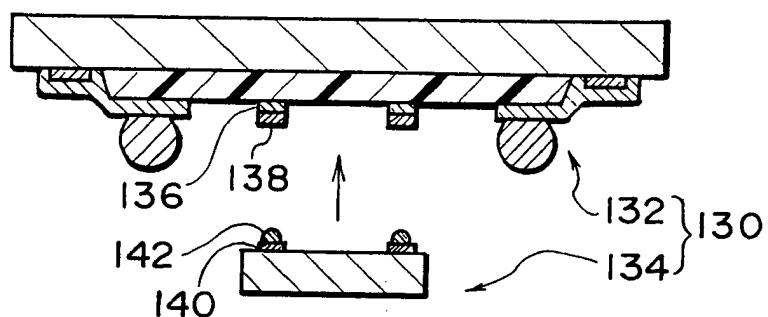


FIG.8



5 / 9

FIG. 9

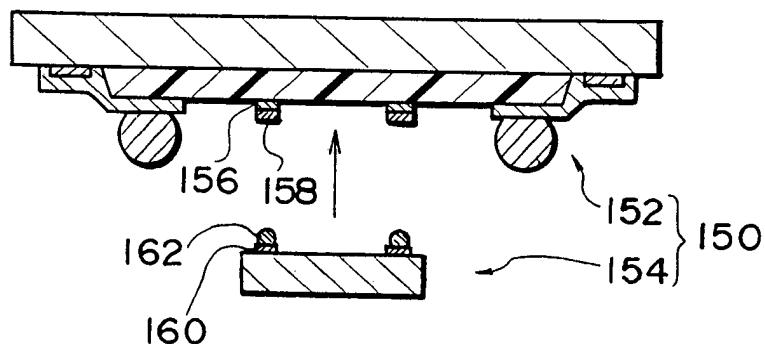


FIG. 10

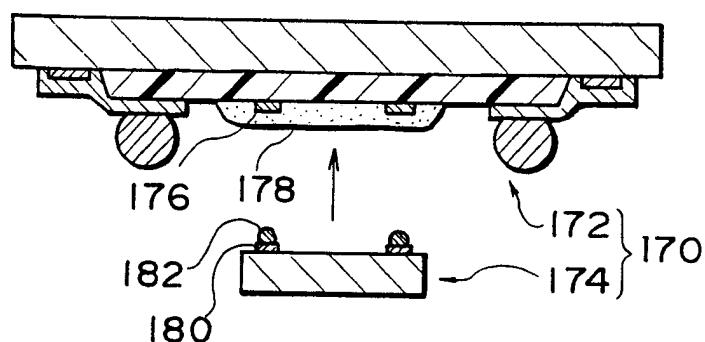
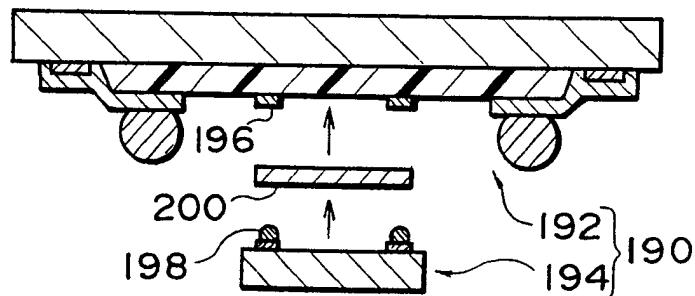
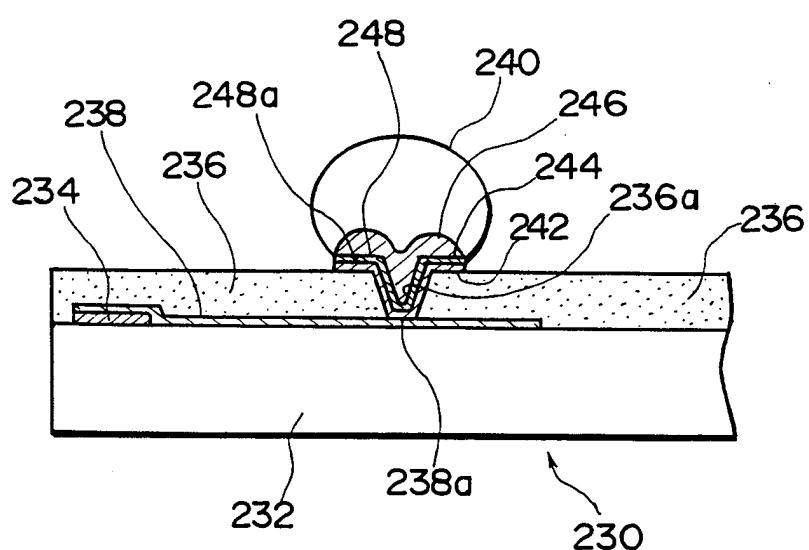


FIG. 11



6 / 9

FIG. 12



7 / 9

FIG.13

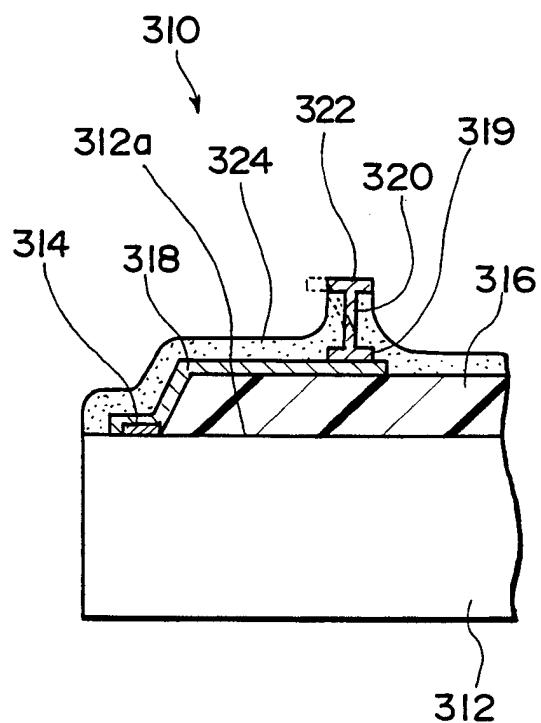
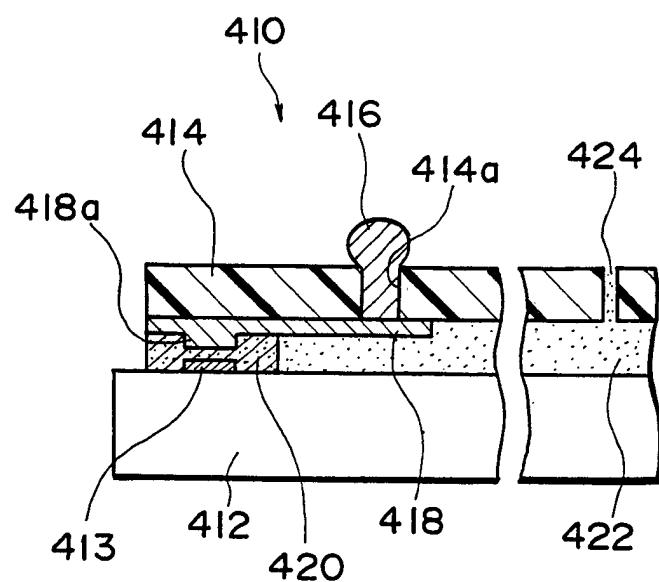
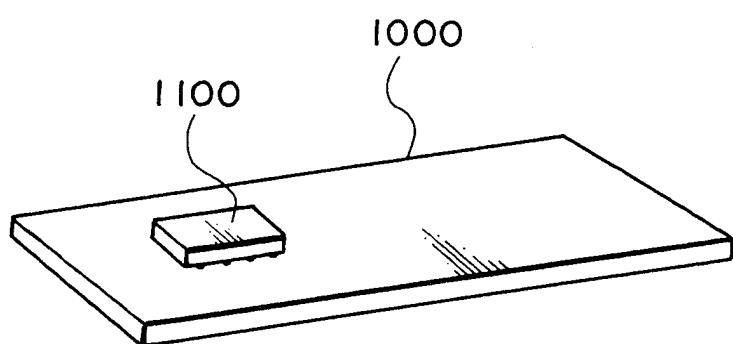


FIG.14



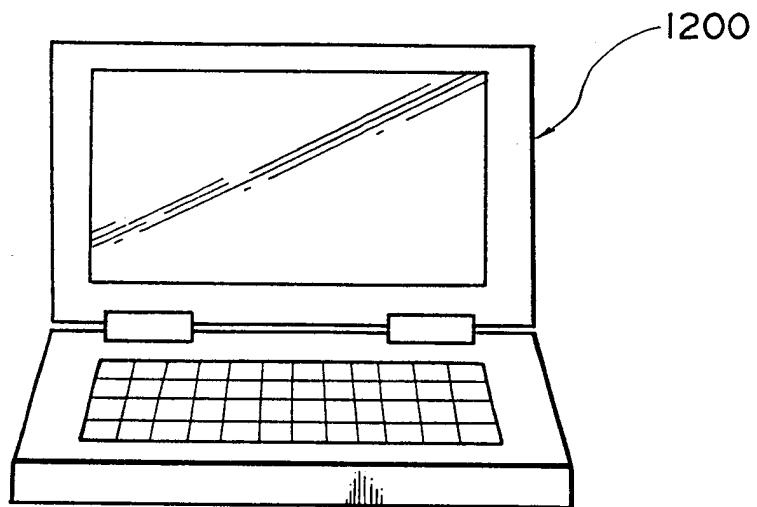
8 / 9

FIG. 15



9 / 9

FIG. 16



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00973

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>6</sup> H01L25/04

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> H01L25/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1930-1997  
Kokai Jitsuyo Shinan Koho 1971-1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 6-209071, A (Sharp Corp.), July 26, 1994 (26. 07. 94), Par. Nos. [0014] to [0025] ; Figs. 1 to 3 (Family: none)	1, 4, 6, 7, 12, 13, <u>15-22, 24, 25</u>
Y A	JP, 63-142663, A (Sharp Corp.), June 15, 1988 (15. 06. 88), Figs. 1 to 6 and related description (Family: none)	2, 3, 5, 8-11, 14, 23 1, 4, 6, 7, 12, 13, <u>15-22, 24, 25</u>
		2, 3, 5, 8-11, 14, 23

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search  
May 21, 1998 (21. 05. 98)

Date of mailing of the international search report  
June 2, 1998 (02. 06. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP98/00973

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C16 H01L 25/04

## B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C16 H01L 25/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1930-1997年  
 日本国公開実用新案公報 1971-1997年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 6-209071, A (シャープ株式会社) 26. 7月. 1994 (26. 07. 94), 段落【0014】-【0025】, 図1-3 (ファミリーなし)	1, 4, 6, 7, 12, 13, <u>15-22, 24, 25</u> 2, 3, 5, 8-11, 14, 23
Y A	JP, 63-142663, A (シャープ株式会社) 15. 6月. 1988 (15. 06. 88), 第1-6図及びその関連記述 (ファミリーなし)	1, 4, 6, 7, 12, 13, <u>15-22, 24, 25</u> 2, 3, 5, 8-11, 14, 23

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21. 05. 98

国際調査報告の発送日

02.06.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

川真田 秀男



4 E 7220

電話番号 03-3581-1101 内線 3426