



(12) 发明专利

(10) 授权公告号 CN 101414595 B

(45) 授权公告日 2012. 08. 08

(21) 申请号 200710163700. 2

CN 100342526 C, 2007. 10. 10, 说明书第 2 页

(22) 申请日 2007. 10. 18

第 7-34 行、附图 2A-2F.

(73) 专利权人 欣兴电子股份有限公司

TW 200737455, 2007. 10. 01, 全文.

地址 中国台湾桃园县

CN 1316861 C, 2007. 05. 16, 全文.

(72) 发明人 许诗滨

审查员 刘晓燕

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟

(51) Int. Cl.

H01L 23/498 (2006. 01)

H01L 21/48 (2006. 01)

(56) 对比文件

TW 583348, 2004. 04. 11, 全文.

US 6576540 B2, 2003. 06. 10, 全文.

同上.

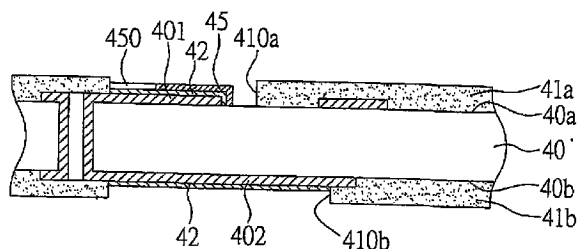
权利要求书 2 页 说明书 7 页 附图 13 页

(54) 发明名称

封装基板及其制法

(57) 摘要

本发明公开了一种封装基板,包括:一基板本体,具有两相对的置晶侧及植球侧,于该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,且该置晶侧及植球侧上分别具有一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层开设有多个第一开孔及多个第二开孔以对应显露该打线垫及焊球垫;一电镀金属层,设于该打线垫及焊球垫表面上;以及一打线金属层,设于该打线垫上的电镀金属层表面上。本发明能免除布设电镀导线以提供高密度布线及细间距,又于该打线垫上先形成电镀金属层再形成电镀的打线金属层,从而提高与打线接合的金线之间的结合性以利细间距的高脚数的使用所需。另外,本发明还提供一种封装基板的制法。



1. 一种封装基板,包括:

一基板本体,具有两相对的置晶侧及植球侧,于该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,该打线垫及焊球垫分别为最外层线路的一部分,且该置晶侧及植球侧上分别形成有一第一绝缘保护层及一第二绝缘保护层,使该第一及第二绝缘保护层分别为该置晶侧及植球侧的最外层结构,并分别在该第一及第二绝缘保护层开设有多个第一开孔及多个第二开孔以显露该打线垫及焊球垫;

一化镀金属层,设于该打线垫及焊球垫表面上;以及

一打线金属层,电镀形成于该打线垫上的化镀金属层表面上,其中,该打线金属层为金(Au)。

2. 根据权利要求1所述的封装基板,其中,该化镀金属层为镍/金(Ni/Au)及镍/钯/金(Ni/Pd/Au)的其中一者,且金(Au)形成在较外层。

3. 一种封装基板的制法,包括:

提供一具有两相对的置晶侧及植球侧的基板本体,其中该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,且于该置晶侧及植球侧上分别形成一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层形成多个第一开孔及多个第二开孔以显露该打线垫及焊球垫;

于该打线垫及焊球垫表面上形成一化镀金属层;

于该第一绝缘保护层及打线垫的化镀金属层上形成一第一导电层;

于该第一导电层上形成一第一阻层,且于该基板本体的置晶侧上的第一阻层形成多个第一开口以显露该打线垫区域的第一导电层,且第一开口大于第一开孔,又该第一阻层具有设于第一开口中并位于打线垫上的延伸部以覆盖部分的第一导电层;

移除该第一开口中的第一导电层以显露打线垫上的化镀金属层;

于该打线垫上的化镀金属层表面上以电镀形成一打线金属层;以及

移除该第一阻层及其所覆盖的第一导电层以显露第一绝缘保护层及第一开孔中的打线垫上的打线金属层。

4. 根据权利要求3所述的封装基板的制法,其中,该化镀金属层为镍/金(Ni/Au)及镍/钯/金(Ni/Pd/Au)的其中一者,且金(Au)形成在较外层。

5. 根据权利要求3所述的封装基板的制法,还包括于该第二绝缘保护层及焊球垫的化镀金属层上形成一第二导电层。

6. 根据权利要求3所述的封装基板的制法,其中,该第一导电层的形成方法为化学沉积及物理沉积的其中一者。

7. 根据权利要求3所述的封装基板的制法,其中,该第一导电层为铜(Cu)。

8. 根据权利要求3所述的封装基板的制法,其中,该打线金属层为金(Au)。

9. 一种封装基板的制法,包括:

提供一具有两相对的置晶侧及植球侧的基板本体,其中该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,且于该置晶侧及植球侧分别形成一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层形成多个第一开孔及多个第二开孔以显露该打线垫及焊球垫;

于该打线垫及焊球垫表面上形成一化镀金属层;

于该第一绝缘保护层及打线垫的化镀金属层上形成一第一导电层；

于该导电层上形成一第一阻层，且于该基板本体的置晶侧上的第一阻层形成多个第一开口以显露该打线垫区域的第一导电层，且该第一开口小于第一开孔以覆盖打线垫上的部分第一导电层；

移除该第一开口中的第一导电层以显露打线垫上的化镀金属层；

于该基板本体的置晶侧上的第一阻层上形成一第三阻层，且该第三阻层形成小于第一开口的第三开口以显露打线垫上的化镀金属层；

于该打线垫上的化镀金属层表面上以电镀形成一打线金属层；以及

移除该第三阻层、第一阻层及其所覆盖的第一导电层以显露该第一绝缘保护层及第一开孔中的打线垫上的打线金属层。

10. 根据权利要求 9 所述的封装基板的制法，其中，该化镀金属层为镍 / 金 (Ni/Au) 及镍 / 钯 / 金 (Ni/Pd/Au) 的其中一者，且金 (Au) 形成在较外层。

11. 根据权利要求 9 所述的封装基板的制法，还包括于该第二绝缘保护层及焊球垫的化镀金属层上形成一第二导电层。

12. 根据权利要求 9 所述的封装基板的制法，其中，该导电层的形成方法为化学沉积及物理沉积的其中一者。

13. 根据权利要求 9 所述的封装基板的制法，其中，该第一导电层为铜 (Cu)。

14. 根据权利要求 9 所述的封装基板的制法，其中，该打线金属层为金 (Au)。

15. 一种封装基板的制法，包括：

提供一具有两相对的置晶侧及植球侧的基板本体，于该置晶侧及植球侧分别具有多个打线垫及多个焊球垫，且该置晶侧及植球侧上分别形成一第一绝缘保护层及一第二绝缘保护层，并分别在该第一及第二绝缘保护层形成多个第一开孔及多个第二开孔以显露该打线垫及焊球垫，其中，该基板本体还具有多条电镀导线以电性连接至该打线垫；

于该打线垫及焊球垫表面上形成一化镀金属层；

于该第二绝缘保护层及第二开孔中的该焊球垫上的化镀金属层上形成一第二阻层；

通过该电镀导线以于该打线垫上的化镀金属层表面上电镀形成一打线金属层；以及

移除该第二阻层以显露该第二绝缘保护层及第二开孔中的焊球垫上的化镀金属层。

16. 根据权利要求 15 所述的封装基板的制法，其中，该化镀金属层为镍 / 金 (Ni/Au) 及镍 / 钯 / 金 (Ni/Pd/Au) 的其中一者，且金 (Au) 形成在较外层。

17. 根据权利要求 15 所述的封装基板的制法，其中，该打线金属层为金 (Au)。

封装基板及其制法

技术领域

[0001] 本发明涉及一种封装基板及其制法,尤指一种于打线垫上形成打线金属层的封装基板结构及其制法。

背景技术

[0002] 随着电子产业的蓬勃发展,电子产品亦逐渐迈入多功能、高性能的研发方向。为满足半导体封装件高积集度(Integration)以及微型化(Miniaturization)的封装需求,承载半导体芯片的封装基板,逐渐由单层板演变成多层板(Multi-layer Board),从而于有限的空间下,通过层间连接技术(Interlayer Connection)以扩大封装基板上可利用的线路面积,以因应高电子密度的集成电路(IntegratedCircuit)的使用需求。

[0003] 目前用以承载半导体芯片的封装基板包括有打线式封装基板、芯片尺寸封装(CSP)基板及覆晶基板(FCBGA)等;且为因应微处理器、芯片组、与绘图芯片的运算需要,布有线路的电路板亦需提升其传递芯片信号、改善频宽、控制阻抗等功能,以因应高 I/O 数封装件的发展。然而,为符合半导体封装件轻薄短小、多功能、高速度及高频化的开发方向,电路板已朝向细线路及小孔径发展。现有电路板制法从传统 100 微米(μm)的线路尺寸:包括线路宽度(Line width)、线路间距(Space)等,已缩减至 25 微米(μm)以下,并持续朝向更小的线路精度发展。

[0004] 请参阅图 1A 及图 1B,为现有封装基板的打线垫上形成打线金属层的制法剖视图;首先提供一基板本体 10,于该基板本体 10 的至少一表面具有多个打线垫 101,且该打线垫 101 具有电镀导线 102,并于该基板本体 10 及打线垫 101 上形成有一绝缘保护层 11,于该绝缘保护层 11 中形成有多个绝缘保护层开孔 110,以对应显露各该打线垫 101 及基板本体 10 的部分表面(如图 1A 所示);通过该电镀导线 102 作为电流传导路径,以于该打线垫 101 上形成如镍/金的打线金属层 12(如图 1B 所示)。

[0005] 但是,该打线垫 101 上形成打线金属层 12 是通过电镀导线 102 电镀形成,于该基板本体 10 上即必须布设电镀导线 102,如此则占用该基板本体 10 的面积,而无法达到高密度布线及打线垫之间的细间距的目的。

[0006] 请参阅图 2A 及图 2B,为现有封装基板的打线垫上形成打线金属层的另一制法剖视图;首先提供一基板本体 20,于该基板本体 20 的至少一表面具有多个打线垫 201,并于该基板本体 20 及打线垫 201 上形成有一绝缘保护层 21,于该绝缘保护层 21 中形成有多个绝缘保护层开孔 210,以对应显露各该打线垫 201 及基板本体 20 的部分表面(如图 2A 所示);于该打线垫 201 上以化学沉积形成打线金属层 22(如图 2B 所示)。

[0007] 上述以化学沉积法虽可于该打线垫 201 上形成打线金属层 22,但因若欲得足够厚度的打线金属层 22,则制造成本昂贵,并且因化学沉积形成的打线金属层 22 质地较软,与后续打线接合的金线之间的结合性不佳,而不利于高脚数的使用所需。

[0008] 请参阅图 3A 至图 3H 所示,是以无电镀导线(Non Plating Line, NPL 制法于该打线垫上电镀形成打线金属层的制法;首先,提供一表面具有多个打线垫 301 的基板本体 30,

于该基板本体 30 的部分表面及打线垫 301 上形成一导电层 32 (如图 3B 所示);于该导电层 32 上形成有第一阻层 33a,且该第一阻层 33a 中形成有第一开口 330a,以显露该打线垫 301 区域的导电层 32 (如图 3C 所示);移除该第一开口 330a 中的导电层 32 (如图 3D 所示);于该第一阻层 33a 及其第一开口 330a 中形成有一第二阻层 33b,且该第二阻层 33b 中形成有第二开口 330b,以显露该打线垫 301,并覆盖位于该第一开口 330a 中未被该第一阻层 33a 所覆盖的导电层 32 (如图 3E 所示);由于该导电层 32 电性连接该打线垫 301,从而通过该导电层 32 以于该第二开口 330b 中的打线垫 301 电镀形成打线金属层 34 (如图 3F 所示);移除该第二阻层 33b、第一阻层 33a 及其所覆盖的导电层 32,以显露该打线垫 301 及其上的打线金属层 34 (如图 3G 所示);于该打线金属层 34 上形成一绝缘保护层 35,且该绝缘保护层 35 中形成有绝缘保护层开孔 350 以显露该打线垫 301 上的打线金属层 34 (如图 3H 所示)。

[0009] 上述 (NPL) 制法以电镀若欲得足够厚度的打线金属层 34,成本可低于化学沉积,并且因电镀形成的打线金属层 34 质地较硬,故与后续打线接合的金线之间的结合性佳,但是该制法的步骤繁烦,因而增加制造成本;且该绝缘保护层 35 在打线金属层 34 后形成,易导致打线金属层 34 污染,影响后续打线质量较不稳定。

[0010] 因此,如何提供一种于打线垫上形成打线金属层的封装基板结构与方法,得以提供高密度布线及打线垫之间的细间距及提高结合性以利高脚数的使用所需,实已成为目前业界亟待克服的难题。

发明内容

[0011] 鉴于以上所述现有技术的缺点,本发明的一目的是提供一种封装基板及其制法,能提供高密度布线及打线垫之间的细间距。

[0012] 本发明的又一目的是提供一种封装基板及其制法,能提高与打线接合的金线之间的结合性以利细间距的高脚数的使用所需。

[0013] 为达到上述及其它目的,本发明提供一种封装基板,包括:一基板本体,具有两相对的置晶侧及植球侧,于该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,且该置晶侧及植球侧上分别具有一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层开设有多个第一开孔及多个第二开孔以显露该打线垫及焊球垫;一电镀金属层,设于该打线垫及焊球垫表面上;以及一打线金属层,设于打线垫上的电镀金属层表面上。

[0014] 依上述的结构,该电镀金属层为镍/金 (Ni/Au) 及镍/钯/金 (Ni/Pd/Au) 的其中之一者,且金 (Au) 是形成在较外层;该打线金属层为电镀金属;该打线金属层为金 (Au)。

[0015] 本发明复提供一种封装基板的制法,包括:提供一具有两相对的置晶侧及植球侧的基板本体,其中该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,且于该置晶侧及植球侧上分别形成一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层形成多个第一开孔及多个第二开孔以显露该打线垫及焊球垫;于该打线垫及焊球垫表面上形成一电镀金属层;于该第一绝缘保护层及打线垫的电镀金属层上形成一第一导电层;于该第一导电层上形成一第一阻层,且于该基板本体的置晶侧上的第一阻层形成多个第一开口以显露该些打线垫区域的第一导电层,且该第一开口大于第一开孔,又该第一阻层具有设于第一开口中并位于打线垫上的延伸部以覆盖部分的第一导电层;移除该第一开

口中的第一导电层以显露打线垫上的化镀金属层；于该打线垫上的化镀金属层表面上以电镀形成一打线金属层；以及移除该第一阻层及其所覆盖的第一导电层以显露第一绝缘保护层及第一开孔中的打线垫上的打线金属层。

[0016] 依上述的制法,该化镀金属层为镍/金(Ni/Au)及镍/钯/金(Ni/Pd/Au)的其中之一者,且金(Au)形成在较外层;该第一导电层的形成方法为化学沉积及物理沉积的其中之一者,且该第一导电层为铜(Cu);该打线金属层为金(Au)。

[0017] 又依上述的制法,还包括于该第二绝缘保护层及焊球垫的化镀金属层上形成一第二导电层。

[0018] 本发明再提供一种封装基板的制法,包括:提供一具有两相对的置晶侧及植球侧的基板本体,其中该置晶侧及植球侧上分别具有多个打线垫及多个焊球垫,且于该置晶侧及植球侧分别形成一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层形成多个第一开孔及多个第二开孔以显露该些打线垫及焊球垫;于该打线垫及焊球垫表面上形成一化镀金属层;于该第一绝缘保护层及打线垫的化镀金属层上形成一第一导电层;于该导电层上形成一第一阻层,且于该基板本体的置晶侧上的第一阻层形成多个第一开口以显露该打线垫区域的第一导电层,且该第一开口小于第一开孔以覆盖打线垫上的部分第一导电层;移除该第一开口中的第一导电层以显露打线垫上的化镀金属层;于该基板本体的置晶侧上的第一阻层上形成一第三阻层,且该第三阻层形成小于第一开口的第三开口以显露打线垫上的化镀金属层;于该打线垫上的化镀金属层表面上以电镀形成一打线金属层;以及移除该第三阻层、第一阻层及其所覆盖的第一导电层以显露该第一绝缘保护层及第一开孔中的打线垫上的打线金属层。

[0019] 依上述的制法,该化镀金属层为镍/金(Ni/Au)及镍/钯/金(Ni/Pd/Au)的其中之一者,且金(Au)形成在较外层;该导电层的形成方法为化学沉积及物理沉积的其中之一者,且该第一导电层为铜(Cu);该打线金属层为金(Au)。

[0020] 又依上述的制法,还包括于该第二绝缘保护层及焊球垫的化镀金属层上形成一第二导电层。

[0021] 本发明又提供一种封装基板的制法,包括:提供一具有两相对的置晶侧及植球侧的基板本体,于该置晶侧及植球侧分别具有多个打线垫及多个焊球垫,且该置晶侧及植球侧上分别形成一第一绝缘保护层及一第二绝缘保护层,并分别在该第一及第二绝缘保护层形成多个第一开孔及多个第二开孔以显露该打线垫及焊球垫,其中,该基板本体复具有多条电镀导线以电性连接至该些打线垫;于该打线垫及焊球垫表面上形成一化镀金属层;于该第二绝缘保护层及第二开孔中的该焊球垫上的化镀金属层上形成一第二阻层;通过该电镀导线以于该打线垫上的化镀金属层表面上电镀形成一打线金属层;以及移除该第二阻层以显露该第二绝缘保护层及第二开孔中的焊球垫上的化镀金属层。

[0022] 依上述的制法,该化镀金属层为镍/金(Ni/Au)及镍/钯/金(Ni/Pd/Au)的其中之一者,且金(Au)形成在较外层;该打线金属层为金(Au)。

[0023] 本发明的封装基板及其制法,是于该基板本体的置晶侧及植球侧先分别形成第一及第二绝缘保护层后,再于该打线垫上依序形成化镀金属层及电镀金的打线金属层,因此金层厚度是厚于焊球垫仅以化镀形成金属层的金层厚度,且电镀金的质地较化镀金硬,从而提高与后续打线接合的金线之间的结合性,且本发明的前两种制法免除布设电镀导线以

提供高密度布线及打线垫之间细间距的使用所需。

附图说明

[0024] 图 1A 及图 1B 为现有于封装基板的打线垫上以电镀导线电镀形成打线金属层的制法剖视示意图；

[0025] 图 2A 及图 2B 为现有封装基板的打线垫上以化学沉积形成打线金属层的制法剖视示意图；

[0026] 图 3A 至图 3H 为现有于封装基板的打线垫上无电镀导线 (NPL) 电镀形成打线金属层的制法剖视示意图；

[0027] 图 4A 至图 4G 为本发明封装基板及其制法的第一实施例剖视示意图；

[0028] 图 4C' 为图 4C 的另一实施例剖视示意图；

[0029] 图 4D' 为图 4D 的立体剖视示意图；

[0030] 图 4G' 及图 4G'' 为图 4G 的立体剖视示意图；

[0031] 图 5A 至图 5E 为本发明封装基板及其制法的第二实施例剖视示意图；

[0032] 图 5A' 为图 5A 的另一实施例剖视示意图；

[0033] 图 5C' 为图 5C 的立体剖视示意图；

[0034] 图 5E' 及图 5E'' 为图 5E 的立体剖视示意图；以及

[0035] 图 6A 至图 6E 为本发明封装基板及其制法的第三实施例剖视示意图。

[0036] 主要元件符号说明

[0037] 10、20、30、40 基板本体

[0038] 101、201、301、401 打线垫

[0039] 102、403 电镀导线

[0040] 11、21、35 绝缘保护层

[0041] 110、210、350 绝缘保护层开孔

[0042] 12、22、34、45 打线金属层

[0043] 32 导电层

[0044] 33a、44a 第一阻层

[0045] 330a、440a 第一开口

[0046] 33b、44b 第二阻层

[0047] 330b 第二开口

[0048] 402 焊球垫

[0049] 40a 置晶侧

[0050] 40b 植球侧

[0051] 41a 第一绝缘保护层

[0052] 410a 第一开孔

[0053] 41b 第二绝缘保护层

[0054] 410b 第二开孔

[0055] 42 化镀金属层

[0056] 43a 第一导电层

- [0057] 43b 第二导电层
- [0058] 44c 第三阻层
- [0059] 440c 第三开口
- [0060] 441a 延伸部
- [0061] 450 矩形缺口
- [0062] 450' 缺口

具体实施方式

[0063] 以下通过特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0064] 第一实施例

[0065] 请参阅图 4A 至图 4G,是显示本发明的封装基板制法第一实施例的示意图。

[0066] 如图 4A 所示,首先提供一基板本体 40,具有两相对的置晶侧 40a 及植球侧 40b,于该置晶侧 40a 及植球侧 40b 分别具有多个打线垫 401 及多个焊球垫 402,且于该置晶侧 40a 及植球侧 40b 分别形成一第一绝缘保护层 41a 及一第二绝缘保护层 41b,该第一绝缘保护层 41a 及一第二绝缘保护层 41b 分别形成多个第一开孔 410a 及多个第二开孔 410b 以对应显露该打线垫 401 及焊球垫 402。有关于基板本体的制法技术繁多,且是业界所周知的制法技术,其非本发明的技术重点,故未再予赘述。

[0067] 如图 4B 所示,于该些打线垫 401 及焊球垫 402 表面上以化学沉积形成一电镀金属层 42,该电镀金属层 42 为镍/金(Ni/Au)及镍/钯/金(Ni/Pd/Au)的其中一者,且金(Au)形成在最外层。

[0068] 如图 4C 及 4C'所示,于该第一绝缘保护层 41a 及打线垫 401 的电镀金属层 42 上形成一为铜(Cu)的第一导电层 43a,且于该第二绝缘保护层 41b 及焊球垫 402 的电镀金属层 42 上形成一第二导电层 43b(如图 4C 所示);或仅于该第一绝缘保护层 41a 及打线垫 401 的电镀金属层 42 上形成一第一导电层 43a,而该第二绝缘保护层 41b 及焊球垫 402 的电镀金属层 42 上并无形成导电层(如图 4C'所示)。该第一及第二导电层 43a、43b 形成方法为化学沉积或物理沉积。

[0069] 如图 4D 及图 4D'所示,其中该图 4D'为对应该图 4D 的立体剖视图,接着于该第一导电层 43a 上形成一第一阻层 44a,且于该基板本体 40 的置晶侧 40a 上的第一阻层 44a 形成多个第一开口 440a 以显露所述打线垫 401 区域的第一导电层 43a,且该第一开口 440a 大于该第一开孔 410a,又该第一阻层 44a 具有设于该第一开口 440a 中并位于该打线垫 401 上的延伸部 441a,以覆盖部分的第一导电层 43a;于该第二导电层 43b 上形成一第二阻层 44b,若依前述的图 4C'所示的结构,则于该第二绝缘保护层 41b 及焊球垫 402 的电镀金属层 42 上形成第二阻层 44b。该第一及第二阻层 44a、44b 可为一例如干膜或液态光阻等光阻层(Photoresist),其是利用印刷、旋涂或贴合等方式形成于该第一导电层 43a 及第二导电层 43b 上,再通过曝光、显影等方式加以图案化,使该第一阻层 44a 形成该第一开口 440a 以显露该第一导电层 43a 的部分表面。

[0070] 如图 4E 所示,移除该第一开口 440a 中的第一导电层 43a 以显露该打线垫 401 上的电镀金属层 42。

[0071] 如图 4F 所示,之后于该打线垫 401 上的化镀金属层 42 表面上以电镀形成一为金(Au) 的打线金属层 45,而得免除布设电镀导线以提供高密度布线及打线垫之间的细间距,且于该打线垫 401 上先形成该化镀金属层 42 再形成该打线金属层 45,从而提高结合性以利于细间距的高脚数的使用所需。

[0072] 如图 4G、图 4G' 及图 4G'' 所示,其中图 4G' 及图 4G'' 为对应图 4G 不同方向的立体剖视图;最后,移除该第一阻层 44a 及其所覆盖的第一导电层 43a,以显露该第一绝缘保护层 41a 及第一开孔 410a 中的打线垫 401 上的打线金属层 45,且该打线金属层 45 于近第一绝缘保护层端 41a 形成一位于该打线垫 401 上方的矩形缺口 450,以显露该打线垫 401 上的化镀金属层 42;同时并移除该第二阻层 44b 及该第二导电层 43b;或者,若依前述的图 4C' 的结构,则仅移除该第二阻层 44b,以显露该第二绝缘保护层 41b 及焊球垫 402 的化镀金属层 42。

[0073] 第二实施例

[0074] 请参阅图 5A 至图 5E,是显示本发明的封装基板制法第二实施例的示意图。

[0075] 如图 5A 及图 5A' 所示,首先提供一如前述实施例图 4C 所示的结构,并于该第一导电层 43a 上形成一第一阻层 44a,于该第一阻层 44a 形成多个第一开口 440a 以对应显露该打线垫 401 区域的第一导电层 43a,且该第一开口 440a 小于第一绝缘保护 41a 的第一开孔 410a,以覆盖该打线垫 401 上的部分第一导电层 43a,而于该第二导电层 43b 上形成一第二阻层 44b(如图 5A 所示);若依前述的图 4C' 所示的结构,则于该第二绝缘保护层 41b 及焊球垫 402 的化镀金属层 42 上形成第二阻层 44b(如图 5A' 所示)。

[0076] 如图 5B 所示,移除该第一开口 440a 中的第一导电层 43a 以显露该打线垫 401 上的化镀金属层 42。

[0077] 如图 5C 及图 5C' 所示,其中该图 5C' 为图 5C 的立体剖视图,于该第一阻层 44a 上形成一第三阻层 44c,且该第三阻层 44c 形成小于该第一开口 440a 的第三开口 440c 以显露该打线垫 401 上的化镀金属层 42,且覆盖外露出该第一阻层 44a 的第一导电层 43a。

[0078] 如图 5D 所示,于该打线垫 401 上的化镀金属层 42 表面上以电镀形成一打线金属层 45。

[0079] 如图 5E、图 5E' 及图 5E'' 所示,其中该图 5E' 及图 5E'' 为对应图 5E 不同方向的立体剖视图;最后,移除该第三阻层 44c、第一阻层 44a 及其所覆盖的第一导电层 43a 以显露该第一绝缘保护层 41a 及第一开孔 410a 中的打线垫 401 上的打线金属层 45,且该打线金属层 45 于近第一绝缘保护层端 41a 形成一横跨该打线垫 401 的缺口 450' 以显露该化镀金属层 42;同时并移除该第二导电层 43b 及第二阻层 44b;或者,若为图 5A' 所示的结构,于最后则仅移除该第二阻层 44b,以显露该第二绝缘保护层 41b 及焊球垫 402 的化镀金属层 42。

[0080] 第三实施例

[0081] 请参阅图 6A 至 6E,是显示本发明的封装基板制法第三实施例的示意图,与前述实施例的不同处在于该打线垫是通过电镀导线作为电镀的电流传导路径,以于该打线垫上电镀形成打线金属层。

[0082] 如图 6A 所示,首先提供一如前述实施例图 4A 所示的结构,且该打线垫 401 电性连接电镀导线 403。

[0083] 如图 6B 所示,接着于该基板本体 40 的置晶侧 40a 及植球侧 40b 上的打线垫 401

及焊球垫 402 上形成电镀金属层 42。

[0084] 如图 6C 所示,于该第二绝缘保护层 41b 及焊球垫 402 的电镀金属层 42 上形成一第二阻层 44b,而该第一绝缘保护层 41a 并未形成阻层。

[0085] 如图 6D 所示,之后于该打线垫 401 上的电镀金属层 42 表面上通过该电镀导线 403 以电镀形成一为金 (Au) 的打线金属层 45,由于该打线垫 401 上先形成该电镀金属层 42 再形成该打线金属层 45,从而能提高结合性以利于细间距的高脚数的使用所需。

[0086] 如图 6E 所示,移除该第二阻层 44b,以显露该第二绝缘保护层 41b 及焊球垫 402 的电镀金属层 42。

[0087] 本发明还提供一种封装基板,包括:基板本体 40,具有两相对的置晶侧 40a 及植球侧 40b,于该置晶侧 40a 及植球侧 40b 分别具有多个打线垫 401 及多个焊球垫 402,且该置晶侧 40a 及植球侧 40b 上分别具有一第一绝缘保护层 41a 及一第二绝缘保护层 41b,该第一绝缘保护层 41a 及一第二绝缘保护层 41b 分别具有多个第一开孔 410a 及多个第二开孔 410b 以对应显露该打线垫 401 及焊球垫 402;电镀金属层 42,设于该些打线垫 401 及焊球垫 402 上;以及打线金属层 45,设于该打线垫 401 上的电镀金属层 42 上。

[0088] 该打线垫 401 复可电性连接有电镀导线 403;该电镀金属层 42 为镍 / 金 (Ni/Au) 或镍 / 钯 / 金 (Ni/Pd/Au),且金 (Au) 设在较外层;该打线金属层 45 为电镀金属,且该打线金属层 45 为金 (Au)。

[0089] 本发明的封装基板及其制法,是于该基板本体的置晶侧及植球侧先分别形成第一及第二绝缘保护层后,再于该打线垫上依序形成电镀金属层及电镀金的打线金属层,因此金层厚度是厚于焊球垫仅以电镀形成金属层的金层厚度,且电镀金的质地较电镀金硬,从而提高与后续打线接合的金线之间的结合性,且本发明的前两种制法免除布设电镀导线以提供高密度布线及打线垫之间细间距的使用所需。

[0090] 上述实施例是用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应以权利要求书的范围为依据。

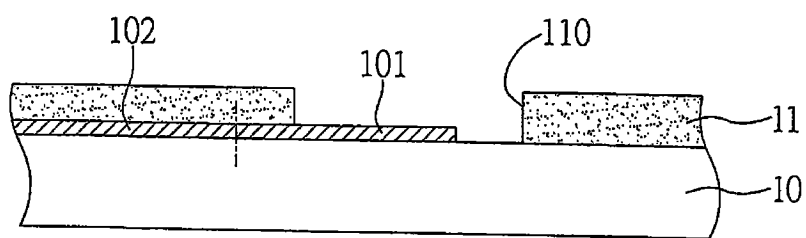


图 1A

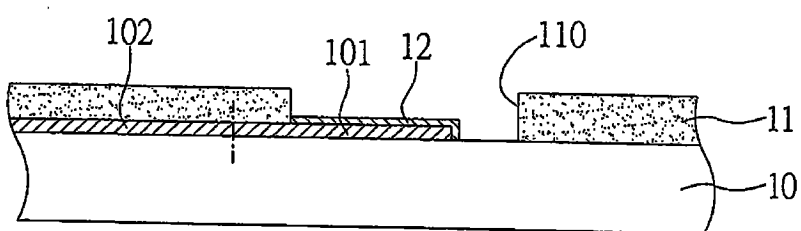


图 1B

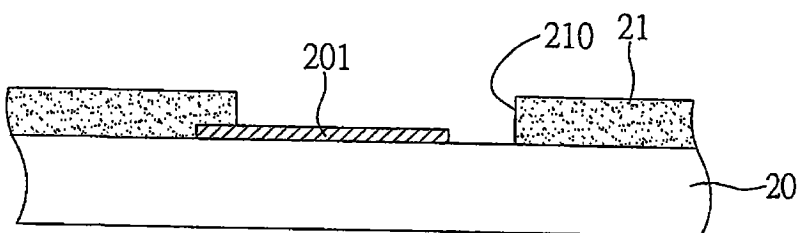


图 2A

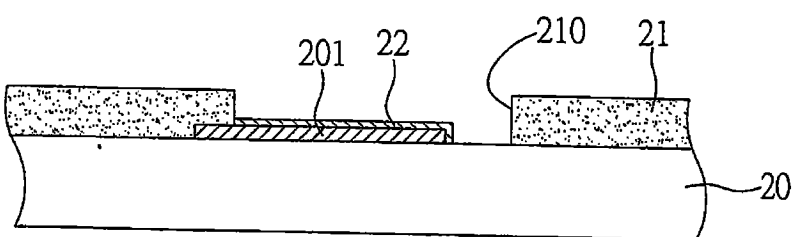


图 2B

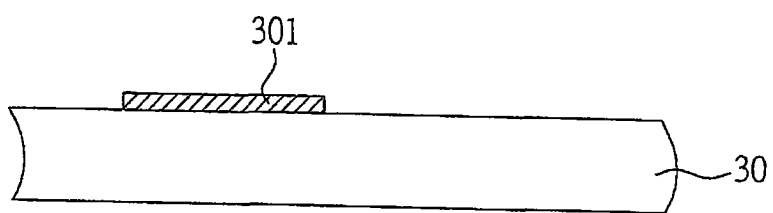


图 3A

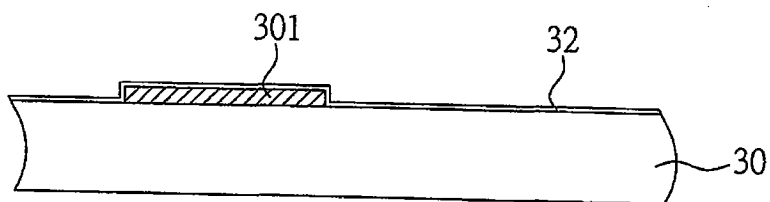


图 3B

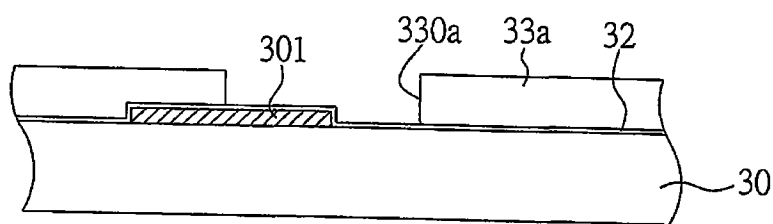


图 3C

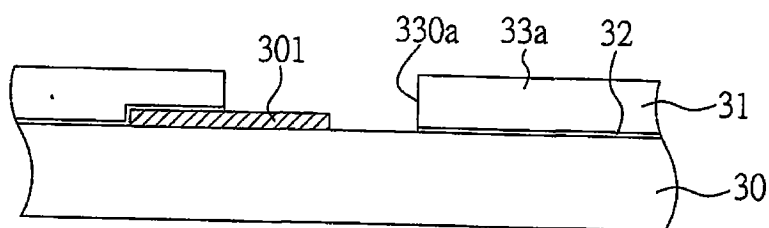


图 3D

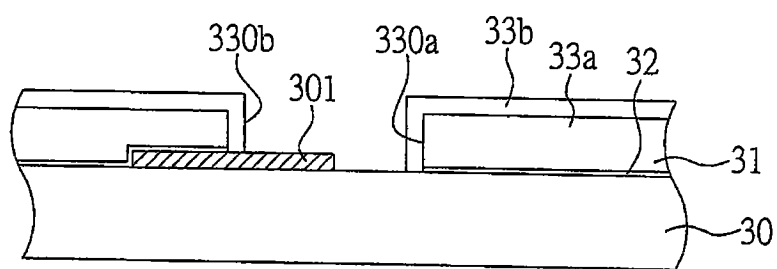


图 3E

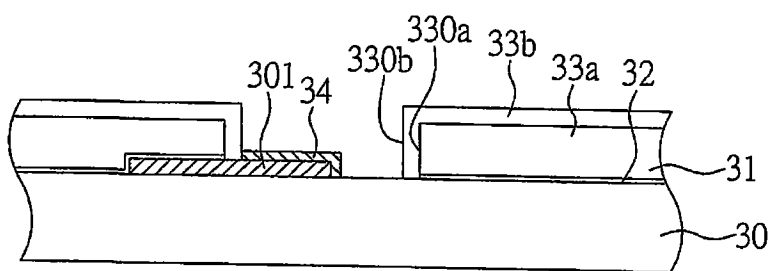


图 3F

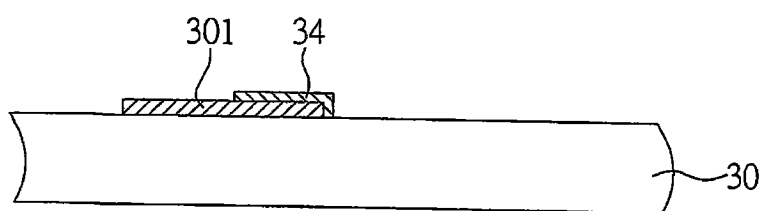


图 3G

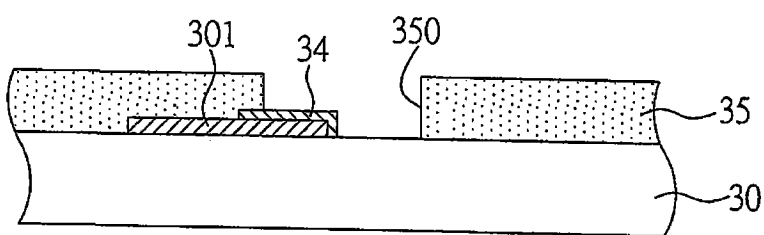


图 3H

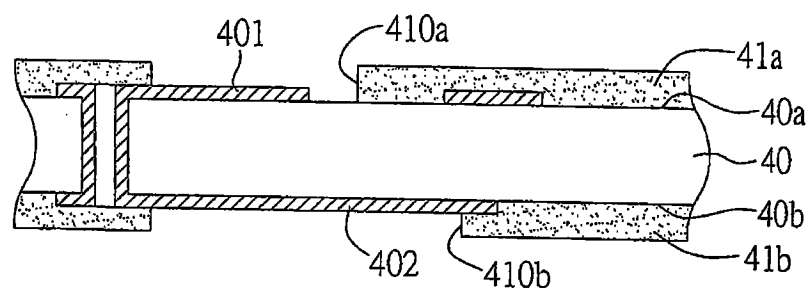


图 4A

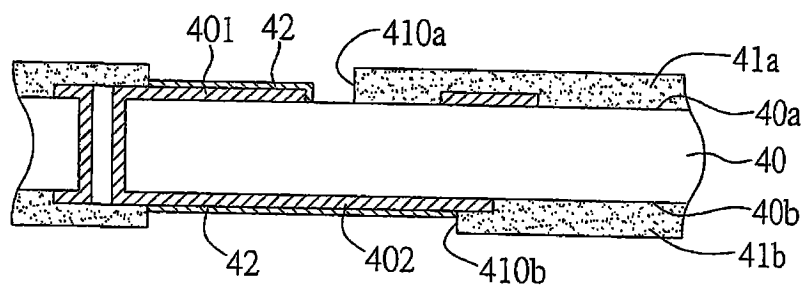


图 4B

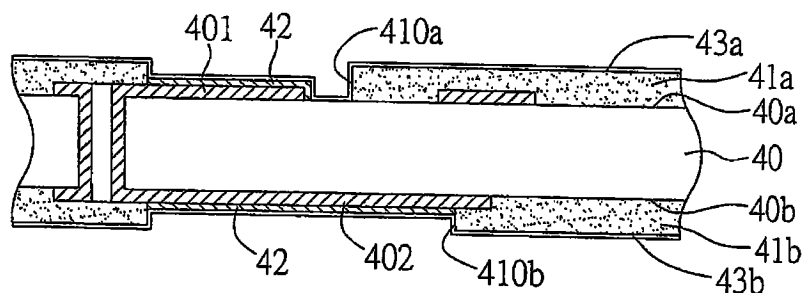


图 4C

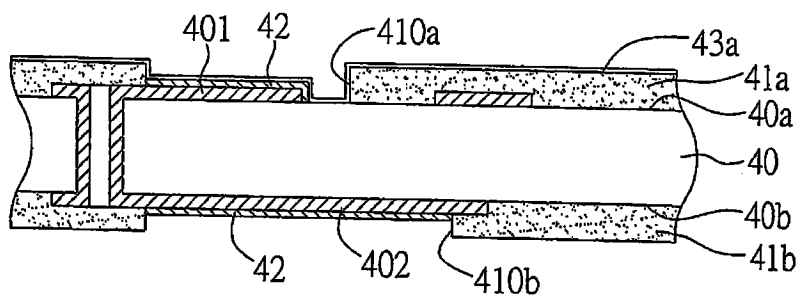


图 4C'

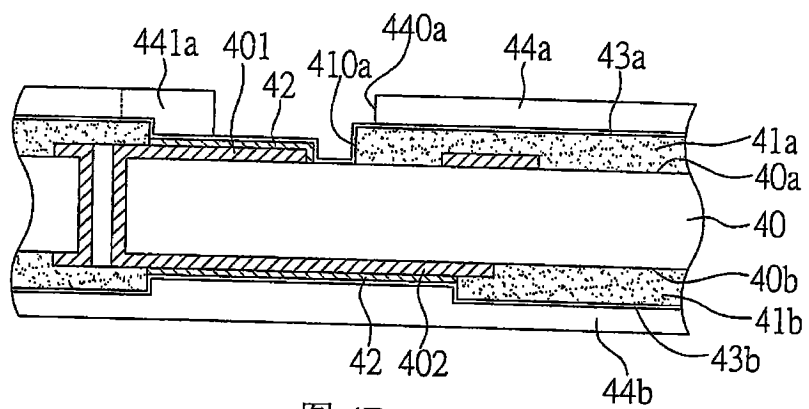


图 4D

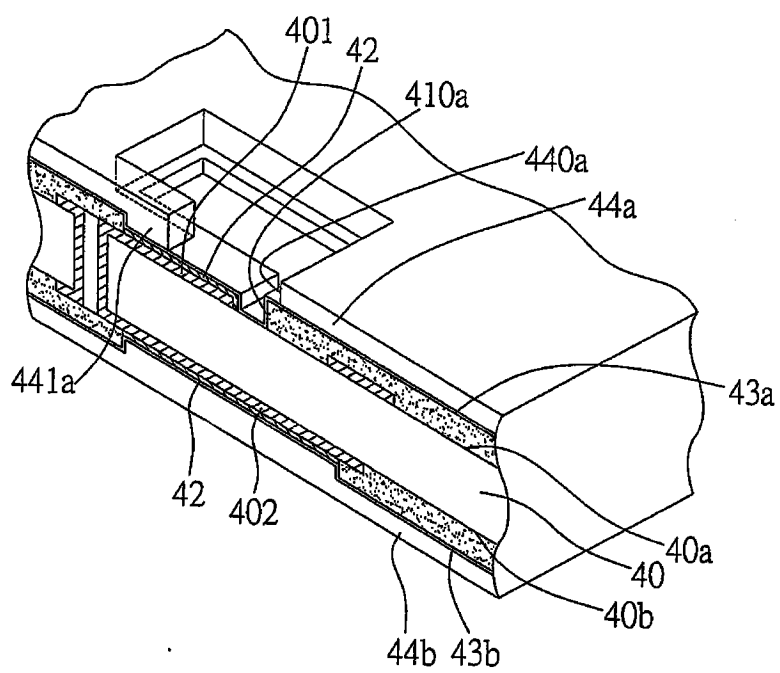


图 4D'

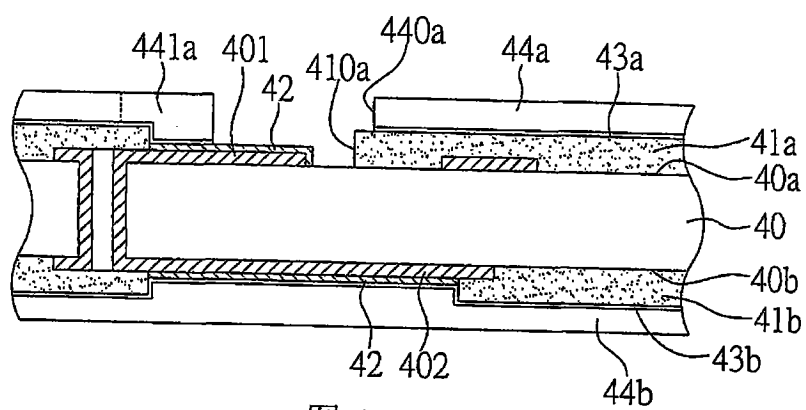


图 4E

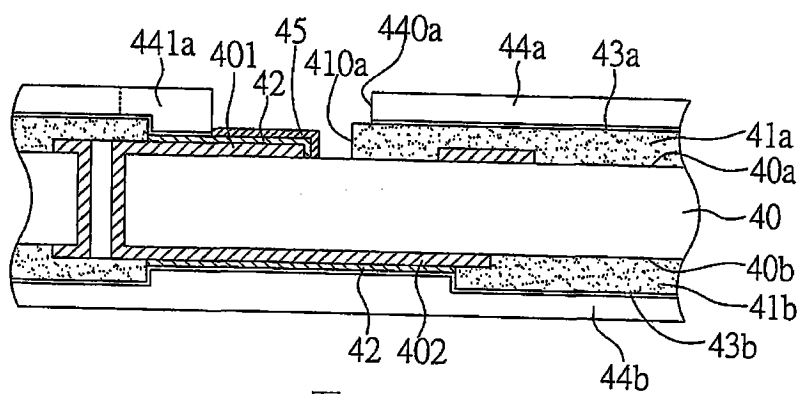


图 4F

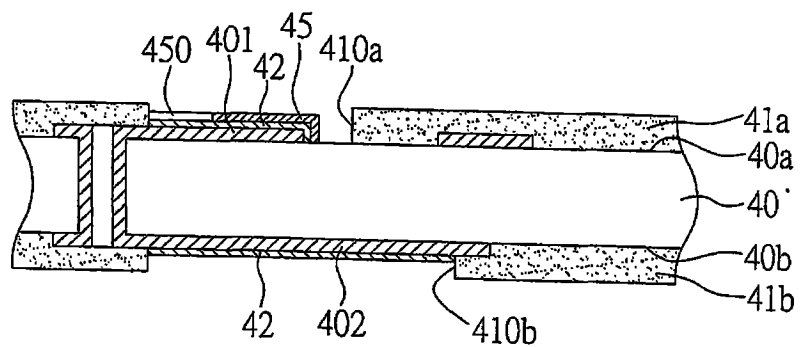


图 4G

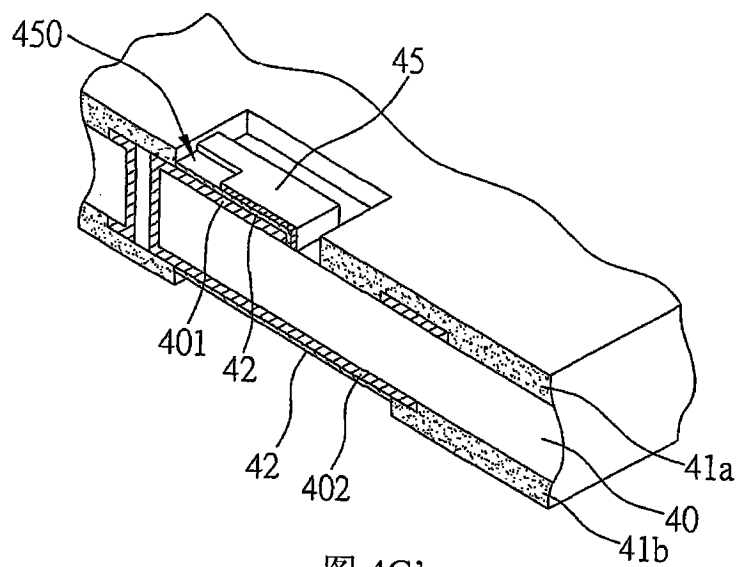


图 4G'

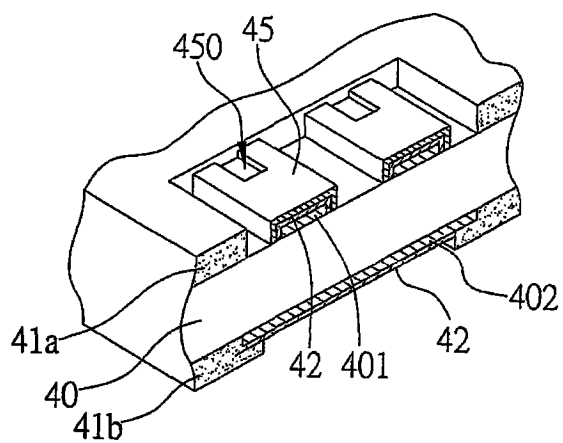


图 4G''

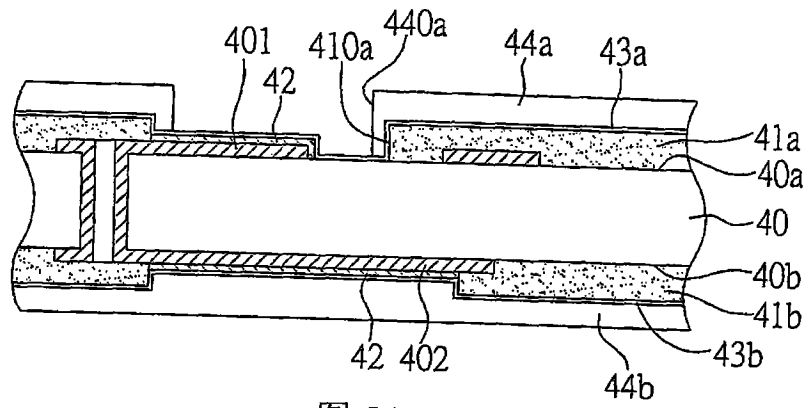


图 5A

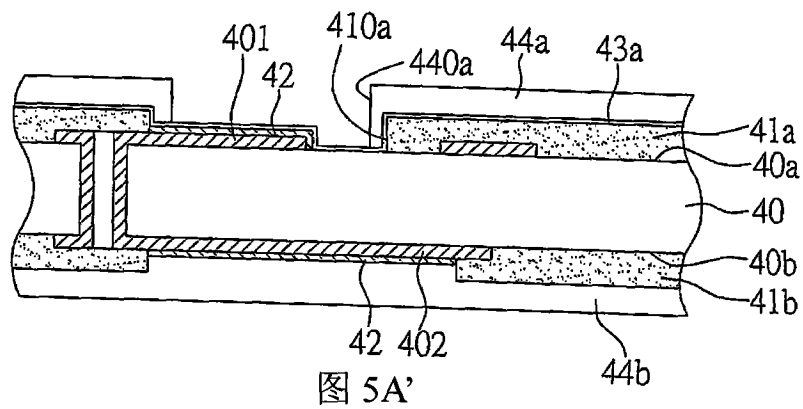


图 5A'

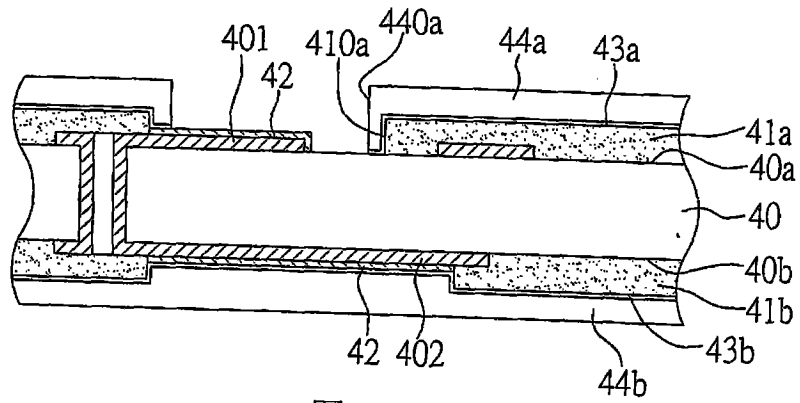
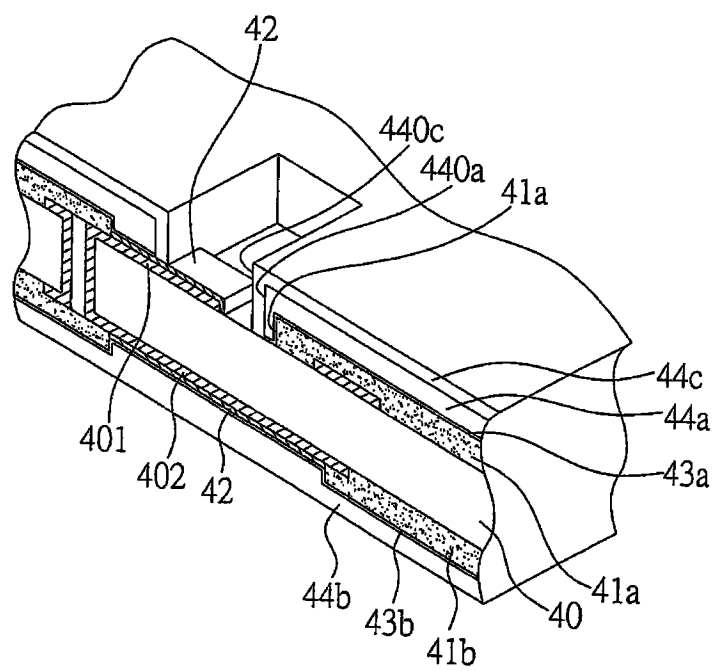
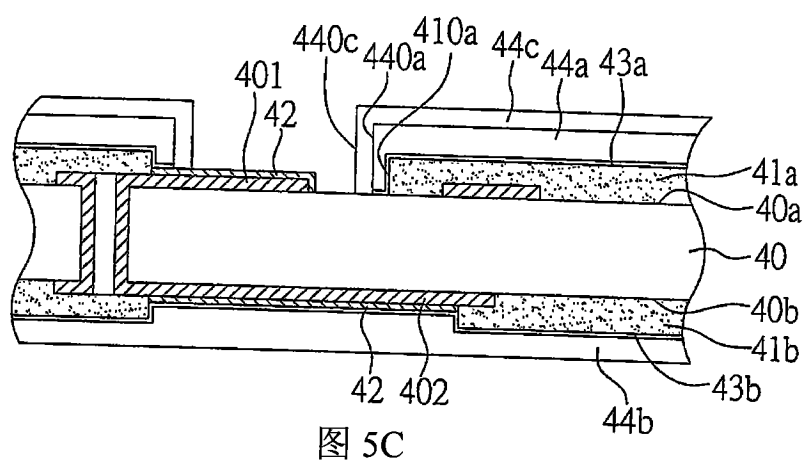


图 5B



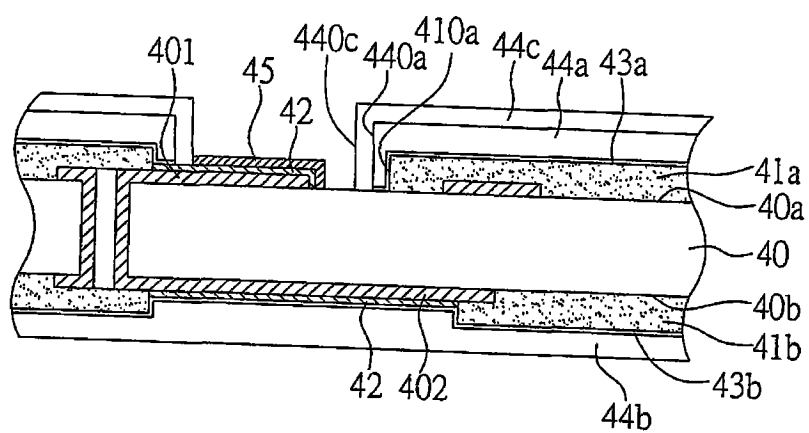


图 5D

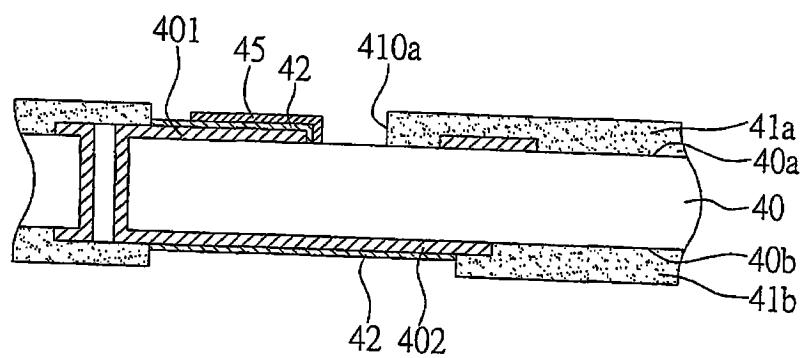
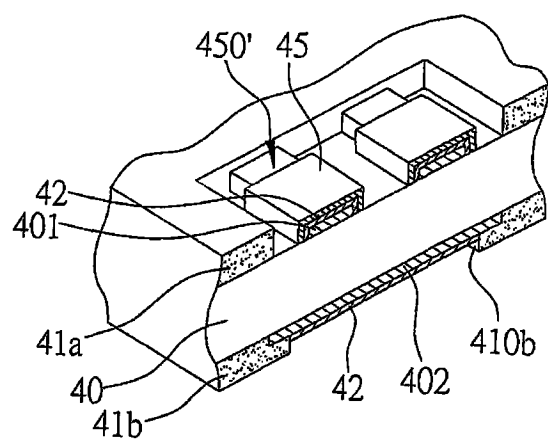
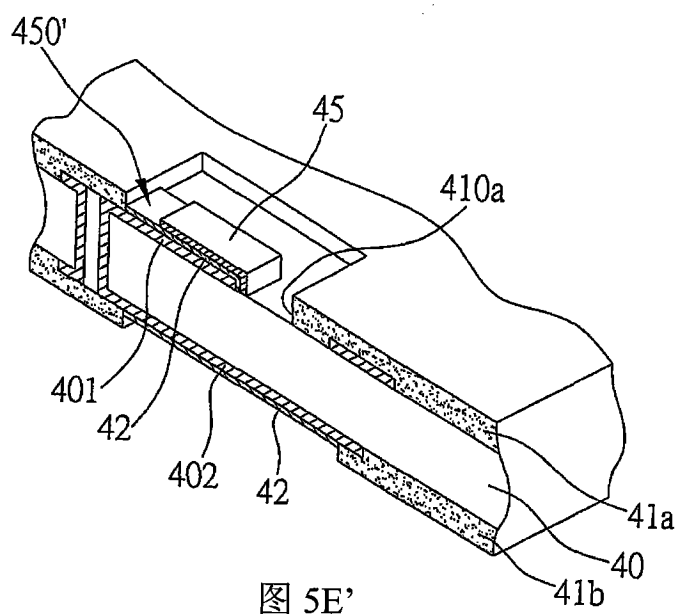


图 5E



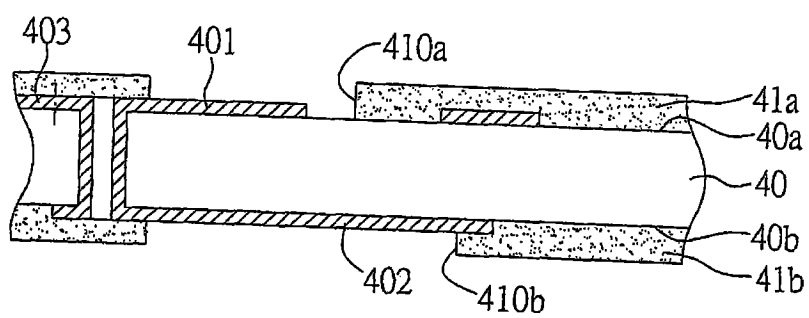


图 6A

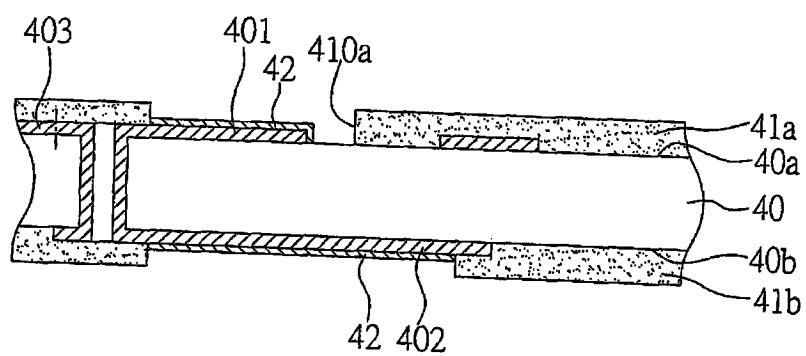


图 6B

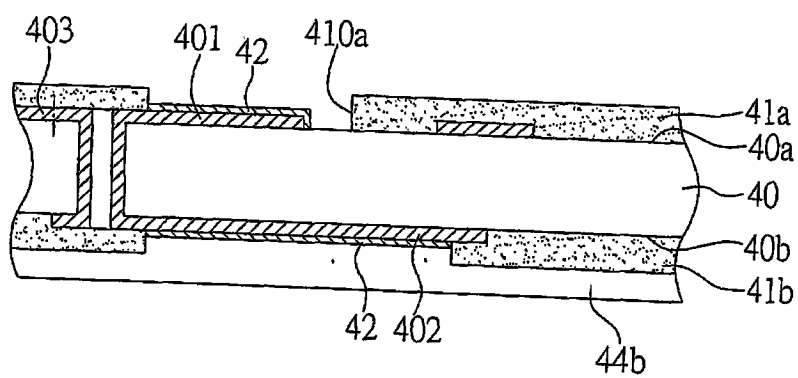


图 6C

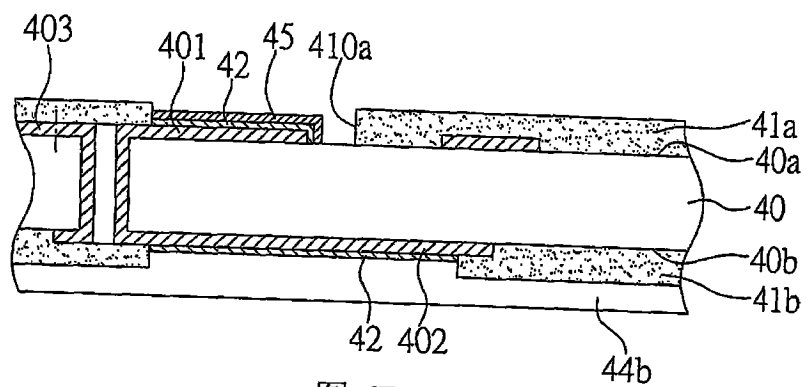


图 6D

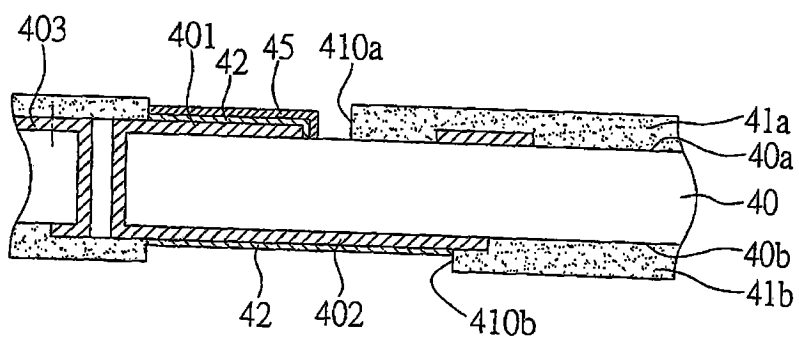


图 6E