(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月3日(03.11.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/230005 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号： PCT/JP2021/016582

(22) 国際出願日： 2021年4月26日(26.04.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 福野 研一 (**FUKUNO Kenichi**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 石橋 卓治(**ISHIBASHI Takaharu**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 東井 孝途(**TOI Takato**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

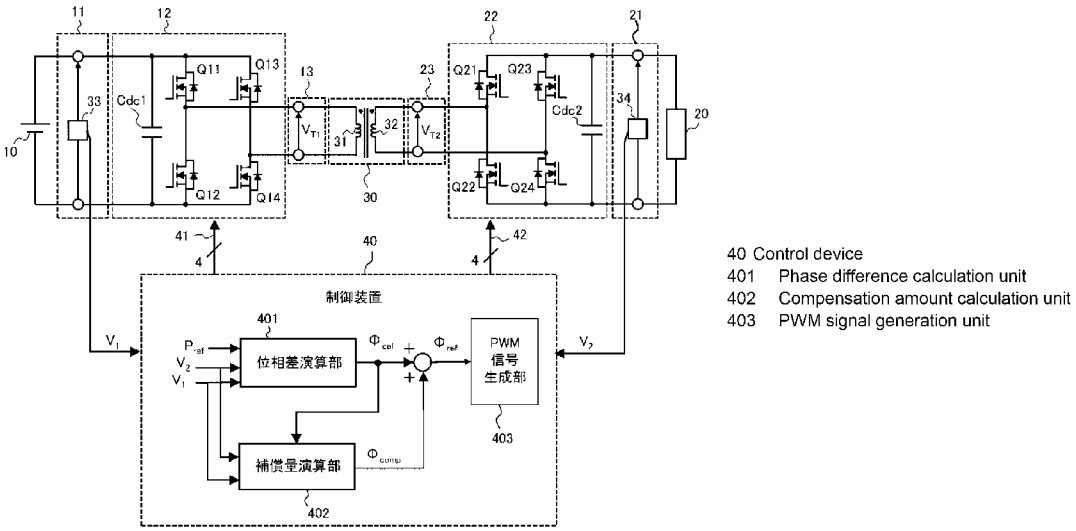
(74) 代理人:弁理士法人ぱるも特許事務所(**PALMO PATENT FIRM, P.C.**); 〒6610033 兵庫県尼崎市南武庫之荘３丁目３５番８号 Hyogo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** POWER CONVERSION DEVICE

(54) 発明の名称： 電力変換装置

［図1］



(57) **Abstract:** When a short-circuit prevention period is set in a power conversion device provided with two bridge circuits, if two types of first and second phase shift amounts are used in order to be in accordance with a power command value, control becomes complex. In order to solve this problem, this power conversion device comprises: voltage detection means (33, 34) for detecting the voltages of respective bridge circuits (12, 22); and a control device (40) for controlling the semiconductor switching elements of each of the bridge circuits (12, 22). The power conversion device also comprises: a phase difference calculation unit (401) for calculating a phase difference between the output of the first bridge circuit and the output of the second bridge circuit on the basis of the voltage values of the respective bridge circuits (12, 22) detected

WO 2022/230005 A1

［続葉有］

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

by the voltage detection means (33, 34) and the power command value; a compensation amount calculation unit (402) for calculating a compensation amount for compensating error due to the phase difference; and a PWM signal generation unit (403) for generating gate signals for the semiconductor switching elements from the calculation result of the phase difference calculation unit (401) and the calculation result of the compensation amount calculation unit (402).

(57) 要約：二つのブリッジ回路を備えた電力変換装置において、短絡防止期間が設定されている場合、電力指令値に沿わせるために、第１および第２の位相シフト量との２種類を使用すると、制御が複雑になる。これを解決するため、各ブリッジ回路（１２，２２）の電圧を検出する電圧検出手段（３３，３４）と、各ブリッジ回路（１２，２２）の半導体スイッチング素子の制御を行なう制御装置（４０）とを備え、電圧検出手段（３３，３４）によって検出された各ブリッジ回路（１２，２２）の電圧値と電力指令値とに基づいて第１ブリッジ回路の出力と第２ブリッジ回路の出力との位相差を演算する位相差演算部（４０１）と、位相差による誤差を補償する補償量を演算する補償量演算部（４０２）と、位相差演算部（４０１）の演算結果と補償量演算部（４０２）の演算結果から半導体スイッチング素子のゲート信号を生成するＰＷＭ信号生成部（４０３）を備えたものである。

明　細　書

発明の名称 ： 電力変換装置

技術分野

[0001]　本願は、電力変換装置に関するものである。

背景技術

[0002]　この電力変換装置は、絶縁型ＤＣ／ＤＣ変換器であって、特に、２つの直流端子の間で双方向に電力を伝送するＤＣ／ＤＣ変換器を対象としている。

複数の半導体スイッチング素子を備えたブリッジ回路による２台のフルブリッジ回路を、絶縁トランスの一次側と二次側とに接続された双方向絶縁型ＤＣ／ＤＣコンバータにおいて、簡易な回路構成で広い電圧範囲で電力伝送ができ、短絡防止期間に起因して昇圧動作領域にて制御性が劣化することなく、信頼性の高い出力制御が望まれている。

[0003]　このため、伝送電力と指令値とに基づいてＤＵＴＹ比を算出し、各半導体スイッチング素子を駆動制御するとともに、１つのブリッジ回路における１つの半導体スイッチング素子を第１基準素子とし、第１基準素子と対角の関係にある第１対角素子の半導体スイッチング素子との間の駆動信号の位相シフト量を第１位相シフト量とし、もう一方のブリッジ回路における１つの半導体スイッチング素子を第２基準素子とし、第２基準素子と対角の関係にある第２対角素子の半導体スイッチング素子の駆動信号と第１基準素子の駆動信号との間の位相シフト量を第２位相シフト量とし、昇圧動作をする場合にはＤＵＴＹ比に拘わらず、第２位相シフト量を第１位相シフト量よりも各フルブリッジ回路における短絡防止期間を超えて大きくなるように制御することで、昇圧動作不能を解消することが提案されている（例えば、特許文献１）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２０１６／１２５３７４号

発明の概要

発明が解決しようとする課題

[0005] 特許文献１において提案されているＤＣ／ＤＣコンバータは、一方の直流端子の直流電圧と他方の直流端子の直流電圧との関係が、トランスの巻数比とは異なっている状態での電力伝送を行うシステムに適用されることが想定される。しかし、昇圧動作または降圧動作を想定せず、一方の直流端子の直流電圧と他方の直流端子の直流電圧との関係がトランスの巻数比と等しい場合の電力伝送を行うことについては言及されてない。

[0006] また、伝送電力が小さい場合に、第１位相シフト量および第２位相シフト量を小さくして伝送電力と指令値を一致させるが、位相シフト量の下限値は各ブリッジ回路における短絡防止期間に限定されるため、第１位相シフト量および第２位相シフト量を小さくすることに限界があり、結果として指令値とは異なる大きな電力が伝送されることが考えられる。

このような場合、ＤＣ／ＤＣコンバータは制御不能な動作領域が発生することになるため、制御性能の悪化の原因となる。

[0007] 本願は、上記のような問題点を解決するためになされたものであり、一方の直流端子の直流電圧と他方の直流端子の直流電圧とトランスの巻数比とは無関係に動作を実現し、さらに、伝送電力を制御する位相シフト量が短絡防止期間の影響を受けない電力変換装置の提供を目的とする。

課題を解決するための手段

[0008] 本願に開示される電力変換装置は、トランスと、第１の半導体スイッチング素子を有し前記トランスの一次側巻線に接続され短絡防止期間が設定されている第１ブリッジ回路と、第２の半導体スイッチング素子を有し前記トランスの二次側巻線に接続され短絡防止期間が設定されている第２ブリッジ回路と、前記第１ブリッジ回路に入力される電圧を検出する第１電圧検出手段と、前記第２ブリッジ回路に入力される電圧を検出する第２電圧検出手段と、前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子の制御を行なう制御装置とを備え、前記制御装置が、前記第１電圧検出

手段によって検出された第１の電圧値と前記第２電圧検出手段によって検出された第２の電圧値と電力指令値とに基づいて前記第１ブリッジ回路の出力と前記第２ブリッジ回路の出力との位相差を演算する位相差演算部と、前記位相差演算部による演算結果と前記第１の電圧値と前記第２の電圧値とによって前記位相差に生じる誤差を補償する補償量を演算する補償量演算部と、前記位相差演算部の演算結果と前記補償量演算部の演算結果から前記第１の半導体スイッチング素子のゲート信号および前記第２の半導体スイッチング素子のゲート信号を生成するＰＷＭ信号生成部とを備えたことを特徴とするものである。

発明の効果

[0009] 本願の電力変換装置によれば、短絡防止期間の影響を受けることなく電力の指令値に沿った電力を伝送することができる。

図面の簡単な説明

[0010] [図1]実施の形態１の電力変換装置の構成図である。

[図2]実施の形態１のトランス巻線に印加される電圧と交流電流を示す波形図である。

[図3]実施の形態１の電力変換装置の充電動作の説明図である。

[図4]実施の形態１の電力変換装置の充電動作の説明図である。

[図5]実施の形態１のトランス巻線に印加される電圧と交流電流を示す波形図である。

[図6]実施の形態１の電力変換装置の充電動作を説明する図である。

[図7]実施の形態１の電力変換装置の特性図である。

[図8]実施の形態２のトランス巻線に印加される電圧と交流電流を示す波形図である。

[図9]実施の形態２の電力変換装置の充電動作を説明する図である。

[図10]実施の形態２の電力変換装置の特性図である。

[図11]実施の形態３のトランス巻線に印加される電圧と交流電流を示す波形図である。

[図12]実施の形態３の電力変換装置の特性図である。

[図13]実施の形態４の制御装置の構成を示す図である。

[図14]実施の形態４の制御装置の動作を説明するフローチャートである。

[図15]実施の形態５の電力変換装置の構成図である。

[図16]実施の形態５における制御装置の構成図である。

[図17]制御装置のハードウエア構成図である。

発明を実施するための形態

[0011] 以下に、電力変換装置の実施の形態について、図面に基づいて詳細に説明する。なお、図中同一符号は、各々同一または相当部分を示している。

実施の形態１

実施の形態１では、２台のブリッジ回路と２つの巻線を備えたトランスとを有するＤＣ／ＤＣコンバータであって、一方の直流端子からもう一方の直流端子に電力を送電する電力変換装置について説明する。

[0012] 図１は、本願の実施の形態１に係る電力変換装置の構成を示す回路図である。

図１に示すように、電力変換装置１は、直流電源１０からの直流電力を受け付ける第１直流端子１１に接続された第１ブリッジ回路１２と、第２直流端子２１の第２直流端子２１に接続された第２ブリッジ回路２２と、トランス３０とを備えている。

[0013] 第１ブリッジ回路１２は、第１直流端子１１に並列に接続された直流コンデンサＣｄｃ１と、それぞれ正極側と負極側の半導体素子としての半導体スイッチング素子Ｑ１１～Ｑ１４を直列接続してなる２つのスイッチングレグとを有している。

第２ブリッジ回路２２は、第２直流端子２１に並列に接続された直流コンデンサＣｄｃ２と、それぞれ正極側と負極側の半導体素子としての半導体スイッチング素子Ｑ２１～Ｑ２４を直列接続してなる２つのスイッチングレグとを有している。

[0014] 第１ブリッジ回路１２における各スイッチングレグの中間接続点とトラン

ス３０の一次側巻線３１とが接続され、第２ブリッジ回路２２における各スイッチングレグの中間接続点とトランス３０二次側巻線３２とが接続されている。

電力変換装置１は、第１直流端子１１の電圧Ｖ１を第１ブリッジ回路１２、トランス３０および第２ブリッジ回路２２を介して、第２直流端子２１に印加される電圧Ｖ２に変換する回路であり、双方向の電力変換が自由に制御可能である。

[0015] 第１直流端子１１の電圧Ｖ１は、第１の電圧検出手段３３によって検出される。また、第２直流端子２１の電圧Ｖ２は、第２の電圧検出手段３４によって検出される。

直流電源には、太陽光パネル（ＰＶ）あるいは蓄電池のように出力電圧が変動するものが接続されることが想定される。さらに、交流電力をＡＣ／ＤＣ変換器によって直流に変換する場合も考えられる。また、負荷２０は、蓄電池のように電圧が変動するものが接続されることが想定される。さらに、ＤＣ／ＡＣ変換器を介して接続されるモータ等の交流負荷あるいは、ＤＣ／ＤＣ変換器を介して接続されるＬＥＤなどが想定される。

[0016] 半導体スイッチング素子Ｑ１１～Ｑ２４には、例えば、ダイオードが逆並列に接続されたＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）あるいはＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）等の自己消孤機能を有した半導体スイッチング素子を用いる。各半導体スイッチング素子Ｑ１１～Ｑ２４は、電流容量に応じて複数の半導体スイッチング素子を並列に組み合わせて使用してもよい。

[0017] 制御装置４０は、電源側の第１ブリッジ回路１２および負荷側の第２ブリッジ回路２２の各半導体スイッチング素子Ｑ１１～Ｑ２４へのゲート信号４１，４２を生成して各半導体スイッチング素子Ｑ１１～Ｑ２４のスイッチングを制御する。各半導体スイッチング素子Ｑ１１～Ｑ２４のスイッチングを制御することで、第１ブリッジ回路１２はトランス３０の一次側巻線３１に

交流電圧ＶＴ１を出力し、第２ブリッジ回路２２はトランス３０の二次側巻線３２に交流電圧ＶＴ２を出力する。

[0018] この場合、第１ブリッジ回路１２および第２ブリッジ回路２２と、トランス３０との間にあるインダクタンス要素の作用により、各半導体スイッチング素子Ｑ１１～Ｑ２４はソフトスイッチングであるゼロ電圧スイッチング（ＺＶＳ）動作が可能となる。

この場合、各半導体スイッチング素子Ｑ１１～Ｑ２４がソフトスイッチングすることで、スイッチング損失が低減可能となり、動作周波数を高め、トランス３０の小型化が可能となる。

[0019] なお、ソフトスイッチングとは、スイッチング過渡期間に半導体スイッチング素子Ｑ１１～Ｑ２４に加わる電圧または電流を軽減し、スイッチング損失および電磁ノイズの低減を行う技術である。また、インダクタンス要素はトランス３０の漏れインダクタンスを利用してもよい。

[0020] また、直流キャパシタＣｄｃ１，Ｃｄｃ２には電解コンデンサあるいはフィルムコンデンサ等を用いる。直流キャパシタＣｄｃ１，Ｃｄｃ２には高周波の電流が流れるが、フィルムコンデンサを用いる場合は、高周波の電流による劣化を抑制でき長寿命化を図ることができる。

なお、図１において、矢印の向きを正としている。

図１に示すように、実施の形態１における制御装置４０は、位相差演算部４０１、補償量演算部４０２、およびＰＷＭ信号生成部４０３を備えている。

[0021] 位相差演算部４０１は、第１の電圧検出手段３３によって検出された直流電圧Ｖ１と電力指令値Ｐｒｅｆとに基づいて、第１ブリッジ回路１２がトランス３０の一次側巻線３１に出力する交流電圧ＶＴ１と、第２ブリッジ回路２２がトランス３０の二次側巻線３２に出力する交流電圧ＶＴ２との間の位相差φｃａｌを演算する。

[0022] 補償量演算部４０２は、短絡防止期間によってトランス３０の一次側巻線３１および二次側巻線３２の各々に印加される交流電圧ＶＴ１、ＶＴ２にお

ける位相差によって生じる誤差を補償するために必要な補償量を演算する。補償量の演算にあたって、第１の電圧検出手段３３によって検出された直流電圧Ｖ１および第２の電圧検出手段３４によって検出された直流電圧Ｖ２と位相差演算部４０１によって演算された結果の位相差φｃａｌから補償量φｃｏｍｐを演算する。

[0023] また、補償量演算部４０２は、第１の電圧検出手段３３によって検出された直流電圧Ｖ１および第２の電圧検出手段３４によって検出された直流電圧Ｖ２と、位相差演算部４０１で演算された位相差から第１ブリッジ回路１２および第２ブリッジ回路２２の各々における半導体スイッチング素子Ｑ１１～Ｑ２４がターンオンする直前の電流を演算し、この演算した電流から第１ブリッジ回路１２および第２ブリッジ回路２２において、ＺＶＳ動作が達成できているか否かを判定している。

[0024] 補償量演算部４０２は、第１ブリッジ回路１２および第２ブリッジ回路２２の内、負荷側のブリッジ回路でＺＶＳ動作が達成できていない場合には、短絡防止期間に相当する位相量を位相差演算部４０１で演算した位相差に対して逆極性で出力する。また、第１ブリッジ回路１２および第２ブリッジ回路２２の内、電源側のブリッジ回路でＺＶＳ動作が達成できていない場合には、短絡防止期間に相当する位相量を位相差演算部４０１で演算した位相差に対して同極性で出力する。

[0025] ＰＷＭ信号生成部４０３は、位相差演算部４０１で演算した位相差φｃａｌと補償量演算部４０２で演算した補償量φｃｏｍｐとを合算した位相差を位相差指令値φｒｅｆとして、この位相差指令値φｒｅｆに基づいて、半導体スイッチング素子Ｑ１１～Ｑ２４のゲート信号４１，４２を生成する。

[0026] 図２に、実施の形態１における半導体スイッチング素子Ｑ１１～Ｑ２４のゲート信号をａ１、ａ２に示し、第１ブリッジ回路１２および第２ブリッジ回路２２からトランス３０の一次側巻線３１および二次側巻線３２に出力される交流電圧ＶＴ１，ＶＴ２の波形をｂ１、ｂ２に示し、交流電流ＩＬの波形をｃに示す。なお、図２において、φｔｄは、短絡防止期間であり、φｒ

ｅｆは、制御装置４０内で生成される位相差指令値、φは、実際の交流電圧ＶＴ１およびＶＴ２間にある位相差である。

[0027] トランス３０を小型化するために、各半導体スイッチング素子Ｑ１１～Ｑ２４の動作周波数を高周波化（例えば６１Ｈｚ以上）を行った場合、トランス３０の損失が増加するが、アモルファス（非晶質）材、あるいは珪素の含有量が６．５％の珪素鋼板、または、板厚が０．１ｍｍ程度の珪素鋼板を鉄心材料とすることで高周波化による損失増加を抑制できる。

[0028] 図２に示すように、第１ブリッジ回路１２が出力する交流電圧ＶＴ１と第２ブリッジ回路２２が出力する交流電圧ＶＴ２との間には位相差φが存在している。図１の電力変換装置１においては、位相差φを制御することで、送電する電力を制御しており、位相差が進んでいる側から位相差が遅れている側に送電される。

[0029] 例えば、図２の場合では、交流電圧ＶＴ１の位相が交流電圧Ｖｔ２に対して進んでいるので、電源側の第１ブリッジ回路１２から負荷側の第２ブリッジ回路２２に送電されることになり、直流電源１０から負荷２０に送電される電力Ｐは、次の式（１）によって求めることができる。

[数1]

数１

$$\mathrm{P}=\frac{V_1V_2}{2\pi f_{\mathrm{SW}}L}\phi\left(1-\frac{\phi}{\pi}\right) \qquad (1)$$

[0030] なお、式（１）において、ｆＳＷは、半導体スイッチング素子Ｑ１１～Ｑ２４のスイッチング周波数であり、Ｌは、一次側巻線３１および二次側巻線３２間の漏れインダクタンスを含み交流電流が通過する電流経路に含まれるすべてのインダクタンス要素の合計値である。なお、一般的には、このインダクタンス要素において、配線のインダクタンスおよび半導体スイッチング素子に含まれる寄生インダクタンスは無視される。主に、トランス３０に直列に接続されるインダクタンスのことを指す。

また、Ｖ２はトランス３０の一次側巻線３１から見た値に換算されている電

圧値である。

[0031] さらに、負荷２０に電力Ｐを送電することに伴う、第１ブリッジ回路１２および第２ブリッジ回路２２内の交流電流ＩＬについて、各変化点の交流電流ＩＬ０，ＩＬ１，ＩＬ２は以下の式（２）、（３）、（４）によって計算できる。

[数2]

数２

$$I_{L0} = \frac{1}{2}[(A-B)\phi + B(\pi - \phi)] \qquad (2)$$

[数3]

数３

$$I_{L1} = I_{L0} + A\phi \qquad (3)$$

[数4]

数４

$$I_{L2} = I_{L1} + B(\pi - \phi) \qquad (4)$$

[0032] ただし、式（２）から（４）において、Ａ，Ｂは、式（５）によって導かれる。

[数5]

数５

$$A = \frac{V_1+V_2}{2\pi f_{sw}L},\ B = \frac{V_1-V_2}{2\pi f_{sw}L} \qquad (5)$$

[0033] また、電力を制御する位相差φは、制御装置４０における位相差演算部４０１にて、式（１）を変形することで次の式（６）のように求めることができる。

[数6]

数６

$$\phi_{cal} = \frac{\pi}{2} - \sqrt{\left(\frac{\pi}{2}\right)^2 - \frac{2\pi^2 f_{sw} LP}{V_1 V_2}} \qquad (6)$$

[0034] また、式（１）から位相差φを近似的に以下の式（７）のように求めることもできる。

[数7]

数７

$$\phi_{cal} = \frac{2\pi f_{sw} LP}{V_1 V_2} \qquad (7)$$

[0035] 式（７）のように簡易的に位相差φを算出することで位相差演算部４０１の計算負荷を低減することが可能になり、制御装置４０をより安価に構成することができる。ここで、制御装置４０において補償量演算部４０２がない場合には、位相差演算部４０１の検算結果φｃａｌが位相差指令値φｒｅｆとしてＰＷＭ信号生成部４０３に入力され、ゲート信号４１，４２がＰＷＭ信号生成部４０３にて各々生成される。

[0036] 図３に第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前の半導体スイッチング素子Ｑ１１～Ｑ２４の状態と交流電流ＩＬを示す。なお、図３において、破線で示す半導体スイッチング素子Ｑ１１，Ｑ１２，Ｑ１３，Ｑ１４，Ｑ２１，Ｑ２４は、オフ状態または、電流が導通していない素子であることを示しており、実線で示す半導体スイッチング素子Ｑ２２，Ｑ２３は、オン状態または、電流が導通している素子であることを示している。

[0037] また、図３は、半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前の状態であることから、第１ブリッジ回路１２では、すべての半導体スイッチング素子Ｑ１１～Ｑ１４がオフ状態となっている短絡防止期間の間である。

[0038] 図３に示すように、第１ブリッジ回路１２では、短絡防止期間の間、半導体スイッチング素子Ｑ１１，Ｑ１４に逆並列に接続されるダイオードが導通している状態であり、半導体スイッチング素子Ｑ１１，Ｑ１４に印加される電圧はゼロとなっている。この時に半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンするとＺＶＳ動作となる。

[0039] したがって、第１ブリッジ回路１２内でＺＶＳ動作を実現するためには、各半導体スイッチング素子Ｑ１１～Ｑ１４がターンオンする直前の電流が負の値である必要があることから、交流電流ＩＬ０＜０となっていることが条件となる。また、第１ブリッジ回路１２において短絡防止期間の開始直前では、半導体スイッチング素子Ｑ１２，Ｑ１３がターンオフし、短絡防止期間の開始とともに、半導体スイッチング素子Ｑ１１，Ｑ１４に逆並列に接続されたダイオードが導通している状態であることから第１交流端子１３の交流電圧ＶＴ１は極性が負から正に切替わる。

[0040] 図４に、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前の半導体スイッチング素子Ｑ１１～Ｑ２４の状態と交流電流ＩＬを示す。なお、図４において、破線で示す半導体スイッチング素子Ｑ１２，Ｑ１３、Ｑ２１，Ｑ２２，Ｑ２３，Ｑ２４は、オフ状態または、電流が導通していない素子であることを示しており、実線で示す半導体スイッチング素子Ｑ１１，Ｑ１４は、オン状態または、電流が導通している素子であることを示している。また、図４は、半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前の状態であることから、第２ブリッジ回路２２では、すべての半導体スイッチング素子Ｑ２１～Ｑ２４がオフ状態となっている短絡防止期間の間である。

[0041] 図４に示すように、第２ブリッジ回路２２では、短絡防止期間の間、半導体スイッチング素子Ｑ２１，Ｑ２４に逆並列に接続されるダイオードが導通している状態であり、半導体スイッチング素子Ｑ２１，Ｑ２４に印加される電圧はゼロとなっている。この時に半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンするとＺＶＳ動作となる。

[0042] したがって、第２ブリッジ回路２２でＺＶＳ動作を実現するためには、各半導体スイッチング素子Ｑ２１～Ｑ２４がターンオフする直前の電流が正の値である必要があることから、交流電流ＩＬ１＞０となっていることが条件となる。また、第２ブリッジ回路２２において、短絡防止期間の開始直前では、半導体スイッチング素子Ｑ２２，Ｑ２３がターンオフし、短絡防止期間の開始とともに、半導体スイッチング素子Ｑ２１，Ｑ２４に逆並列に接続されるダイオードが導通している状態であることから第２交流端子２３の電圧ＶＴ２は極性が負から正に切替わる。

[0043] 第２ブリッジ回路２２における半導体スイッチＱ２１～Ｑ２４のゲート信号４２は、第１ブリッジ回路１２における半導体スイッチＱ１１～Ｑ１４のゲート信号４１に対して、位相差演算部４０１で演算された位相差分φｃａｌ（＝φｒｅｆ）だけ遅れることになる。このように、第１ブリッジ回路１２および第２ブリッジ回路２２における半導体スイッチング素子Ｑ１１～Ｑ２４のターンオフに伴い交流電圧ＶＴ１，ＶＴ２の極性が切替わっていることから、交流電圧ＶＴ１，ＶＴ２の位相差もφｃａｌとなる。

[0044] 次に、図５に、第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に比べて大きくなっている場合の各半導体スイッチング素子Ｑ１１～Ｑ２４のゲート信号をａ１，ａ２に示し、第１ブリッジ回路１２および第２ブリッジ回路２２からトランス３０の一次側巻線３１および二次側巻線３２に出力される交流電圧ＶＴ１，ＶＴ２の波形をｂ１、ｂ２に示し、交流電流ＩＬの波形をｃに示す。

[0045] 図５に示すように、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする瞬間の交流電流ＩＬ０が負の値となっていることから、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前の状態は、図３と同様になるため、第１ブリッジ回路１２では、ＺＶＳ動作が実現できている。しかし、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする瞬間の交流電流ＩＬ１が負の値となっており、第２ブリッジ回路２２におけ

る半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前の状態は、図４とは異なっていることになる。

[0046] 図６に第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に比べて大きくなっている場合における第２ブリッジ回路２２の半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前の半導体スイッチング素子Ｑ１１～Ｑ２４の状態と交流電流ＩＬを示す。なお、図６において、破線で示す半導体スイッチング素子はオフ状態または、電流が導通していない素子であることを示しており、実線で示す半導体スイッチング素子はオン状態または、電流が導通している素子であることを示している。

[0047] 図６に示すように、交流電流ＩＬが負の値であるため半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前でも、交流電流は、半導体スイッチング素子Ｑ２２，Ｑ２３に逆並列に接続されるダイオードを通過している。この状態では、交流電圧ＶＴ２の極性は負のままを維持しており、短絡防止期間が終了すると半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンするので、交流電圧ＶＴ２の極性は正に切り替わる。

[0048] このとき、半導体スイッチング素子Ｑ２２，Ｑ２３に逆並列に接続されるダイオードが、導通している状態で半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンするため、半導体スイッチング素子Ｑ２２，Ｑ２３に逆並列に接続されるダイオードでリカバリが発生する。

さらに、短絡防止期間が終了するまで、電圧の極性が切替わらないため、交流電圧ＶＴ１，ＶＴ２の間の位相差φは位相差演算部４０１で演算した位相差φｃａｌに対して、短絡防止期間φｔｄ分だけ大きくなることになるため、伝送する電力に誤差が生じることになる。

[0049] つまり、第２ブリッジ回路２２側でＺＶＳ動作が達成できなければ、交流電圧ＶＴ１，ＶＴ２の間の位相差φで短絡防止期間φｔｄ分だけ誤差を含むことになる。

そこで、制御装置４０では、補償量演算部４０２で位相差φに生じる誤差φｔｄを補償する補償位相差φｃｏｍｐを算出し、それを位相差演算部４０

１で演算した位相差φｃａｌに加算する。その後、補償位相差φｃｏｍｐが加算された位相差指令値φｒｅｆを演算し、ＰＷＭ信号生成部に入力して、ゲート信号４１，４２を得ることで、指令値と一致した電力Ｐを負荷２０に伝送する。

[0050] より具体的には、位相差演算部４０１では、第１直流端子１１の電圧Ｖ１と第２直流端子２１の電圧Ｖ２と電力変換装置１で伝送する電力の指令値Ｐを式（６）または式（７）に代入することで位相差φｃａｌを得る。ここで、位相差演算部４０１では、位相差の演算に検出した第１直流端子１１の電圧Ｖ１と検出した第２直流端子２１の電圧Ｖ２とを使用する。なお、式（６）または式（７）の演算にはスイッチング周波数ｆｓｗとインダクタンス要素Ｌとが使用されるが、この値は電力変換装置１の設計時に決定される値であり、制御装置４０には設計値があらかじめ入力されている。

[0051] 一方で、補償量演算部４０２では、位相差演算部４０１の出力である位相差φｃａｌと検出した第１直流端子１１の電圧Ｖ１と検出した第２直流端子２１の電圧Ｖ２を式（２）および式（５）に代入し、交流電流ＩＬ０を演算する。さらに、演算した交流電流ＩＬ０と位相差φｃａｌと検出した第１直流端子１１の電圧Ｖ１と検出した第２直流端子２１の電圧Ｖ２を式（３）および式（５）に代入することで、交流電流ＩＬ１を算出する。

[0052] このとき、前述したように、交流電流ＩＬ１＞０であれば、第２ブリッジ回路２２においてＺＶＳ動作が成立しており、短絡防止期間に伴う位相差の誤差φｔｄは生じない。したがって、補償量演算部４０２では、交流電流ＩＬ１＞０であれば補償位相差φｃｏｍｐ＝０を出力し、交流電流ＩＬ１＜０であれば、補償位相差φｃｏｍｐ＝－φｔｄを出力する。

[0053] 制御装置４０では、位相差演算部４０１の出力φｃａｌに補償量演算部４０２の出力の補償位相差φｃｏｍｐを加算して位相差指令値φｒｅｆを算出することから、位相差指令値φｒｅｆはφｒｅｆ＝φｃａｌ－φｔｄとなり短絡防止期間によって発生した位相差の誤差を補償することができる。

[0054] 図７に、シミュレーションにより実施した、補償量演算部４０２による補

償量φｃｏｍｐの有無の比較を示す。図７に示すように、補償量演算部４０２による補償量φｃｏｍｐの効果により、電力変換装置１から出力される電力が電力指令値とよく一致していることが確認できる。

このような構成とすることで、電力制御を複雑化させることなく直流電源１０の出力電圧が変動した場合および負荷２０の電圧が変動した場合でも、負荷２０に伝送する電力に誤差が
生じなくなり制御精度の高い電力変換装置１を実現することができる。

[0055] 実施の形態２.

実施の形態１では、第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に対して大きくなった場合について説明を行った。実施の形態２では、第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に対して小さくなった場合について説明する。

[0056] 図８に、第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に比べて大きくなっている場合の各半導体スイッチング素子Ｑ１１～Ｑ２４のゲート信号をａ１、ａ２に示し、第１ブリッジ回路１２および第２ブリッジ回路２２からトランス３０の一次側巻線３１および二次側巻線３２に出力される交流電圧ＶＴ１，ＶＴ２の波形をｂ１、ｂ２に示し、交流電流ＩＬの波形をｃに示す。

[0057] 図８に示すように、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする瞬間の交流電流ＩＬ１が正の値となっていることから、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前の状態は、図４と同様になるため、第２ブリッジ回路２２では、ＺＶＳ動作が実現できている。しかし、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする瞬間の電流ＩＬ０が正の値となっており、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前の状態は、図３とは異なっていることになる。

[0058] 図９に第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に比べ

て小さくなっている場合における第１ブリッジ回路１２の半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前の半導体スイッチング素子Ｑ１１～Ｑ２４の状態と交流電流ＩＬを示す。なお、図９において、破線で示す半導体スイッチング素子はオフ状態または、電流が導通していない素子であることを示しており、実線で示す半導体スイッチング素子はオン状態または、電流が導通している素子であることを示している。

[0059] 図９に示すように、交流電流ＩＬが正の値であるため半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前でも、電流は、半導体スイッチング素子Ｑ１２，Ｑ１３に逆並列に接続されるダイオードを通過している。この状態では、交流電圧ＶＴ１の極性は負のままを維持しており、短絡防止期間が終了すると半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンするので、交流電圧ＶＴ１の極性は正に切り替わる。このとき、半導体スイッチング素子Ｑ１２，Ｑ１３に逆並列に接続されるダイオードが、導通している状態で半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンするため、半導体スイッチング素子Ｑ１２，Ｑ１３に逆並列に接続されるダイオードでリカバリが発生する。

[0060] さらに、短絡防止期間が終了するまで、電圧の極性が切替わらないため、交流電圧ＶＴ１，ＶＴ２の間の位相差φは位相差演算部４０１で演算した位相差φｃａｌに対して、短絡防止期間φｔｄ分だけ小さくなることになり、伝送する電力に誤差が生じることになる。

つまり、第１ブリッジ回路１２側でＺＶＳ動作が達成できなければ、交流電圧ＶＴ１，ＶＴ２の間の位相差φで短絡防止期間φｔｄ分だけ誤差を含むことになる。

[0061] そこで、制御装置４０では、補償量演算部４０２で位相差φに生じる誤差φｔｄを補償する位相差φｃｏｍｐを算出し、それを位相差演算部４０１で演算した位相差φｃａｌに加算する。その後、位相差φｃｏｍｐが加算された位相差指令値φｒｅｆを演算し、ＰＷＭ信号生成部に入力して、ゲート信号４１，４２を得ることで、指令値と一致した電力Ｐを負荷２０に伝送する

。

[0062] より具体的には、位相差演算部４０１では、第１直流端子１１の電圧Ｖ１と第２直流端子２１の電圧Ｖ２と電力変換装置１で伝送する電力の指令値Ｐを式（６）または式（７）に代入することで位相差φｃａｌを得る。ここで、位相差演算部４０１では、位相差の演算に検出した第１直流端子１１の電圧Ｖ１と検出した第２直流端子２１の電圧Ｖ２とを使用する。

なお、式（６）または式（７）の演算にはスイッチング周波数ｆｓｗとインダクタンス要素Ｌが使用されるが、この値は電力変換装置１の設計時に決定される値であり、制御装置４０には設計値があらかじめ入力されている。

[0063] 一方で、補償量演算部４０２では、位相差演算部４０１の出力である位相差φｃａｌと検出した第１直流端子１１の電圧Ｖ１と検出した第２直流端子２１の電圧Ｖ２とを式（２）および式（５）に代入し、交流電流ＩＬ０を演算する。前述したように、交流電流ＩＬ０＜０であれば、第１ブリッジ回路１２においてＺＶＳ動作が成立しており、短絡防止期間に伴う位相差の誤差φｔｄは生じない。したがって、補償量演算部４０２では、交流電流ＩＬ０＜０であれば補償位相差φｃｏｍｐ＝０を出力し、交流電流ＩＬ０＞０であれば、補償位相差φｃｏｍｐ＝φｔｄを出力する。

[0064] 制御装置４０では、位相差演算部４０１の出力φｃａｌに補償量演算部４０２の出力の補償位相差φｃｏｍｐを加算して位相差指令値φｒｅｆを算出することから、位相差指令値φｒｅｆは、位相差指令値φｒｅｆ＝φｃａｌ＋φｔｄとなり、短絡防止期間によって発生した位相差の誤差を補償することができる。

[0065] 図１０に、シミュレーションにより実施した補償量演算部４０２による補償量φｃｏｍｐの有無の比較を示す。図１１に示すように、補償量演算部４０２による補償量φｃｏｍｐの効果により、電力変換装置１から出力される電力が電力指令値とよく一致していることが確認できる。

このような構成とすることで、電力制御を複雑化させることなく直流電源１０の出力電圧が変動した場合および負荷２０の電圧が変動した場合でも、

負荷２０に伝送する電力に誤差が生じなくなり制御精度の高い電力変換装置１を実現することができる。

[0066] なお、このような動作状況下において、第２側ブリッジ回路でＺＶＳ動作が達成されない場合、前述のように、短絡防止期間φｔｄの影響により位相差φはφｔｄだけ大きくなる。したがって、第１ブリッジ回路１２のＺＶＳ動作が達成されないことにより位相差φが短絡防止期間φｔｄ分だけ短くなり、第２ブリッジ回路２２におけるＺＶＳ動作が達成されないことにより位相差φが短絡防止期間φｔｄ分だけ長くなることになる。

この場合、影響を打ち消し合うことから、短絡防止期間φｔｄの影響はなくなるため、補償量演算部４０２の出力φｃｏｍｐの出力はφｃｏｍｐ＝０となる。

[0067] 実施の形態３．

実施の形態２では、第１直流端子１１の電圧Ｖ１が第２直流端子２１の電圧Ｖ２に対して小さくなった場合について説明した。実施の形態３では、電力変換装置１が負荷２０に伝送する電力が小さい場合について説明を行う。

図１１に、第１直流端子１１から第２直流端子２１に送電される電力が小さい場合の各半導体スイッチング素子～Ｑ２４のゲート信号をａ１、ａ２に示し、第１ブリッジ回路１２および第２ブリッジ回路２２からトランス３０の一次側巻線３１および二次側巻線３２に出力される交流電圧ＶＴ１，ＶＴ２の波形をｂ１、ｂ２に示し、交流電流ＩＬの波形をｃに示す。

[0068] 図１１に示すように、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする瞬間の交流電流ＩＬ０が負の値となっていることから、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４がターンオンする直前の状態は、図４と同様になる。一方で、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする瞬間の交流電流ＩＬ１が正の値となっていることから、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４がターンオンする直前の状態は、図４と同様になる。

したがって、この場合は第１ブリッジ回路１２および第２ブリッジ回路２２においてＺＶＳ動作が達成されていることになり、交流電圧ＶＴ１，ＶＴ２の間の位相差には誤差が生じないことになる。

[0069] しかし、図１１に示すように交流電流ＩＬには、極性が切替わる際にゼロとなっている期間φＺが存在しており、この期間は電力の伝送に寄与しないため、位相差φは指令値φｒｅｆから期間φＺだけ小さくなり、結果として、負荷２０へ伝送する電力に誤差が生じることになる。また、この期間は第１ブリッジ回路１２の短絡防止期間中に発生しており、交流ＩＬがゼロとなっているので、交流電圧ＶＴ１の極性は交流電圧ＶＴ２と一致することになる。

[0070] この期間φＺは交流電流ＩＬがＩＬ０の瞬間からＩＬ１になる瞬間までに発生する。したがって、交流電流ＩＬがＩＬ０の瞬間からＩＬ１になるまでの期間に交流電流ＩＬ＝０となる瞬間の位相をφ０とすると、式（２）および式（５）から、式（８）の関係が成立することになる。

[数8]

数８

$$I_{L0} + A\phi_0 = 0 \qquad (8)$$

[0071] ここで、式（８）を変形することで交流電流ＩＬ＝０となる瞬間の位相φ０を、式（９）に示すように得ることができる。

[数9]

数９

$$\phi_0 = -\frac{I_{L0}}{A} \qquad (9)$$

[0072] 図１１に示すように、交流電圧ＶＴ１の極性が切替わり交流電流ＩＬ０からＩＬ１に変化する過程において、期間φ０経過後に交流電流ＩＬがゼロになる期間φＺが開始される。

その後、第１ブリッジ回路１２の短絡防止期間φｔｄが終了すると交流電圧ＶＴ１の極性が期間φＺ開始前の極性に戻ることを踏まえると、電力の伝送に寄与しない期間φＺは、次の式（１０）で求めることができる。

[数10]

数１０

$$\phi_Z = \phi_{td} - \phi_0 \qquad (10)$$

[0073] したがって、制御装置４０では、位相差演算部４０１において、第１直流端子１１の電圧Ｖ１と第２直流端子２１の電圧Ｖ２と電力変換装置１で伝送する電力の指令値Ｐを式（６）または式（７）に代入することで位相差φｃａｌを演算して出力し、補償量演算部４０２で式（１０）により補償位相差φｃｏｍｐを演算して出力後に、位相差φｃａｌに加算することで、負荷２０へ伝送する電力に誤差を生じさせない位相差指令値φｒｅｆを得ることできる。なお、式（１０）において、期間φＺ＞０の場合に、交流電流ＩＬ＝０の期間が発生し電力に誤差を生じさせることから、期間φＺ＜０の場合については、補償量演算部４０２の出力はφｃｏｍｐ＝０となる。

[0074] このような構成とすることで、電力制御を複雑化させることなく直流電源１０の出力電圧が変動した場合および負荷２０の電圧が変動した場合でも、負荷２０に伝送する電力に誤差が生じなくなり制御精度の高い電力変換装置１を実現することができる。

[0075] 図１２に、シミュレーションにより実施した、補償量演算部４０２による補償量φｃｏｍｐの有無の比較を示す。図１２に示すように、電力指令値が小さい場合において、補償量演算部４０２による補償量φｃｏｍｐの効果により、電力変換装置１から出力される電力が電力指令値とよく一致していることが確認できる。

このような構成とすることで、負荷２０に伝送する電力に誤差が生じなくなり制御精度の高い電力変換装置１を実現することができる。

[0076] 実施の形態４．

実施の形態３では、電力変換装置１が負荷２０に伝送する電力が小さい場合について説明を行った。しかし実際には、負荷２０の状態は常に変化しており、また直流電源１０の状態も常に変化している。したがって、状態に合わせて補償量演算部４０２は位相差の補償量φｃｏｍｐを出力する必要がある。実施の形態４では、負荷２０および直流電源１０の状態に合わせて補償量演算部４０２にて位相差の補償量φｃｏｍｐを演算する制御装置４０の構成について説明する。

[0077] 実施の形態４にかかる制御装置４０の構成を図１３に示す。実施の形態４における制御装置４０は、実施の形態１～３の制御装置４０に対して、第１直流端子１１の電圧Ｖ１の検出値と第２直流端子２１の電圧Ｖ２の検出値と位相差演算部４０１の出力から、電流ＩＬ０とＩＬ１と位相φ０を算出するスイッチング時電流および電流ゼロ時位相演算部４０４と、このスイッチング時電流および電流ゼロ時位相演算部４０４の演算結果から第１ブリッジ回路１２および第２ブリッジ回路２２におけるＺＶＳ動作の判定を行うＺＶＳ動作判定部４０５と、交流電流ＩＬがゼロとなる期間が発生するか否かを判定する電流ゼロ期間判定部４０６とを追加で備える。

[0078] スイッチング時電流および電流ゼロ時位相演算部４０４とスイッチング時電流および電流ゼロ時位相演算部４０４とにおいて、式（２）、式（３）、式（５）を使用して電流ＩＬ０とＩＬ１を算出するほか、式（８）および式（９）を使用して位相φ０を算出する。その後、電流ＩＬ０とＩＬ１をＺＶＳ動作判定部４０５に入力し、ＩＬ０＜０であれば第１ブリッジ回路１２でＺＶＳ動作が達成されていると判定し、同様に、ＩＬ１＞０であれば第２ブリッジ回路２２においてＺＶＳ動作が達成されていると判定する。

[0079] これらの判定結果は、補償量演算部４０２に送信される。また、電流ゼロ期間判定部４０６では、位相φ０を受信し、短絡防止期間φｔｄと比較し、φ０＜φｔｄであれば交流電流ＩＬがゼロになる期間φＺが発生していると判定し、φ０＞φｔｄであれば交流電流ＩＬがゼロになる期間φＺが発生し

ないと判定する。この判定結果は、補償量演算部４０２に送信される。

[0080] ＺＶＳ動作判定部４０５および電流ゼロ期間判定部４０６の判定結果を受信した補償量演算部４０２では、判定結果に基づき位相差の補償量φｃｏｍｐが算出される。例えば、ＺＶＳ動作判定部４０５において、ＩＬ０＞０、ＩＬ１＞０となった場合、第１ブリッジ回路１２でＺＶＳ動作が達成されておらず第２ブリッジ回路２２におけるＺＶＳ動作は達成されているという判定結果が補償量演算部４０２に送信される。

[0081] このような場合では、ＩＬ０からＩＬ１に変化する過程で電流の極性反転が発生しないため、交流電流ＩＬがゼロになる期間は発生しないことから、電流ゼロ期間判定部４０６ではφ０＞φｔｄとなり、交流電流ＩＬがゼロになる期間φＺが発生しないと判定される。

これらの結果を受けて補償量演算部４０２では、補償位相差φｃｏｍｐ＝＋φｔｄを出力する。

[0082] 図１４に、制御装置４０のフローチャートを示す。

制御装置４０では、まず、スイッチング時電流および電流ゼロ時位相演算部４０４で第１直流端子１１の電圧Ｖ１の検出値と第２直流端子２１の電圧Ｖ２検出値と電力指令Ｐｒｅｆとスイッチング周波数ｆｓｗとインダクタンス要素のインダクタンスＬから電流ＩＬ０とＩＬ１を算出するとともに、位相差演算部４０１にて位相差φｃａｌを算出する（ステップＳ１）。

[0083] 次に、ＺＶＳ動作判定部４０５ではＩＬ０の極性から第１ブリッジ回路１２でＺＶＳ動作が達成されているかを判定する（ステップＳ２）。この時、第１ブリッジ回路１２でＺＶＳ動作が達成されている場合（ＩＬ０＜０）のとき（ＹＥＳ）はステップＳ３Ａに進み、第１ブリッジ回路１２でＺＶＳ動作が達成されていない場合（ＩＬ０＞０）のとき（ＮＯ）はステップＳ３Ｂに進む。

[0084] 次に、ステップＳ３Ａでは、ＺＶＳ動作判定部４０５にてＩＬ１の極性から第２ブリッジ回路２２でＺＶＳ動作が達成されているかを判定し、第２ブリッジ回路２２でＺＶＳ動作が達成されていれば（ＹＥＳ）、ステップＳ４

に進む。一方で、第２ブリッジ回路２２でＺＶＳ動作が達成されていなければ（ＮＯ）、補償量演算部４０２でφｃｏｍｐ＝－φｔｄと算出する（ステップＳ５）。

[0085] 同様に、ステップＳ３Ｂでも、ＺＶＳ動作判定部４０５にてＩＬ１の極性から第２ブリッジ回路２２でＺＶＳ動作が達成されているかを判定し、第２ブリッジ回路２２でＺＶＳ動作が達成されていれば（ＹＥＳ）、補償量演算部４０２でφｃｏｍｐ＝φｔｄと算出し（ステップＳ５）、第２ブリッジ回路２２でＺＶＳ動作が達成されていなければ（ＮＯ）、補償量演算部４０２でφｃｏｍｐ＝０と算出する（ステップＳ５）。

[0086] 次に、ステップＳ４では、電流ゼロ期間判定部４０６にて交流電流ＩＬがゼロになる期間の有無を判定する。ゼロになる期間がない場合（ＹＥＳ）は、補償量演算部４０２でφｃｏｍｐ＝０と算出し（ステップＳ５）、ゼロになる期間がない場合（ＮＯ）は、補償量演算部４０２でφｃｏｍｐ＝φＺと算出する（ステップＳ５）。

[0087] 次に、ステップＳ６で位相差φｃａｌに対して補償量演算部４０２で算出した補償量φｃｏｍｐを加算することで位相差指令値φｒｅｆを算出する。

次に、位相差指令値φｒｅｆをＰＷＭ信号生成部４０３に入力し、ゲート信号４１，４２を生成する（ステップＳ７）。

以降、電力変換装置１が動作している限りステップＳ１～Ｓ７が繰り返される。

[0088] このような構成とすることで、電力制御を複雑化させることなく第１直流端子１１の電圧Ｖ１、第２直流端子２１の電圧Ｖ２または、送電電力の指令値Ｐｒｅｆが変化した場合については、短絡防止期間の影響を受けることなく制御精度の高い電力変換装置を実現することができるようになる。

[0089] 実施の形態５．

これまでは、交流電流ＩＬを制御装置４０にて動作条件から演算し、短絡防止期間の影響の有無を判定する方法について説明をした。実施の形態５では、交流電流ＩＬを検出し、第１ブリッジ回路１２および第２ブリッジ回路

２２にてＺＶＳ動作が達成されているか否かを判定することで、短絡防止期間の影響を補償する構成について説明を行う。

[0090] 図１５に電流検出手段４３を備えた電力変換装置１を示す。図１５では、電流検出手段４３を第１ブリッジ回路１２に配置したが、これに限定されるものではない。電流検出手段を第２ブリッジ回路２２に配置しても良く、第１ブリッジ回路１２および第２ブリッジ回路２２の双方に配置してもよい。

[0091] 図１６に電力変換装置１が電流検出手段４３を備える場合の制御装置４０の構成を示す。制御装置４０は電流検出手段４３で検出した交流電流ＩＬから第１ブリッジ回路１２および第２ブリッジ回路２２におけるスイッチング時の電流を検出するスイッチング時電流検出部４０７を備えている。

[0092] スイッチング時電流検出部４０７では、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４のターンオン時の電流ＩＬ０を検出しこれをＺＶＳ動作判定部４０５に送信する。また、スイッチング時電流検出部４０７では、第１ブリッジ回路１２における半導体スイッチング素子Ｑ１１，Ｑ１４のターンオフ時の電流ＩＬ２を検出し、ＺＶＳ動作判定部４０５に送信することでも第１ブリッジ回路１２におけるＺＶＳ動作が達成されているか否かを判定できる。これは、交流電流ＩＬの１周期の積分値は零になるためＩＬ２はＩＬ０の極性が逆で同じ絶対値となるためである。

[0093] さらに、スイッチング時電流検出部４０７では、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４のターンオン時の電流ＩＬ１を検出しこれをＺＶＳ動作判定部４０５に送信する。また、スイッチング時電流検出部４０７では、第２ブリッジ回路２２における半導体スイッチング素子Ｑ２１，Ｑ２４のターンオフ時の電流を検出し、ＺＶＳ動作判定部４０５に送信することでも第２ブリッジ回路２２におけるＺＶＳ動作が達成されているか否かを判定できる。

[0094] このような構成とすることで、電力変換装置１の運転状況から電流ＩＬ０，ＩＬ１を演算する必要がなくなるため制御装置４０を簡素な構成とすることができる。また、演算による誤差が生じなくなるため、より精度の高い制

御を行うことが可能となる。

[0095] なお、本願の制御装置のハードウエアの一例を図１７に示す。プロセッサ１００と記憶装置２００とから構成され、図示していないが、記憶装置２００は、ランダムアクセスメモリ等の揮発性記憶装置と、フラッシュメモリ等の不揮発性の補助記憶装置とを具備する。また、フラッシュメモリの代わりにハードディスクの補助記憶装置を具備してもよい。

[0096] プロセッサ１００は、記憶装置２００から入力されたプログラムを実行することにより、例えば、通信端末８１からローカルサーバ５およびローカル網基地局６との間の通信を行う。この場合、補助記憶装置から揮発性記憶装置を介してプロセッサ１００にプログラムが入力される。また、プロセッサ１００は、演算結果等のデータを記憶装置２００の揮発性記憶装置に出力してもよいし、揮発性記憶装置を介して補助記憶装置にデータを保存してもよい。

[0097] 本願は、様々な例示的な実施の形態及び実施例が記載されているが、１つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも１つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも１つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

符号の説明

[0098] １　電力変換装置、１０　直流電源、１１　第１直流端子、１２　第１ブリッジ回路、１３　第１交流端子、２０　負荷、２１　第２直流端子、２２　第２ブリッジ回路、２３　第２交流端子、３０　トランス、３１　一次側巻線、３２　二次側巻線、３３　第１の電圧検出手段、３４　第２の電圧検出手段、４０　制御装置、４１，４２　ゲート信号、４３　電流検出手段、

１００　プロセッサ、２００　記憶装置、４０１　位相差演算部、４０２　補償量演算部、４０３　ＰＷＭ信号生成部、４０４　電流ゼロ時位相演算部、４０５　ＺＶＳ動作判定部、４０６　電流ゼロ期間判定部、４０７　スイッチング時電流検出部

請求の範囲

[請求項1] トランスと、第１の半導体スイッチング素子を有し前記トランスの一次側巻線に接続され短絡防止期間が設定されている第１ブリッジ回路と、第２の半導体スイッチング素子を有し前記トランスの二次側巻線に接続され短絡防止期間が設定されている第２ブリッジ回路と、前記第１ブリッジ回路に入力される電圧を検出する第１電圧検出手段と、前記第２ブリッジ回路に入力される電圧を検出する第２電圧検出手段と、前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子の制御を行なう制御装置とを備え、前記制御装置が、前記第１電圧検出手段によって検出された第１の電圧値と前記第２電圧検出手段によって検出された第２の電圧値と電力指令値とに基づいて前記第１ブリッジ回路の出力と前記第２ブリッジ回路の出力との位相差を演算する位相差演算部と、前記位相差演算部による演算結果と前記第１の電圧値と前記第２の電圧値とによって前記位相差に生じる誤差を補償する補償量を演算する補償量演算部と、前記位相差演算部の演算結果と前記補償量演算部の演算結果から前記第１の半導体スイッチング素子のゲート信号および前記第２の半導体スイッチング素子のゲート信号を生成するＰＷＭ信号生成部とを備えたことを特徴とする電力変換装置。

[請求項2] 前記補償量演算部は、前記位相差演算部で演算された前記位相差と前記第１の電圧値と前記第２の電圧値とに基づいて前記補償量を演算することを特徴とする請求項１に記載の電力変換装置。

[請求項3] 前記補償量演算部は、前記位相差演算部で演算された前記位相差と前記第１の電圧値と前記第２の電圧値とに基づいて前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子がターンオンする直前の電流を演算し、前記演算した電流から前記第１ブリッジ回路および前記第２ブリッジ回路において、ＺＶＳ動作が達成できているか否かを判定することを特徴とする請求項１に記載の電力変換

装置。

[請求項4] 前記補償量演算部は、前記第１ブリッジ回路および前記第２ブリッジ回路の内、負荷側のブリッジ回路でＺＶＳ動作が達成できていない場合に、前記短絡防止期間に相当する位相量を前記位相差演算部で演算した前記位相差と逆極性で出力することを特徴とする請求項３に記載の電力変換装置。

[請求項5] 前記補償量演算部は、前記第１ブリッジ回路および前記第２ブリッジ回路の内、電源側のブリッジ回路でＺＶＳ動作が達成できていない場合に、前記短絡防止期間に相当する位相量を前記位相差演算部で演算した前記位相差と同極性で出力することを特徴とする請求項３に記載の電力変換装置。

[請求項6] 前記補償量演算部は、前記位相差演算部で演算された前記位相差と前記第１の電圧値と前記第２の電圧値とに基づいて前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子がターンオンする直前の電流を演算し、前記トランスに入力される交流電流がゼロになる期間の有無を判定することを特徴とする請求項１に記載の電力変換装置。

[請求項7] 前記補償量演算部は、前記交流電流がゼロになる期間が発生する場合に、前記交流電流がゼロになる期間に相当する位相量を演算し、前記位相差演算部で演算された前記位相差と同極性で出力することを特徴とする請求項６に記載の電力変換装置。

[請求項8] 前記制御装置は、前記位相差演算部で演算された前記位相差と前記第１の電圧値と前記第２の電圧値に基づいて前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子がターンオンする直前の電流と前記トランスに入力される交流電流がゼロになる期間とを演算するスイッチング時電流および電流ゼロ時位相演算部と、前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子がターンオンする直前の電流に基づいて前記第１ブリッジ回路

および前記第２ブリッジ回路においてＺＶＳ動作が達成できているか否かを判定するＺＶＳ動作判定部と、前記交流電流がゼロになる期間の有無を判定する電流ゼロ期間判定部とを、前記補償量演算部の前に備えたことを特徴とする請求項１に記載の電力変換装置。

[請求項9] 前記電流ゼロ期間判定部は、前記交流電流がゼロになる期間が発生するか否かの判定を、前記スイッチング時電流および電流ゼロ時位相演算部にて演算された前記交流電流がゼロになる位相に基づいて行うことを特徴とする請求項８に記載の電力変換装置。

[請求項10] 前記トランスに入力される交流電流を検出する電流検出手段を備え、前記スイッチング時電流および電流ゼロ時位相演算部が、前記電流検出手段で検出した電流に基づいて前記第１の半導体スイッチング素子および前記第２の半導体スイッチング素子がターンオンする直前の電流を検出するスイッチング時電流検出手段と、電流ゼロ時位相演算部とを備えていることを特徴とする請求項８に記載の電力変換装置。

[図1]

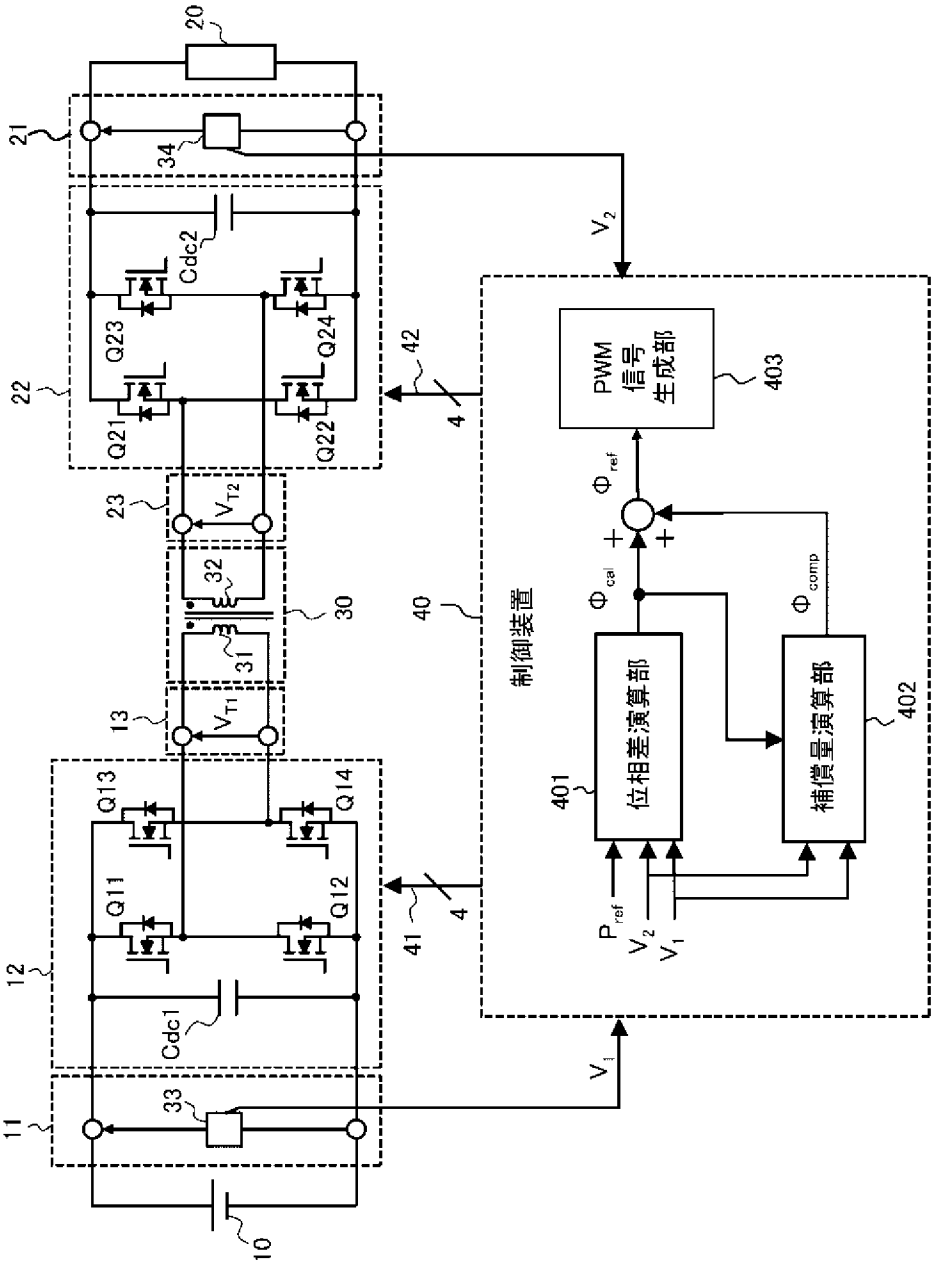
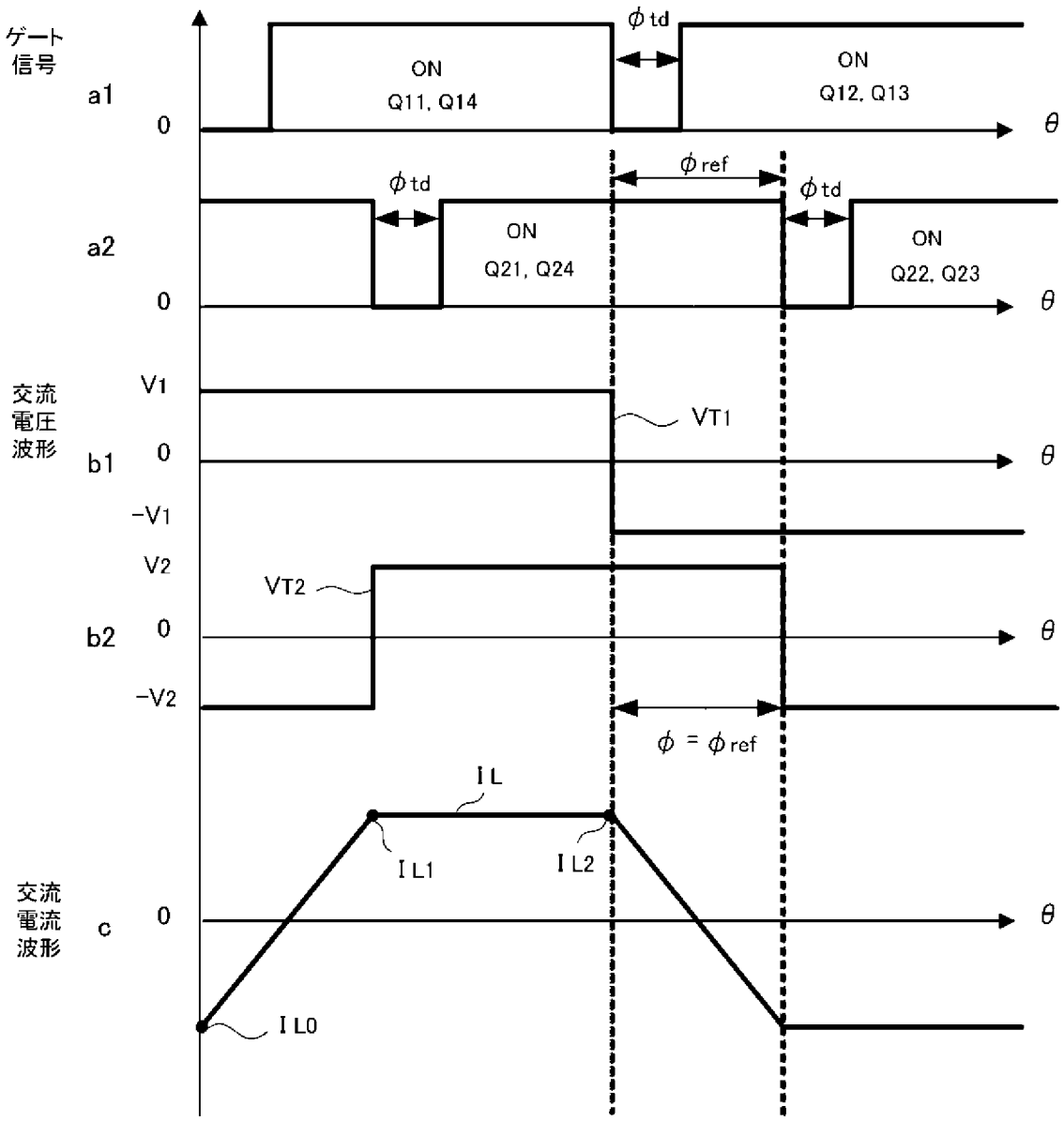

20
21
34
V_2
Cdc2
Q23
Q24
22
Q21
Q22
42
4
PWM
信号
生成部
403
Φ_{ref}
23
V_{T2}
Φ_{cal}
Φ_{comp}
32
30
40
制御装置
31
13
V_{T1}
401
位相差演算部
補償量演算部
402
Q13
Q14
Q11
Q12
P_{ref}
V_2
V_1
12
41
4
Cdc1
V_1
11
33
10

図1

[図2]

図2


ゲート信号
a1
0
ON
Q11, Q14
ON
Q12, Q13
θ
φtd
φref
a2
ON
Q21, Q24
ON
Q22, Q23
交流電圧波形
V1
VT1
b1
−V1
V2
VT2
b2
−V2
φ = φref
IL
IL1
IL2
交流電流波形
c
IL0

[図3]

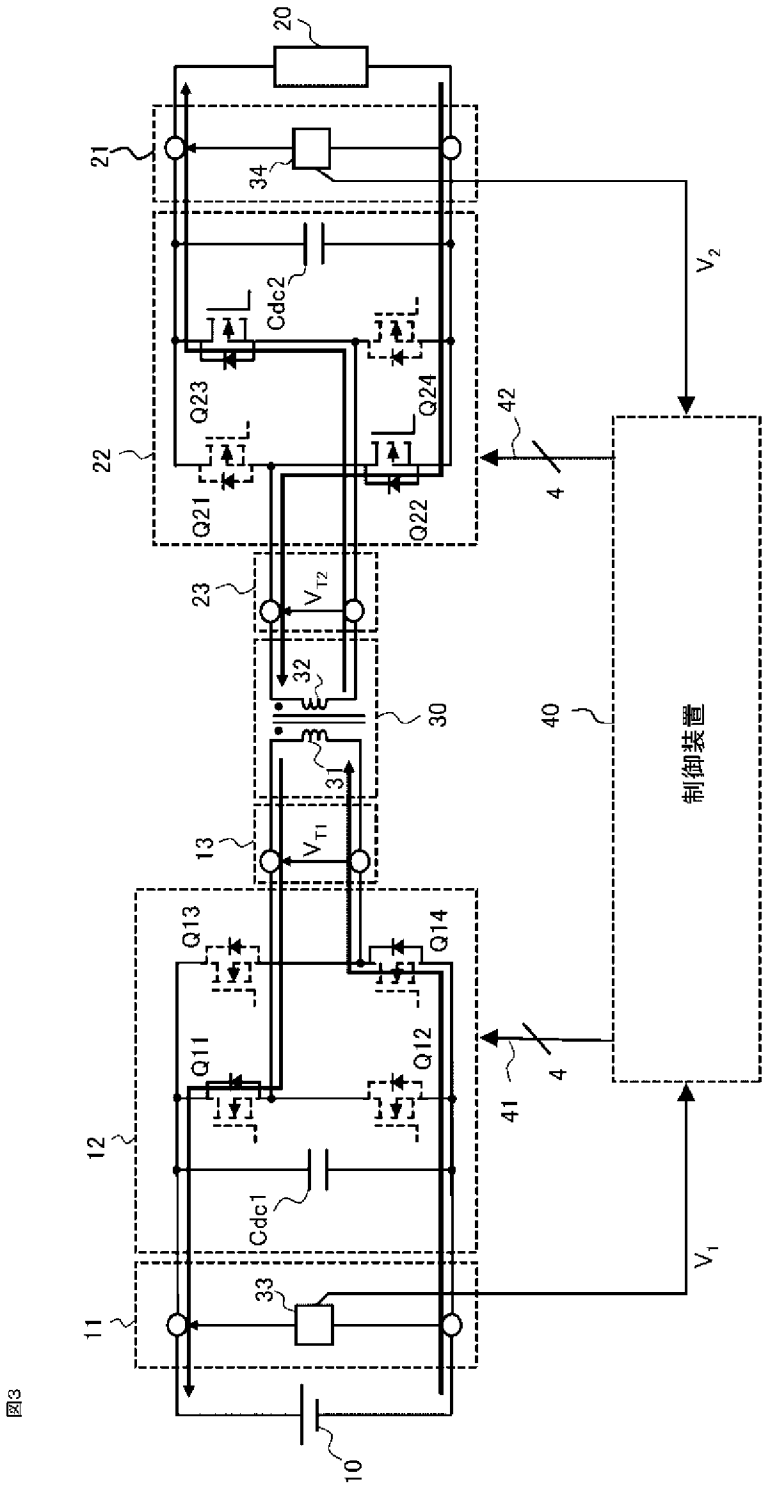

20
21
34
Cdc2
Q23
Q24
22
Q21
Q22
42
4
V_2
23
V_{T2}
32
30
31
40
制御装置
13
V_{T1}
Q13
Q14
Q11
Q12
41
4
12
Cdc1
V_1
33
11
10

図3

[図4]

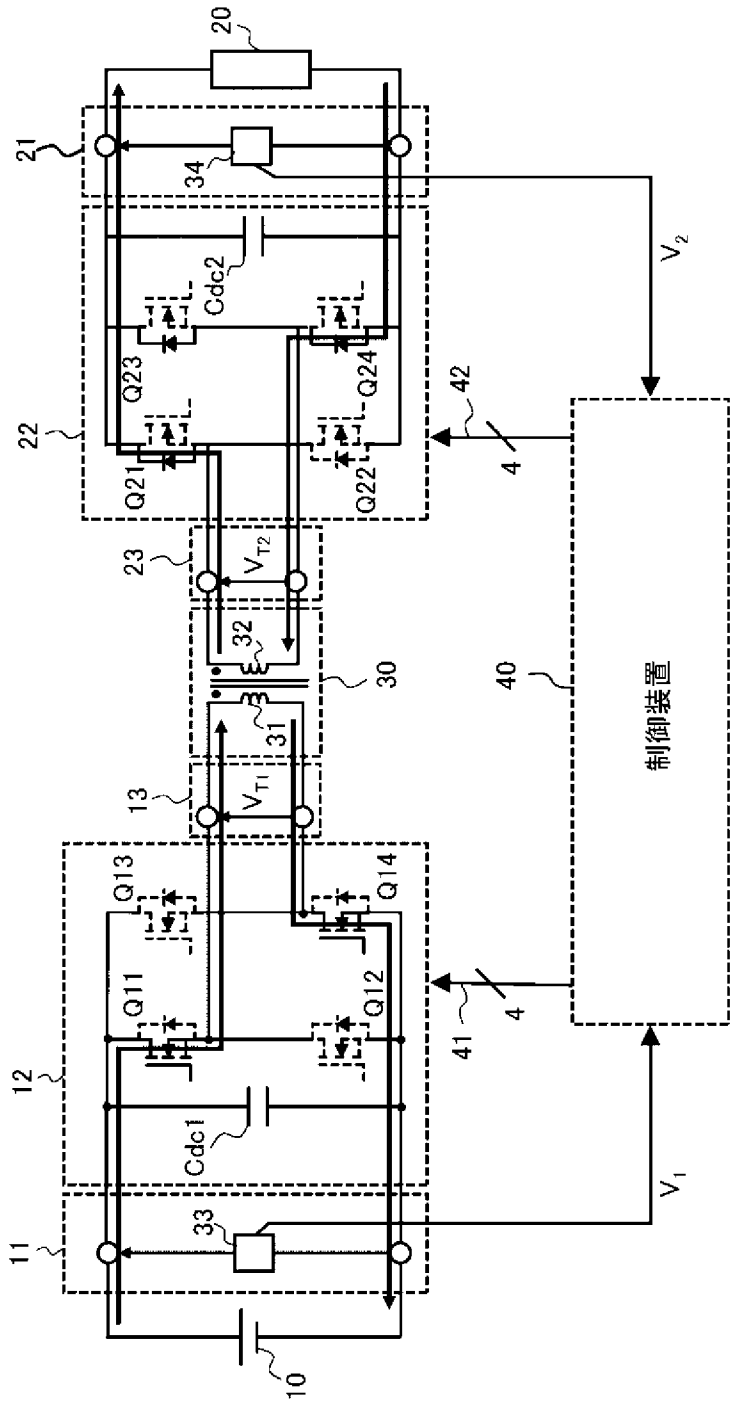
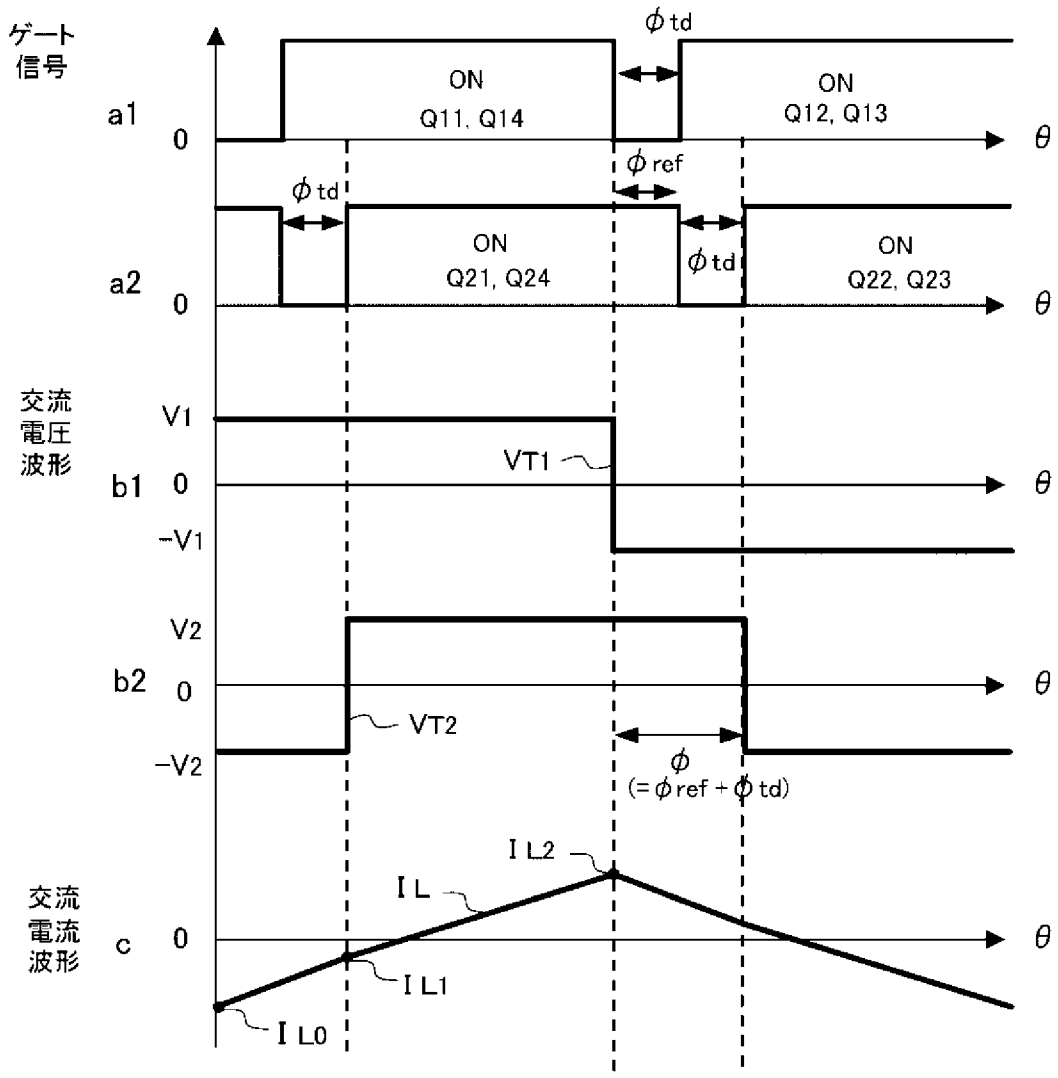

20
21
34
Cdc2
Q23
Q24
22
Q21
Q22
42
4
V_2
23
V_{T2}
32
30
31
40
制御装置
13
V_{T1}
Q13
Q14
Q11
Q12
41
4
12
Cdc1
V_1
33
11
10

図4

[図5]

図5


ゲート信号
a1
0
ON
Q11, Q14
ON
Q12, Q13
ϕtd
ϕref
θ
a2
ON
Q21, Q24
ON
Q22, Q23
交流電圧波形
V1
VT1
b1
−V1
V2
b2
VT2
−V2
ϕ
(=ϕref+ϕtd)
交流電流波形
c
IL2
IL
IL1
IL0

[図6]

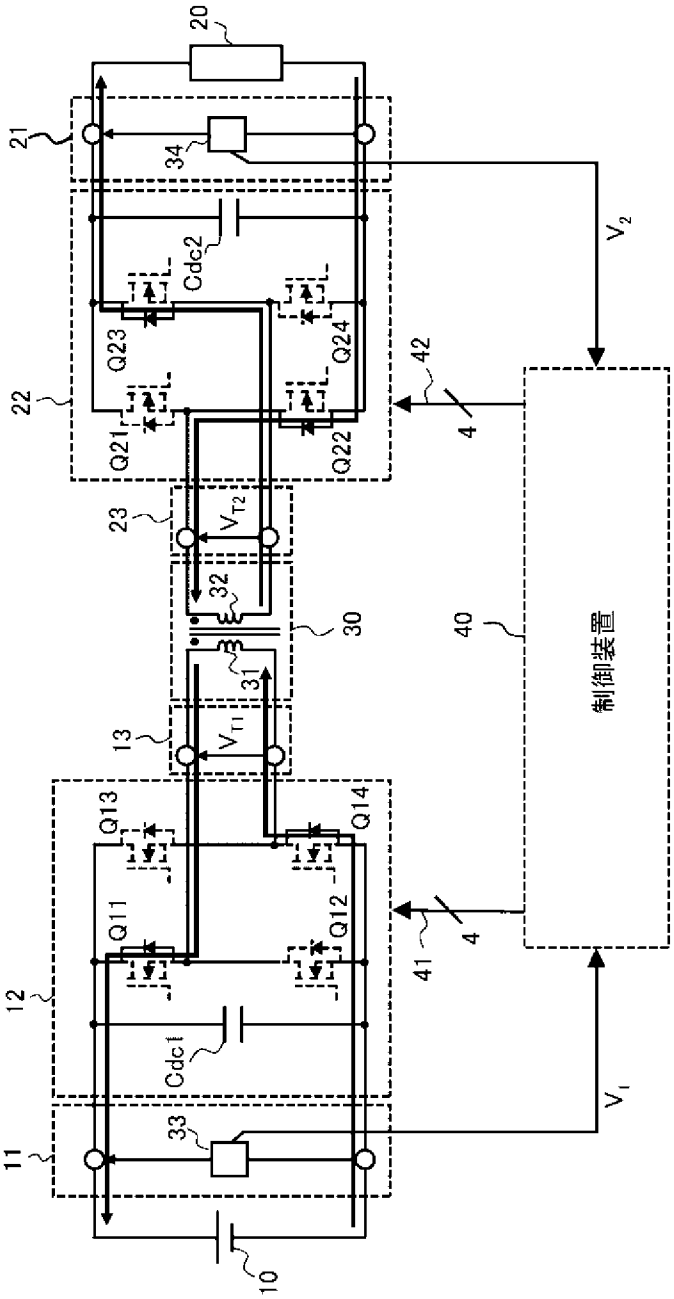
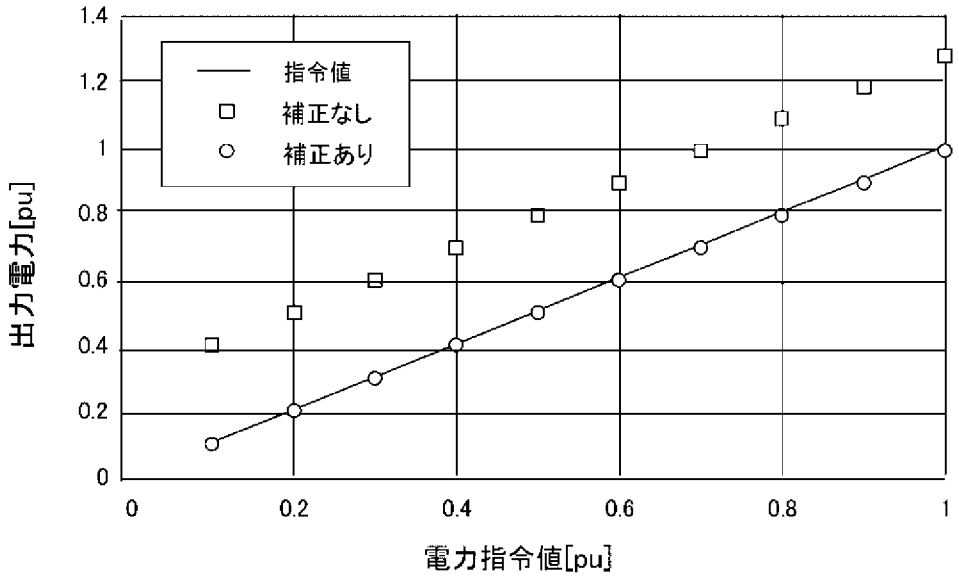

20
21
34
Cdc2
Q23
Q24
22
Q21
Q22
42
4
V_2
23
V_{T2}
32
30
31
40
制御装置
13
V_{T1}
Q13
Q14
Q11
Q12
41
4
12
Cdc1
V_1
33
11
10

図6

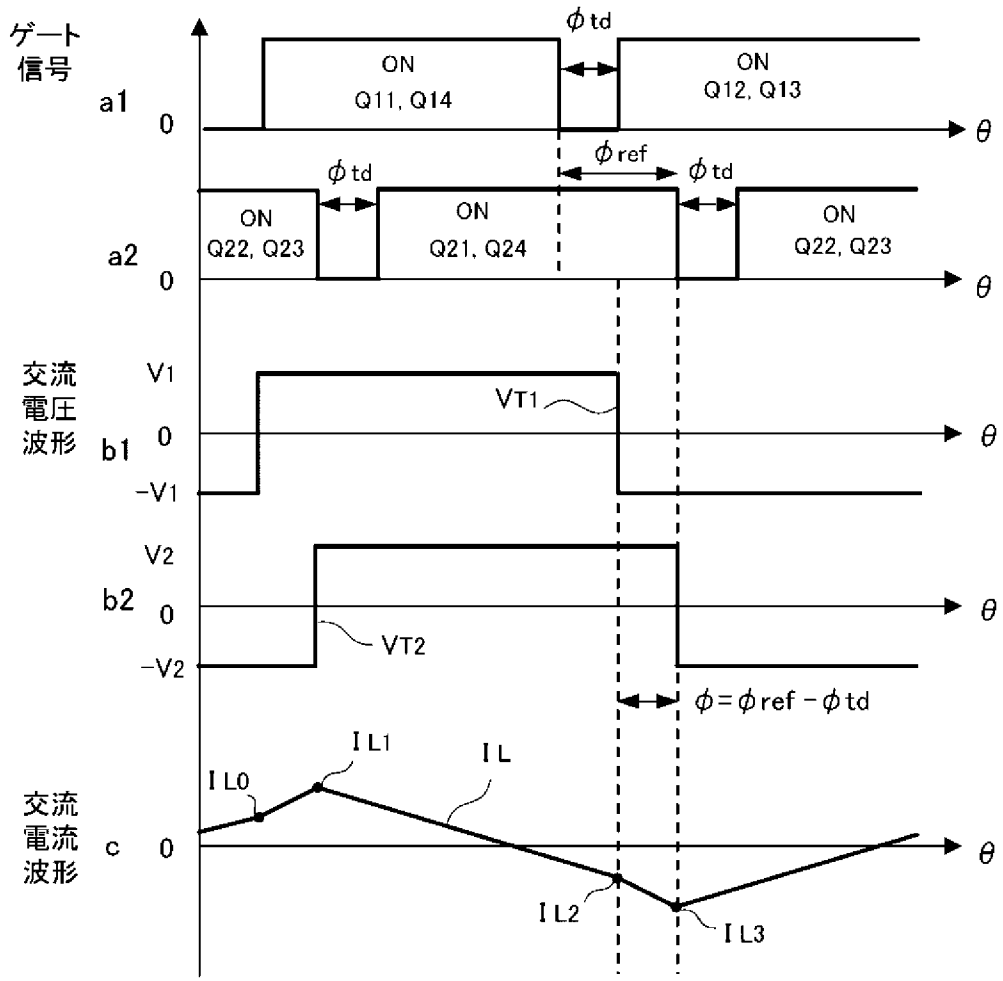
[図7]

図7



[図8]

図8


ゲート
信号
a1
0
ON
Q11, Q14
ON
Q12, Q13
ϕtd
θ
ϕref
ϕtd
ϕtd
a2
0
ON
Q22, Q23
ON
Q21, Q24
ON
Q22, Q23
θ
交流
電圧
波形
V1
b1
0
−V1
VT1
θ
V2
b2
0
−V2
VT2
θ
ϕ=ϕref−ϕtd
交流
電流
波形
c
0
IL0
IL1
IL
IL2
IL3
θ

[図9]

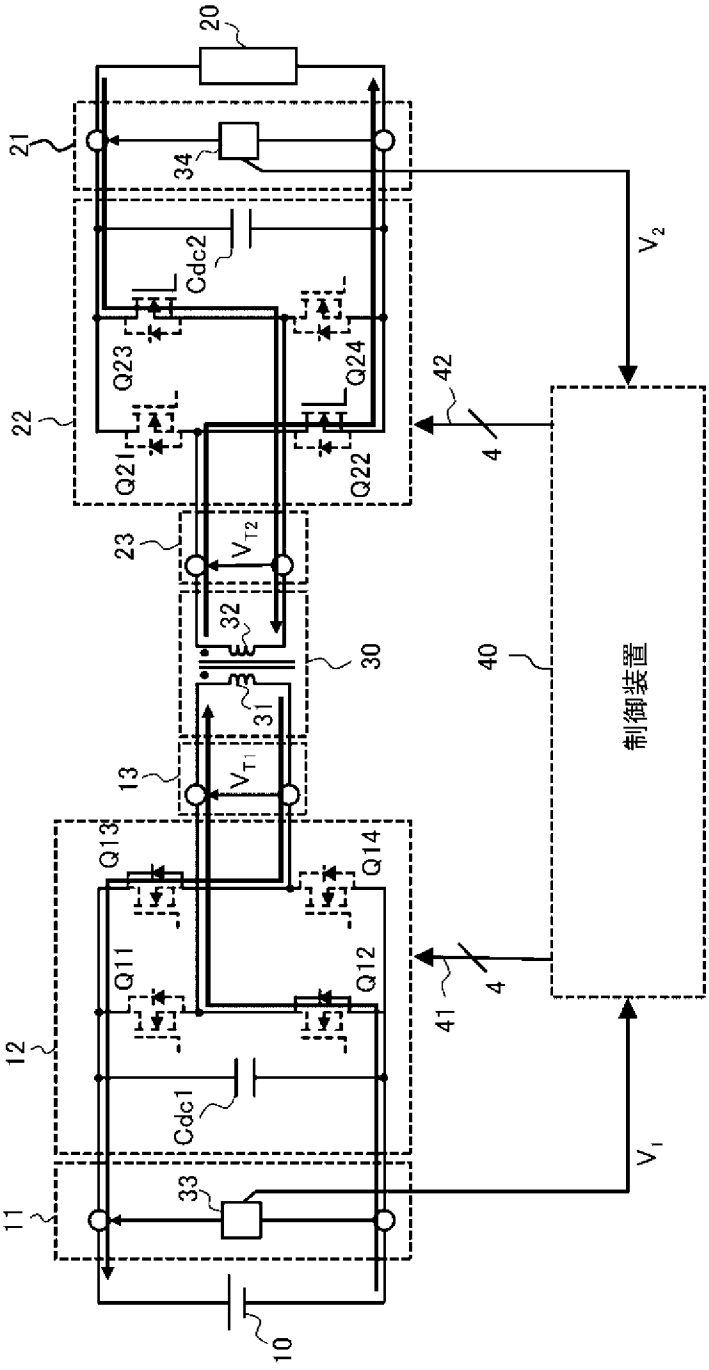
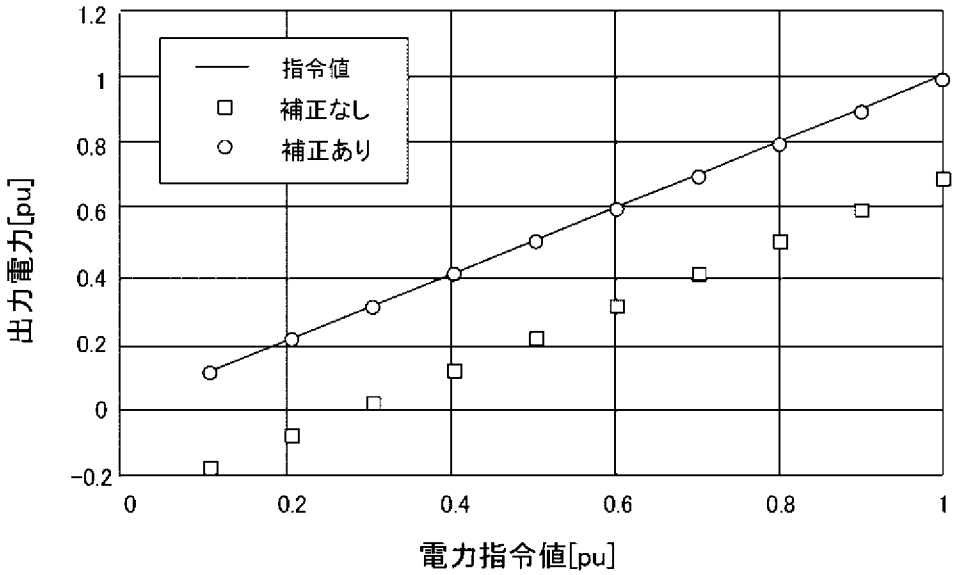

20
21
34
Cdc2
Q23
Q24
22
Q21
Q22
42
4
V_2
23
V_{T2}
32
30
31
40
制御装置
13
V_{T1}
Q13
Q14
Q11
Q12
41
4
12
Cdc1
V_1
33
11
10

図9

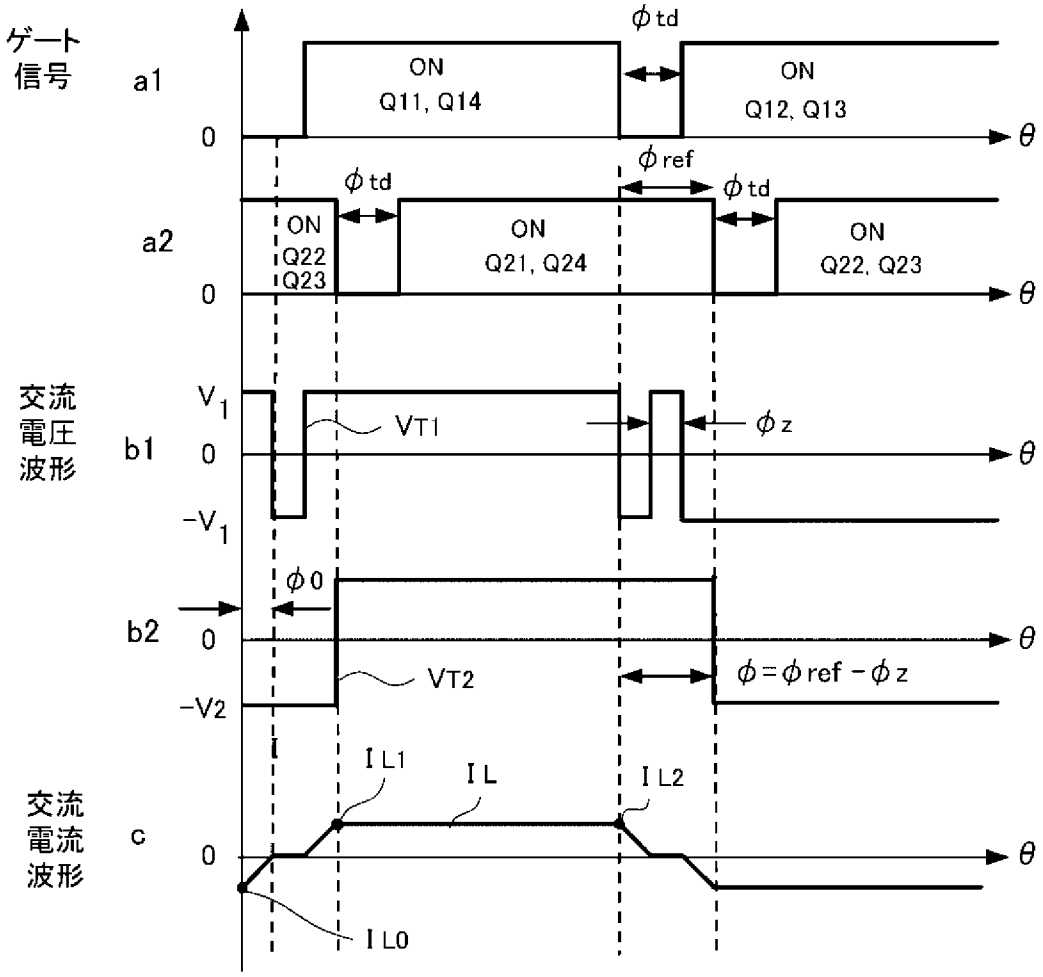
[図10]

図10



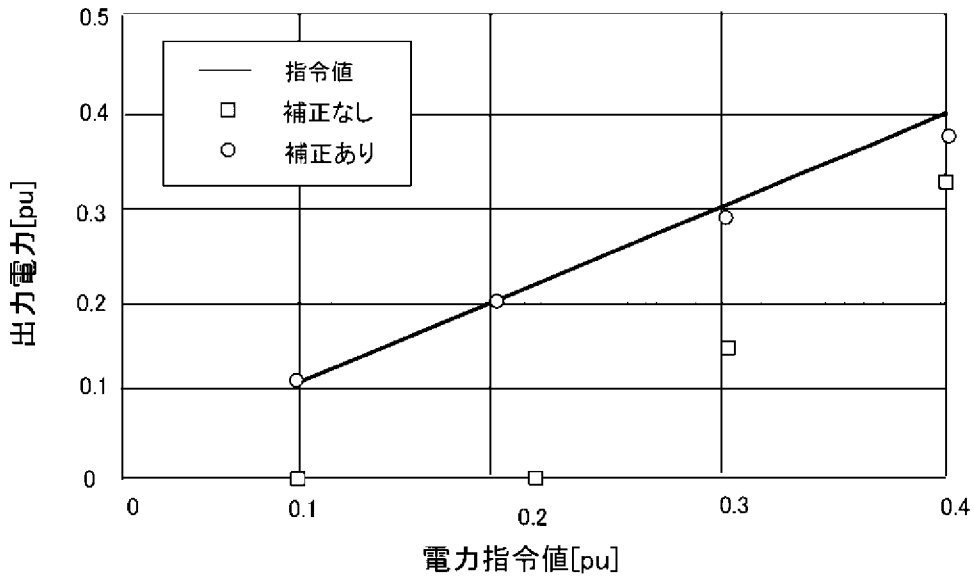
[図11]

図11


ゲート信号
a1
ON
Q11, Q14
ON
Q12, Q13
φtd
0
θ
φref
φtd
φtd
a2
ON
Q22
Q23
ON
Q21, Q24
ON
Q22, Q23
0
θ
交流電圧波形
V1
VT1
φz
b1
0
θ
-V1
φ0
b2
0
θ
VT2
φ=φref－φz
-V2
交流電流波形
IL1
IL
IL2
c
0
θ
IL0

[図12]

図12



[図13]

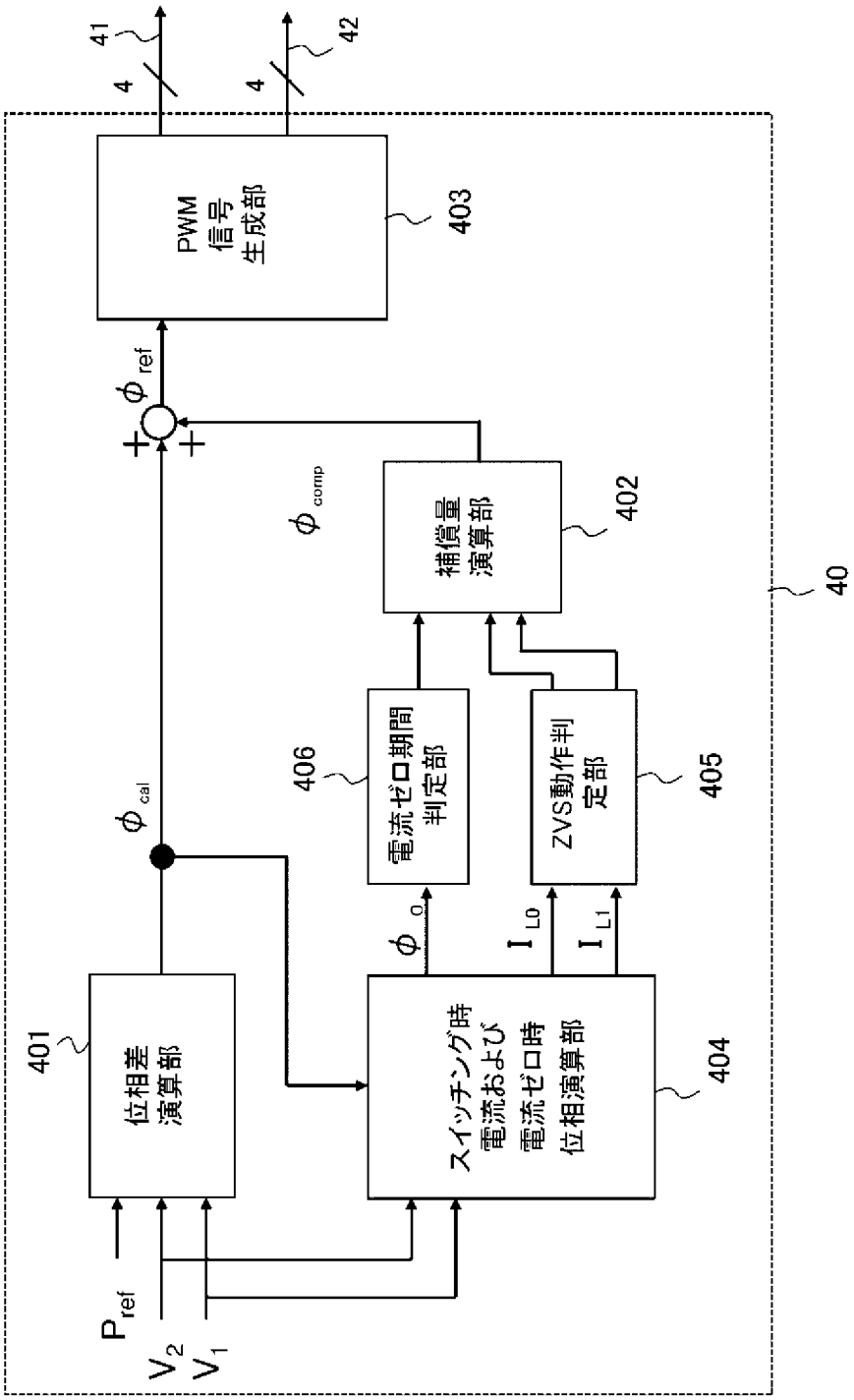
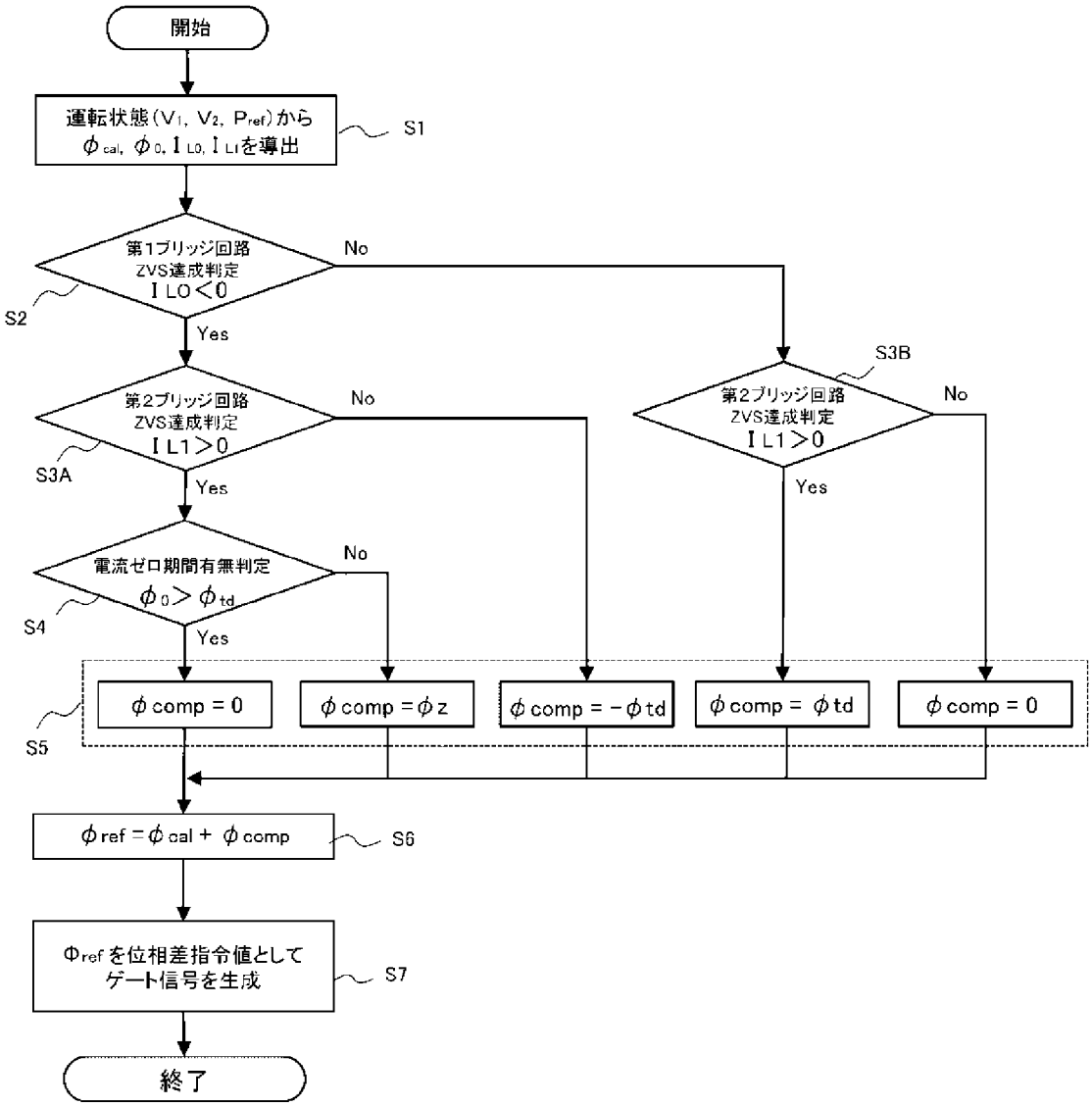

41
42
4
4
PWM
信号
生成部
403
ϕ_{ref}
ϕ_{comp}
補償量
演算部
402
40
ϕ_{cal}
406
電流ゼロ期間
判定部
ZVS動作判
定部
405
ϕ_0
I_{L0}
I_{L1}
401
位相差
演算部
スイッチング時
電流および
電流ゼロ時
位相演算部
404
P_{ref}
V_2
V_1

図13

[図14]

図14


開始
運転状態(V1, V2, Pref)から
φcal, φ0, I LO, I L1を導出
S1
第1ブリッジ回路
ZVS達成判定
I LO＜0
S2
No
Yes
第2ブリッジ回路
ZVS達成判定
I L1＞0
S3A
No
Yes
S3B
第2ブリッジ回路
ZVS達成判定
I L1＞0
No
Yes
電流ゼロ期間有無判定
φ0＞φtd
S4
No
Yes
φcomp = 0
φcomp =φz
φcomp = −φtd
φcomp = φtd
φcomp = 0
S5
φref =φcal + φcomp
S6
Φref を位相差指令値として
ゲート信号を生成
S7
終了

[図15]

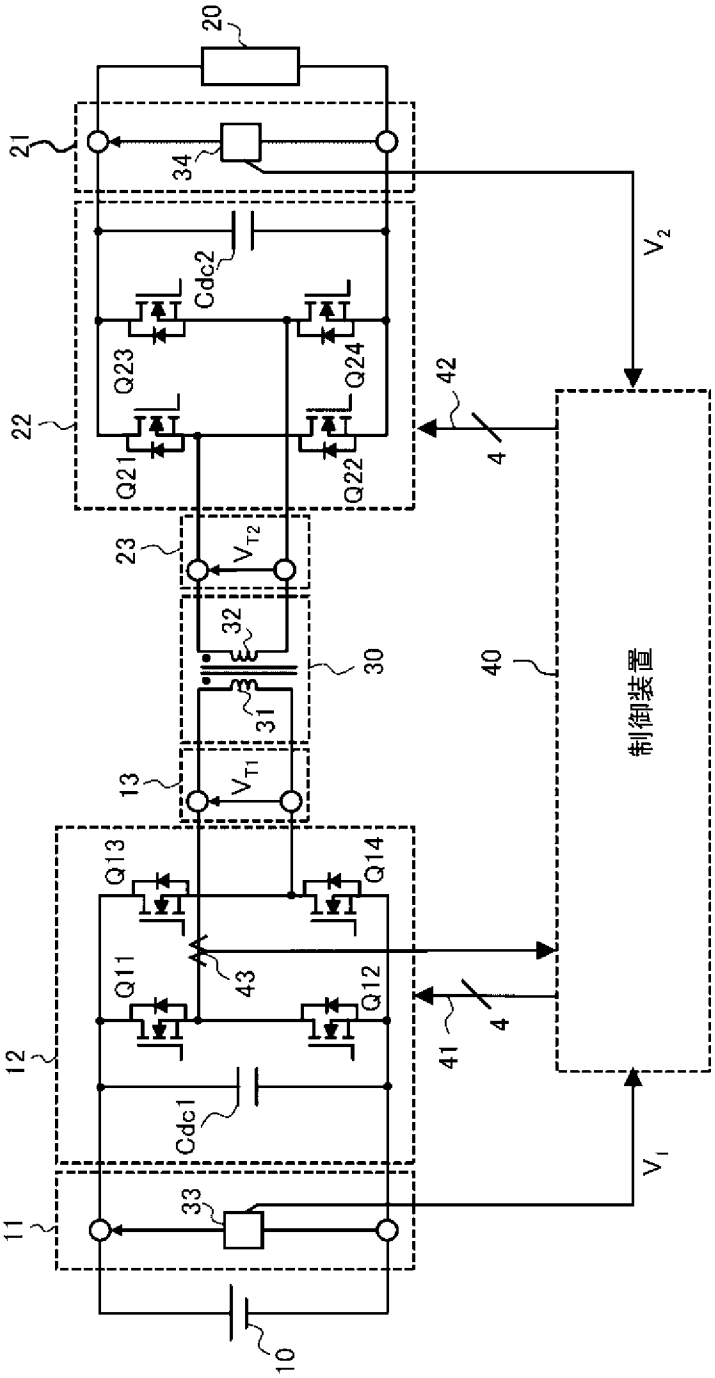

20
21
34
V_2
Cdc2
Q23
Q24
22
Q21
Q22
42
4
23
V_{T2}
32
30
31
40
制御装置
13
V_{T1}
Q13
Q14
Q11
43
Q12
41
4
12
Cdc1
V_1
33
11
10

図15

[図16]

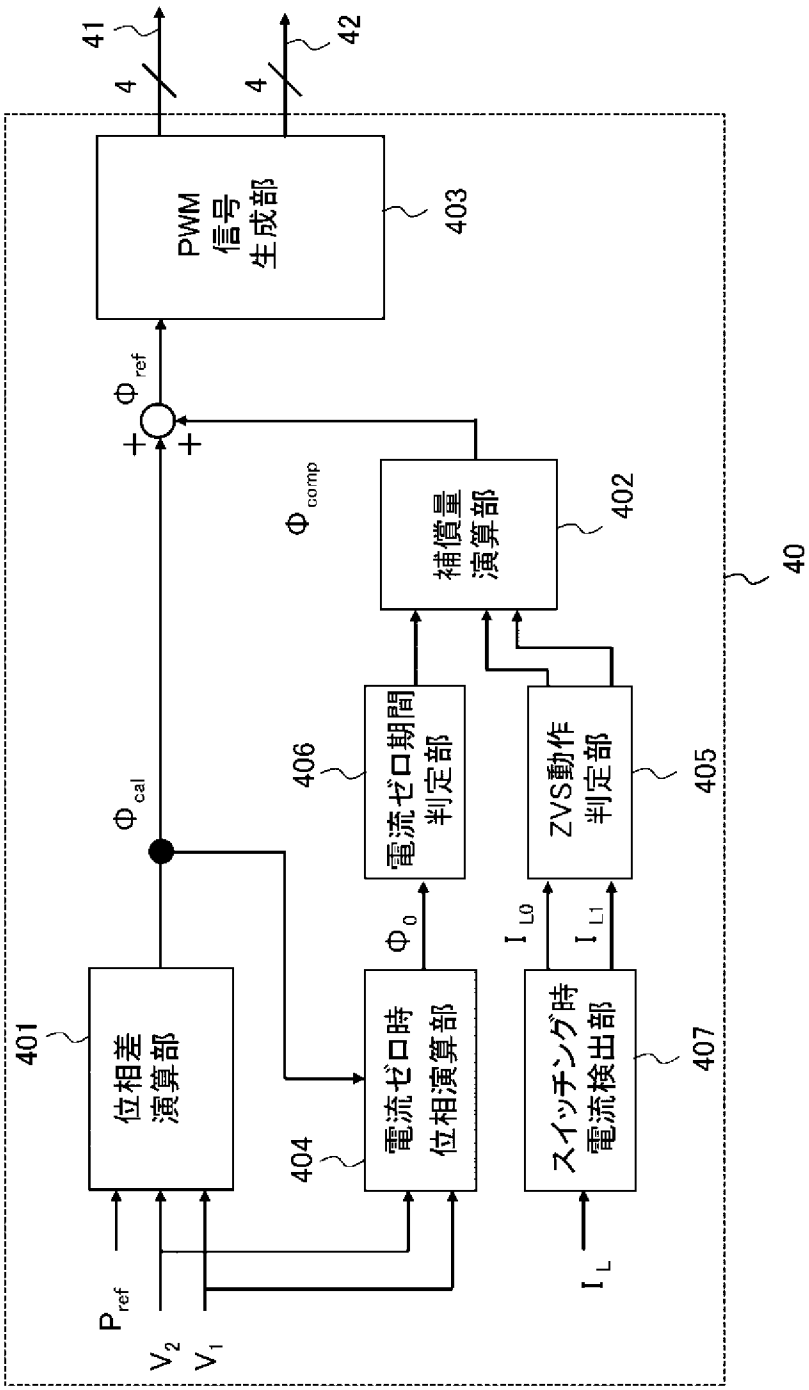
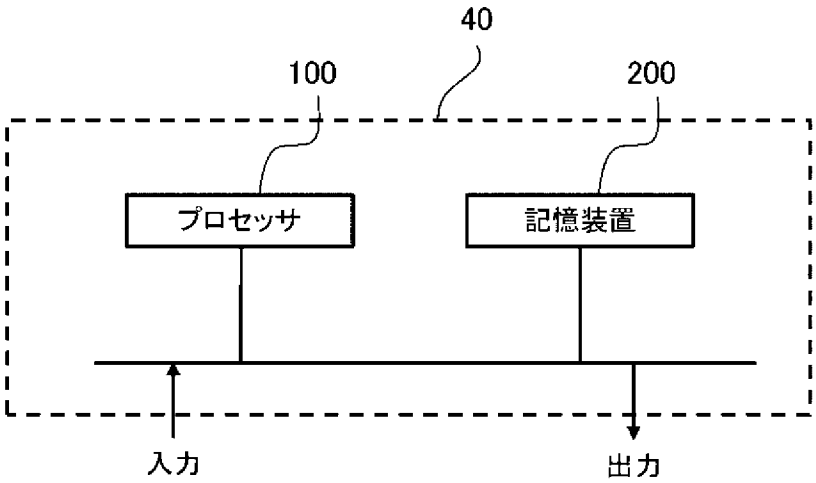

41
42
4
4
PWM
信号
生成部
403
Φref
Φcomp
補償量
演算部
402
40
Φcal
406
電流ゼロ期間
判定部
405
ZVS動作
判定部
401
位相差
演算部
Φ0
404
電流ゼロ時
位相演算部
IL0
IL1
スイッチング時
電流検出部
407
Pref
V2
V1
IL

図16

[図17]

図17



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/016582

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/28(2006.01)i
FI: H02M3/28 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-251998 A (MEIDENSHA CORP) 12 December 2013 (2013-12-12) entire text, all drawings	1-10
A	WO 2015/056503 A1 (TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORPORATION) 23 April 2015 (2015-04-23) entire text, all drawings	1-10
A	JP 2018-170845 A (PANASONIC IP MAN CORP) 01 November 2018 (2018-11-01) entire text, all drawings	1-10
A	JP 2013-027201 A (IHI CORP) 04 February 2013 (2013-02-04) entire text, all drawings	1-10
A	US 2019/0372471 A1 (ZHEJIANG UNIVERSITY) 05 December 2019 (2019-12-05) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 June 2021	**06 July 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/016582

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-251998 A	12 December 2013	(Family: none)	
WO 2015/056503 A1	23 April 2015	US 2016/0233778 A1 entire text, all drawings EP 3059845 A1 CN 105637752 A KR 10-2016-0078353 A	
JP 2018-170845 A	01 November 2018	US 2020/0014307 A1 entire text, all drawings WO 2018/179605 A1 EP 3605816 A1 CN 110383662 A	
JP 2013-027201 A	04 February 2013	(Family: none)	
US 2019/0372471 A1	05 December 2019	CN 108712081 A	

国際調査報告

国際出願番号
PCT/JP2021/016582

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 3/28(2006.01)i
FI: H02M3/28 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-251998 A (株式会社明電舎) 12.12.2013 (2013-12-12) 全文，全図	1-10
A	WO 2015/056503 A1 (東芝三菱電機産業システム株式会社) 23.04.2015 (2015-04-23) 全文，全図	1-10
A	JP 2018-170845 A (パナソニックＩＰマネジメント株式会社) 01.11.2018 (2018-11-01) 全文，全図	1-10
A	JP 2013-027201 A (株式会社ＩＨＩ) 04.02.2013 (2013-02-04) 全文，全図	1-10
A	US 2019/0372471 A1 (Zhejiang University) 05.12.2019 (2019-12-05) 全文，全図	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
28.06.2021	06.07.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
白井　孝治 5G 8843
電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/016582

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-251998 A	12.12.2013	（ファミリーなし）	
WO 2015/056503 A1	23.04.2015	US 2016/0233778 A1 全文，全図 EP 3059845 A1 CN 105637752 A KR 10-2016-0078353 A	
JP 2018-170845 A	01.11.2018	US 2020/0014307 A1 全文，全図 WO 2018/179605 A1 EP 3605816 A1 CN 110383662 A	
JP 2013-027201 A	04.02.2013	（ファミリーなし）	
US 2019/0372471 A1	05.12.2019	CN 108712081 A	