

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 21/306	(11) 공개번호 특1997-0077305
	(43) 공개일자 1997년 12월 12일
(21) 출원번호	특1997-0022988
(22) 출원일자	1997년 05월 31일
(30) 우선권주장	196 22 015.7 1996년 05월 31일 독일(DE)
(71) 출원인	지멘스 악티엔게젤샤프트 로더리히 네테부쉬; 룰프 옴케 독일연방공화국 데-80333 윈헨 빗텔스바헬플랏츠 2
(72) 발명자	마투니, 요제프 독일연방공화국 81737 윈헨 슈타데만슈트라세 37
(74) 대리인	남상선

심사청구 : 없음

(54) 반도체 기판 에지의 손상 구역을 에칭하는 방법 및 에칭 장치

요약

본 발명은 반도체 기판 전면(12) 및 기판 후면(13)이 래커링되지 않은 상태에서 반도체 기판 에지(14)를 에칭할 수 있는 장치 및 방법을 제공한다. 본 발명에서 반도체 기판(11)에 진공화 가능한 프로세스 챔버(2) 내에 배치된 보호 챔버(3)가 제공된다. 반도체 기판 전면(12) 및 기판 후면(13)은 에칭될 반도체 기판 에지(14)에 이르기까지 상기 보호 챔버(3)에 의해 덮어진다. 반도체 기판 에지(14) 위로 에칭제가 제공되고, 에칭 생성물 및 과량의 에칭제는 배출된다.

대표도

도 1

명세서

[발명의 명칭]  
반도체 기판 에지의 손상 구역을 에칭하는 방법 및 에칭 장치  
[도면의 간단한 설명]  
제1도는 본 발명에 따른 장치를 개략적으로 도시한 개략도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

a) 반도체 기판 전면(12) 및 기판 후면(13)을 에칭될 기판 에지(14)에 이르기까지 덮고 있는, 프로세스 챔버(2) 내에 배치된 보호 챔버(3) 내에 반도체 기판(11)을 제공하는 단계, b) 반도체 기판의 에지(14) 위에 에칭제가 제공되고, 에칭 생성물 및 과량의 에칭제가 배출되는 단계에 의해, 반도체 기판 전면(12) 및 기판 후면(13)이 래커링되지 않은 상태에서 반도체 기판(11)의 에지(14) 영역 위에 있는 손상 구역을 에칭하기 위한 방법.

청구항 2

제1항에 있어서, 반도체 기판 전면(12) 및 반도체 기판 에지(14) 영역 위에 보호 가스(16)가 리드되는 것을 특징으로 하는 방법.

청구항 3

제1항 또는 제2항에 있어서, 가스 또는 가스 혼합물을 에칭제(15)로서 사용하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서, 가스 또는 가스 혼합물이 마이크로파 또는 고주파를 통해 플라즈마로 여기되고, 프로세스 챔버(2)는 진공화 되는 것을 특징으로 하는 방법.

**청구항 5**

제4항에 있어서, 플라즈마는 프로세스 챔버(2)에 의해 분리된 플라즈마 형성 챔버(25)내에서 형성되는 것을 특징으로 하는 방법.

**청구항 6**

제1항 또는 제2항에 있어서, 에칭제(15)로서 에칭 용액이 사용되고, 상기 에칭 용액을 반도체 기판 에지(14)위에 스프레이 하는 것을 특징으로 하는 방법.

**청구항 7**

제6항에 있어서, 반도체 기판(11) 및/또는 프로세스 챔버(2)를  $\leq 100^{\circ}\text{C}$ 의 온도로 가열하는 것을 특징으로 하는 방법.

**청구항 8**

$\alpha$ ) 프로세스 챔버(2),  $\beta$ ) 제1보호 챔버(4)를 갖는 반도체 기판 전면(12) 및 제2보호 챔버(5)를 갖는 반도체 기판 후면(13)을 에칭될 반도체 기판 에지(14)까지 덮고 있는, 상기 프로세스 챔버(2)내에 배치된 보호챔버(3),  $\gamma$ ) 및 에칭제(15)가 반도체 기판 에지(14) 위에 제공될 때 통과하는, 프로세스 챔버(2)에 배치된 에칭제 유입구(6)로 이루어진, 반도체 기판 전면(12) 및 기판 후면(13)이 래커링 되지 않은 상태로 반도체기판(11)의 에지(14) 영역 위에 있는 손상 구역을 에칭하기 위한 장치.

**청구항 9**

제8항에 있어서, 제1보호 챔버(4) 영역 및 제2보호 챔버(5) 영역에 각각 하나의 보호 가스 유입구(7)가 배치되고, 에칭 침식으로부터 반도체 기판 전면(12) 및 후면(13)을 보호하기 위해, 보호 가스(16)가 상기 유입구를 통해 래커링 되지 않은 반도체 기판 전면 및 기판 후면 위로 리드되는 것을 특징으로 하는 에칭 장치.

**청구항 10**

제9항에 있어서, 제1보호 챔버 영역(4)에는 하나의 헤드 플레이트(9)가 제공될 수 있고, 제2보호 챔버 영역(5)에는 하단 플레이트(10)가 제공될 수 있으며, 상기 각 플레이트는 반도체 기판 전면(12) 및 기판 후면(13)의 중앙 영역에 배치된 적어도 하나의 개구(17)를 포함하고, 보호가스가 상기 개구를 통해 유입되는 것을 특징으로 하는 에칭 장치.

**청구항 11**

제10항에 있어서, 헤드 플레이트(9) 및 하단 플레이트(10)의 외부 에지에 블라인드(18, 19)가 제공되고, 에칭될 반도체 기판 에지(14)를 제한하고 상기 블라인드(18, 19)를 감싸고 있는 외부 블라인드(20, 21)가 프로세스 챔버(2) 내부 쪼는 보호 챔버(4, 5)에 제공되며, 블라인드(18, 19) 및 외부 블라인드(20, 21)사이에는 갭(22, 23)이 있어서, 리드된 보호 가스(16)가 상기 갭을 통해 배출되는 것을 특징으로 하는 에칭 장치.

**청구항 12**

제8항 내지 제11항 중 어느 한 항에 있어서, 제2보호 챔버 영역에 적어도 3개의 핀이 제공되고, 상기핀 위에 반도체 기판이 올려지는 것을 특징으로 하는 에칭 장치.

**청구항 13**

제8항 내지 제11항 중 어느 한 항에 있어서, 프로세스 챔버(2)내에 지지장치(24)가 제공되고, 반도체 기판(11)의 외부 에지(27)가 지지 장치 위에 정확하게 올려지는 것을 특징으로 하는 에칭 장치.

**청구항 14**

제8항 내지 제13항 중 어느 한 항에 있어서, 에칭 장치가 다중 챔버 장치의 구성 부품인 것을 특징으로 하는 에칭 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

도면1

