



(12) 发明专利申请

(10) 申请公布号 CN 116137291 A

(43) 申请公布日 2023. 05. 19

(21) 申请号 202211412209.X

(22) 申请日 2022.11.11

(30) 优先权数据

2021-187817 2021.11.18 JP

(71) 申请人 三菱电机株式会社

地址 日本东京

(72) 发明人 佐藤克己

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

专利代理师 何立波 张天舒

(51) Int. Cl.

H01L 29/739 (2006.01)

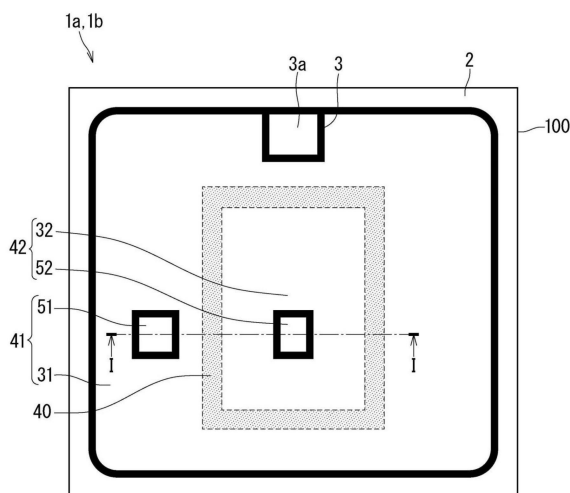
权利要求书6页 说明书18页 附图12页

(54) 发明名称

半导体装置及电力变换装置

(57) 摘要

提供双向地流过电流且能够高精度地对电流进行检测的半导体装置。还涉及电力变换装置。半导体装置为在共通的半导体基体形成有晶体管 and 二极管的半导体装置,具有第1电极、第2电极、电流感测用的第3电极以及电流感测用的第4电极,半导体基体具有:晶体管区域,其形成有晶体管;二极管区域,其形成有二极管;以及分离区域,其设置于晶体管区域及二极管区域之间,第1电极设置于晶体管区域的第1主面之上及二极管区域的第1主面之上,第2电极设置于晶体管区域的第2主面之上及二极管区域的第2主面之上,第3电极是在晶体管区域的第1主面之上与第1电极分离地设置的,第4电极是在半导体基体的二极管区域的第1主面之上与第1电极分离地设置的。



1. 一种半导体装置,其在共通的半导体基体形成有晶体管和二极管,其中,该半导体装置具有:

第1电极;

第2电极;

电流感测用的第3电极;

电流感测用的第4电极;以及

第1栅极电极,

所述半导体基体具有:

作为一个主面及另一个主面的第1主面及第2主面;

晶体管区域,其形成有所述晶体管;

二极管区域,其形成有所述二极管;以及

分离区域,其设置于所述晶体管区域及所述二极管区域之间,

所述晶体管区域具有:

第1导电型的第1半导体层;

第1导电型的第8半导体层,其设置于所述第1半导体层的所述第2主面侧,与所述第1半导体层相比第1导电型的杂质浓度高;

第2导电型的第2半导体层,其设置于所述第8半导体层的所述第2主面侧;

第2导电型的第3半导体层,其设置于所述第1半导体层的所述第1主面侧;以及

第1导电型的第4半导体层,其选择性地设置于所述第3半导体层的所述第1主面侧,

所述二极管区域具有:

所述第1半导体层;

所述第8半导体层,其设置于所述第1半导体层的所述第2主面侧;

第1导电型的第5半导体层,其设置于所述第8半导体层的所述第2主面侧,与所述第1半导体层相比第1导电型的杂质浓度高;以及

第2导电型的第6半导体层,其设置于所述第1半导体层的所述第1主面侧,

所述第1电极设置于所述晶体管区域的所述第1主面之上及所述二极管区域的所述第1主面之上,

所述第2电极设置于所述晶体管区域的所述第2主面之上及所述二极管区域的所述第2主面之上,

所述第3电极是在所述半导体基体的所述晶体管区域的所述第1主面之上与所述第1电极分离地设置的,

所述第4电极是在所述半导体基体的所述二极管区域的所述第1主面之上与所述第1电极分离地设置的,

在所述晶体管区域,所述第3半导体层和所述第4半导体层在所述第1主面处与所述第1电极电连接,

在所述晶体管区域,所述第3半导体层和所述第4半导体层在所述第1主面处与所述第3电极电连接,

在所述晶体管区域,所述第2半导体层在所述第2主面处与所述第2电极电连接,

在所述晶体管区域,所述第1栅极电极隔着第1绝缘膜与所述第1半导体层、所述第3半

导体层及所述第4半导体层相对，

在所述二极管区域，所述第6半导体层在所述第1主面处与所述第1电极电连接，
在所述二极管区域，所述第6半导体层在所述第1主面处与所述第4电极电连接，
在所述二极管区域，所述第5半导体层在所述第2主面处与所述第2电极电连接。

2. 根据权利要求1所述的半导体装置，其中，

I_1/I_2 与 I_3/I_4 中的大的一者小于或等于小的一者的1.2倍，该 I_1/I_2 为对所述第1栅极电极施加接通电压并且以所述第2电极为基准对所述第1电极和所述第3电极施加相同大小的在第1导电型为p型时为正、在第1导电型为n型时为负的电压的情况下的流过所述第1电极的电流 I_1 与流过所述第3电极的电流 I_2 之比，该 I_3/I_4 为以所述第2电极为基准对所述第1电极和所述第4电极施加相同大小的在第1导电型为p型时为负、在第1导电型为n型时为正的电压的情况下的流过所述第1电极的电流 I_3 与流过所述第4电极的电流 I_4 之比。

3. 一种半导体装置，其在共通的半导体基体形成有晶体管和二极管，

其中，该半导体装置具有：

第1电极；

第2电极；

电流感测用的第3电极；

电流感测用的第4电极；以及

第1栅极电极，

所述半导体基体具有：

作为一个主面及另一个主面的第1主面及第2主面；

晶体管区域，其形成有所述晶体管；

二极管区域，其形成有所述二极管；以及

分离区域，其设置于所述晶体管区域及所述二极管区域之间，

所述晶体管区域具有：

第1导电型的第1半导体层；

第1导电型的第8半导体层，其设置于所述第1半导体层的所述第2主面侧，与所述第1半导体层相比第1导电型的杂质浓度高；

第2导电型的第2半导体层，其设置于所述第8半导体层的所述第2主面侧；

第2导电型的第3半导体层，其设置于所述第1半导体层的所述第1主面侧；以及

第1导电型的第4半导体层，其选择性地设置于所述第3半导体层的所述第1主面侧，

所述二极管区域具有：

所述第1半导体层；

所述第8半导体层，其设置于所述第1半导体层的所述第2主面侧；

第1导电型的第5半导体层，其设置于所述第8半导体层的所述第2主面侧，与所述第1半导体层相比第1导电型的杂质浓度高；以及

第2导电型的第6半导体层，其设置于所述第1半导体层的所述第1主面侧，

所述第1电极设置于所述晶体管区域的所述第1主面之上及所述二极管区域的所述第1主面之上，

所述第2电极设置于所述晶体管区域的所述第2主面之上及所述二极管区域的所述第2

主面之上，

所述第3电极是在所述半导体基体的所述晶体管区域的所述第1主面之上与所述第1电极分离地设置的，

所述第4电极是在所述半导体基体的所述二极管区域的所述第2主面之上与所述第2电极分离地设置的，

在所述晶体管区域，所述第3半导体层和所述第4半导体层在所述第1主面处与所述第1电极电连接，

在所述晶体管区域，所述第3半导体层和所述第4半导体层在所述第1主面处与所述第3电极电连接，

在所述晶体管区域，所述第2半导体层在所述第2主面处与所述第2电极电连接，

在所述晶体管区域，所述第1栅极电极隔着第1绝缘膜与所述第1半导体层、所述第3半导体层及所述第4半导体层相对，

在所述二极管区域，所述第6半导体层在所述第1主面处与所述第1电极电连接，

在所述二极管区域，所述第5半导体层在所述第2主面处与所述第4电极电连接，

在所述二极管区域，所述第5半导体层在所述第2主面处与所述第2电极电连接。

4. 根据权利要求3所述的半导体装置，其中，

I_5/I_6 与 I_7/I_8 中的大的一者小于或等于小的一者的1.2倍，该 I_5/I_6 为对所述第1栅极电极施加接通电压并且以所述第2电极为基准对所述第1电极和所述第3电极施加相同大小的在第1导电型为p型时为正、在第1导电型为n型时为负的电压的情况下的流过所述第1电极的电流 I_5 与流过所述第3电极的电流 I_6 之比，该 I_7/I_8 为以所述第1电极为基准对所述第2电极和所述第4电极施加相同大小的在第1导电型为p型时为正、在第1导电型为n型时为负的电压的情况下的流过所述第2电极的电流 I_7 与流过所述第4电极的电流 I_8 之比。

5. 根据权利要求1至4中任一项所述的半导体装置，其中，

在俯视观察时，在所述分离区域内至少局部地包含所述第2半导体层与所述第5半导体层的边界。

6. 根据权利要求1至5中任一项所述的半导体装置，其中，

所述第5半导体层与所述第8半导体层是一体的。

7. 一种半导体装置，其在半导体基体形成有晶体管，

其中，该半导体装置具有：

第1电极；

第2电极；

电流感测用的第3电极；

第1栅极电极；以及

第2栅极电极，

所述半导体基体具有作为一个主面及另一个主面的第1主面及第2主面；

所述半导体基体具有：

第1导电型的第1半导体层；

第1导电型的第8半导体层，其设置于所述第1半导体层的所述第2主面侧，与所述第1半导体层相比第1导电型的杂质浓度高；

第2导电型的第2半导体层,其设置于所述第8半导体层的所述第2主面侧;
第1导电型的第7半导体层,其选择性地设置于所述第2半导体层的所述第2主面侧;
第2导电型的第3半导体层,其设置于所述第1半导体层的所述第1主面侧;以及
第1导电型的第4半导体层,其选择性地设置于所述第3半导体层的所述第1主面侧,
所述第1电极设置于所述半导体基体的所述第1主面之上,
所述第2电极设置于所述半导体基体的所述第2主面之上,
所述第3电极是在所述半导体基体的所述第1主面之上与所述第1电极分离地设置的,
所述第3半导体层和所述第4半导体层在所述第1主面处与所述第1电极电连接,
所述第3半导体层和所述第4半导体层在所述第1主面处与所述第3电极电连接,
所述第2半导体层和所述第7半导体层在所述第2主面处与所述第2电极电连接,
所述第1栅极电极隔着第1绝缘膜与所述第1半导体层、所述第3半导体层及所述第4半导体层相对,

所述第2栅极电极隔着第2绝缘膜与所述第1半导体层、所述第2半导体层、所述第7半导体层及第8半导体层相对。

8. 根据权利要求7所述的半导体装置,其中,

I_9/I_{10} 与 I_{11}/I_{12} 中的大的一者小于或等于小的一者的1.2倍,该 I_9/I_{10} 为对所述第1栅极电极施加接通电压并且以所述第2电极为基准对所述第1电极和所述第3电极施加相同大小的在第1导电型为p型时为正、在第1导电型为n型时为负的电压的情况下的流过所述第1电极的电流 I_9 与流过所述第3电极的电流 I_{10} 之比,该 I_{11}/I_{12} 为对所述第2栅极电极施加接通电压并且以所述第2电极为基准对所述第1电极和所述第3电极施加相同大小的在第1导电型为p型时为负、在第1导电型为n型时为正的情况下的流过所述第1电极的电流 I_{11} 与流过所述第3电极的电流 I_{12} 之比。

9. 根据权利要求8所述的半导体装置,其中,

所述第1栅极电极隔着所述第1绝缘膜设置于第1沟槽内,该第1沟槽是在所述半导体基体的所述第1主面沿面内的第1方向延伸地设置的,

所述第2栅极电极隔着所述第2绝缘膜设置于第2沟槽内,该第2沟槽是在所述半导体基体的所述第2主面沿面内的第2方向延伸地设置的,

所述第4半导体层设置为在所述第1主面处与所述第1沟槽接触,

所述第7半导体层设置为在所述第2主面处与所述第2沟槽接触,

$W1/W2$ 与 $W3/W4$ 不同,该 $W1/W2$ 为在与所述第1主面处设置有所述第1电极的区域在俯视观察时重叠的区域所述第4半导体层在所述第1主面处与所述第1沟槽接触的所述第1方向上的宽度的总和 $W1$,和在与所述第1主面处设置有所述第3电极的区域在俯视观察时重叠的区域所述第4半导体层在所述第1主面处与所述第1沟槽接触的所述第1方向上的宽度的总和 $W2$ 之比,该 $W3/W4$ 为在与所述第1主面处设置有所述第1电极的区域在俯视观察时重叠的区域所述第7半导体层在所述第2主面处与所述第2沟槽接触的所述第2方向上的宽度的总和 $W3$,和在与所述第1主面处设置有所述第3电极的区域在俯视观察时重叠的区域所述第7半导体层在所述第2主面处与所述第2沟槽接触的所述第2方向上的宽度的总和 $W4$ 之比。

10. 一种半导体装置,其在半导体基体形成有晶体管,

其中,该半导体装置具有:

第1电极；
第2电极；
电流感测用的第3电极；
电流感测用的第4电极；
第1栅极电极；以及
第2栅极电极，
所述半导体基体具有作为一个主面及另一个主面的第1主面及第2主面；
所述半导体基体具有：
第1导电型的第1半导体层；
第1导电型的第8半导体层，其设置于所述第1半导体层的所述第2主面侧，与所述第1半导体层相比第1导电型的杂质浓度高；
第2导电型的第2半导体层，其设置于所述第8半导体层的所述第2主面侧；
第1导电型的第7半导体层，其选择性地设置于所述第2半导体层的所述第2主面侧；
第2导电型的第3半导体层，其设置于所述第1半导体层的所述第1主面侧；以及
第1导电型的第4半导体层，其选择性地设置于所述第3半导体层的所述第1主面侧，
所述第1电极设置于所述半导体基体的所述第1主面之上，
所述第2电极设置于所述半导体基体的所述第2主面之上，
所述第3电极是在所述半导体基体的所述第1主面之上与所述第1电极分离地设置的，
所述第4电极是在所述半导体基体的所述第2主面之上与所述第2电极分离地设置的，
所述第3半导体层和所述第4半导体层在所述第1主面处与所述第1电极电连接，
所述第3半导体层和所述第4半导体层在所述第1主面处与所述第3电极电连接，
所述第2半导体层和所述第7半导体层在所述第2主面处与所述第2电极电连接，
所述第2半导体层和所述第7半导体层在所述第2主面处与所述第4电极电连接，
所述第1栅极电极隔着第1绝缘膜与所述第1半导体层、所述第3半导体层及所述第4半导体层相对，
所述第2栅极电极隔着第2绝缘膜与所述第1半导体层、所述第2半导体层、所述第7半导体层及第8半导体层相对。

11. 根据权利要求10所述的半导体装置，其中，

I_{13}/I_{14} 与 I_{15}/I_{16} 中的大的一者小于或等于小的一者的1.2倍，该 I_{13}/I_{14} 为对所述第1栅极电极施加接通电压并且以所述第2电极为基准对所述第1电极和所述第3电极施加相同大小的在第1导电型为p型时为正、在第1导电型为n型时为负的电压的情况下的流过所述第1电极的电流 I_{13} 与流过所述第3电极的电流 I_{14} 之比，该 I_{15}/I_{16} 为对所述第2栅极电极施加接通电压并且以所述第1电极为基准对所述第2电极和所述第4电极施加相同大小的在第1导电型为p型时为正、在第1导电型为n型时为负的电压的情况下的流过所述第2电极的电流 I_{15} 与流过所述第4电极的电流 I_{16} 之比。

12. 根据权利要求11所述的半导体装置，其中，

所述第1栅极电极隔着所述第1绝缘膜设置于第1沟槽内，该第1沟槽是在所述半导体基体的所述第1主面沿面内方向的一个方向即第1方向延伸地设置的，

所述第2栅极电极隔着所述第2绝缘膜设置于第2沟槽内，该第2沟槽是在所述半导体基

体的所述第2主面沿面内方向的一个方向即第2方向延伸地设置的，

所述第4半导体层设置为在所述第1主面处与所述第1沟槽接触，

所述第7半导体层设置为在所述第2主面处与所述第2沟槽接触，

W5/W6与W7/W8不同，该W5/W6为在与所述第1主面处设置有所述第1电极的区域在俯视观察时重叠的区域所述第4半导体层在所述第1主面处与所述第1沟槽接触的所述第1方向上的宽度的总和W5，和在与所述第1主面处设置有所述第3电极的区域在俯视观察时重叠的区域所述第4半导体层在所述第1主面处与所述第1沟槽接触的所述第1方向上的宽度的总和W6之比，该W7/W8为在与所述第2主面处设置有所述第2电极的区域在俯视观察时重叠的区域所述第7半导体层在所述第2主面处与所述第2沟槽接触的所述第2方向上的宽度的总和W7，和在与所述第2主面处设置有所述第4电极的区域在俯视观察时重叠的区域所述第7半导体层在所述第2主面处与所述第2沟槽接触的所述第2方向上的宽度的总和W8之比。

13. 根据权利要求11所述的半导体装置，其中，

俯视观察时的所述第3电极的面积与俯视观察时的所述第4电极的面积不同。

14. 一种电力变换装置，其具有：

主变换电路，其具有权利要求1至13中任一项所述的半导体装置；

驱动电路，其将对所述半导体装置进行驱动的驱动信号输出至所述半导体装置；以及

控制电路，其将对所述驱动电路进行控制的控制信号输出至所述驱动电路，

所述主变换电路将输入进来的电力变换而输出。

15. 根据权利要求14所述的电力变换装置，其中，

所述半导体装置为权利要求1、3或10所述的半导体装置，

所述驱动电路或所述控制电路或这两者基于流过所述第3电极的电流和流过所述第4电极的电流中的至少任一者，保护所述半导体装置不受到过电流的损害。

16. 根据权利要求14或15所述的电力变换装置，其中，

所述半导体装置为权利要求1、3或10所述的半导体装置，

该电力变换装置具有电阻，

所述电阻配置为流过所述第3电极的电流流过所述电阻，

所述电阻配置为流过所述第4电极的电流流过所述电阻，

所述驱动电路或所述控制电路或这两者基于所述电阻两端的电位差，保护所述半导体装置不受到过电流的损害。

17. 根据权利要求14所述的电力变换装置，其中，

所述半导体装置为权利要求7所述的半导体装置，

所述驱动电路或所述控制电路或这两者基于流过所述第3电极的电流，保护所述半导体装置不受到过电流的损害。

半导体装置及电力变换装置

技术领域

[0001] 本发明涉及半导体装置及电力变换装置。

背景技术

[0002] 在专利文献1中公开了能够双向地流过电流的半导体装置即RC-IGBT (Reverse-Conducting Insulated Gate Bipolar Transistor)。

[0003] 专利文献1:日本特开2009-99690号公报

[0004] 在现有的RC-IGBT中,FWD(Free Wheeling Diode)元件的正向电流-正向电压特性根据栅极信号的有无而产生变化,与此相对,FWD感测元件的正向电流-正向电压特性并不怎么根据栅极信号的有无而变化,因此难以高精度地对电流进行检测。

发明内容

[0005] 本发明就是为了解决上述那样的问题而提出的,其目的在于提供一种双向地流过电流且能够高精度地对电流进行检测的半导体装置。

[0006] 本发明的半导体装置在一个方式中在共通的半导体基体形成有晶体管和二极管,其中,该半导体装置具有:第1电极;第2电极;电流感测用的第3电极;电流感测用的第4电极;以及第1栅极电极,半导体基体具有:作为一个主面及另一个主面的第1主面及第2主面;晶体管区域,其形成有晶体管;二极管区域,其形成有二极管;以及

[0007] 分离区域,其设置于晶体管区域及二极管区域之间,晶体管区域具有:第1导电型的第1半导体层;第1导电型的第8半导体层,其设置于第1半导体层的第2主面侧,与第1半导体层相比第1导电型的杂质浓度高;第2导电型的第2半导体层,其设置于第8半导体层的第2主面侧;第2导电型的第3半导体层,其设置于第1半导体层的第1主面侧;以及第1导电型的第4半导体层,其选择性地设置于第3半导体层的第1主面侧,二极管区域具有:第1半导体层;第8半导体层,其设置于第1半导体层的第2主面侧;第1导电型的第5半导体层,其设置于第8半导体层的第2主面侧,与第1半导体层相比第1导电型的杂质浓度高;以及第2导电型的第6半导体层,其设置于第1半导体层的第1主面侧,第1电极设置于晶体管区域的第1主面之上及二极管区域的第1主面之上,第2电极设置于晶体管区域的第2主面之上及二极管区域的第2主面之上,第3电极是在半导体基体的晶体管区域的第1主面之上与第1电极分离地设置的,第4电极是在半导体基体的二极管区域的第1主面之上与第1电极分离地设置的,在晶体管区域,第3半导体层和第4半导体层在第1主面处与第1电极电连接,在晶体管区域,第3半导体层和第4半导体层在第1主面处与第3电极电连接,在晶体管区域,第2半导体层在第2主面处与第2电极电连接,在晶体管区域,第1栅极电极隔着第1绝缘膜与第1半导体层、第3半导体层及第4半导体层相对,在二极管区域,第6半导体层在第1主面处与第1电极电连接,在二极管区域,第6半导体层在第1主面处与第4电极电连接,在二极管区域,第5半导体层在第2主面处与第2电极电连接。

[0008] 发明的效果

[0009] 通过本发明,提供一种双向地流过电流且能够高精度地对电流进行检测的半导体装置。

附图说明

- [0010] 图1是表示实施方式1的半导体装置的概略结构的俯视图。
[0011] 图2是实施方式1的半导体装置的剖视图。
[0012] 图3是表示实施方式1的反馈电路的图。
[0013] 图4是表示实施方式1的反馈电路的图。
[0014] 图5是实施方式2的半导体装置的剖视图。
[0015] 图6是表示实施方式3的半导体装置的概略结构的俯视图。
[0016] 图7是实施方式3的半导体装置的剖视图。
[0017] 图8是表示实施方式3的半导体装置的动作模式的图。
[0018] 图9是表示实施方式3的半导体装置的变形例的概略结构的俯视图。
[0019] 图10是实施方式3的半导体装置的变形例的剖视图。
[0020] 图11是实施方式3的半导体装置的半导体基体的第1主面的俯视概略图。
[0021] 图12是实施方式3的半导体装置的半导体基体的第1主面的俯视概略图。
[0022] 图13是表示实施方式3的半导体装置的半导体基体的第1主面附近的剖视图。
[0023] 图14是表示电力变换系统的结构的框图,该电力变换系统应用了实施方式4的电力变换装置。
[0024] 图15是实施方式1的半导体装置的剖视图。

具体实施方式

[0025] 在下面的说明中,n型及p型表示半导体的导电型,在本发明中,以第1导电型为n型、第2导电型为p型进行说明,但也可以是第1导电型为p型,第2导电型为n型。 n^- 型表示杂质浓度比n型低的浓度, n^+ 型表示杂质浓度比n型高的浓度。同样地, p^- 型表示杂质浓度比p型低的浓度, p^+ 型表示杂质浓度比p型高的浓度。

[0026] <A.实施方式1>

[0027] <A-1.结构>

[0028] 图1是表示实施方式1的半导体装置1a的概略结构的俯视图。

[0029] 图2是图1的I-I线处的剖视图。

[0030] 半导体装置1a是作为RC-IGBT起作用的半导体装置。

[0031] 半导体装置1a例如用作在电动机控制用逆变器模块中使用的功率开关元件。

[0032] 半导体装置1a具有半导体基体100、电极19、电极20、电极22、电极23及绝缘膜21。

[0033] 电极19、电极20、电极22及电极23例如是使用铝类材料形成的。

[0034] 如图1所示,半导体基体100具有形成有IGBT的IGBT区域41、形成有二极管的二极管区域42、设置于IGBT区域41和二极管区域42之间的分离区域40、焊盘区域3和末端区域2。

[0035] 如图2所示,半导体基体100具有作为一个主面及另一个主面的第1主面100a及第2主面100b。半导体基体100的厚度即第1主面100a与第2主面100b之间的距离例如为120 μm 左右。

- [0036] IGBT区域41和二极管区域42通过分离区域40而分离。
- [0037] IGBT区域41具有IGBT主区域31和IGBT感测区域51。
- [0038] 二极管区域42具有二极管主区域32和二极管感测区域52。
- [0039] 在焊盘区域3,在半导体基体100的第1主面100a之上设置有栅极焊盘3a。栅极焊盘3a例如是使用铝类材料构成的。栅极焊盘3a与电极19及电极22电分离。另外,栅极焊盘3a与后述的栅极电极12电连接,通过从外部向该栅极焊盘输入驱动信号,从而能够对设置于IGBT区域41的IGBT进行控制。
- [0040] 末端区域2是在半导体基体100的外周部分设置的区域。末端区域2设置为包围将IGBT区域41、二极管区域42、分离区域40及焊盘区域3合在一起的区域。在末端区域2,在半导体基体100的第1主面100a侧表层部分设置有用于对电场集中进行抑制的末端构造。
- [0041] 半导体装置1a例如是使用杂质浓度为 $1 \times 10^{14} \text{cm}^{-3}$ 左右的n⁻型的单晶块体硅基板制造的。该单晶块体硅基板例如是使用FZ(floating zone,浮动区)法制造的。该单晶块体硅基板与半导体基体100对应。
- [0042] <A-1-1.IGBT区域的构造>
- [0043] IGBT区域41具有IGBT主区域31和IGBT感测区域51。IGBT主区域31和IGBT感测区域51彼此相邻。IGBT感测区域51例如在俯视观察时被IGBT主区域31包围。
- [0044] IGBT主区域31和IGBT感测区域51共用电极20。另一方面,在IGBT主区域31的第1主面100a之上设置的电极19和在IGBT感测区域51的第1主面100a之上设置的电极22设置为彼此分离。
- [0045] IGBT感测区域51与IGBT主区域31相比,俯视观察时的面积小。俯视观察时的IGBT感测区域51的面积例如大于或等于IGBT主区域31的面积的1/3000且小于或等于1/300,例如为1/1000左右。
- [0046] IGBT主区域31和IGBT感测区域51除了俯视观察时的尺寸不同之外具有相同的构造。下面,将IGBT主区域31和IGBT感测区域51的构造合在一起,作为IGBT区域41的构造而进行说明。
- [0047] 半导体基体100在IGBT区域41具有n⁻型的漂移层10、n型的缓冲层16、p⁺型的集电极层14、p型的基极层11及n⁺型的发射极层13。
- [0048] 基极层11设置于漂移层10的第1主面100a侧。
- [0049] 发射极层13选择性地设置于基极层11的第1主面100a侧。
- [0050] 在半导体基体100设置有从第1主面100a将发射极层13及基极层11贯穿而到达漂移层10的沟槽17。在沟槽17内,隔着在沟槽17的底面及侧面设置的栅极绝缘膜18设置有栅极电极12。栅极电极12例如是使用杂质浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 左右的多晶硅形成的。沟槽17例如设置为在面内的一个方向上延伸。
- [0051] 栅极电极12隔着栅极绝缘膜18与发射极层13、基极层11及漂移层10相对。
- [0052] 在IGBT区域41,基极层11具有基极层11a、基极层11b。
- [0053] 基极层11a是由沟槽17划分基极层11而形成的多个台面形状中的在第1主面100a侧的表层选择性地形成有发射极层13的台面形状的部分。基极层11b是由沟槽17划分基极层11而形成的多个台面形状中的在第1主面100a侧的表层没有形成发射极层13的台面形状的部分。基极层11a和基极层11b例如在与沟槽17的延伸方向交叉的方向上交替地配置。

- [0054] 在本实施方式中,发射极层13的厚度例如为 $0.5\mu\text{m}$ 左右,发射极层13的杂质浓度例如为 $3\times 10^{19}\text{cm}^{-3}$ 左右。
- [0055] 在IGBT主区域31,电极19设置于第1主面100a之上。
- [0056] 在IGBT感测区域51,电极22设置于第1主面100a之上。
- [0057] 在IGBT主区域31及IGBT感测区域51,电极20设置于第2主面100b之上。
- [0058] 发射极层13和基极层11a在第1主面100a处与电极19电连接。电极19作为在IGBT区域41形成的IGBT元件的发射极电极起作用。
- [0059] 基极层11a中的与栅极电极12相对的区域作为在IGBT区域41形成的IGBT元件的沟道区域起作用。
- [0060] 基极层11b的第1主面100a侧表面的大部分被绝缘膜21遮盖。仅基极层11b的第1主面100a侧表面中的没有被绝缘膜21遮盖的一部分与电极19连接。基极层11b和电极19相连接的部分的面积小,经过该基极层11b和电极19相连接的部分的路径的电阻大。省略了基极层11b和电极19电连接区域的图示。
- [0061] 缓冲层16设置于漂移层10的第2主面100b侧。
- [0062] 缓冲层16用于对从漂移层10和基极层11之间的边界的pn结扩展的耗尽层的扩展进行抑制。
- [0063] 集电极层14设置于缓冲层16的第2主面100b侧。集电极层14的厚度例如为 $0.5\mu\text{m}$ 左右,集电极层14的杂质浓度例如为 $1\times 10^{18}\text{cm}^{-3}$ 左右。
- [0064] 在IGBT主区域31,基极层11a及发射极层13在第1主面100a处与电极19电连接。
- [0065] 在IGBT感测区域51,基极层11a及发射极层13在第1主面100a处与电极22电连接。
- [0066] 在IGBT主区域31及IGBT感测区域51,集电极层14在第2主面100b处与电极20电连接。
- [0067] <A-1-2.二极管区域>
- [0068] 二极管区域42具有二极管主区域32和二极管感测区域52。二极管主区域32和二极管感测区域52彼此相邻。二极管感测区域52例如在俯视观察时被二极管主区域32包围。
- [0069] 二极管主区域32和二极管感测区域52共用电极20。另一方面,在二极管主区域32的第1主面100a之上设置的电极19和在二极管感测区域52的第1主面100a之上设置的电极23设置为彼此分离。
- [0070] 二极管感测区域52与二极管主区域32相比,俯视观察时的面积小。俯视观察时的二极管感测区域52的面积例如大于或等于二极管主区域32的面积的 $1/3000$ 且小于或等于 $1/300$,例如为 $1/1000$ 左右。
- [0071] 二极管主区域32和二极管感测区域52除了俯视观察时的尺寸不同之外具有相同的构造。下面,将二极管主区域32和二极管感测区域52的构造合在一起,作为二极管区域42的构造进行说明。
- [0072] 半导体基体100在二极管区域42具有 n^- 型的漂移层10、 n 型的缓冲层16、 n^+ 型的阴极层15及 p 型的基极层11。
- [0073] 基极层11在二极管区域42具有阳极层11c。阳极层11c具有与IGBT区域41的基极层11b相同的构造。
- [0074] 二极管区域42的漂移层10与IGBT区域41的漂移层10及分离区域40的漂移层10连

为一体。

[0075] 在二极管区域42,缓冲层16设置于漂移层10的第2主面100b侧。

[0076] 在二极管区域42,阴极层15设置于缓冲层16的第2主面100b侧。阴极层15的厚度例如为 $0.5\mu\text{m}$ 左右,阴极层15的杂质浓度例如为 $1\times 10^{18}\text{cm}^{-3}$ 左右。缓冲层16和阴极层15也可以如图15所示成为一体。即,在将缓冲层16和阴极层15合在一起的区域可以具有n型或n⁺型的一体的半导体层。该一体的半导体层例如是通过一次离子注入工序形成的。该一体的半导体层的杂质浓度例如为 $1\times 10^{18}\text{cm}^{-3}$ 左右。

[0077] 在二极管主区域32,电极19设置于第1主面100a之上。

[0078] 电极19被IGBT主区域31和二极管主区域32共用。

[0079] 在二极管感测区域52,电极23设置于第1主面100a之上。

[0080] 在二极管主区域32及二极管感测区域52,电极20设置于第2主面100b之上。电极20被二极管区域42和IGBT区域41共用。

[0081] 在二极管主区域32,阳极层11c在第1主面100a处与电极19电连接。电极19作为在二极管区域42形成的二极管的阳极电极起作用。

[0082] 在二极管感测区域52,阳极层11c在第1主面100a处与电极23电连接。

[0083] 在二极管主区域32及二极管感测区域52,阴极层15在第2主面100b处与电极20电连接。

[0084] <A-1-3.分离区域>

[0085] 半导体基体100具有在IGBT区域41和二极管区域42之间设置的分离区域40。IGBT区域41和二极管区域42通过分离区域40而分离。

[0086] 通过分离区域40使IGBT区域41和二极管区域42彼此分离,由此IGBT区域41和二极管区域42之间的电阻变大。由此,由一体地形成有IGBT和二极管造成的彼此的功能上的干涉得到抑制。

[0087] 分离区域40的宽度例如大于或等于半导体基体100的厚度的3倍。分离区域40的宽度例如为半导体基体100的厚度的5倍左右。在本实施方式中,半导体基体100的厚度例如为 $120\mu\text{m}$ 左右,分离区域40的宽度例如为 $600\mu\text{m}$ 左右。

[0088] 通过分离区域40,IGBT区域41和二极管区域42例如以大于或等于半导体基体100的厚度的3倍分离。通过分离区域40,IGBT区域41和二极管区域42例如以半导体基体100的厚度的5倍左右分离。通过分离区域40,IGBT区域41和二极管区域42例如分离 $600\mu\text{m}$ 左右。

[0089] 在分离区域40,半导体基体100具有n⁻型的漂移层10、n型的缓冲层16、p⁺型的集电极层14、p型的基极层11b及n⁺型的阴极层15。

[0090] 在分离区域40,基极层11b设置于漂移层10的第1主面100a侧。分离区域40的基极层11b具有与IGBT区域41的基极层11b相同的构造。在分离区域40,在基极层11b和电极19之间设置有绝缘膜21,例如,在分离区域40,基极层11b与电极19不接触。

[0091] 在分离区域40,缓冲层16设置于漂移层10的第2主面100b侧。

[0092] 在分离区域40,集电极层14选择性地设置于缓冲层16的第2主面100b侧。

[0093] 在分离区域40,阴极层15选择性地设置于缓冲层16的第2主面100b侧。

[0094] 设置于IGBT区域41的集电极层14设置为伸出到分离区域40。设置于二极管区域42的阴极层15设置为伸出到分离区域40。即,在俯视观察时,集电极层14和阴极层15的边界至

少局部地包含于分离区域40。阴极层15例如在俯视观察时设置于包含二极管区域42整体的区域。集电极层14和阴极层15的边界例如完全包含于分离区域40。

[0095] 如果集电极层14和阴极层15的边界进入二极管区域42,则阴极层15的尺寸变小,形成于二极管区域42的二极管的正向电压增加。如果集电极层14和阴极层15的边界进入IGBT区域41,则形成于IGBT区域41的IGBT和形成于二极管区域42的二极管的彼此功能上的干涉的抑制变得不充分。

[0096] 通过将集电极层14和阴极层15的边界配置于分离区域40,从而能够确保从阴极层15至IGBT主区域31为止的距离,将从阴极层15至IGBT主区域31为止的电阻设得大,对IGBT区域41和二极管区域42的功能上的干涉进行抑制。

[0097] 在没有设置分离区域40的情况下,当电流沿二极管的正向即从电极19向电极20的方向在二极管区域42流动时,如果对栅极电极12施加接通电压而使IGBT区域41的沟道接通,则在二极管区域42中的与IGBT区域41接近而未与IGBT区域41以充分大的电阻分离的区域,阳极层11c和漂移层10彼此成为相同电位。即,由于对栅极电极12施加有接通电压,二极管区域42的一部分区域难以进行正向动作。其结果,存在二极管区域42的正向电压 V_f 增加,进而二极管区域42的正向损耗增加这样的问题。另外,由于二极管区域42的一部分区域难以进行正向动作,因此二极管主区域32的电流与二极管感测区域52的电流之比根据施加于栅极电极12的栅极电位是接通还是断开而变动。即,产生无法通过二极管感测区域52高精度地对流过二极管主区域32的电流进行检测这样的问题。在本实施方式的半导体装置1a中,通过设置分离区域40,从而能够对这些问题进行抑制,能够通过二极管感测区域52高精度地对流过二极管主区域32的电流进行检测。

[0098] 通过设置分离区域40,电流从IGBT区域41的电极19流至二极管区域42的电极20的路径,即从电极19通过基极层11a、漂移层10、缓冲层16、阴极层15而到达电极20的路径成为高电阻,该路径不是有效的电流路径。由于施加于栅极电极12的栅极信号的通断,该路径的电阻产生变化,由此,也会影响二极管主区域32的动作,但由于该路径原本为高电阻,因此会抑制施加于栅极电极12的栅极信号的通断对二极管主区域32的动作造成的影响。而且,在IGBT主区域31仅集电极层14与电极20连接,另外,由于具有漂移层10与集电极层14的pn结,因此在IGBT主区域31几乎没有从电极19向电极20的方向的电流流动。因此,会抑制施加于栅极电极12的栅极信号的通断及IGBT主区域31的动作对二极管主区域32的动作造成的影响。

[0099] 如上所述,在本实施方式中,通过设置分离区域40,从而会抑制施加于栅极电极12的栅极信号的通断对二极管主区域32的正向电流-正向电压特性造成的影响,由此,能够通过二极管感测区域52高精度地对二极管主区域32的电流进行检测。通过使分离区域40的宽度充分大,会更可靠地得到这些效果。

[0100] <A-2.动作>

[0101] 半导体装置1a例如在向半导体装置1a外部的绝缘基板(未图示)之上的金属膜焊接了电极20后,被安装于壳体。该壳体例如是安装有发射极端子96、发射极感测端子91、集电极端子95、栅极端子90、IGBT感测端子92及二极管感测端子93等的壳体。

[0102] 之后,电极19和发射极端子96、电极19和发射极感测端子91、焊接有电极20的金属膜和集电极端子95、栅极焊盘3a和栅极端子90、电极22和IGBT感测端子92、电极23和二极管

感测端子93通过基于铝导线的键合等进行电连接。在图2中示意性地示出这些电连接。

[0103] 在半导体装置1a中,感测用的电极22及感测用的电极23均处于第1主面100a侧。因此,通过用于将电极19和发射极感测端子91连接的导线键合作业工序,能够同时进行电极22和IGBT感测端子92的键合及电极23和二极管感测端子93的键合,对组装工序数量的增加进行抑制。

[0104] 之后,半导体装置1a及铝导线被硅凝胶等树脂覆盖,而且,通过将盖安装于壳体,从而进行半导体装置1a的封装。

[0105] 下面,对使用了按照上述方式进行了封装的半导体装置1a的反馈电路150的动作进行说明。

[0106] 如图3所示,反馈电路150具有半导体装置1a、AND电路110、感测电阻111、反馈部112、栅极电阻113。在图3中,通过具有IGBT和二极管的等价电路示意性地示出半导体装置1a。未图示的负载及电源等连接于发射极端子96和集电极端子95之间。

[0107] 用于对半导体装置1a进行驱动的驱动信号即PWM(pulse width modulation)栅极信号和反馈部112的输出被输入至AND电路110。PWM栅极信号由反馈电路150外部的PWM信号产生电路等生成,被输入至AND电路110的输入端子。

[0108] AND电路110是在输入进来的全部信号都为高电平时,另外,仅在此时输出高电平的信号的逻辑电路。

[0109] 在从反馈部112输入至AND电路110的信号为高电平的信号的情况下,PWM栅极信号被允许通过AND电路110,AND电路110将输入进来的PWM栅极信号输出。

[0110] 在从反馈部112输入至AND电路110的信号为低电平的信号的情况下,PWM栅极信号被禁止通过AND电路110。即,在从反馈部112输入至AND电路110的信号为低电平的信号的情况下,与PWM栅极信号是高电平还是低电平无关地,AND电路110输出低电平的信号。

[0111] AND电路110经由栅极电阻113及栅极端子90与半导体装置1a的栅极焊盘3a电连接。施加于栅极电极12的栅极电压通过经由栅极电阻113及栅极端子90从AND电路110供给至半导体装置1a的PWM栅极信号进行控制。

[0112] 在PWM栅极信号为高电平的信号,并且该高电平的信号即PWM栅极信号被允许通过AND电路110的情况下,接通电压被施加于栅极电极12。

[0113] 在PWM栅极信号为低电平的信号的情况下,AND电路110的输出为低电平的信号,断开电压被施加于栅极电极12。

[0114] 在PWM栅极信号被禁止通过AND电路110的情况下,AND电路110的输出为低电平的信号,断开电压被施加于栅极电极12。

[0115] 感测电阻111的一端经由IGBT感测端子92与电极22连接,另外,经由二极管感测端子93与电极23连接。感测电阻111的另一端经由发射极感测端子91与电极19连接。由此,与流过IGBT主区域31的主电流对应的大小的电流及与流过二极管主区域32的主电流对应的大小的电流流过感测电阻111。

[0116] 感测电阻111两端的电位差 V_s 被反馈至反馈部112。在图3中,作为一个例子,示出了感测电阻111兼用于流过IGBT主区域31的电流的检测和流过二极管主区域32的电流的检测的例子,但也可以在流过IGBT主区域31的电流的检测和流过二极管主区域32的电流的检测中使用各自不同的电阻。如果感测电阻111兼用于流过IGBT主区域31的电流的检测和流

过二极管主区域32的电流的检测,则反馈电路150的制造成本得到抑制。

[0117] 反馈部112例如是将运算放大器等电路组合而构成的。

[0118] 反馈部112对二极管主区域32是否流过有电流及IGBT主区域31是否流过有过电流进行判定,基于判定结果,允许或禁止向AND电路110输入的PWM栅极信号的通过。

[0119] 反馈部112具有为了对二极管主区域32是否流过有电流进行判定而使用的二极管电流检测阈值 V_{th1} 、为了对IGBT主区域31是否流过有过电流进行判定而使用的过电流检测阈值 V_{th2} 。在本实施方式中, V_{th1} 及 V_{th2} 为电压值。

[0120] 当在IGBT主区域31电流沿从第2主面100b向第1主面100a的方向流动的情况下,在二极管主区域32电流几乎不流动。当在IGBT主区域31电流沿从第2主面100b向第1主面100a的方向流动的情况下,与其对应地,在IGBT感测区域51电流也沿从第2主面100b向第1主面100a的方向流动,在感测电阻111中,电流也从IGBT感测端子92通过感测电阻111而向朝向发射极感测端子91的方向流动。由此,感测电阻111两端的电位差 V_s 为正值。感测电阻111两端的电位差 V_s 的符号定义为,在与IGBT感测端子92及二极管感测端子93连接侧的电位比与发射极感测端子91连接侧的电位高的情况下为正。当在IGBT主区域31流有过电流的情况下,感测电阻111两端的电位差 V_s 为正值且变大。因此,过电流检测阈值 V_{th2} 被设定为正值。反馈部112在感测电阻111两端的电位差 V_s 大于过电流检测阈值 V_{th2} 的情况下,判定为在IGBT主区域31流有过电流,在感测电阻111两端的电位差 V_s 小于过电流检测阈值 V_{th2} 的情况下,判定为在IGBT主区域31没有流有过电流。

[0121] 当在二极管主区域32电流从第1主面100a流向第2主面100b的情况下,在IGBT主区域31几乎不流动电流。当在二极管主区域32电流从第1主面100a流向第2主面100b的情况下,与其对应地,在二极管感测区域52电流也沿从第1主面100a向第2主面100b的方向流动,在感测电阻111中,也流过从发射极感测端子91通过感测电阻111而向二极管感测端子93的方向的电流。在该情况下,感测电阻111两端的电位差 V_s 为负值。因此,二极管电流检测阈值 V_{th1} 被设定为负值。反馈部112在感测电阻111两端的电位差 V_s 小于二极管电流检测阈值 V_{th1} 的情况下,判定为在二极管主区域32流过电流,在感测电阻111两端的电位差 V_s 大于二极管电流检测阈值 V_{th1} 的情况下,判定为在二极管主区域32没有流过电流。

[0122] 反馈部112在感测电阻111两端的电位差 V_s 大于二极管电流检测阈值 V_{th1} 且小于过电流检测阈值 V_{th2} 的情况下,向AND电路110输出高电平的信号,允许向AND电路110输入的PWM栅极信号的通过。另一方面,在感测电阻111两端的电位差 V_s 小于二极管电流检测阈值 V_{th1} ,或大于过电流检测阈值 V_{th2} 的情况下,向AND电路110输出低电平的信号,不允许向AND电路110输入的PWM栅极信号的通过。

[0123] 当在IGBT主区域31电流正常地沿从第2主面100b向第1主面100a的方向流动的情况下,即在流动不是过电流的电流的情况下,感测电阻111两端的电位差 V_s 大于二极管电流检测阈值 V_{th1} ,另外,感测电阻111两端的电位差 V_s 小于过电流检测阈值 V_{th2} 。因此,从反馈部112输出高电平的信号,输入至AND电路110。由此,PWM栅极信号被允许通过AND电路110,在IGBT主区域31电流继续沿从第2主面100b向第1主面100a的方向流动。

[0124] 当在IGBT主区域31沿从第2主面100b向第1主面100a的方向流有过电流的情况下,感测电阻111两端的电位差 V_s 大于过电流检测阈值 V_{th2} 。因此,从反馈部112输出低电平的信号,输入至AND电路110。由此,PWM栅极信号被禁止通过AND电路110,断开电压被施加于栅

极电极12。由此,能够抑制半导体装置1a由于流过IGBT主区域31的过电流而破损。

[0125] 当在二极管主区域32沿从第1主面100a向第2主面100b的方向流过电流的情况下,感测电阻111两端的电位差 V_s 为负。在电位差 V_s 不小于二极管电流检测阈值 V_{th1} 的情况下,从反馈部112输出低电平的信号,输入至AND电路110。由此,PWM栅极信号被禁止通过AND电路110,断开电压被施加于栅极电极12。由此,能够进一步对如下问题进行抑制,即,由于接通电压被施加于栅极电极12,因而二极管主区域32的正向电压 V_f 增加,二极管主区域32的正向损耗增加。

[0126] 反馈电路150也可以是图4所示那样的电路。

[0127] 图4所示的反馈电路150与图3所示的反馈电路150相比,还具有控制电路203、驱动电路202。反馈部112具有为了对二极管主区域32是否流过有过电流进行判定而使用的过电流检测阈值 V_{th3} 以替代二极管电流检测阈值 V_{th1} 。而且,在感测电阻111两端的电位差 V_s 小于过电流检测阈值 V_{th3} 的情况下,判断为过电流流过二极管主区域32,将这一主旨传送至控制电路203。为了保护半导体装置1a不受到过电流的损害,控制电路203例如使未图示的保护电路进行动作。

[0128] <A-3. 总结>

[0129] 如上所述,半导体装置1a是IGBT和二极管形成于共通的半导体基体100的半导体装置。半导体装置1a具有电极19、电极20、电流感测用的电极22、电流感测用的电极23、栅极电极12。

[0130] 半导体基体100具有形成有IGBT的IGBT区域41、形成有二极管的二极管区域42、设置于IGBT区域41及二极管区域42之间的分离区域40。

[0131] 电极19设置于IGBT区域41的第1主面100a之上及二极管区域42的第1主面100a之上。电极20设置于IGBT区域41的第2主面100b之上及二极管区域42的第2主面100b之上。

[0132] 电极22是在半导体基体100的IGBT区域41中的IGBT感测区域51的第1主面100a之上与电极19分离地设置的。

[0133] 电极23是在半导体基体100的二极管区域42中的二极管感测区域52的第1主面100a之上与电极19分离地设置的。

[0134] 在IGBT区域41中的IGBT主区域31,基极层11a和发射极层13在第1主面100a处与电极19电连接。

[0135] 在IGBT区域41中的IGBT感测区域51,基极层11a和发射极层13在第1主面100a处与电极22电连接。

[0136] 在IGBT区域41,集电极层14在第2主面100b处与电极20电连接。

[0137] 在IGBT区域41,栅极电极12隔着栅极绝缘膜18与漂移层10、基极层11a和发射极层13相对。

[0138] 在二极管区域42中的二极管主区域32,阳极层11c在第1主面100a处与电极19电连接。

[0139] 在二极管区域42中的二极管感测区域52,阳极层11c在第1主面100a处与电极23电连接。

[0140] 在二极管区域42,阴极层15在第2主面100b处与电极20电连接。

[0141] 就半导体装置1a而言,IGBT区域41和二极管区域42通过分离区域40而分离。即使

PWM栅极信号通过栅极端子90被输入至栅极电极12,对二极管区域42的正向电流-正向电压特性的影响也小。即使在二极管感测区域52进行二极管的正向动作时接通电压被施加于栅极电极12,通过具有分离区域40,也会对阳极层11c和漂移层10意图成为相同电位的倾向进行抑制,对由于栅极电极12的电位而导致二极管感测区域52变得难以进行正向动作进行抑制。二极管主区域32也同样如此。即,流过二极管感测区域52的电流与流过二极管主区域32的电流之比难以对输入至栅极电极12的栅极信号造成影响。因此,能够通过二极管感测区域52更高精度地对流过二极管主区域32的电流进行检测。例如,能够高精度地对流过二极管主区域32的过电流进行检测,高精度地对过电流破坏进行控制。即,能够最大限度地利用二极管主区域32的通电能力。

[0142] 另外,在与半导体基体100的厚度方向垂直的方向上,IGBT区域41和二极管区域42形成为被分离区域40充分地隔开间隔。因此,能够对随着IGBT区域41的动作而积蓄于漂移层10的载流子,即从集电极层14注入至漂移层10的空穴中的至少一部分越过分离区域40流向二极管区域42的阳极层11c而产生二极管区域42的正向电流-正向电压特性的变动进行抑制。即,使用二极管感测区域52检测的电流高精度地与流过二极管主区域32的电流对应。

[0143] <A-4.其它>

[0144] 即使使IGBT感测区域51的尺寸相对于IGBT主区域31的尺寸的比率和二极管感测区域52的尺寸相对于二极管主区域32的尺寸的比率相同,在IGBT动作时通过IGBT感测区域51检测的电流值和在三极管动作时通过二极管感测区域52检测的电流值并不限于成为相同程度的大小。原因在于,IGBT区域41的接通电流-接通电压特性大幅受到沟道电阻的影响,相对于此,二极管区域42的正向电流-正向电压特性几乎不受沟道电阻的影响。

[0145] 通过使IGBT的感测比与二极管的感测比一致,在IGBT动作时通过IGBT感测区域51检测的电流值和在三极管动作时通过二极管感测区域52检测的电流值成为相同程度。

[0146] 例如,IGBT的感测比和二极管的感测比中的大的一者小于或等于小的一者的1.2倍。IGBT的感测比是指对栅极电极12施加接通电压并且以电极20为基准对电极19和电极22施加相同大小的负电压的情况下的流过电极19的电流 I_1 与流过电极22的电流 I_2 之比 I_1/I_2 。二极管的感测比是指以电极20为基准对电极19和电极23施加相同大小的正电压的情况下的流过电极19的电流 I_3 与流过电极23的电流 I_4 之比 I_3/I_4 。

[0147] 如果通过IGBT感测区域51检测的电流值和通过二极管感测区域52检测的电流值为相同程度,则能够使用反馈电路150中的感测电阻111那样的共用电阻来替代单独使用IGBT专用的感测电阻和二极管专用的感测电阻,能够减少感测电阻的数量。

[0148] 通过改变二极管感测区域52的电极23的尺寸,改变电极23与半导体基体100之间的接触电阻的大小,从而能够使二极管感测区域52的正向电流-正向电压特性变化,改变流过二极管主区域32的电流与流过二极管感测区域52的电流之比。IGBT区域41也同样如此。另外,通过改变感测比,从而能够在不改变感测电阻111的情况下对电流的检测灵敏度进行变更。

[0149] <B.实施方式2>

[0150] 图1是表示实施方式2的半导体装置1b的概略结构的俯视图。

[0151] 图5是表示本实施方式的半导体装置1b的结构的剖视图,是图1的I-I线处的剖视图。

[0152] 半导体装置1b与实施方式1的半导体装置1a相比,没有在实施方式1中在第1主面100a之上与电极19分离地设置的电极23,在二极管感测区域52,在第1主面100a之上也设置有电极19,另外,在二极管感测区域52的第2主面100b之上,与电极20分离地设置有电极24。除此之外,半导体装置1b与实施方式1的半导体装置1a相同。

[0153] 换言之,就实施方式1的半导体装置1a而言,在二极管感测区域52从第1主面100a侧导出感测电流,但在本实施方式中,在二极管感测区域52从第2主面100b侧导出感测电流。

[0154] 通过在二极管感测区域52从第2主面100b侧导出感测电流,从而存在下述优点,即,在将半导体装置1b焊接于半导体装置1b外部的绝缘基板之上的金属膜时能够进行电极24的配线。

[0155] 例如,IGBT的感测比和二极管的感测比中的大的一者小于或等于小的一者的1.2倍。IGBT的感测比是指对栅极电极12施加接通电压并且以电极20为基准对电极19和电极22施加相同大小的负电压的情况下的流过电极19的电流 I_5 与流过电极22的电流 I_6 之比 I_5/I_6 。二极管的感测比是指以电极19为基准对电极20和电极24施加相同大小的负电压的情况下的流过电极20的电流 I_7 与流过电极24的电流 I_8 之比 I_7/I_8 。

[0156] 在IGBT感测区域51的处于第1主面100a侧的电极22和二极管感测区域52的处于第2主面100b侧的电极24之间,在半导体装置1b的动作过程中产生大的电位差。因此,在实施方式1中IGBT感测端子92和二极管感测端子93与感测电阻111直接连接,但在将半导体装置1b用于反馈电路的情况下,无法将与电极24连接的二极管感测端子94直接连接于感测电阻111。为了防止大的电位差直接传送至感测电阻111,进一步通过感测电阻111传送至反馈部112或电极19,导致反馈部112或半导体装置1b破损,必须经由电平移位电路等电位差抑制装置与二极管感测端子94和感测电阻111连接。

[0157] 在本实施方式中,通过如上所述对反馈电路进行改进,进行与实施方式1相同的控制,从而例如也能够抑制由过电流流过二极管区域42造成的半导体装置1b的破损。在本实施方式中,通过设置分离区域40,从而也能够通过二极管感测区域52高精度地对流过二极管主区域32的电流进行检测,能够高精度地对由过电流造成的半导体装置1b的破损进行控制。

[0158] <C.实施方式3>

[0159] <C-1.结构>

[0160] 图6是表示实施方式3的半导体装置1c的概略结构的俯视图。

[0161] 图7是图6的II-II线处的剖视图。

[0162] 半导体装置1c具有半导体基体100、电极19、电极20、电极22、绝缘膜21及绝缘膜29。

[0163] 如图6所示,半导体基体100具有形成有IGBT的IGBT区域41b、焊盘区域3、末端区域2。

[0164] 在焊盘区域3,在半导体基体100的第1主面100a之上设置有栅极焊盘3a。在焊盘区域3,在半导体基体100的第2主面100b之上设置有栅极焊盘3b。栅极焊盘3a及栅极焊盘3b例如是使用铝类材料构成的。栅极焊盘3a与电极19及电极22电分离。栅极焊盘3a与栅极电极12电连接,能够经由栅极焊盘3a从外部向栅极电极12输入驱动信号。栅极焊盘3b与电极20

电分离。栅极焊盘3b与后述的栅极电极27电连接,能够经由栅极焊盘3b从外部向栅极电极27输入驱动信号。

[0165] 末端区域2与在实施方式1中说明过的末端区域相同。

[0166] 如图7所示,半导体基体100具有作为一个主面及另一个主面的第1主面100a及第2主面100b。

[0167] 本实施方式的半导体装置1c是不仅在第1主面100a侧具有MOS栅极,在第2主面100b侧也具有MOS栅极的双面栅极IGBT。通过栅极控制,能够使半导体装置1c发挥作为IGBT元件的功能和作为续流二极管的功能。

[0168] IGBT区域41b具有IGBT主区域31b和IGBT感测区域51b。

[0169] 在IGBT主区域31b和IGBT感测区域51b,在第2主面100b之上设置有电极20。IGBT主区域31b和IGBT感测区域51b共用电极20。另一方面,在IGBT主区域31b的第1主面100a之上设置的电极19和在IGBT感测区域51b的第1主面100a之上设置的电极22设置为彼此分离。

[0170] IGBT感测区域51b与IGBT主区域31b相比,俯视观察时的面积小。俯视观察时的IGBT感测区域51b的面积例如大于或等于俯视观察时的IGBT主区域31b的面积的1/3000且小于或等于1/300,例如为1/1000左右。

[0171] IGBT主区域31b和IGBT感测区域51b除了俯视观察时的尺寸不同之外具有相同的构造。下面,将IGBT主区域31b和IGBT感测区域51b合在一起,作为IGBT区域41b的构造而进行说明。

[0172] 半导体装置1c例如是使用杂质浓度为 $1 \times 10^{14} \text{cm}^{-3}$ 左右的n⁻型的单晶块体硅基板制造的。该单晶块体硅基板例如是使用FZ(floating zone,浮动区)法制造的。该单晶块体硅基板与半导体基体100对应。

[0173] 半导体基体100在IGBT区域41b具有n⁻型的漂移层10、n型的缓冲层16、p⁺型的集电极层14、p型的基极层11、n⁺型的发射极层13及n⁺型的集电极层25。

[0174] 基极层11设置于漂移层10的第1主面100a侧。

[0175] 发射极层13选择性地设置于基极层11的第1主面100a侧。

[0176] 在半导体基体100设置有从第1主面100a将发射极层13及基极层11贯穿而到达漂移层10的沟槽17。在沟槽17内,隔着在沟槽17的底面及侧面设置的栅极绝缘膜18设置有栅极电极12。栅极电极12例如是使用杂质浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 左右的多晶硅形成的。沟槽17例如设置为在面内的一个方向上延伸。

[0177] 栅极电极12隔着栅极绝缘膜18与发射极层13、基极层11及漂移层10相对。

[0178] 在IGBT区域41b,基极层11具有基极层11a、基极层11b。

[0179] 基极层11a是由沟槽17划分基极层11而形成的多个台面形状中的在第1主面100a侧的表层处选择性地形成有发射极层13的台面形状的部分。基极层11b是由沟槽17划分基极层11而形成的多个台面形状中的在第1主面100a侧的表层处没有形成发射极层13的台面形状的部分。基极层11a和基极层11b例如在与沟槽17的延伸方向交叉的方向上交替地配置。

[0180] 在本实施方式中,发射极层13的厚度例如为0.5 μm 左右,发射极层13的杂质浓度例如为 $3 \times 10^{19} \text{cm}^{-3}$ 左右。

[0181] 在IGBT主区域31b,发射极层13和基极层11a在第1主面100a处与电极19电连接。电

极19作为在IGBT区域41b形成的IGBT元件的发射极电极起作用。

[0182] 在IGBT感测区域51b,发射极层13和基极层11a在第1主面100a处与电极22电连接。

[0183] 基极层11a中的与栅极电极12相对的区域作为在IGBT区域41b形成的IGBT元件的沟道区域起作用。

[0184] 基极层11b的第1主面100a侧表面的大部分被绝缘膜21遮盖。基极层11b的第1主面100a侧表面中的仅没有被绝缘膜21遮盖的一部分与电极19连接。基极层11b和电极19相连接的部分的面积小,经过该基极层11b和电极19相连接的部分的路径的电阻大。省略了基极层11b和电极19电连接的区域图示。

[0185] 缓冲层16设置于漂移层10的第2主面100b侧。

[0186] 缓冲层16用于对从漂移层10和基极层11之间的边界的pn结扩展的耗尽层的扩展进行抑制。

[0187] 集电极层14设置于缓冲层16的第2主面100b侧。集电极层14的厚度例如为00.5 μm 左右,集电极层14的杂质浓度例如为 $1 \times 10^{18} \text{cm}^{-3}$ 左右。

[0188] 集电极层25选择性地设置于集电极层14的第2主面100b侧。

[0189] 在半导体基体100设置有从第2主面100b将集电极层25及集电极层14贯穿而到达漂移层10的沟槽26。在沟槽26内,隔着在沟槽26的底面及侧面设置的栅极绝缘膜28设置有栅极电极27。栅极电极27例如是使用杂质浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 左右的多晶硅形成的。沟槽26例如设置为在面内的一个方向上延伸。沟槽17的延伸方向和沟槽26的延伸方向例如相同,也可以不同。

[0190] 栅极电极27隔着栅极绝缘膜28与集电极层25、集电极层14、缓冲层16及漂移层10相对。

[0191] 在IGBT区域41b,集电极层14具有集电极层14a、集电极层14b。

[0192] 集电极层14a是由沟槽26划分集电极层14而形成的多个台面形状中的在第2主面100b侧的表层处选择性地形成有集电极层25的台面形状的部分。集电极层14b是由沟槽26划分集电极层14而形成的多个台面形状中的在第2主面100b侧的表层处没有形成集电极层25的台面形状的部分。集电极层14a和集电极层14b例如在与沟槽26的延伸方向交叉的方向上交替地配置。

[0193] 集电极层14a和集电极层25在第2主面100b处与电极20电连接。

[0194] 集电极层14a中的与栅极电极27相对的区域作为在IGBT区域41b形成的IGBT元件的沟道区域起作用。由此,形成从电极19经过基极层11a、漂移层10、缓冲层16、集电极层14a的沟道区域及集电极层25而到达电极20的电流路径,能够进行与RC-IGBT即半导体装置1a的作为二极管的通电对应的方向的通电。

[0195] 集电极层14b的第2主面100b侧表面的大部分被绝缘膜29遮盖。集电极层14b的第2主面100b侧表面中的仅没有被绝缘膜29遮盖的一部分与电极20连接。集电极层14b和电极20相连接的部分的面积小,经过该集电极层14b和电极20相连接的部分的路径的电阻大。省略了集电极层14b和电极20电连接的区域图示。

[0196] <C-2.动作>

[0197] 在图8中示出由双面栅极IGBT即半导体装置1c的栅极控制实现的动作模式。

[0198] 半导体装置1c具有动作模式1至8。动作模式根据集电极电压的正负、施加于栅极

电极12的第1栅极电压、及施加于栅极电极27的第2栅极电压而进行分类。集电极电压表示电极19接地且电极19的电位为0的情况下的电极20的电位。

[0199] 在图8中，“施加”栅极电压表示施加了接通电压，“未施加”栅极电压表示未施加接通电压。

[0200] 在图8中，“状态”列表示在半导体装置1c正常地进行动作的情况下是否流过电流，另外，如果流过电流，则表示向哪一侧流动。在图8的“状态”的列及本实施方式的下面的说明中，正向电流表示从电极20向电极19的方向的电流，逆电流表示从电极19向电极20的方向的电流。

[0201] 半导体装置1c在动作模式2和动作模式3下，进行与RC-IGBT即半导体装置1a的作为IGBT的通电对应的方向的通电。半导体装置1c在动作模式7和动作模式8下，进行与RC-IGBT即半导体装置1a的作为二极管的通电对应的方向的通电。通过动作模式7和动作模式8，半导体装置1c能够实现与续流二极管元件相同的功能。

[0202] 通过输入至栅极电极27的驱动信号，正向电流的电流-电压特性产生变动。即，在动作模式2和动作模式3下，电流-电压特性不同。

[0203] 通过输入至栅极电极12的驱动信号，逆电流的电流-电压特性产生变动。即，在动作模式7和动作模式8下，电流-电压特性产生变动。

[0204] 通过输入至栅极电极27的驱动信号，正向电流的电流-电压特性产生变动，但在IGBT主区域31b和IGBT感测区域51b，电流-电压特性对应地产生变动，因此对流过IGBT主区域31b的电流和流过IGBT感测区域51b的电流之比的变动进行抑制。因此，通过IGBT感测区域51b，能够高精度地对流过IGBT主区域31b的正向电流进行检测。同样地，通过IGBT感测区域51b，能够高精度地对流过IGBT主区域31b的逆电流进行检测。

[0205] 与在实施方式1中说明过的反馈电路150的情况同样地，通过反馈电路能够防止半导体装置1c的热破损。为此，例如，将电极22与反馈电路的感测电阻的一端连接，将电极19与反馈电路的感测电阻的另一端连接，对感测电阻两端的电位差 V_s 进行检测，将感测电阻两端的电位差 V_s 与用于判断正向电流是否是过电流的过电流检测阈值 V_{th2} 及用于判断逆电流是否是过电流的过电流检测阈值 V_{th3} 进行比较，反馈至栅极信号。

[0206] 在动作模式2或动作模式3下，感测电阻两端的电位差 V_s 为正值。即，感测电阻两端中的与电极19连接侧的电位变低。在动作模式7或动作模式8下，感测电阻两端的电位差 V_s 为负值。即，感测电阻两端中的与电极19连接侧的电位变高。

[0207] <C-3. 变形例>

[0208] 在本实施方式中，说明了将IGBT感测区域51b用于对正向电流及逆向电流这两者进行检测的结构，但如图9及图10所示，即使是具有IGBT感测区域51b和IGBT感测区域52b的半导体装置1d，也同样能够高精度地防止热破损。图10是图9的III-III线处的剖视图。

[0209] 半导体装置1d与半导体装置1c相比，区别在于，IGBT区域41b还具有IGBT感测区域52b，在IGBT感测区域52b，在第2主面100b之上，与电极20分离地设置有电极24。半导体装置1d在其它方面与半导体装置1c相同。

[0210] IGBT感测区域52b的半导体基体100的构造与IGBT主区域31b及IGBT感测区域51b的半导体基体100的构造相同。

[0211] 在半导体装置1d中，能够通过IGBT感测区域51b对正向电流进行检测，能够通过

IGBT感测区域52b对逆向电流进行检测。在半导体装置1d中,也与半导体装置1c的情况同样地,能够对由输入至栅极电极12或栅极电极27的驱动信号造成的影响进行抑制,高精度地对正向及逆向电流进行检测。

[0212] <C-4.其它>

[0213] 由于在半导体基体100的第1主面100a侧表层部,在外周设置有末端区域2,因此第1主面100a侧的有效动作区域的面积比第2主面100b侧的有效动作区域小。因此,在半导体装置1c中,即使正向电流和逆电流均是通过IGBT感测区域51b检测的,正向电流和逆电流的感测比也不同。另外,在半导体装置1d中,即使IGBT感测区域51b的尺寸相对于IGBT主区域31b的尺寸之比与IGBT感测区域52b的尺寸相对于IGBT主区域31b的尺寸之比相同,正向电流和逆电流的感测比也不同。

[0214] 在半导体装置1c及半导体装置1d中,正向电流的电流-电压特性受到形成于基极层11的沟道的沟道电阻的影响,相对于此,逆电流的电流-电压特性受到形成于集电极层14的沟道的沟道电阻的影响。根据形成于基极层11的沟道的沟道电阻的大小和形成于集电极层14的沟道的沟道电阻的大小的差异,正向电流的感测比和逆电流的感测比也会产生差异。

[0215] 沟道电阻受到形成沟道的半导体层的杂质浓度、沟道长度、沟道宽度等的影响。其中,沟道宽度难以受到制造工艺的影响,容易进行优化。图11是IGBT主区域31b的第1主面100a的俯视概略图。图13是图11的IV-IV线处的剖视图,是表示发射极层13的栅极宽度GW的图。发射极层13的栅极宽度表示发射极层13的各区域在第1主面100a处与沟槽17接触的宽度。该宽度是沟槽17的延伸方向上的宽度。在图13中仅示出第1主面100a附近。

[0216] 发射极层13可以如图10或图11所示,在基极层11由沟槽17划分而形成的台面形状中,在一个沟槽17和另一个沟槽17之间不连续,也可以如图12所示,在一个沟槽17和另一个沟槽17之间连续。

[0217] 如果改变IGBT感测区域51b的发射极层13的栅极宽度或IGBT主区域31b的发射极层13的栅极宽度,则IGBT感测区域51b的沟道电阻或IGBT主区域31b的沟道电阻产生变化,流过IGBT主区域31b的正向电流和流过IGBT感测区域51b的正向电流之比产生变化。由此,能够在不变更IGBT感测区域51b的尺寸及半导体装置1c外部的电路的情况下,对半导体装置1c的正向电流的感测比进行变更。另外,在该情况下,流过IGBT主区域31b的逆电流和流过IGBT感测区域51b的逆电流之比的变化比流过IGBT主区域31b的正向电流和流过IGBT感测区域51b的正向电流之比的变化小。因此,通过改变IGBT感测区域51b的发射极层13的栅极宽度或IGBT主区域31b的发射极层13的栅极宽度,从而能够使正向电流和逆电流的感测比相同。

[0218] 同样地,通过在半导体装置1c中改变IGBT感测区域51b的集电极层25的栅极宽度或IGBT主区域31b的集电极层25的栅极宽度,也能够使正向电流和逆电流的感测比相同。集电极层25的栅极宽度表示集电极层25的各区域在第2主面100b处与沟槽26接触的宽度。该宽度是沟槽26的延伸方向上的宽度。

[0219] 在半导体装置1c中,例如,正向电流的感测比和逆电流的感测比中的大的一者小于或等于小的一者的1.2倍。因此,例如, $W1/W2$ 与 $W3/W4$ 不同, $W1/W2$ 是与在第1主面100a设置有电极19的区域在俯视观察时重叠的区域的发射极层13的栅极宽度的总和 $W1$ 和与在第1主

面100a设置有电极22的区域在俯视观察时重叠的区域的发射极层13的栅极宽度的总和W2之比, W3/W4是与在第1主面100a设置有电极19的区域在俯视观察时重叠的区域的集电极层25的栅极宽度的总和W3和与在第1主面100a设置有电极22的区域在俯视观察时重叠的区域的集电极层25的栅极宽度的总和W4之比。

[0220] 在半导体装置1c中, 正向电流的感测比是指对栅极电极12施加接通电压并且以电极20为基准对电极19和电极22施加相同大小的负电压的情况下的流过电极19的电流 I_9 与流过电极22的电流 I_{10} 之比 I_9/I_{10} 。另外, 在半导体装置1c中, 逆电流的感测比是指对栅极电极27施加接通电压并且以电极20为基准对电极19和电极22施加相同大小的正电压的情况下的流过电极19的电流 I_{11} 与流过电极22的电流 I_{12} 之比 I_{11}/I_{12} 。

[0221] 半导体装置1d的情况也同样地, 通过改变IGBT感测区域51b的发射极层13的栅极宽度、IGBT主区域31b的发射极层13的栅极宽度、IGBT感测区域52b的集电极层25的栅极宽度、或IGBT主区域31b的集电极层25的栅极宽度, 从而能够使正向电流和逆电流的感测比相同。

[0222] 在半导体装置1d中, 例如, 正向电流的感测比和逆电流的感测比中的大的一者小于或等于小的一者的1.2倍。因此, 例如, W5/W6与W7/W8不同, W5/W6是与在第1主面100a设置有电极19的区域在俯视观察时重叠的区域的发射极层13的栅极宽度的总和W5和与在第1主面100a设置有电极22的区域在俯视观察时重叠的区域的发射极层13的栅极宽度的总和W6之比, W7/W8是与在第2主面100b设置有电极20的区域在俯视观察时重叠的区域的集电极层25的栅极宽度的总和W7和与在第2主面100b设置有电极24的区域在俯视观察时重叠的区域的集电极层25的栅极宽度的总和W8之比。

[0223] 在半导体装置1d中, 正向电流的感测比是指对栅极电极12施加接通电压并且以电极20为基准对电极19和电极22施加相同大小的负电压的情况下的流过电极19的电流 I_{13} 与流过电极22的电流 I_{14} 之比 I_{13}/I_{14} 。另外, 在半导体装置1d中, 逆电流的感测比是指对栅极电极27施加接通电压并且以电极19为基准对电极20和电极24施加相同大小的负电压的情况下的流过电极20的电流 I_{15} 与流过电极24的电流 I_{16} 之比 I_{15}/I_{16} 。

[0224] 在半导体装置1d中, 为了使正向电流的感测比和逆电流的感测比中的大的一者小于或等于小的一者的1.2倍, 也可以使俯视观察时的电极22的面积与俯视观察时的电极24的面积不同。

[0225] <D. 实施方式4>

[0226] 在本实施方式中, 将上述实施方式1至3中的任意者涉及的半导体装置应用于电力变换装置。实施方式1至3中的任意者涉及的半导体装置的应用并不限于特定的电力变换装置, 但下面, 作为实施方式4, 对将实施方式1至3中的任意者涉及的半导体装置应用于三相逆变器的情况进行说明。

[0227] 图14是表示电力变换系统的结构的框图, 该电力变换系统应用了本实施方式涉及的电力变换装置。

[0228] 图14所示的电力变换系统由电源160、电力变换装置200、以及负载300构成。电源160为直流电源, 将直流电供给至电力变换装置200。电源160可以由各种电源构成, 例如, 能够由直流系统、太阳能电池或蓄电池构成, 也可以由与交流系统连接的整流电路或AC/DC转换器构成。另外, 也可以由将从直流系统输出的直流电力变换为规定的电力的DC/DC转换器

构成电源160。

[0229] 电力变换装置200为连接于电源160和负载300之间的三相逆变器,将从电源160供给来的直流电力变换为交流电力,将交流电力供给至负载300。如图14所示,电力变换装置200具有:主变换电路201,其将直流电力变换为交流电力而输出;驱动电路202,其输出对主变换电路201的各开关元件进行驱动的驱动信号;以及控制电路203,其将对驱动电路202进行控制的控制信号输出至驱动电路202。在图4中示出驱动电路202的输出经由AND电路110输入至半导体装置1a的结构,但驱动电路202也可以包含AND电路110及反馈部112。

[0230] 负载300为由从电力变换装置200供给来的交流电力驱动的三相电动机。此外,负载300并不限于特定的用途,为搭载于各种电气设备的电动机,例如,用作面向混合动力汽车、电动汽车、铁路车辆、电梯或空调设备的电动机。

[0231] 以下,对电力变换装置200的详情进行说明。主变换电路201具有开关元件(未图示),通过开关元件的通断,从而将从电源160供给来的直流电力变换为交流电力而供给至负载300。在本实施方式中,主变换电路201所具有的开关元件为RC-IGBT元件或双面栅极IGBT元件。主变换电路201的具体的电路结构是多种多样的,但本实施方式涉及的主变换电路201为2电平三相全桥电路,能够由6个开关元件即6个RC-IGBT元件或6个双面栅极IGBT元件构成。主变换电路201的各开关元件应用上述实施方式1至3中的任意者涉及的半导体装置。6个开关元件两个两个地串联连接而构成上下桥臂,各上下桥臂构成全桥电路的各相(U相、V相、W相)。而且,各上下桥臂的输出端子,即主变换电路201的3个输出端子与负载300连接。

[0232] 驱动电路202生成对主变换电路201的开关元件进行驱动的驱动信号,供给至主变换电路201的开关元件的控制电极。具体而言,按照来自后述的控制电路203的控制信号,将使开关元件成为接通状态的驱动信号和使开关元件成为断开状态的驱动信号输出至各开关元件的控制电极。在将开关元件维持为接通状态的情况下,驱动信号为大于或等于开关元件的阈值电压的电压信号(接通信号),在将开关元件维持为断开状态的情况下,驱动信号为小于或等于开关元件的阈值电压的电压信号(断开信号)。

[0233] 控制电路203对主变换电路201的开关元件进行控制以将所期望的电力供给至负载300。具体而言,基于应该供给至负载300的电力对主变换电路201的各开关元件应该成为接通状态的时间(接通时间)进行计算。例如,能够通过应该输出的电压对应地对开关元件的接通时间进行调制的PWM控制而对主变换电路201进行控制。而且,将控制指令(控制信号)输出至驱动电路202,以使得在各时刻将接通信号输出至应该成为接通状态的开关元件,将断开信号输出至应该成为断开状态的开关元件。驱动电路202按照该控制信号,将接通信号或断开信号作为驱动信号输出至各开关元件的控制电极。

[0234] 在本实施方式涉及的电力变换装置中,由于将实施方式1至3中的任意者涉及的半导体装置用作主变换电路201的开关元件,因此能够高精度地对续流电流进行检测。由此,例如,能够抑制由于在开关元件流过大电流而导致电力变换装置破损。

[0235] 在电力变换装置200具有半导体装置1a作为开关元件的情况下,驱动电路202或控制电路203或这两者例如基于流过电极22的电流和流过电极23的电流中的至少任一者,保护半导体装置1a不受到过电流的损害。

[0236] 在电力变换装置200具有半导体装置1b作为开关元件的情况下,驱动电路202或控

制电路203或这两者例如基于流过电极22的电流和流过电极24的电流中的至少任一者,保护半导体装置1b不受到过电流的损害。

[0237] 在电力变换装置200具有半导体装置1c作为开关元件的情况下,驱动电路202或控制电路203或这两者例如基于流过电极22的电流,保护半导体装置1c不受到过电流的损害。

[0238] 在电力变换装置200具有半导体装置1d作为开关元件的情况下,驱动电路202或控制电路203或这两者例如基于流过电极22的电流和流过电极24的电流中的至少任一者,保护半导体装置1d不受到过电流的损害。

[0239] 在电力变换装置200具有半导体装置1a、半导体装置1b或半导体装置1d作为开关元件的情况下,例如,电力变换装置200具有电阻,该电阻如图4所示的反馈电路150中的感测电阻111那样,以流过电极22的电流、流过电极23的电流或流过电极24的电流均流过该电阻的方式配置。驱动电路202或控制电路203或这两者基于该电阻两端的电位差,对半导体装置1a、半导体装置1b或半导体装置1d进行保护。通过使用一个电阻对流过半导体装置1a、半导体装置1b或半导体装置1d的双向的电流进行检测,从而能够简化结构,对制造成本进行抑制。

[0240] 在本实施方式中,对将实施方式1至3中的任意者涉及的半导体装置应用于2电平的三相逆变器的例子进行了说明,但实施方式1至3中的任意者涉及的半导体装置的应用并不限于此,能够应用于各种电力变换装置。在本实施方式中,设为2电平的电力变换装置,但也可以是3电平或多电平的电力变换装置,在将电力供给至单相负载的情况下也可以将实施方式1至3中的任意者涉及的半导体装置应用于单相逆变器。另外,在对直流负载等供给电力的情况下,可以将实施方式1至3中的任意者涉及的半导体装置应用于DC/DC转换器或AC/DC转换器。

[0241] 另外,应用了实施方式1至3中的任意者涉及的半导体装置的电力变换装置并不限于上述负载为电动机的情况,例如,也能够用作放电加工机、激光加工机、感应加热烹调器或非接触供电系统的电源装置,而且也能够用作太阳能发电系统或蓄电系统等的功率调节器。

[0242] 此外,可以将各实施方式自由地组合,对各实施方式适当进行变形、省略。

[0243] 标号的说明

[0244] 1a、1b、1c、1d半导体装置,2末端区域,3焊盘区域,3a、3b栅极焊盘,10漂移层,11、11a、11b基极层,11c阳极层,12、27栅极电极,13发射极层,14、14a、14b、25集电极层,15阴极层,16缓冲层,17、26沟槽,18、28栅极绝缘膜,19电极,20、22、23、24电极,21、29绝缘膜,31、31b IGBT主区域,32二极管主区域,40分离区域,41、41b IGBT区域,42二极管区域,51、51b、52b IGBT感测区域,52二极管感测区域,90栅极端子,91发射极感测端子,92IGBT感测端子,93二极管感测端子,94二极管感测端子,95集电极端子,96发射极端子,100半导体基体,100a第1主面,100b第2主面,110AND电路,111感测电阻,112反馈部,113栅极电阻,150反馈电路,160电源,200电力变换装置,201主变换电路,202驱动电路,203控制电路,300负载。

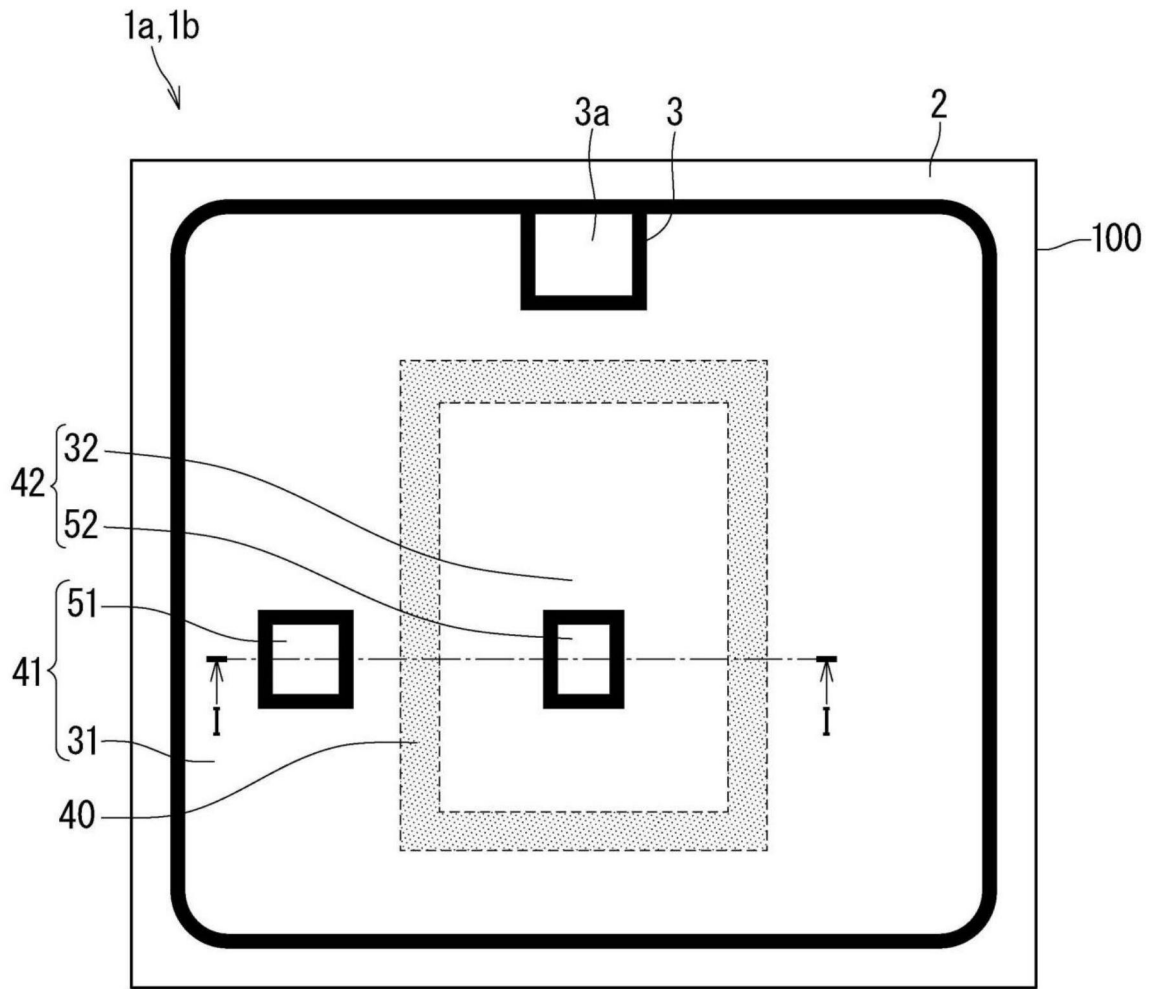


图1

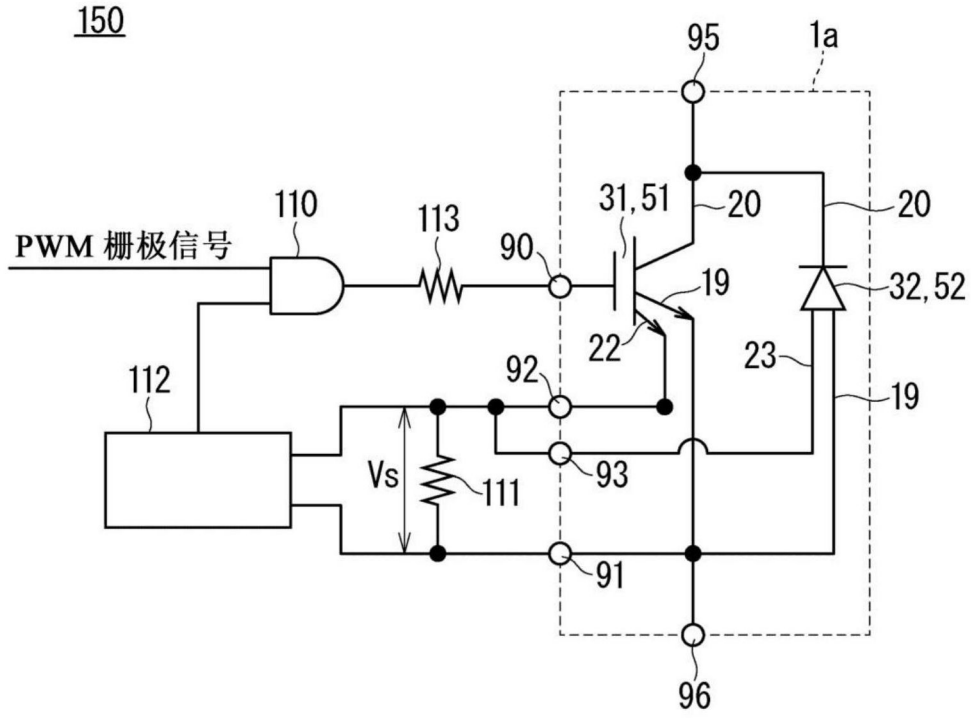


图3

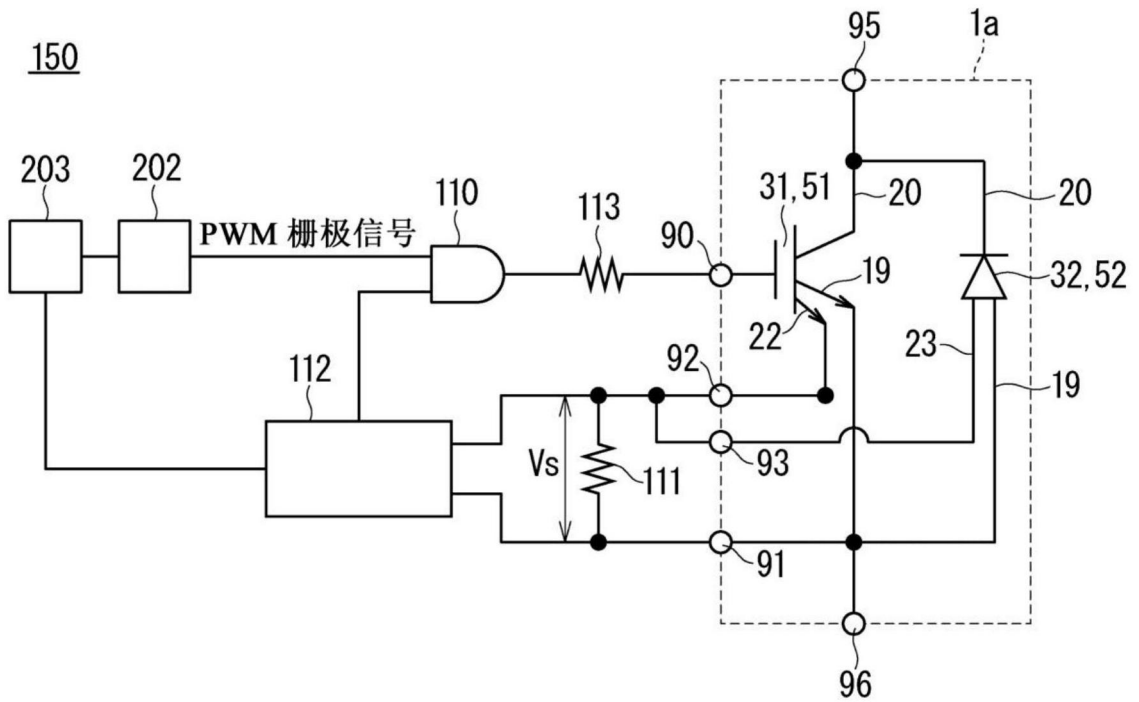


图4

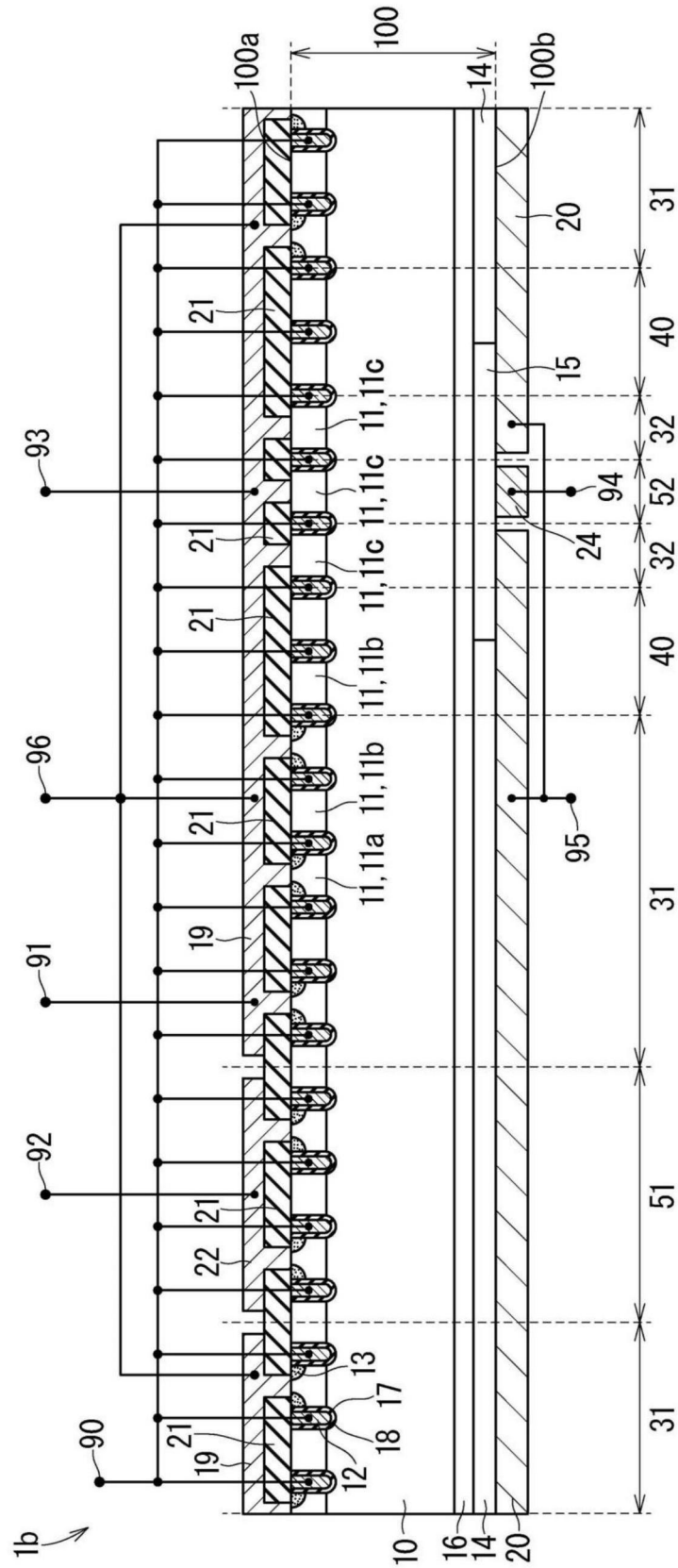


图5

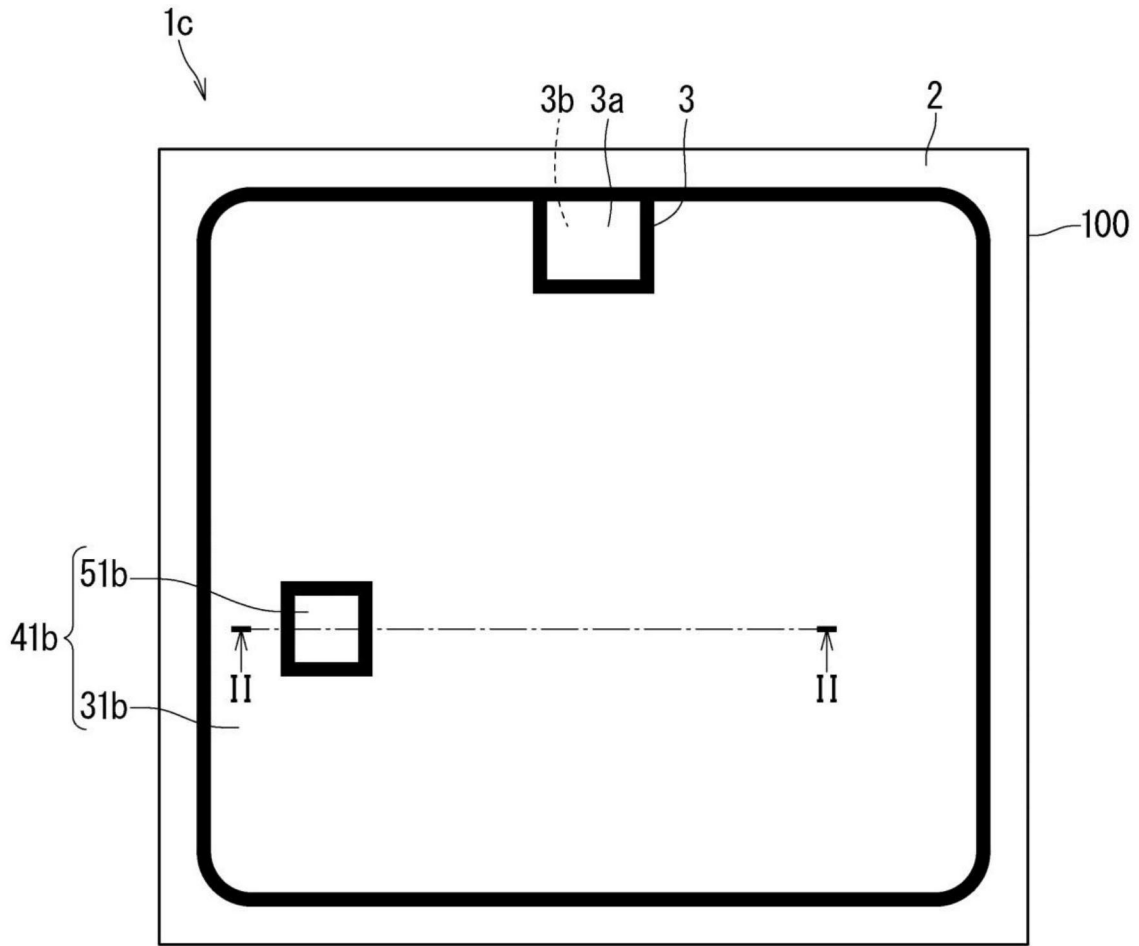


图6

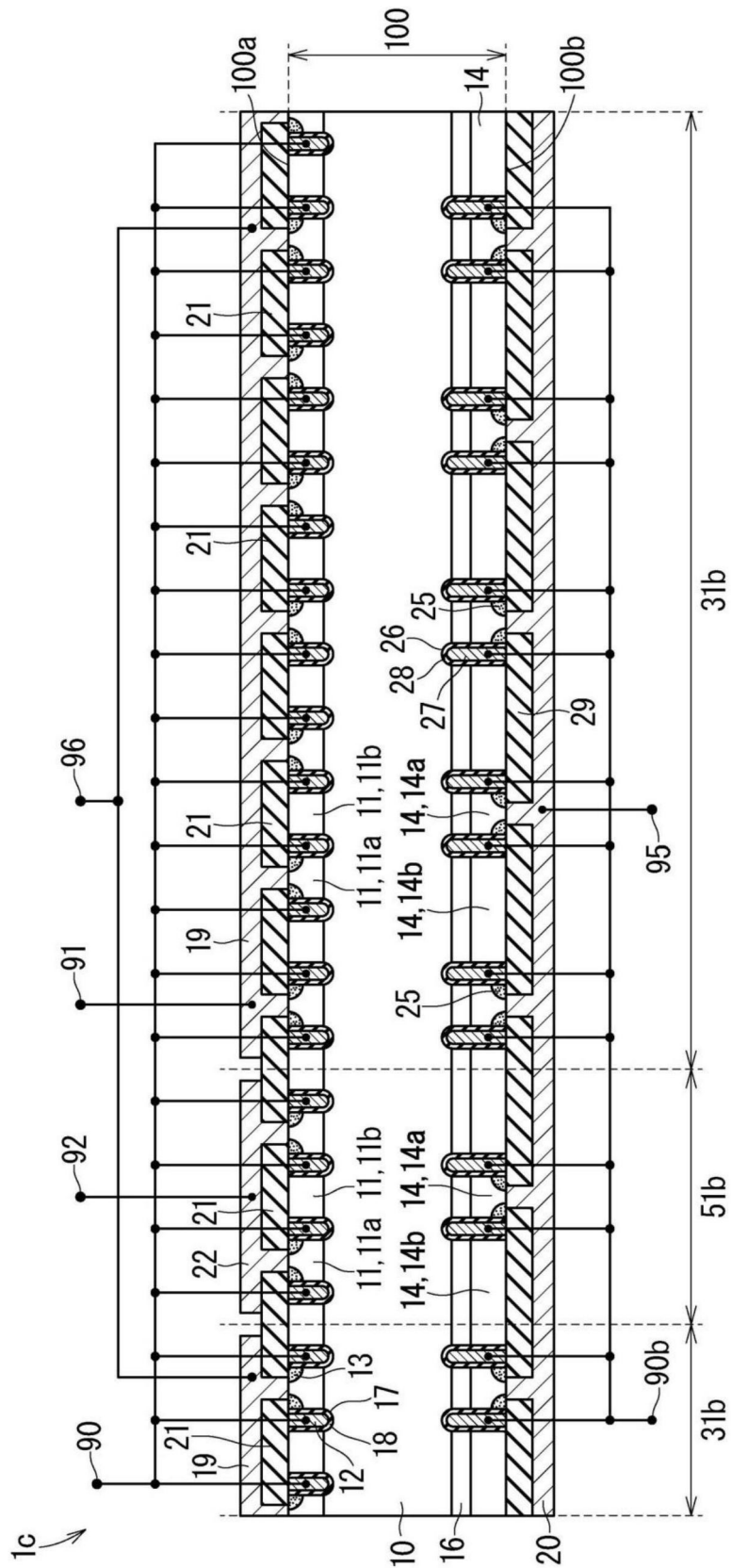


图7

动作模式	集电极电压 [在发射极电极接地的 情况下]	第1栅极 电压	第2栅极 电压	状态 [不包含漏电流的状态、结击穿的状态]
1	施加正极性的集电极电压	未施加	未施加	切断
2	施加正极性的集电极电压	施加	未施加	正向电流流通
3	施加正极性的集电极电压	施加	施加	正向电流流通
4	施加正极性的集电极电压	未施加	施加	切断
5	施加正极性的集电极电压	未施加	未施加	切断
6	施加正极性的集电极电压	施加	未施加	切断
7	施加正极性的集电极电压	施加	施加	逆电流流通
8	施加正极性的集电极电压	未施加	施加	逆电流流通

图8

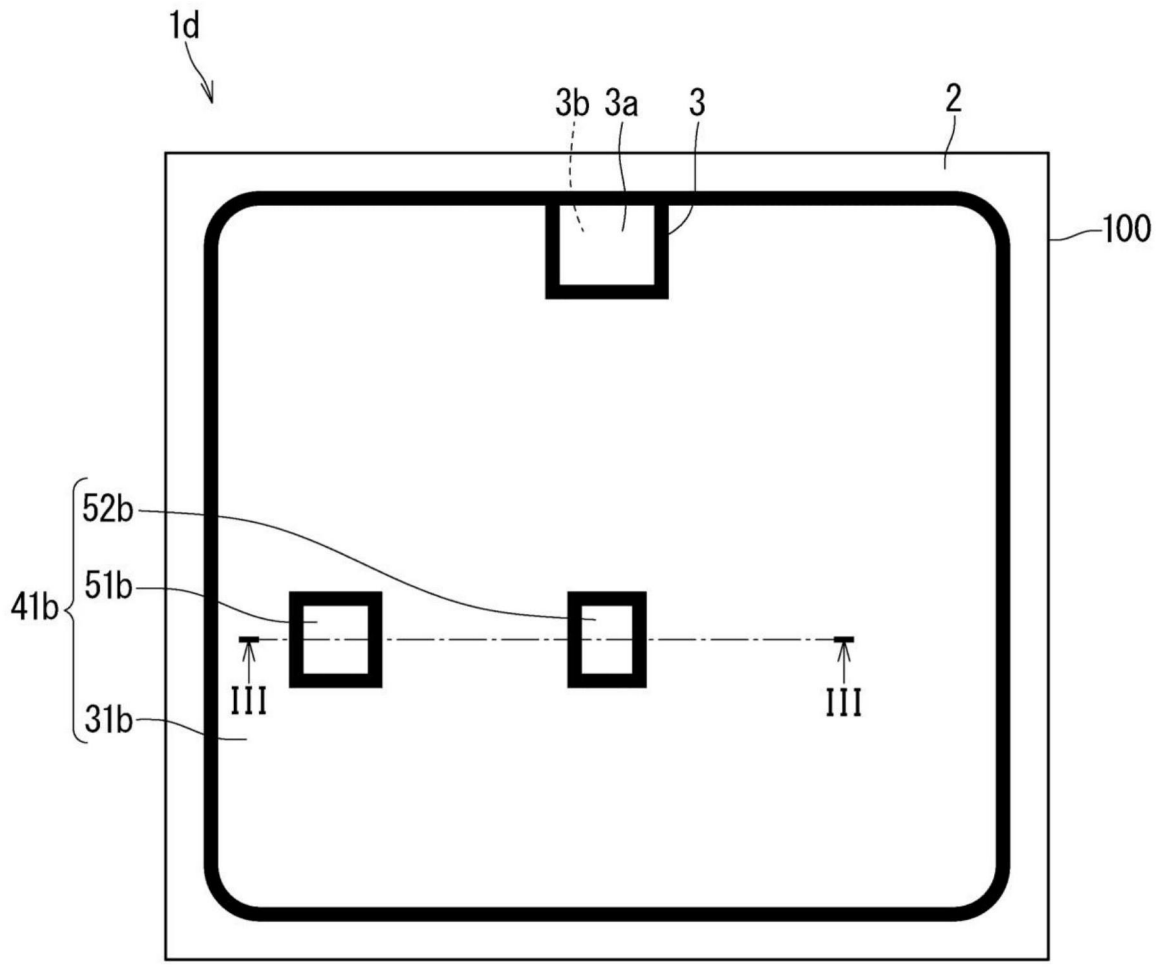


图9

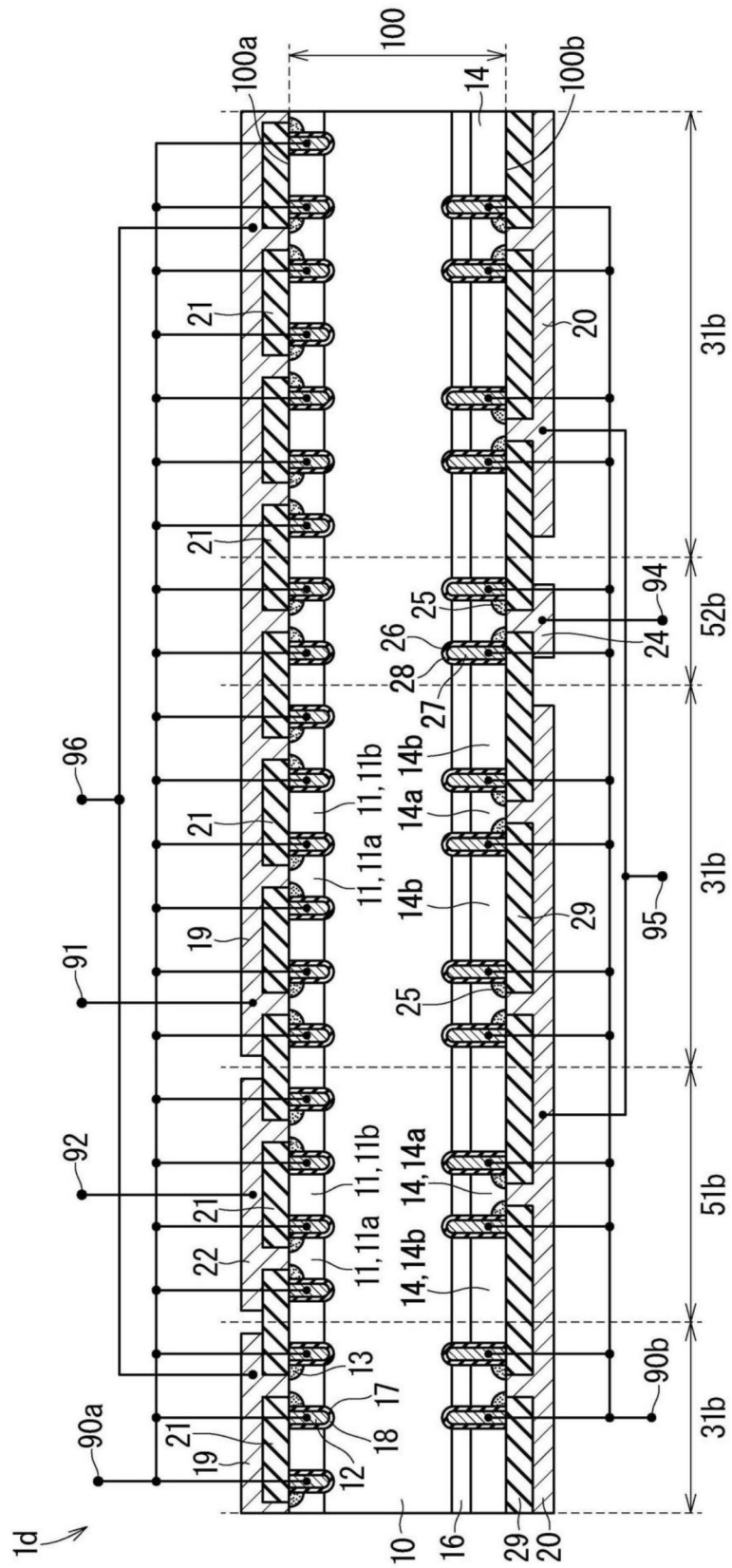


图10

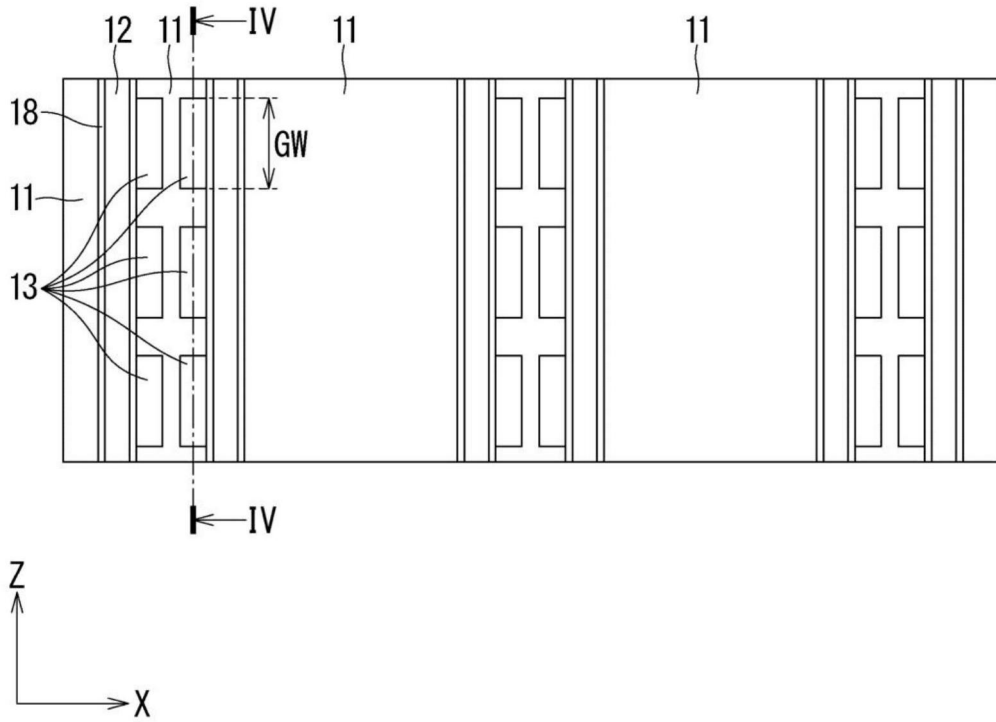


图11

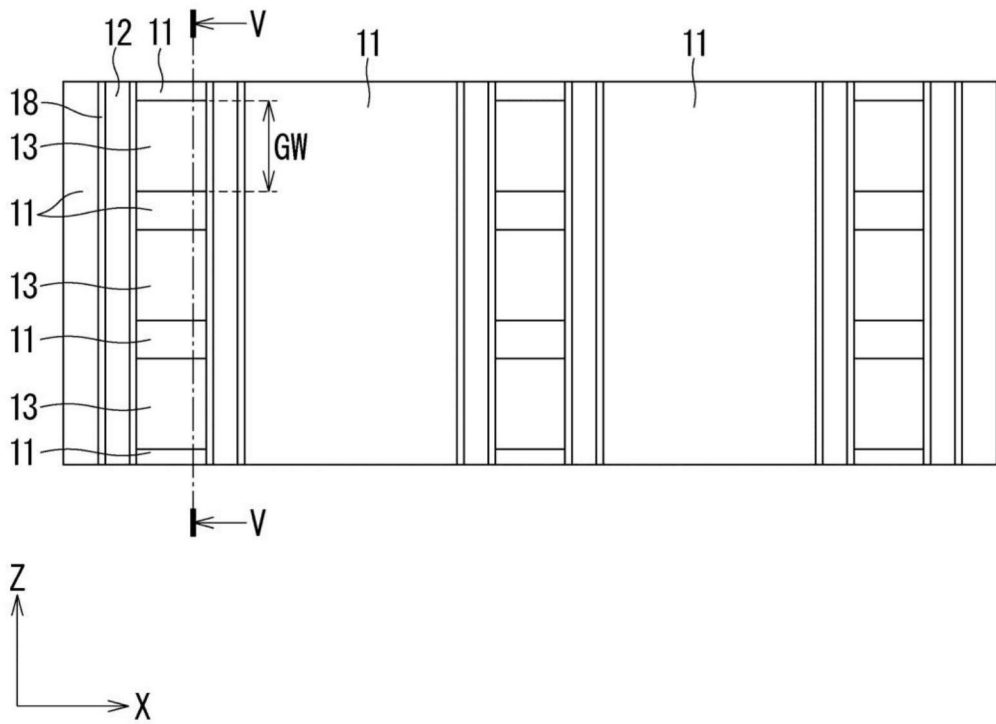


图12

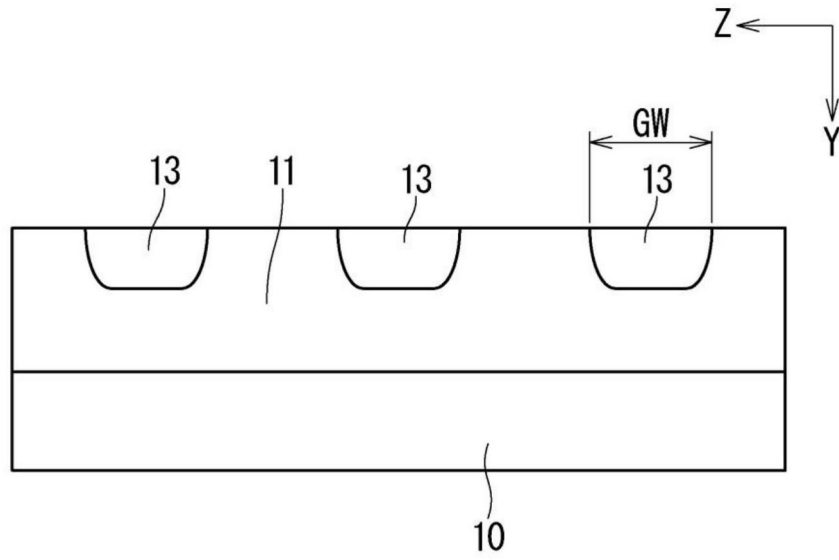


图13

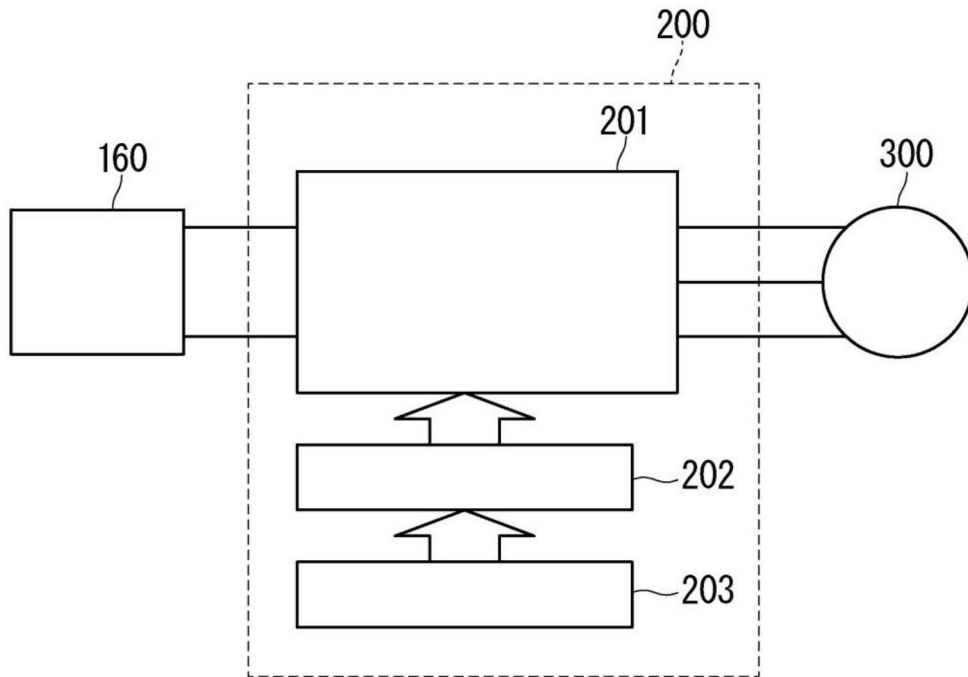


图14

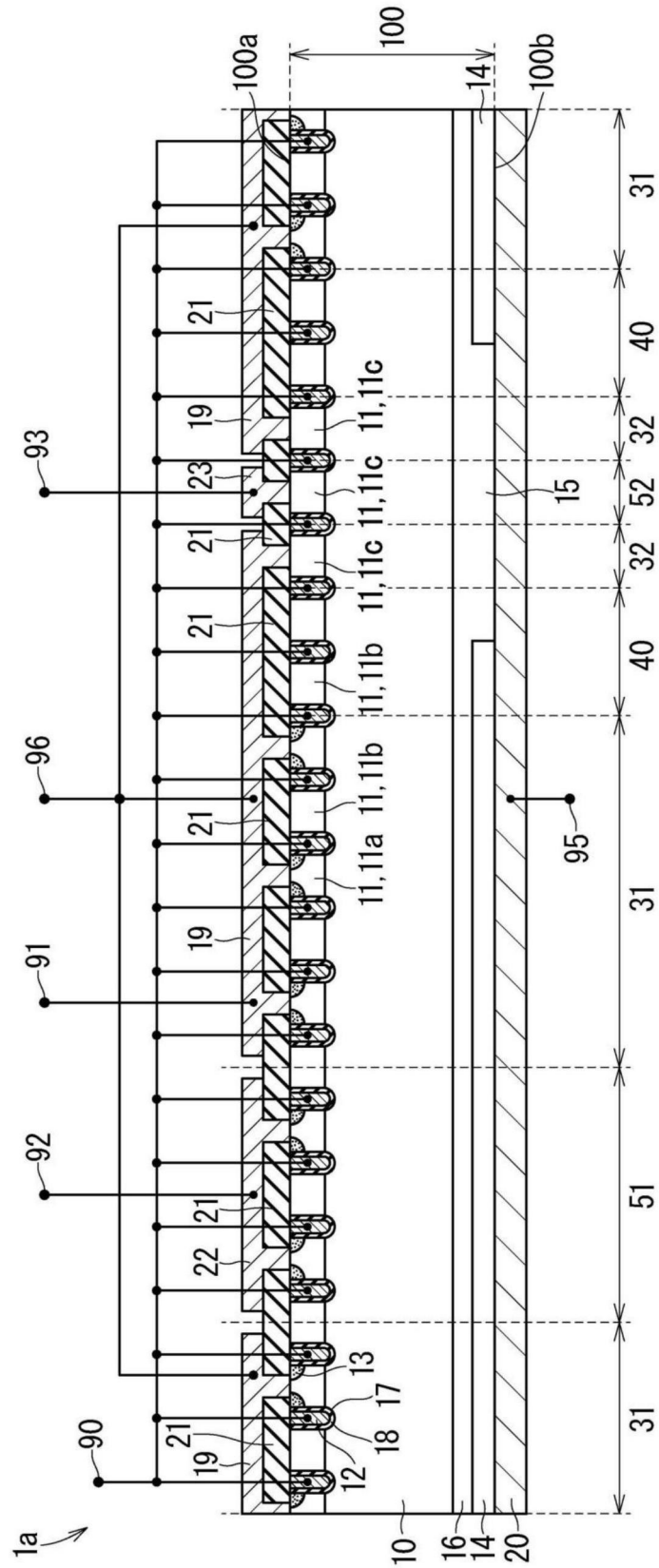


图15