

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



(10) 国際公開番号

WO 2020/136846 A1

(51) 国際特許分類:
H01L 33/38 (2010.01) H01L 33/00 (2010.01)

6号 大阪証券取引所ビル10階 奥田
国際特許事務所 Osaka (JP).

(21) 国際出願番号: PCT/JP2018/048340

(22) 国際出願日: 2018年12月27日(27.12.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 岸本 克彦(KISHIMOTO, Katsuhiko).

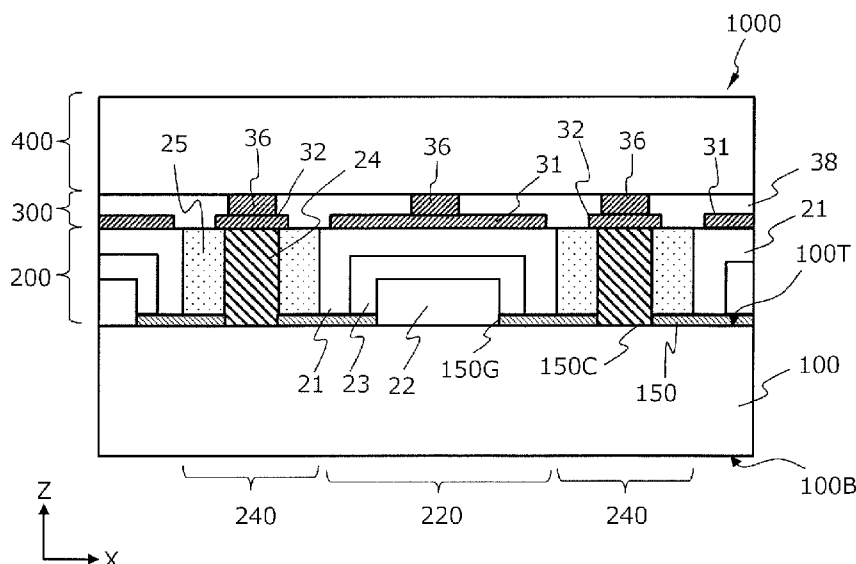
(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041
大阪府大阪市中心区北浜一丁目8番1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: MICRO-LED DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: マイクロLEDデバイスおよびその製造方法



(57) Abstract: A micro-LED device of the present disclosure comprises: a crystal growth substrate (100) having an upper surface covered with a mask layer (150) having a plurality of openings (150G); and a front plane (200) including a plurality of micro-LEDs (220) each having a first semiconductor layer (21) of a first conductivity type and a second semiconductor layer (22) of a second conductivity type, and element isolation regions (240) located between the micro-LEDs. The element isolation region has at least one metal plug (24) electrically connected to the second semiconductor layer. This device comprises: an intermediate layer (300) including a first contact electrode (31) electrically connected to the first semiconductor layer and a second contact electrode (32) connected to the metal plug; and a backplane (400) formed on the intermediate layer.

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：本開示のマイクロLEDデバイスは、複数の開口部（150G）を有するマスク層（150）によって上面が覆われた結晶成長基板（100）と、それぞれが第1導電型の第1半導体層（21）および第2導電型の第2半導体層（22）を有する複数のマイクロLED（220）、ならびにマイクロLEDの間に位置する素子分離領域（240）を含むフロントプレーン（200）とを備える。素子分離領域は、第2半導体層に電氣的に接続された少なくともひとつの金属プラグ（24）を有する。このデバイスは、第1半導体層に電氣的に接続された第1コンタクト電極（31）および金属プラグに接続された第2コンタクト電極（32）を含む中間層（300）と、中間層上に形成されたバックプレーン（400）とを備える。

明 細 書

発明の名称：マイクロLEDデバイスおよびその製造方法

技術分野

[0001] 本開示は、マイクロLEDデバイスおよびその製造方法に関する。

背景技術

[0002] 多数のマイクロLEDが狭ピッチで配列されたディスプレイ装置を実用化するためには、微細なマイクロLEDをTFT基板などの実装回路基板上の所定位置に実装する量産技術の開発が必要である。個々のマイクロLEDをピックアンドプレイス (pick-and-place) 方式で回路上に実装する技術によれば、多数のマイクロLEDを例えば数10 μ mのピッチで回路上に実装することは非常に長い作業時間を必要とする。

[0003] 特許文献1は、TFT基板上に転写された多数のマイクロLEDを備えるディスプレイ装置およびその製造方法を開示している。

[0004] 特許文献2は、複数のLEDが形成されたGaNウェハと、このGaNウェハが接合されたバックプレーン制御部 (TFT基板) とを備えるディスプレイ装置およびその製造方法を開示している。

先行技術文献

特許文献

[0005] 特許文献1：特表2016-522585号公報

特許文献2：特表2017-538290号公報

発明の概要

発明が解決しようとする課題

[0006] 多数のマイクロLEDをTFT基板上に転写する方法は、マイクロLEDのサイズが小さくなり、その個数が増えると、TFT基板に対するマイクロLEDの位置合わせが難しくなるという問題がある。また、GaNウェハをバックプレーン制御部に接合する方法も、GaNウェハを一時的に保持するウェハに移しかえ、かつ、更にバックプレーン制御部に実装するという複雑

な工程が必要になる。

[0007] 本開示は、上記の課題を解決することができる、マイクロLEDデバイスの新しい構造および製造方法を提供する。

課題を解決するための手段

[0008] 本開示のマイクロLEDデバイスは、例示的な実施形態において、複数の開口部を有するマスク層によって上面が覆われた結晶成長基板と、前記結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーンと、前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層と、前記中間層に支持されたバックプレーンであって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンとを備える。前記結晶成長基板は、導電性表面を有し、前記マスク層が有する前記複数の開口部は、前記複数のマイクロLEDの位置を規定する複数のマスク開口部と、前記金属プラグを前記結晶成長基板の前記導電性表面に接続するコンタクト開口部とを有し、前記複数の薄膜トランジスタのそれぞれは、前記フロントプレーンおよび／または前記中間層上に成長した半導体層を有している。

[0009] ある実施形態において、前記複数のマイクロLEDの前記第2半導体層は、それぞれ、前記マスク層が有する前記複数の開口部に位置している。

[0010] ある実施形態において、前記マスク層は、導電材料から形成されており、前記複数のマイクロLEDの前記第2半導体層を電氣的に相互に接続する。

[0011] ある実施形態において、前記結晶成長基板は、前記上面に沿って拡がる窒

化チタニウム層を備えている。

[0012] ある実施形態において、前記結晶成長基板は、前記上面に沿って広がる第2導電型の表面半導体領域を有している。

[0013] ある実施形態において、前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの間を埋める埋め込み絶縁物を有しており、前記埋め込み絶縁物は、前記金属プラグのための少なくともひとつのスルーホールを有している。

[0014] ある実施形態において、前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの側面をそれぞれ覆う複数の絶縁層を有しており、前記金属プラグは、前記素子分離領域内において、前記複数の絶縁層によって囲まれた空間を埋めている。

[0015] ある実施形態において、前記フロントプレーンは、平坦な表面を有しており、前記平坦な表面は前記中間層に接している。

[0016] ある実施形態において、前記中間層は、平坦な表面を有する層間絶縁層を含み、前記層間絶縁層は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極をそれぞれ前記電気回路に接続するための複数のコンタクトホールを有している。

[0017] ある実施形態において、前記バックプレーンの前記電気回路は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極にそれぞれ接続された複数の金属層を有しており、前記複数の金属層は、前記複数の薄膜トランジスタが有するソース電極およびドレイン電極の少なくとも一方を含む。

[0018] ある実施形態において、各マイクロLEDが有する前記第1半導体層および前記第2半導体層は、前記マスク層が有する前記複数の開口部から選択的に成長したエピタキシャル層である。

[0019] ある実施形態において、前記複数の第1コンタクト電極は、それぞれ、前記複数のマイクロLEDの前記第1半導体層を覆い、遮光層または反射層として機能する。

- [0020] ある実施形態において、各マイクロLEDの前記第2半導体層は、前記第1半導体層よりも前記結晶成長基板に近く、各マイクロLEDの前記第2半導体層は、前記結晶成長基板の前記導電性表面に接触している。
- [0021] ある実施形態において、前記複数のマイクロLEDのそれぞれは、可視、紫外、または赤外の電磁波を放射する。
- [0022] 本開示のマイクロLEDデバイスの製造方法は、例示的な実施形態において、導電性表面を有する結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーン、および前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層を備える積層構造体を用意する工程と、前記積層構造体上にバックプレーンを形成する工程であって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンを形成する工程とを含む。前記積層構造体を用意する工程は、前記結晶成長基板の上面における複数の所定領域から前記第2半導体層を選択的に成長させる工程を含み、前記バックプレーンを形成する工程は、前記積層構造体上に半導体層を堆積する工程と、前記積層構造体上の前記半導体層をパターンニングする工程とを含む。
- [0023] ある実施形態において、前記積層構造体を用意する工程は、前記結晶成長基板の前記導電性表面を覆うマスク層であって、前記複数のマイクロLEDの位置を規定する複数のマスク開口部を有するマスク層を形成する工程と、前記マスク開口部から前記第2半導体層および前記第1半導体層を、順次、

成長させる工程と、を含む。

[0024] ある実施形態において、前記素子分離領域の形状および位置は、前記マスク層が有する前記複数のマスク開口部から選択的に成長した前記第2半導体層および前記第1半導体層によって規定される。

[0025] ある実施形態において、前記積層構造体を用意する工程は、前記複数のマスク開口部から前記第2半導体層および前記第1半導体層を成長させる前記工程の後、前記金属プラグを前記結晶成長基板の前記導電性表面に接続するコンタクト開口部を前記マスク層に形成する工程を含む。

発明の効果

[0026] 本発明の実施形態によれば、前記の課題を解決するマイクロLEDデバイスおよびその製造方法が提供される。

図面の簡単な説明

[0027] [図1A]本開示による μ LEDデバイス1000の一部を示す断面図である。

[図1B] μ LEDデバイス1000における μ LED220の配置例を示す平面図である。

[図1C] μ LEDデバイス1000における金属プラグ24の配置例を示す平面図である。

[図1D] μ LEDデバイス1000における金属プラグ24の他の配置例を示す平面図である。

[図2] μ LEDデバイス1000における第1コンタクト電極31および第2コンタクト電極32の配置例を示す斜視図である。

[図3] μ LEDデバイス1000における電気回路の一部の例を示す回路図である。

[図4A] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4B] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4C] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4D] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4E] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4F] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4G] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4H] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図5A]円柱形の μ LED220を備える μ LEDデバイス1000の一部を示す斜視図である。

[図5B]円柱形の μ LED220を備える μ LEDデバイス1000の平面図である。

[図6]本開示の実施形態における μ LEDデバイス1000Aの断面図である。
。

[図7A] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7D] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7E] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7F] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図7G] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図8]本開示の実施形態における μ LEDデバイス1000Aの他の構成例を示す断面図である。

[図9]本開示の実施形態における μ LEDデバイス1000Aの更に他の構成例を示す断面図である。

[図10]本開示による更に他の実施形態における μ LEDデバイス1000B

の構成を模式的に示す断面図である。

[図11A]本開示による更に他の実施形態における μ LEDデバイス1000Cの構成を模式的に示す断面図である。

[図11B]図11Aの μ LEDデバイス1000Cの構成を模式的に示す斜視図である。

[図12A]本開示による更に他の実施形態における μ LEDデバイス1000Dの構成を模式的に示す断面図である。

[図12B]図12Aの μ LEDデバイス1000Dの構成を模式的に示す斜視図である。

発明を実施するための形態

[0028] <定義>

本開示における「マイクロLED」とは、占有領域のサイズが $100\mu\text{m} \times 100\mu\text{m}$ の領域内に含まれる大きさを有する発光ダイオード(LED)を意味する。マイクロLEDが放射する「光」は、可視光に限定されず、可視、紫外、または赤外の電磁波を広く含む。以下、「マイクロLED」を「 μ LED」と表記することがある。

[0029] μ LEDは、第1導電型の第1半導体層および第2導電型の第2半導体層を有する。第1導電型はp型およびn型の一方であり、第2導電型はp型およびn型の他方である。例えば第1導電型がp型であるとき、第2導電型はn型である。逆に第1導電型がn型であるとき、第2導電型はp型である。第1半導体層および第2半導体層のそれぞれは、単層構造または多層構造を有し得る。典型的には、少なくとも1個の量子井戸（またはダブルヘテロ構造）を有する発光層が第1半導体層と第2半導体層との間に形成される。

[0030] 本開示における「マイクロLEDデバイス（ μ LEDデバイス）」とは、複数の μ LEDを備えるデバイスである。 μ LEDデバイスにおける複数の μ LEDを「 μ LEDアレイ」と呼ぶことがある。 μ LEDデバイスの典型例はディスプレイデバイスであるが、 μ LEDデバイスはディスプレイデバイスに限定されない。

[0031] <基本構成>

図1 Aおよび図1 Bを参照して、本開示の μ LEDデバイスの基本構成例を説明する。図1 Aは、 μ LEDデバイス1000の一部を示す断面図である。図1 Bは、 μ LEDデバイス1000における μ LEDアレイの配置例を示す平面図である。図1 Aに示されている μ LEDデバイス1000の断面は、図1 BのA-A線断面に相当する。

[0032] μ LEDデバイス1000は、例えば100万個を超えるような多数の μ LEDを備え得る。図1 Aおよび図1 Bは、 μ LEDデバイス1000のうちの、数個の μ LEDを含む一部分のみを示している。 μ LEDデバイス1000の全体は、図示されている部分が周期的に配列された構成を備えている。

[0033] μ LEDデバイス1000は、結晶成長基板100と、結晶成長基板100に支持されたフロントプレーン200と、フロントプレーン200に支持された中間層300と、中間層に支持されたバックプレーン400とを備えている。

[0034] 添付図面において、 μ LEDなどの各構成要素の縦方向サイズに対する横方向サイズの比率は、実施形態における実際の比率を必ずしも反映していない。図面では、わかりやすさを優先した比率で各構成要素が記載されている。また図面における各構成要素の向きは、実際に μ LEDデバイスを製造するときの向き、および、使用時における向きを何ら制限しない。図1 Aおよび図1 Bには、参考のため、相互に直交するX軸、Y軸、およびZ軸の右手系座標軸が記載されている。

[0035] <結晶成長基板>

結晶成長基板100は、 μ LEDを構成する半導体結晶がエピタキシャル成長する基板である。以下、このような結晶成長基板を単に「基板 (substrate)」と称する。基板100の結晶成長が生じる面100Tを「上面」または「結晶成長面」と呼び、基板100の反対側の面100Bを「下面」と称する。本明細書において、「上面」および「下面」の語句は、基板100の

実際の向きに依存することなく用いられる。

[0036] 本開示の実施形態で利用され得る半導体結晶の典型例は、窒化ガリウム系化合物半導体である。以下、窒化ガリウム系化合物半導体を「Ga N」と表記することがある。Ga Nにおけるガリウム（Ga）原子の一部は、アルミニウム（Al）原子またはインジウム（In）原子によって置換されていてもよい。Ga原子の一部がAl原子で置換されたGa Nを「Al Ga N」と表記する場合がある。また、Ga原子の一部がIn原子で置換されたGa Nを「In Ga N」と表記する場合がある。更には、Ga原子の一部がAl原子およびIn原子で置換されたGa Nを「Al In Ga N」または「In Al Ga N」と表記することがある。Ga Nのバンドギャップは、Al Ga Nのバンドギャップよりも小さく、In Ga Nのバンドギャップよりも大きい。なお、本開示では、構成原子の一部が他の原子で置換された窒化ガリウム系化合物半導体を総称して「Ga N」と表記する場合がある。「Ga N」には、不純物イオンとしてn型不純物および／またはp型不純物がドーピングされ得る。導電型がn型であるGa Nは「n-Ga N」、導電型がp型であるGa Nは「p-Ga N」と表記する。半導体結晶の成長方法の詳細については、後述する。なお、本開示の実施形態において、μLEDを構成する半導体結晶は、Ga N系半導体に限定されず、Al N、In N、またはAl In Nなどの窒化物半導体、あるいは他の半導体から形成されていてもよい。

[0037] 本開示における基板100は、導電性表面を有しており、基板100の上面100Tは、複数の開口部を有するマスク層150によって覆われている。マスク層150は、例えば、チタニウム（Ti）、タンタル（Ta）などの高融点金属（導電材料）、および／または二酸化シリコン、シリコン窒化物などの絶縁材料から形成され得る。複数の開口部は、後述する複数のμLED220の位置および配列を規定する複数のマスク開口部150Gと、金属プラグ24を基板100の上面100Tに接続させるコンタクト開口部150Cとを有している。

[0038] 基板100の例は、導電性表面を有するサファイア基板、Ga N基板、S

i C基板、およびS i基板などを含む。基板100がサファイア基板である場合には、サファイア基板の上面には、図1Aにおいて不図示の導電性を有する層が設けられる。導電性を有する層の例は、窒化チタニウム(T i N)層、および／または、不純物元素がドーピングされた半導体層(第2導電型の表面半導体領域)を含む。基板100がG a N基板、S i C基板、またはS i基板の場合、これらの基板の表面には不純物がドーピングされたり、導電性を有する層(バッファ層)がエピタキシャル成長させられたりすることにより、導電性表面が形成される。

[0039] 本開示の実施形態において、基板100は、最終的な μ LEDデバイス1000の構成要素である。基板100の厚さは、例えば30 μ m以上1000 μ m以下、好ましくは500 μ m以下であり得る。基板100の役割は、結晶成長のベースとなることであるため、 μ LEDデバイス1000の剛性は、基板100以外の他の剛性部材によって補われてもよい。そのような剛性部材は、例えばバックプレーン400に固着され得る。なお、製造工程中においては、基板100の下面100Bに基板100の剛性を補う支持基板(不図示)を固定してもよい。このような支持基板は、最終的な μ LEDデバイス1000からは除去されてもよいし、基板100に固着されたまま使用されてもよい。

[0040] μ LEDアレイから放射された光を基板100が透過して表示などを行う場合、基板100は、その光の波長域で高い透光性を示す材料から形成されることが望ましい。紫外および可視光に対する透光性の高い材料の例は、サファイアである。波長380nm以上の紫外線および可視光に対する透光性の高い材料の例は、G a Nである。 μ LEDアレイから放射された光をバックプレーン400が透過して表示などを行う場合、基板100は、その光を透過する必要はない。本開示の実施形態は、 μ LEDアレイから放射された光を基板100およびバックプレーン400の両方が透過して両面を表示を行う形態を含み得る。

[0041] 基板100の上面(結晶成長面)100Tには、結晶格子歪を緩和するよ

うな溝またはリッジなどの構造が付与されていてもよい。基板100の下面100Bには、 μ LEDアレイから放射され、基板100を透過してきた光の取り出し効率を向上させたり、光を拡散させたりするための微細な凹凸が形成されていてもよい。微細な凹凸の例はモスアイ構造を含む。モスアイ構造は、基板100の下面100Bにおける実効的な屈折率を連続的に変化させるため、基板100の下面100Bで基板100の内側に反射される割合（反射率）を大きく低下させる（実質的にゼロにする）ことができる。

[0042] 本開示において、図1Aに示されるZ軸の正方向（矢印の向き）を「結晶成長方向」または「半導体積層方向」と呼ぶ場合がある。また、基板100の下面100Bおよび上面100Tを、それぞれ、基板100の「正面」および「背面」と呼んでもよい。「正面」および「背面」の相対的な位置関係は、 μ LEDデバイス1000が、基板100を透過した光を利用するデバイスであるか否かに関係しない。

[0043] <フロントプレーン>

フロントプレーン200は、複数の μ LED220と、複数の μ LED220の間に位置する素子分離領域240とを含む。複数の μ LED220は、基板100の上面100Tに平行な2次元平面（XY面）内において、行および列状に配列され得る。図示される例において複数の μ LED220のそれぞれは、図1Aに示されるように、第1導電型の第1半導体層21および第2導電型の第2半導体層22を有する。

[0044] 本開示の実施形態において、各 μ LED220の第2半導体層22は、マスク層150のマスク開口部150Gに規定される領域に位置している。後述するように、この第2半導体層22は、半導体結晶のエピタキシャル成長工程を開始するとき、基板100の上面100Tにおいてマスク開口部150Gを介して露出していた領域から、選択的に成長した半導体結晶から形成されている。

[0045] 本開示の実施形態において、各 μ LED220は、他の μ LED220から独立して発光し得る発光層23を有している。発光層23は、第1半導体

層 2 1 と第 2 半導体層 2 2 との間に位置している。素子分離領域 2 4 0 は、第 2 半導体層 2 2 に電氣的に接続された少なくともひとつの金属プラグ 2 4 を有している。金属プラグ 2 4 は、 μ L E D 2 2 0 の基板側電極として機能する。より具体的には、金属プラグ 2 4 は、マスク層 1 5 0 のコンタクト開口部 1 5 0 C を介して基板 1 0 0 の導電性表面に電氣的に接続されている。そして、この導電性表面を介して複数の μ L E D 2 2 0 の第 2 半導体層を相互に接続している。

[0046] 第 1 導電型の第 1 半導体層 2 1 の典型例は、 p -G a N 層である。第 2 導電型の第 2 半導体層 2 2 の典型例は、 n -G a N 層である。 p -G a N 層および n -G a N 層は、それぞれ、基板 1 0 0 の上面 1 0 0 T に垂直な方向（半導体積層方向：Z 軸の正方向）に沿って同一の組成を有している必要はなく、多層構造を有し得る。前述したように、G a N の G a は A l および／または I n によって少なくとも部分的に置換され得る。このような置換は、G a N のバンドギャップおよび／または屈折率を調整するために行われ得る。また、 p 型不純物および n 型不純物の濃度、すなわちドーピングレベルも、半導体積層方向（Z 軸の正方向）に沿って一様である必要はない。

[0047] 発光層 2 3 の典型例は、少なくともひとつの I n G a N 井戸層を含む。発光層 2 3 が複数の I n G a N 井戸層を含む場合、それぞれの I n G a N 井戸層の間には、I n G a N 井戸層よりもバンドギャップが大きな G a N 障壁層または A l G a N 障壁層が配置され得る。I n G a N 井戸層および A l G a N 障壁層は、それぞれ I n A l G a N 井戸層および I n A l G a N 障壁層であってもよい。I n G a N 井戸層のバンドギャップは、発光波長を規定する。具体的には、真空中における発光波長を λ [nm]、バンドギャップを E_g [エレクトロンボルト：eV] とすると、 $\lambda \times E_g = 1240$ の関係が成立する。従って、例えば $\lambda = 450$ nm の青色光を放射させるには、I n G a N 井戸層のバンドギャップ E_g を約 2.76 eV に調整すればよい。I n G a N 井戸層のバンドギャップは、I n G a N 井戸層における I n 組成比率に応じて調整され得る。I n A l G a N 井戸層を用いる場合は、同様に I n

およびAⅠ組成比率に応じてバンドギャップが調整され得る。基板100上に成長するInGaN井戸層におけるIn組成比率は、基板100の全面において、ほぼ同一の値を持つ。このため、同一の基板100上に形成された複数のμLED220は、ほぼ等しい波長を有する光を放射することになる。

[0048] 各μLED220を構成する上記複数の半導体層は、それぞれ、基板100上にエピタキシャル成長した単結晶の層（エピタキシャル層）である。素子分離領域240は、基板100上にエピタキシャル成長した複数の半導体層の間の空間によって形成されたトレンチ状の凹部（以下、「トレンチ」と称する）によって規定される。トレンチによって分離された個々のμLED220の占有領域は、100μm×100μmの領域内に含まれる大きさ（例えば10μm×10μmの領域）を有している。なお、μLED220の占有領域は、素子分離領域240によって区分された第1半導体層21の輪郭によって規定される。

[0049] 図1Bに示されるように、素子分離領域240は各μLED220を取り囲み、個々のμLED220を他のμLED220から分離している。より具体的には、素子分離領域240は、個々のμLED220の第1半導体層21および発光層23を、他のμLED220の第1半導体層21および発光層23から、電氣的・空間的に分離している。

[0050] 本開示において、素子分離領域240は、半導体層の選択成長によって形成された複数のμLED220の間に位置する領域であり、半導体層を深くエッチングして形成された凹部ではない。本開示の実施形態によれば、エッチングのために必要なリソグラフィなどの工程が不要になり、また、エッチングによる半導体層の損傷を防止できる。

[0051] この例において、素子分離領域240は、複数のμLED220の間を埋める（fill）埋め込み絶縁物（embedded insulator）25を有している。埋め込み絶縁物25は、金属プラグ24のための1個または複数個のスルーホールを有している。スルーホールは金属プラグ24を構成する金属材料によ

って埋められている。金属プラグ24は、異なる金属の層がスタックされた構造を有していてもよい。

[0052] 図1Bに示される例では、複数の金属プラグ24が離散的に配置されているが、本開示の実施形態は、このような例に限定されない。複数の金属プラグ24のそれぞれが、対応する μ LED220を囲むリング形状を有していてもよい。また、金属プラグ24は、図1Cに示すように、一方向に平行に延びるストライプ形状を有してもよいし、図1Dに示すように、格子形状を有する1個の導電物であってもよい。

[0053] 金属プラグ24は、光を透過しない。このため、金属プラグ24が、個々の μ LED220を囲む形状を有する場合（例えば図1Dの形状を有する場合）、金属プラグ24は、個々の μ LED220から放射された光が、他の μ LED220から放射された光と混合されないようにする効果を生じさせる。金属プラグ24がこのような遮光部材として機能する代わりに、個々の μ LED220を囲む遮光部材を、別途、素子分離領域240内に設けてもよい。このように素子分離領域240は、個々の μ LED220の発光層23を他の μ LED220の発光層23から光学的に分離する付加的な機能を有していてもよい。

[0054] 本開示の実施形態において、フロントプレーン200の上面は、図1Aに示されるように平坦化されていることが好ましい。このような平坦化は、素子分離領域240における金属プラグ24および埋め込み絶縁物25の上面のレベルが、 μ LED220における第1半導体層21の上面のレベルに略一致することにより実現されている。

[0055] <中間層>

中間層300は、複数の第1コンタクト電極31と、第2コンタクト電極32とを含む（図1A参照）。複数の第1コンタクト電極31は、それぞれ、複数の μ LED220の第1半導体層21に電氣的に接続されている。少なくともひとつの第2コンタクト電極32は、金属プラグ24に接続されている。

- [0056] 図2は、第1コンタクト電極31および第2コンタクト電極32の配置例を示す斜視図である。図2では、コンタクト電極31、32の配置例を示すため、バックプレーン400の記載が省略されている。図2に示されている構造は、 μ LEDデバイス1000の一部にすぎず、前述したように、 μ LEDデバイス1000の実施形態は多数の μ LED220を備えている。
- [0057] 図2に示されている第2コンタクト電極32は、金属プラグ24を介して、第2半導体層22に電氣的に接続されている。第2コンタクト電極32の形状およびサイズは、図示されている例に限定されない。前述したように、金属プラグ24が多様な形状を取り得るため、金属プラグ24を介して第2半導体層22に電氣的に接続される限り、第2コンタクト電極32の配置の自由度は高い。これに対して、第1コンタクト電極31は、複数の μ LED220の第1半導体層21に、それぞれ、独立して電氣的に接続されている。基板100の上面100Tに垂直な方向から視たとき、第1コンタクト電極31の形状および大きさは、第1半導体層21の形状および大きさに一致している必要はない。
- [0058] 前述したように、フロントプレーン200の上面が平坦化されているため、基板100から第1コンタクト電極31および第2コンタクト電極32までの距離、言い換えると、これらのコンタクト電極31、32の「高さ」または「レベル」は、相互に等しい。このことは、半導体製造技術を用いて後述するバックプレーン400を形成することを容易にする。本開示における「半導体製造技術」とは、半導体、絶縁体、または導電体の薄膜を堆積する工程と、リソグラフィおよびエッチング工程によって薄膜をパターニングする工程とを含む。なお、本明細書において、「平坦化された表面」とは、その表面に存在する凸部または凹部による段差が300nm以下である表面を意味するものとする。好ましい実施形態において、この段差は100nm以下である。
- [0059] 再び図1Aを参照する。図1Aに示される例において、中間層300は、平坦な表面を有する層間絶縁層38を含む。層間絶縁層38は、第1および

第2コンタクト電極31、32をそれぞれバックプレーン400の電気回路に接続するための複数のコンタクトホールを有している。コンタクトホールは、ビア電極36によって埋められている。

[0060] 本開示の実施形態では、バックプレーン400を形成する前の段階において、層間絶縁層38の上面を平坦化することが好ましい。バックプレーン400を形成する前、あるいは形成途中の工程における絶縁層の平坦化には、エッチバック以外に化学的機械的研磨（CMP）処理が好適に用いられ得る。

[0061] <バックプレーン>

バックプレーン400は、図1Aにおいて不図示の電気回路を有している。電気回路は、複数の第1コンタクト電極31および少なくともひとつの第2コンタクト電極32を介して、複数の μ LED220に電氣的に接続されている。電気回路は、複数の薄膜トランジスタ（TFT）およびその他の回路要素を含む。後述するように、TFTのそれぞれは、基板100に支持されたフロントプレーン200および／または中間層300上に成長した半導体層を有している。

[0062] 図3は、 μ LEDデバイス1000がディスプレイデバイスとして機能する場合におけるサブ画素の基本的な等価回路図である。ディスプレイデバイスの1個の画素は、例えばR、G、Bなどの異なる色のサブ画素によって構成され得る。図3に示される例において、バックプレーン400の電気回路は、選択用TFT素子Tr1、駆動用TFT素子Tr2、保持容量CHを有している。図3に示されている μ LEDは、バックプレーン400ではなく、フロントプレーン200内に存在している。

[0063] 図3の例において、選択用TFT素子Tr1は、データラインDLと選択ラインSLとに接続されている。データラインDLは、表示されるべき映像を規定するデータ信号を運ぶ配線である。データラインDLは選択用TFT素子Tr1を介して駆動用TFT素子Tr2のゲートに電氣的に接続される。選択ラインSLは、選択用TFT素子Tr1のオン／オフを制御する信号

を運ぶ配線である。駆動用TFT素子Tr2は、パワーラインPLと μ LEDとの間の導通状態を制御する。駆動用TFT素子Tr2がオンすれば、 μ LEDを介してパワーラインPLから接地ラインGLに電流が流れる。この電流が μ LEDを発光させる。選択用TFT素子Tr1がオフしても、保持容量CHにより、駆動用TFT素子Tr2のオン状態は維持される。

[0064] バックプレーン400の電気回路は、選択用TFT素子Tr1、駆動用TFT素子Tr2、データラインDL、および選択ラインSLなどを含み得るが、電気回路の構成は、このような例に限定されない。

[0065] 本実施形態における μ LEDデバイス1000は、単独でディスプレイデバイスとして機能し得るが、複数の μ LEDデバイス1000をタイリングして、より大きな表示面積を有するディスプレイデバイスを実現してもよい。

[0066] <製造方法>

次に、 μ LEDデバイス1000を製造する方法の基本的な例を説明する。

[0067] まず、図4Aに示すように、上面（結晶成長面）100Tを有する基板100を用意する。図4Aは、上面100Tに平行な平面に沿って広がる基板100の一部を示しているにすぎない。基板100の上面100Tは、前述したように導電性を有している。この導電性は、基板100の表面にTiN層を形成したり、第2導電型の不純物元素をドーピングしたりすることによって与えられる。

[0068] 図4Bに示すように、基板100の上面100Tをマスク層150によって覆う。マスク層150は、絶縁膜を堆積した後、その絶縁膜の所定領域をエッチングして複数のマスク開口部150Gを形成することによって得られる。マスク開口部150Gは、基板100の上面100Tを部分的に露出させる。基板100の上面100Tに例えばTiN層が位置している場合、マスク開口部150Gは、TiN層を部分的に露出させる。

[0069] マスク開口部150Gの形状および位置は、各 μ LED220の第2半導

体層 2 2 の形状および位置を規定する。図 4 B に示す例において、マスク開口部 1 5 0 G の形状は矩形であるが、マスク開口部 1 5 0 G の形状は、この例に限定されない。また、マスク開口部 1 5 0 G の配置も図 4 B に示す例に限定されない。

[0070] 図 4 C に示すように、基板 1 0 0 の上面 1 0 0 T の露出部分から第 2 導電型の第 2 半導体層 2 2 をエピタキシャル成長させる。このとき、第 2 半導体層 2 2 は、マスク層 1 5 0 上にはエピタキシャル成長しない。しかし、マスク開口部 1 5 0 G からエピタキシャル成長した第 2 半導体層 2 2 の一部は、マスク層 1 5 0 の表面に沿って横方向に成長してもよい。次に、第 2 半導体層 2 2 の上面および側面から発光層 2 3、および第 1 導電型の第 1 半導体層 2 1 を含む複数の半導体層をエピタキシャル成長させる。各半導体層は、窒化ガリウム系化合物半導体の単結晶エピタキシャル成長層である。窒化ガリウム系化合物半導体の成長は、例えば MOCVD (Metal Organic Chemical Vapor Deposition) 法で行うことができる。各導電型を規定する不純物は、結晶成長中に気相中からドーピングされ得る。

[0071] 上記の選択成長の結果、図 4 D に示されるように、それぞれの間に空間（トレンチ）を有する複数の μ LED 2 2 0 を形成することができる。こうして、半導体層のエッチングを行うことなく、素子分離のためのトレンチが形成される。マスク開口部 1 5 0 G を介して露出していた基板 1 0 0 の上面 1 0 0 T から選択的に成長した半導体が横方向にも成長し得ることを考慮すると、 μ LED 2 2 0 の配列ピッチ（中心間距離）は、選択成長によって形成する半導体層（エピタキシャル成長層）の高さの 2 倍以上に設定され得る。また、金属プラグ 2 4 が形成される領域では、トレンチの幅が金属プラグ 2 4 の幅よりも大きくなるように、 μ LED 2 2 0 の配列ピッチが決定される。同一パターンを有するマスク層 1 5 0 を使用しても、選択成長によって形成する半導体層の高さを変更すると、 μ LED 2 2 0 の大きさおよびトレンチの幅を変更することができる。

[0072] 次に、図 4 E に示すように、 μ LED 2 2 0 の間の空間（トレンチ）に素

子分離領域 240 を形成する。具体的には、隣接する μ LED 220 の間に形成されている空間（トレンチ）を有機または無機の絶縁材料で埋めて埋め込み絶縁物 25 を形成する。例えば、CVD 法などの薄膜堆積技術によって絶縁材料を堆積した後、 μ LED 220 の上面が露出するまで研磨などの平坦化を行ってもよい。また、トレンチ内に液状の熱硬化性樹脂または紫外線硬化樹脂を供給し、熱または紫外線によって硬化させてもよい。液状の樹脂材料を用いることにより、上面が平坦な埋め込み絶縁物 25 を形成することが容易になる。その後、フォトリソグラフィおよびエッチング技術を用いることにより、金属プラグ 24 のためのスルーホール（図 4 E では不図示）を埋め込み絶縁物 25 の所望の位置に形成する。

[0073] 次に、図 4 F に示すように、素子分離領域 240 を形成した後、第 1 コンタクト電極 31 および第 2 コンタクト電極 32 を形成する。この例における素子分離領域 240 は、埋め込み絶縁物 25 と、埋め込み絶縁物 25 の複数のスルーホール内にそれぞれ設けられた複数の金属プラグ 24 とを有している。

[0074] 図 4 G に示すように中間層 300 の層間絶縁層（厚さ：例えば 500 nm ~ 1500 nm）38 を形成した後、バックプレーン 400 の電気回路をフロントプレーン 200 の μ LED 220 に接続するための複数のコンタクトホール（図 4 G において不図示）を層間絶縁層 38 に形成する。コンタクトホールは、下層に位置するコンタクト電極 31、32 に達するように形成される。コンタクトホールはビア電極で埋められる。なお、層間絶縁層 38 の上面は CMP 処理によって平滑化され得る。

[0075] 図 4 H に示すように、中間層 300 上にバックプレーン 400 を形成する。本開示において特徴的な点は、バックプレーン 400 を中間層 300 上に張り付けるのではなく、バックプレーン 400 を構成する各種の電子素子および配線を、半導体製造技術により、フロントプレーン 200 および中間層 300 を含む積層構造体の上に直接に形成することにある。この結果、バックプレーン 400 に含まれる複数の TFT のそれぞれは、基板 100 に支持

されたフロントプレーン200および中間層300からなる積層構造体の上に成長した半導体層を有している。

[0076] 前述したように、フロントプレーン200の上面および中間層300の上面が平坦化されていると、TFTを含むバックプレーン400を半導体製造技術によって製造することが容易になる。一般に、半導体製造技術によってTFTを形成する場合、堆積した半導体層、絶縁層、および金属層のパターニングを行う必要がある。このようなパターニングは、露光を伴うリソグラフィ工程によって実現される。堆積した半導体層、絶縁層、および金属層の下地に大きな段差が存在する場合、露光時の焦点が合わず、精度の高い微細パターニングが実現しない。本開示の実施形態では、素子分離領域240を含むフロントプレーン200の全体が平坦化されることにより、中間層300も平坦化され、半導体製造技術によるバックプレーン400の形成が容易になる。

[0077] 上述の例において、 μ LED220の形状は、概略的に直方体であるが、 μ LED220の形状は、図5Aおよび図5Bに示されるように、円柱であってもよいし、六角柱などの多角柱、あるいは楕円柱であってもよい。図5Aは、円柱形の μ LED220を備える μ LEDデバイスの一部を示す斜視図であり、図5Bは、その平面図である。図5Bに示される例において、素子分離領域240は、個々の μ LED220の側面を覆う埋め込み絶縁物25と、 μ LED220の間の空間を埋める金属プラグ24とを備えている。この金属プラグ24の働きにより、素子分離領域240は、個々の μ LED220から放射された光を他の μ LED220から放射された光と混合しないようにすることができる。

[0078] 各 μ LED220の形状および位置は、マスク層150のマスク開口部150Gの形状および位置によって規定されるため、マスク層150のパターンを調整することにより、個々の μ LED220の形状および位置、さらには、 μ LED220の配列パターンを任意に制御することができる。

[0079] <実施形態>

以下、本開示による μ LEDデバイスの基本的な実施形態を更に詳細に説明する。

[0080] 図6を参照する。本実施形態における μ LEDデバイス1000Aは、前述した基本構成例と同様の構成を備えているディスプレイデバイスである。この μ LEDデバイス1000Aは、可視光および／または紫外を透過する結晶成長基板（以下、「基板」）100と、基板100上に形成されたフロントプレーン200と、フロントプレーン200上に形成された中間層300と、中間層300上に形成されたバックプレーン400とを備えている。

[0081] 次に、図7Aから図10を参照しながら、本実施形態における μ LEDデバイス1000Aの構成および製造方法の一例を説明する。

[0082] まず、図7Aを参照する。図7Aは、本実施形態で使用する基板100の構成例を示している。図示されている例において、基板100の上面100Tには、導電性バッファ層（厚さ：例えば5～500nm）として機能するTiN層50が位置している。ただし、 μ LEDアレイから放射された光を基板100が透過して表示などを行う場合のTiN層50の厚さは、5～20nmの範囲内であることが好ましい。導電性バッファ層の例は、TiN層に限定されず、第2導電型の半導体層（エピ層）であってもよい。TiN層50は、マスク開口部150Gを有するマスク層150によって覆われている。マスク層150は、例えば、厚さが100～1000nm、典型的には300nmのシリコン窒化膜またはシリコン酸化膜などから形成され得る。前述したように、マスク層150は高融点金属の層から形成されてもよい。金属製のマスク層150は、n側の共通電極の一部として機能し得る。マスク層150は、スパッタ法などの薄膜堆積技術により形成された後、フォトリソグラフィおよびエッチング技術によってパターンニングされる。このパターンニングによって所定の形状を有する複数のマスク開口部150Gが形成される。本実施形態における複数のマスク開口部150Gのそれぞれは、個々の μ LED220のn-GaN層22nの形状および位置を決定する。

[0083] 本実施形態では、MOCVD装置の反応室内に基板100を置き、種々の

ガスを供給して窒化ガリウム（GaN）系化合物半導体のエピタキシャル成長を行う。本実施形態における基板100の本体は、例えば厚さが約50～600 μ mのサファイア基板である。基板100の上面100Tは、典型的にはC面（0001）であるが、m面、a面、r面などの非極性面または半極性面を上面に有していてもよい。また、上面100Tは、これらの結晶面から数度程度は傾斜していてもよい。基板100は典型的には円板状であり、その直径は、例えば1インチから8インチであり得る。基板100の形状およびサイズは、この例に限定されず、矩形であってもよい。また、円板状の基板100を用いて製造工程を進め、最終的に基板100の周辺をカットして矩形形状に加工してもよい。また、比較的な大きな基板100を用いて製造工程を進め、最終的に1枚の基板100を分割して複数の μ LEDデバイスを形成してもよい（シングュレーション）。

[0084] MOCVD装置の反応室内には、まず、トリメチルガリウム（TMG）またはトリエチルガリウム（TEG）、キャリアガスである水素（H₂）、窒素（N₂）と、アンモニア（NH₃）およびシラン（SiH₄）を供給する。基板100を1100℃程度に加熱する。こうして、図7Bに示すように、基板100のマスク層150によって覆われていない領域、すなわちマスク開口部150Gによって規定される領域から、n-GaN層（厚さ：例えば2 μ m）22nを選択的に成長させる。シランはn型ドーパントであるSiを供給する原料ガスである。n型不純物のドーピング濃度は、例えば $5 \times 10^{17} \text{ cm}^{-3}$ であり得る。

[0085] 次にSiH₄の供給を止め、基板100の温度を800℃未満まで降温して、図7Cに示すように、n-GaN層22nの表面に発光層23を形成する。具体的には、まず、GaN障壁層を成長させる。更にトリメチルインジウム（TMI）の供給を開始して $\text{In}_y\text{Ga}_{1-y}\text{N}$ （ $0 < y < 1$ ）井戸層を成長させる。GaN障壁層と $\text{In}_y\text{Ga}_{1-y}\text{N}$ （ $0 < y < 1$ ）井戸層は2周期以上で交互に成長させることにより、発光部として機能するGaN／InGaN多重量子井戸を有する発光層（厚さ：例えば100nm）23を形成することが

できる。 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層の数が多い方が、大電流駆動時において井戸層内部のキャリア密度が過剰に大きくなることを抑制できる。

1つの発光層23が2つのGaN障壁層によって挟まれた単一の $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層を有していてもよい。 $n\text{-GaN}$ 層22nの上に $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層を直接形成し、 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層の上にGaN障壁層を形成してもよい。 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層は、Alを含んでいてもよい。例えば、 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層は、 $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$ ($0 \leq x < 1$, $0 < y < 1$, $0 < z < 1$) から形成されていてもよい。

[0086] 次に、発光層23の形成後、一旦、TMIの供給を停止させる。その後、キャリアガス（水素）に窒素に加えて、アンモニアの供給を再開する。成長温度を $850^\circ\text{C} \sim 1000^\circ\text{C}$ に上昇させ、トリメチルアルミニウム（TMA）と、p型ドーパントであるMgの原料としてビスシクロペンタジエニルマグネシウム（ Cp_2Mg ）を供給し、 $p\text{-AlGaN}$ オーバーフロー抑制層を成長させてもよい。次にTMAの供給を停止し、 $p\text{-GaN}$ 層（厚さ：例えば $0.5\ \mu\text{m}$ ）21pを成長させる。p型不純物のドーピング濃度は、例えば $5 \times 10^{17}\text{cm}^{-3}$ であり得る。

[0087] 本実施形態によれば、マスク層150のマスク開口部150Gの形状および配置により、任意の形状および配置で μLED 220を形成できる。

[0088] 図7Dに示すように、素子分離領域240を規定する空間を埋め込み絶縁物25で満たす。埋め込み絶縁物25の材料および形成方法は、任意である。図示されている例において、埋め込み絶縁物25の上面は平坦化され、 $p\text{-GaN}$ 層21pの上面と同一のレベルに位置している。本実施形態では、インクジェット法を用いて選択的に素子分離領域240に対して熱硬化性樹脂を滴下し、しばらく静置することで表面を平坦化する。その後加熱して樹脂を硬化させる。

[0089] 図7Eに示すように、埋め込み絶縁物25およびマスク層150の一部にTiN層50に達する貫通孔（スルーホール）26を形成する。このスルー

ホール 26 は、金属プラグ 24 の位置および形状を規定する。スルーホール 26 は、例えば一辺が $5\ \mu\text{m}$ 以上の矩形形状、また直径 $5\ \mu\text{m}$ 以上の円形を有している。また、スルーホール 26 は、例えば図 1 C および図 1 D に示されるような形状を有する金属プラグ 24 を収容する形状を有していてもよい。

[0090] 図 7 F に示すように、スルーホール 26 を埋める金属プラグ 24 を形成し、フロントプレーン 200 の上面を平坦化する。その後、第 1 コンタクト電極 31 および第 2 コンタクト電極 32 を形成する。平坦化は、例えば、エッチバック、選択成長、CMP またはリフトオフなどの各種のプロセスによって行うことができる。

[0091] 金属プラグ 24 は、TiN 層 50 にオーミック接触を行うため、例えばチタニウム (Ti) および／またはアルミニウム (Al) などの金属から形成され得る。金属プラグ 24 は、 $n\text{-Ga}\text{N}$ 層 22 n に接触する部分に Ti を含む金属の層 (例えば TiN 層) を有していることが好ましい。Ti を含む金属の層の存在は、 $n\text{-Ga}\text{N}$ または TiN に対して低抵抗の n 型オーミック接触を実現することに寄与する。例えば、金属プラグ 24 と TiN 層 50 との界面に存在する TiN 層は、TiN 層 50 に接触する Ti 層を形成した後、 600°C 程度の熱処理を 30 秒間行うことによって形成され得る。

[0092] 第 1 および第 2 コンタクト電極 31、32 は、金属層の堆積およびパターニングによって形成され得る。第 1 コンタクト電極 31 と μLED 220 の $p\text{-Ga}\text{N}$ 層 21 p との間では、金属-半導体界面が形成される。 p 型のオーミック接触を実現するため、第 1 コンタクト電極 31 の材料は、例えば白金 (Pt) および／またはパラジウム (Pd) などの仕事関数が高い金属から選択され得る。Pt または Pd の層 (厚さ: 約 $50\ \text{nm}$) を形成した後、例えば、 350°C 以上 400°C 以下の温度で 30 秒程度の熱処理が行われ得る。 $p\text{-Ga}\text{N}$ 層 21 p に直接に接触する部分に Pt または Pd の層が存在していれば、その層の上には他の金属、例えば Ti 層 (厚さ: 約 $50\ \text{nm}$) および／または Au 層 (厚さ: 約 $200\ \text{nm}$) が積層されていてもよい。

- [0093] p-GaN層21pの上部には、p型不純物が相対的に高濃度にドーピングされた領域が形成されていてもよい。第2コンタクト電極32は、半導体ではなく、金属プラグ24と電氣的に接続される。このため、第2コンタクト電極32の材料は、広い範囲から選択可能である。第1コンタクト電極31および第2コンタクト電極32は、一枚の連続した金属層をパターニングすることによって形成されてもよい。このパターニングは、リフトオフも含む。第1コンタクト電極31および第2コンタクト電極32の厚さが相互に等しいと、後述するTF T 40などの、バックプレーン400における電気回路との接続が容易になる。
- [0094] 第1および第2コンタクト電極31、32を形成した後、これらは層間絶縁層（厚さ：例えば1000nmから1500nm）38によって覆われる。ある好ましい例において、層間絶縁層38の上面はCMP処理などによって平坦化され得る。上面が平坦化された層間絶縁層38の厚さは、「平均厚さ」を意味する。
- [0095] 図7Gに示すように、層間絶縁層38にコンタクトホール39を形成する。コンタクトホール39は、バックプレーン400の電気回路をフロントプレーン200のμLED220に電氣的に接続するために使用される。
- [0096] 再び図6を参照して、バックプレーン400の電気回路に含まれるTF Tの構造例および形成方法を以下に説明する。
- [0097] 図6に示されている例において、TF T 40は、層間絶縁層38上に形成されたドレイン電極41およびソース電極42と、ドレイン電極41およびソース電極42のそれぞれの上面の少なくとも一部に接触する半導体薄膜43と、半導体薄膜43上に形成されたゲート絶縁膜44と、ゲート絶縁膜44上に形成されたゲート電極45とを有している。図示されている例において、ドレイン電極41およびソース電極42は、それぞれ、ビア電極36によって第1コンタクト電極31および第2コンタクト電極32に接続されている。これらTF T 40の構成要素は、公知の半導体製造技術によって形成される。

- [0098] 半導体薄膜43は、多結晶シリコン、非晶質シリコン、酸化物半導体、および／または窒化ガリウム系半導体から形成され得る。多結晶シリコンは、例えば薄膜堆積技術によって非晶質シリコンを中間層300の層間絶縁層38上に堆積した後、非晶質シリコンをレーザビームで結晶化することにより、形成され得る。このようにして形成される多結晶シリコンは、LTPS (Low-Temperature Poly Silicon) と称される。多結晶シリコンはリソグラフィおよびエッチング工程で所望の形状にパターニングされる。
- [0099] 図6におけるTF T40は、絶縁層（厚さ：例えば500nm～3000nm）46に覆われている。絶縁層46には、不図示の開口孔が設けられ、TF T40の例えばゲート電極45を外部のドライバ集積回路素子などに接続することを可能にしている。絶縁層46の上面も平坦化されていることが好ましい。バックプレーン400の電気回路は、図示されていないTF T、キャパシタ、およびダイオードなどの回路要素を含み得る。このため、絶縁層46は、複数の絶縁層が積層された構成を有していてもよく、その場合の各絶縁層には、必要に応じて回路要素を接続するビア電極が設けられ得る。また、各絶縁層上には、必要に応じて配線が形成され得る。
- [0100] 本実施形態におけるバックプレーン400は、公知のバックプレーン（例えばTF T基板）と同様の構成を有することができる。ただし、本開示のバックプレーン400は、下層に位置する μ LED220の上に半導体製造技術によって形成される点に特徴を有している。このため、例えばTF T40のドレイン電極41およびソース電極42は、フロントプレーン200を覆うように堆積した金属層をパターニングすることによって形成され得る。このようなパターニングは、リソグラフィ技術による高精度の位置合わせを可能にする。特に本実施形態では、フロントプレーン200および／または中間層300がいずれも平坦化されているため、リソグラフィの解像度を高めることが可能になる。その結果、例えば20 μ m以下、極端な例では5 μ m以下の微細ピッチで配列された多数の μ LED220を備えるデバイスを歩留まり良く、かつ、低価格で製造することが可能になる。

[0101] 図6に示されるTF T 4 0の構成は、一例である。説明をわかりやすくするため、TF T 4 0のドレイン電極4 1が第1コンタクト電極3 1に電氣的に接続されている例を説明しているが、TF T 4 0のドレイン電極4 1はバックプレーン4 0 0内の他の回路要素または配線に接続されていてもよい。また、TF T 4 0のソース電極4 2は、第2コンタクト電極3 2に電氣的に接続されている必要はない。第2コンタクト電極3 2は、 μ LED 2 2 0のn-GaN層2 2 nに共通して所定の電位を与える配線（例えばグランド配線）に接続され得る。

[0102] 本実施形態において、バックプレーン4 0 0の電気回路は、第1コンタクト電極3 1および第2コンタクト電極3 2にそれぞれ接続された複数の金属層（ドレイン電極4 1およびソース電極4 2として機能する金属層）を有している。また、本実施形態において、複数の第1コンタクト電極3 1は、それぞれ、複数の μ LED 2 2 0のp-GaN層2 1 pを覆い、遮光層または反射層として機能する。個々の第1コンタクト電極3 1は、 μ LED 2 2 0の上面、すなわち、p-GaN層2 1 pの上面の全体を全て覆っている必要はない。第1コンタクト電極3 1の形状、サイズ、および位置は、十分に低いコンタクト抵抗を実現し、かつ、発光層2 3から放射された光がTF T 4 0のチャネル領域に入射することを十分に抑制するように決定される。なお、発光層2 3から放射された光がTF T 4 0のチャネル領域に入射しないようにすることは、他の金属層を適切な位置に配置することによっても実現し得る。

[0103] 本開示の実施形態によれば、素子分離領域2 4 0を金属プラグ2 4 および埋め込み絶縁物2 5によって埋め込んで実現した平坦な上面を有するフロントプレーン2 0 0上に、平坦化された上面を有する中間層3 0 0を形成する。これらの構造（下部構造）は、その上にTF Tなどの回路要素を形成するベースとして機能する。TF Tのための半導体を堆積するとき、あるいは、堆積後に熱処理をするとき、上記の下部構造は、例えば3 5 0℃以上の温度で処理される。このため、素子分離領域2 4 0内の埋め込み絶縁物2 5およ

び中間層 300 に含まれる層間絶縁層 38 は、350℃以上の熱処理によっても劣化しない材料から形成されることが好ましい。例えばポリイミドおよび SOG (Spin-on Glass) は、好適に用いられ得る。

[0104] バックプレーン 400 における電気回路が含む TFT の構成は、上記の例に限定されない。

[0105] 図 8 は、TFT の他の例を模式的に示す断面図である。図 9 は、TFT の更に他の例を模式的に示す断面図である。

[0106] 図 8 の例において、TFT 40 は、層間絶縁層 38 上に形成されたドレイン電極 41、ソース電極 42、およびゲート電極 45 と、ゲート電極 45 上に形成されたゲート絶縁膜 44 と、ゲート絶縁膜 44 上に形成され、ドレイン電極 41 およびソース電極 42 のそれぞれの上面の少なくとも一部に接触する半導体薄膜 43 とを有している。図示されている例において、ドレイン電極 41 およびソース電極 42 は、それぞれ、ビア電極 36 によって第 1 コンタクト電極 31 および第 2 コンタクト電極 32 に接続されている。

[0107] 図 9 の例において、TFT 40 は、層間絶縁層 38 上に形成された半導体薄膜 43 と、層間絶縁層 38 上に形成され、それぞれが半導体薄膜 43 の一部に接触するドレイン電極 41 およびソース電極 42 と、半導体薄膜 43 上に形成されたゲート絶縁膜 44 と、ゲート絶縁膜 44 上に形成されたゲート電極 45 とを有している。図示されている例において、ドレイン電極 41 およびソース電極 42 は、それぞれ、ビア電極 36 によって第 1 コンタクト電極 31 および第 2 コンタクト電極 32 に接続されている。

[0108] TFT 40 の構成は、上記の例に限定されない。本開示の実施形態では、TFT 40 を形成する工程の初期段階において、中間層 300 における層間絶縁層 38 のコンタクトホール 39 を介してフロントプレーン 200 の第 1 および第 2 コンタクト電極 31、32 に接続される複数の金属層が形成される。これらの金属層は、TFT 40 のドレイン電極 41 またはソース電極 42 であり得るが、それらに限定されない。

[0109] 本実施形態におけるドレイン電極 41 およびソース電極 42 は、平坦化さ

れた中間層300における層間絶縁層38上に金属層を堆積した後、フォトリソグラフィおよびエッチング工程でパターニングされる。このため、フロントプレーン200（中間層300）とバックプレーン400との間で、歩留まり低下を招くような位置合わせずれは生じない。

[0110] μ LED220から放射された光を基板100が透過して表示などを行う場合のTiN層50の厚さは、前述したように例えば5nm以上20nm以下であり得る。TiN層50は、サファイア、単結晶シリコン、またはSiCから形成された基板100と組み合わせて好適に利用され得るが、基板100は、これらの基板に限定されない。

[0111] TiN層50は、電気導電性を有する。本開示の実施形態では、広い範囲にわたって多数の μ LED220が配列され、少なくとも1個の金属プラグ24によって μ LED220のn-GaN層22nがバックプレーン400の電気回路に接続される。このため、n-GaN層22nから金属プラグ24に流れる電流に対する電気抵抗成分（シート抵抗）が高すぎると、消費電力の増加を招いてしまう。TiN層50は、結晶成長時には格子不整合を緩和するバッファ層として機能して結晶欠陥密度を低減することに寄与するとともに、デバイスの動作時には、上記の電気抵抗成分を低下させることに寄与する。TiN層50の厚さは、電気抵抗成分を低下させて基板側電極として機能させるという観点から、10nm以上であることが好ましく、12nm以上であることが更に好ましい。一方、 μ LED220から放射された光を透過させるという観点からは、TiN層50の厚さを例えば20nm以下にすることが好ましい。

[0112] 1枚の連続したTiN層50が全ての μ LED220におけるn-GaN層22nに電氣的に接続しているため、金属プラグ24と個々の μ LED220のn-GaN層22nとの電氣的導通が確保される。この例において、TiN層50は、複数の μ LED220のn側共通電極として機能する。本開示の実施形態では、複数の μ LED220における第2導電側の電極が半導体層またはTiN層によって共通化されているため、断線に起因して一部

の μ LED220に導通不良が生じるという問題が回避される。

[0113] トレンチは、埋め込み絶縁物25によって埋められる。具体的には、例えば熱硬化性のポリイミドなどの樹脂材料を塗布した後、例えば400℃で60分間の熱処理によって樹脂材料を硬化させることにより、埋め込み絶縁物25を形成できる。埋め込み絶縁物25は、樹脂から形成されている必要はなく、例えばシリコン窒化物、シリコン酸化物などの無機絶縁材料から形成されていてもよい。

[0114] 本開示の実施形態では、バックプレーン400に含まれるTFTおよびその他の構成要素を半導体製造技術によってフロントプレーン200および中間層300の上層に形成するため、これらの構成要素を形成するためのプロセス温度に耐える材料を用いてフロントプレーン200および中間層300を形成する必要がある。例えば、埋め込み絶縁物25、層間絶縁層38、絶縁層46は、有機材料から形成され得るが、この有機材料はバックプレーン400を形成するプロセスの最高温度に耐える必要がある。具体的には、TFTを形成する工程で例えば300℃を超えるような熱処理が行われる場合、300℃の熱処理でも劣化しにくい耐熱性のある樹脂材料（たとえばポリイミド）から、埋め込み絶縁物25、層間絶縁層38、および／または絶縁層46を形成することができる。

[0115] 埋め込み絶縁物25、層間絶縁層38および絶縁層46は、それぞれ、単層構造を有している必要はなく、多層構造を有していてもよい。多層構造は、例えば有機材料と無機材料の積層物（stack）を含み得る。

[0116] 上記の例における金属プラグ24の上面は、各 μ LED220の上面とほぼ同じレベルにあるため、その上に半導体製造技術によってTFT40などの回路要素および微細な配線を高い精度で形成することが可能になる。

[0117] 上記の例では、スルーホール26を埋める金属プラグ24が用いられているが、前述したように、金属プラグ24の形態はさまざまであり得る。

[0118] 以下、本開示の μ LEDデバイスによるカラーディスプレイの実施形態を説明する。

[0119] <カラーディスプレイI>

以下、図10を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000Bの構成例を説明する。図10では、Z軸の方向が図1AにおけるZ軸の方向から反転している。前述した μ LEDデバイス1000Aにおける構成要素に対応する構成要素に同一の参照符号を与え、それらの構成要素の説明はここでは繰り返さない。

[0120] 本実施形態における μ LEDデバイス1000Bは、基板100、フロントプレーン200、中間層300およびバックプレーン400を備えている。これらの要素は、前述した様々な構成を備え得る。

[0121] 図10に示される μ LEDデバイス1000Bは、複数の μ LED220のそれぞれから放射された光を白色光に変換する蛍光体層600と、白色光の各色成分を選択的に透過するカラーフィルタアレイ620とを更に備えている。カラーフィルタアレイ620は、蛍光体層600を間に挟んで基板100に支持されており、レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bを有している。

[0122] 本実施形態では、 μ LED220の発光層23から放射された光が青の波長(435~485nm)を有するように、発光層23の組成およびバンドギャップが調整されている。

[0123] 蛍光体層600の例は、「量子ドット」と呼ばれる多数のナノ粒子(量子ドット蛍光体)を含有するシートであり得る。量子ドット蛍光体は、例えばCdTe、InP、GaNなどの半導体から形成され得る。量子ドット蛍光体は、そのサイズに応じて発する光の波長が変化する。励起光を受けて赤および緑の光を発するように調整された量子ドット分散シートを蛍光体層600として利用することができる。このような蛍光体層600を励起する光として青の光を用いると、蛍光体層600を透過する青の光と、蛍光体層600の量子ドットで赤または緑に変換された光とが混合して形成された白色光が蛍光体層600から出射され得る。

[0124] 量子ドット蛍光体の粒径は、例えば2nm以上30nm以下である。粒径

が $10\mu\text{m}$ を超えている一般的な蛍光体粉末粒子に比べると、量子ドット蛍光体の粒径は著しく小さい。 $\mu\text{LED}220$ が例えば $5\sim10\mu\text{m}$ 程度の狭ピッチで配列されているとき、粒径が $10\mu\text{m}$ を超える蛍光体粉末粒子では、効率的な波長変換が難しくなる。また、通常の蛍光体粉末粒子を粉砕して粒径を $1\mu\text{m}$ よりも小さくすると、蛍光体としての性能が著しく低下することが知られている。

[0125] 蛍光体層600は、主として青の光（励起光）をレイリー散乱させるようなサイズを有する散乱体を含んでいてもよい。レイリー散乱は、励起光の波長よりも小さな粒子によって引き起こされる。青の光を選択的に散乱させる散乱体としては、 10nm 以上 50nm 以下の直径（典型的には 30nm 以下）を有する酸化チタン（ TiO_2 ）超微粒子が好適に用いられ得る。特に、ルチル型結晶の TiO_2 超微粒子は、物理的・化学的に安定であるため好ましい。このような TiO_2 超微粒子は、青の波長よりも長い波長の色（緑および赤）の光を散乱させる効果は低い。

[0126] TiO_2 超微粒子を蛍光体層600内で均一に分散させるには、アルコールアミン、ポリオール、シロキサン、カルボン酸（例えばステアリン酸またはラウリン酸）などの有機物を用いた表面処理を行うことが好ましい。また、 $\text{Al}(\text{OH})_3$ または SiO_2 などの無機物を用いて表面処理を行ってもよい。

[0127] 青散乱体としては、酸化チタン微粒子に代えて、あるいは酸化チタン微粒子とともに酸化亜鉛微粒子（粒子径：例えば 20nm 以上 100nm 以下）を用いても良い。このような青散乱体が均一に分散されていることにより、方向に依存した色むらが生じにくくなり、視野角特性に優れた表示が実現する。

[0128] 上述の説明から明らかなように、本実施形態の μLED デバイス1000Bは、 $\mu\text{LED}220$ の発光層23から放射された光を透過させる必要がある。基板100の全部または一部がシリコン基板から形成されていると、蛍光体層600を励起することは困難である。本実施形態における基板100

の典型例は、サファイア基板およびGaN基板である。この点については、後述する実施形態でも同様である。

[0129] カラーフィルタアレイ620におけるレッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bは、それぞれ、 μ LED220に対向する位置に配置される。レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bは、それぞれ、対応する μ LED220から放射された光によって励起された蛍光体層600から白色光を受け、その白色光に含まれる赤成分、緑成分、および青成分を透過する。

[0130] 各 μ LED220から放射された光を、対応するレッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bのいずれかに効率的に入射させるためには、金属プラグ24が個々の各 μ LEDデバイス1000Bを取り囲む形状を有していることが望ましい。

[0131] カラーフィルタアレイ620において、レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bの間は、遮光性または吸光性を有する材料から形成されたブラックマトリックスとして機能する部分が位置していることが好ましい。

[0132] 蛍光体層600は、カラーフィルタアレイ620に積層された (stacked) 蛍光体シートであってもよい。

[0133] 蛍光体層600は、量子ドット蛍光体が分散されたシートである必要はない。量子ドット蛍光体 (蛍光体粉末) を樹脂に分散して基板100の下面100Bに塗布・硬化することにより、蛍光体層600を形成してもよい。この場合、蛍光体粉末は基板100の下面100B上に位置している。

[0134] 蛍光体層600およびカラーフィルタアレイ620以外の光学シート、保護シート、またはタッチセンサなどが基板100に取り付けられていてもよい。このことは、後述する他の実施形態でも同様である。

[0135] <カラーディスプレイII>

以下、図11Aおよび図11Bを参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000Cの構成例を説明する

。図 1 1 A では、Z 軸の方向が図 1 A における Z 軸の方向から反転している。
。図 1 1 B は、 μ LED デバイス 1 0 0 0 C の斜視図である。

[0136] 本実施形態における μ LED デバイス 1 0 0 0 C は、基板 1 0 0、フロントプレーン 2 0 0、中間層 3 0 0 およびバックプレーン 4 0 0 を備えている。
。これらの要素は、前述した様々な構成を備え得る。

[0137] 図示されている μ LED デバイス 1 0 0 0 C は、基板 1 0 0 に支持され、複数の μ LED から放射された光がそれぞれ入射する複数の画素開口部 6 4 5 を規定するバンク層（厚さ：0.5～3.0 μ m）6 4 0 を備えている。
また、 μ LED デバイス 1 0 0 0 C は、バンク層 6 4 0 の複数の画素開口部 6 4 5 にそれぞれ配置された赤蛍光体 6 4 R、緑蛍光体 6 4 G、および青散乱体 6 4 B を備えている。赤蛍光体 6 4 R は、 μ LED 2 2 0 から放射された青の光を赤の光に変換し、緑蛍光体 6 4 G は、 μ LED 2 2 0 から放射された青の光を緑の光に変換する。青散乱体 6 4 B は、 μ LED 2 2 0 から放射された青の光を散乱する。青散乱体 6 4 B は、赤蛍光体 6 4 R または緑蛍光体 6 4 G から発せられた光の強度が示す放射角依存性（例えばランバーシアン分布）に似た放射角依存性を持つように設計され得る。

[0138] 本実施形態では、 μ LED 2 2 0 の発光層 2 3 から放射された光が青の波長（435～485 nm）を有するように、発光層 2 3 の組成およびバンドギャップが調整されている。

[0139] 図 1 1 A に示されている例において、 μ LED デバイス 1 0 0 0 C は、バンク層 6 4 0 における画素開口部 6 4 5 を覆う透明保護層 6 5 0 を備えている。簡単のため、図 1 1 B では、透明保護層 6 5 0 の記載は省略されている。
。透明保護層 6 5 0 は、赤蛍光体 6 4 R および緑蛍光体 6 4 G が吸湿によって劣化しやすい場合、大気中の水分がこれらの蛍光体に悪影響を与えないように封止機能を発揮することが望ましい。透明保護層 6 5 0 は、有機層および無機層の積層体であってもよい。

[0140] バンク層 6 4 0 は、例えば格子形状を有しており、黒色染料が溶解した遮光材料、または、カーボンブラックのような黒色顔料が分散された遮光材料

から形成され得る。バンク層640は、感光性材料、アクリル、ポリイミドなどの樹脂材料、低融点ガラスを含むペースト材料、ゾルゲル材料（例えばSOG）などから形成され得る。バンク層640を感光性材料から形成するときは、基板100の下面100Bに感光性材料を塗布した後、リソグラフィ工程で露光・現像によるパターニングを行うことにより、所定位置に画素開口部645を形成すればよい。画素開口部645の位置および大きさは、 μ LED220の配置に整合するように決定される。画素開口部645のサイズは、例えば $10\mu\text{m} \times 10\mu\text{m}$ 以下であり得る。赤蛍光体64R、緑蛍光体64G、および青散乱体64Bの粒径は、 $1\mu\text{m}$ 以下であることが望ましい。赤蛍光体64Rおよび緑蛍光体64Gは、それぞれ、量子ドット蛍光体から好適に形成され得る。青散乱体64Bは、粒径が 10nm 以上 60nm 以下の透明な粉末粒子から形成され得る。

[0141] 青散乱体64Bは、 μ LED220から放射される青の光の波長（例えば約 450nm ）の10%程度の粒径を持つ粒子を、その屈折率（ n ）よりも十分に低い屈折率を有するマトリックス材料に分散させることによって形成され得る。このようにして形成された青散乱体64Bは、青の光にレイリー散乱を生じさせることができる。青散乱体64Bを構成する粉末粒子は、例えば酸化チタン（ $n=2.5 \sim 2.7$ ）、酸化クロム（ $n=2.5$ ）、酸化ジルコニウム（ $n=2.2$ ）、酸化亜鉛（ $n=1.95$ ）、アルミナ（ $n=1.76$ ）などの無機酸化物から形成され得る。マトリックス材料の屈折率は、粉末粒子の屈折率よりも0.25以上、例えば0.5以上低いことが望ましい。

[0142] 基板100の下面100Bは、 μ LED220から放射された光に作用する凹凸表面を有していてもよい。そのような凹凸表面の存在は、赤蛍光体64R、緑蛍光体64G、および青散乱体64Bから出射される光の放射強度依存性、または基板100の下面100Bにおける反射率を調整する。

[0143] <カラーディスプレイIII>

以下、図12Aおよび図12Bを参照しながら、本開示の実施形態におけ

るフルカラー表示が可能な μ LEDデバイス1000Dの構成例を説明する。図12Aでは、Z軸の方向が図1AにおけるZ軸の方向から反転している。図12Bは、 μ LEDデバイス1000Dの斜視図である。

[0144] 本実施形態における μ LEDデバイス1000Dは、基板100、フロントプレーン200、中間層300およびバックプレーン400を備えている。これらの要素は、前述した様々な構成を備え得る。

[0145] 図示されている μ LEDデバイス1000Dは、基板100に形成された複数のリセス660を有している。これらのリセス660は、複数の μ LED220から放射された光がそれぞれ入射するように配置されている。言い換えると、個々のリセス660は画素領域を規定する。

[0146] μ LEDデバイス1000Dは、更に基板100の複数のリセス660にそれぞれ配置された、赤蛍光体66R、緑蛍光体66G、および青散乱体66Bを備えている。赤蛍光体66Rは、 μ LED220から放射された青の光を赤の光に変換し、緑蛍光体66Gは、 μ LED220から放射された青の光を緑の光に変換する。青散乱体66Bは、 μ LED220から放射された青の光を散乱する。青散乱体66Bは、赤蛍光体66Rまたは緑蛍光体66Gから発せられた光の強度が示す放射角依存性（例えばランバーシアン分布）に似た放射角依存性を持つように設計され得る。

[0147] 赤蛍光体66R、緑蛍光体66G、および青散乱体66Bの役割および材料は、前述した μ LEDデバイス1000Cにおける赤蛍光体64R、緑蛍光体64G、および青散乱体64Bの役割および材料と同様である。

[0148] 本実施形態でも、 μ LED220の発光層23から放射された光が青の波長（435～485nm）を有するように、発光層23の組成およびバンドギャップが調整されている。

[0149] 図12Aに示されている例においても、 μ LEDデバイス1000Dは、リセス660を覆う透明保護層650を備えている。簡単のため、図12Bでは、透明保護層650の記載は省略されている。透明保護層650は、赤蛍光体66Rおよび緑蛍光体66Gが吸湿によって劣化しやすい場合、大気

中の水分がこれらの蛍光体に悪影響を与えないように封止機能を発揮することが望ましい。透明保護層 650 は、有機層および無機層の積層体であってもよい。

[0150] μ LED デバイス 1000C と μ LED デバイス 1000D との間にある主な相違点は、 μ LED デバイス 1000D は、基板 100 そのものが、赤蛍光体 66R、緑蛍光体 66G、および青散乱体 66B を収容する凹部（リセス 660）を備えていることにある。

[0151] リセス 660 の形状は、基板 100 の下面 100B の法線方向から見たとき、矩形に限定されず、円、楕円、三角形その他の多角形などであり得る。また、リセス 660 の内壁は基板 100 の下面 100B に直交している必要はなく、傾斜していてもよい。具体的には、すり鉢状、角錐状の凹部からリセス 660 が構成されていてもよい。

[0152] リセス 660 の深さは、例えば 500nm 以上 250 μ m 以下であり得る。基板 100 の厚さを T とするとき、リセス 660 の深さは、例えば 0.001T 以上 0.5T 以下であり、より好ましくは、0.1T 以上 0.3T 以下である。赤蛍光体 66R、緑蛍光体 66G、および青散乱体 66B がリセス 660 の底部に位置することにより、それぞれから μ LED 220 の発光層 23 までの距離が短縮される。このことにより、 μ LED 220 の発光層 23 から放射され、赤蛍光体 66R、緑蛍光体 66G、および青散乱体 66B のそれぞれに入射する光束が増加する。また視野角特性も改善される。

[0153] 本実施形態によれば、基板 100 の厚さおよび強度を大きく維持しつつ、赤蛍光体 66R、緑蛍光体 66G、および青散乱体 66B から μ LED 220 の発光層 23 までの距離を短縮することが可能になる。

[0154] リセス 660 は、例えば、フェムト秒レーザまたはピコ秒レーザなどの超短パルスレーザで基板 100 の下面 100B を加工することによって形成され得る（アブレーション法）。また、リセス 660 の形状および位置を規定する複数の開口部を有するレジストマスクをリソグラフィ技術によって基板 100 の下面 100B 上に形成した後、基板 100 の下面 100B の露出部

分をエッチングすることによってもリセス660を形成できる。このようなエッチングは、例えばICPおよびRIEの組合せによって実現され得る。

[0155] リセス660の底面および／または側面には、微細な凹凸が形成されていてもよい。そのような凹凸は、光を拡散したり、取り出し効率を高めたりするため、画像品質を向上させ得る。

[0156] 上記のフルカラー表示が可能な μ LEDデバイス1000B、1000C、1000Dでは、 μ LED220から放射された光（励起光）の波長が435～485nmの範囲、すなわち、青の光を発するように発光層23の組成およびバンドギャップが調整されている。しかし、本開示の実施形態における μ LEDデバイスは、これらの例に限定されない。例えば、 μ LED220の発光層23から放射された光が紫外の波長（例えば365～400nm）または青紫の波長（400nm～420nm。典型的には、405nm）を有するように、発光層23の組成およびバンドギャップが調整されていてもよい。具体的には、発光層23を構成する $\text{In}_y\text{Ga}_{1-y}\text{N}$ におけるInの組成比率 y を、例えば $0 \leq y \leq 0.15$ の範囲内に設定してもよい。 $y=0$ のとき、波長365nmの発光が得られる。 $y=0.1$ のとき、波長410nm近傍の青紫の波長を有する発光が得られる。なお、発光層23を構成する半導体層をAlGaInまたはInAlGaInから形成することにより、365nmよりも短い波長を有する光を放射されることもできる。このような例では、 μ LED220から放射された光を赤、緑、および青のそれぞれの蛍光体を励起するために用いる。このため、 μ LED220の発光波長が変動またはシフトしても、色むらが発生しにくくなる。 μ LED220の発光波長は、発光層23の組成比率、駆動電流の大きさ、温度などによって変動し得る。しかし、3原色のそれぞれに量子ドットの蛍光体を用いていると、上記の原因から励起光の波長が変動しても、蛍光体から出る光の波長にはほとんど影響しない。このため、本実施形態によれば、色むらが生じにくく、より優れた表示特性が実現する。

[0157] 蛍光体の例は、「量子ドット」と呼ばれる多数のナノ粒子（量子ドット蛍

光体)であり得る。量子ドット蛍光体は、例えばCdTe、InP、GaNなどの半導体から形成され得る。量子ドット蛍光体は、そのサイズに応じて発する光の波長が変化する。励起光を受けて赤、緑、および青の光を発するように調整された量子ドット分散シートを図10の蛍光体層600として利用したり、図11および図12の蛍光体として利用してもよい。

[0158] 量子ドットの蛍光体は、有機樹脂、低融点ガラスなどの無機材料、または、有機材料と無機材料のハイブリット材料から形成されたマトリクス内に分散されて使用される。分散される蛍光体の量(重量比率)は、青、緑、赤の順序で少なくなる。

[0159] ある例における量子ドット蛍光体は、コア・シェル構造を有している。コアは、例えばCdS、InP、InGaP、InN、CdSe、GaInN、またはZnCdSeから形成され得る。特に波長360nm~460nmの発光を得る場合、CdSからコアが形成された蛍光体を好適に用いることができる。CdSからコアを形成する場合、コアの粒子径を4.0nm~7.3nmの範囲で調整すると、波長440nm~460nmの青の発光を得ることができる。他の材料(InP、InGaP、InN、CdSe)からコアを形成する場合、例えば、青の光(中心波長475nm)は1.4nm~3.3nmの粒子径、緑の光(中心波長530nm)は1.7nm~4.2nmの粒子径、赤の光(中心波長630nm)は2.0nm~6.1nmの粒子径で得ることが可能である。どのような材料から量子ドットを形成するかは、量子効率、粒子径などに基づいて適宜決定され得る。なお、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ からコアを形成した量子ドット蛍光体は、相対的に粒子径が大きいため、製造しやすいという利点がある。より高い量子効率を実現したい場合には、例えばGaを含有しないInPからコアが形成された量子ドットを用いることが望ましい。

産業上の利用可能性

[0160] 本発明の実施形態は、新しいマイクロLEDデバイスを提供する。マイクロLEDデバイスは、ディスプレイとして用いられる場合、スマートフォン

、タブレット端末、車載用ディスプレイ、および中小型から大型のテレビジョン装置に広く適用され得る。マイクロLEDデバイスの用途は、ディスプレイに限定されない。

符号の説明

[0161] 21・・・第1半導体層、22・・・第2半導体層、23・・・発光層、24・・・金属プラグ、25・・・埋め込み絶縁物、31・・・第1コンタクト電極、32・・・第2コンタクト電極、36・・・ビア電極、38・・・層間絶縁層、100・・・結晶成長基板、200・・・フロントプレーン、220・・・ μ LED、240・・・素子分離領域、300・・・中間層、400・・・バックプレーン、1000・・・ μ LEDデバイス

請求の範囲

[請求項1] 複数の開口部を有するマスク層によって上面が覆われた結晶成長基板と、

前記結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーンと、

前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層と、

前記中間層に支持されたバックプレーンであって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンと

を備え、

前記結晶成長基板は、導電性表面を有し、

前記マスク層が有する前記複数の開口部は、前記複数のマイクロLEDの位置を規定する複数のマスク開口部と、前記金属プラグを前記結晶成長基板の前記導電性表面に接続するコンタクト開口部とを有し、

前記複数の薄膜トランジスタのそれぞれは、前記フロントプレーンおよび／または前記中間層上に成長した半導体層を有している、マイクロLEDデバイス。

[請求項2] 前記複数のマイクロLEDの前記第2半導体層は、それぞれ、前記

マスク層が有する前記複数の開口部に位置している、請求項 1 に記載のマイクロ LED デバイス。

[請求項3] 前記マスク層は、導電材料から形成されており、前記複数のマイクロ LED の前記第 2 半導体層を電氣的に相互に接続する、請求項 1 または 2 に記載にマイクロ LED デバイス。

[請求項4] 前記結晶成長基板は、前記上面に沿って拡がる窒化チタニウム層を備えている、請求項 1 から 3 のいずれかに記載のマイクロ LED デバイス。

[請求項5] 前記結晶成長基板は、前記上面に沿って拡がる第 2 導電型の表面半導体領域を有している、請求項 1 から 3 のいずれかに記載のマイクロ LED デバイス。

[請求項6] 前記フロントプレーンの前記素子分離領域は、前記複数のマイクロ LED の間を埋める埋め込み絶縁物を有しており、前記埋め込み絶縁物は、前記金属プラグのための少なくともひとつのスルーホールを有している、請求項 1 から 5 のいずれかに記載のマイクロ LED デバイス。

[請求項7] 前記フロントプレーンの前記素子分離領域は、前記複数のマイクロ LED の側面をそれぞれ覆う複数の絶縁層を有しており、
前記金属プラグは、前記素子分離領域内において、前記複数の絶縁層によって囲まれた空間を埋めている、請求項 1 から 5 のいずれかに記載のマイクロ LED デバイス。

[請求項8] 前記フロントプレーンは、平坦な表面を有しており、
前記平坦な表面は前記中間層に接している、請求項 1 から 7 のいずれかに記載のマイクロ LED デバイス。

[請求項9] 前記中間層は、平坦な表面を有する層間絶縁層を含み、
前記層間絶縁層は、前記複数の第 1 コンタクト電極および前記少なくともひとつの第 2 コンタクト電極をそれぞれ前記電気回路に接続するための複数のコンタクトホールを有している、請求項 1 から 8 のい

いずれかに記載のマイクロLEDデバイス。

[請求項10] 前記バックプレーンの前記電気回路は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極にそれぞれ接続された複数の金属層を有しており、

前記複数の金属層は、前記複数の薄膜トランジスタが有するソース電極およびドレイン電極の少なくとも一方を含む、請求項1から8のいずれかに記載のマイクロLEDデバイス。

[請求項11] 各マイクロLEDが有する前記第1半導体層および前記第2半導体層は、前記マスク層が有する前記複数の開口部から選択的に成長したエピタキシャル層である、請求項1から10のいずれかに記載のマイクロLEDデバイス。

[請求項12] 各マイクロLEDの前記第2半導体層は、前記第1半導体層よりも前記結晶成長基板に近く、

各マイクロLEDの前記第2半導体層は、前記結晶成長基板の前記導電性表面に接触している請求項1から11のいずれかに記載のマイクロLEDデバイス。

[請求項13] 前記複数のマイクロLEDのそれぞれは、可視、紫外、または赤外の電磁波を放射する、請求項1から12のいずれかに記載のマイクロLEDデバイス。

[請求項14] 導電性表面を有する結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーン、および

前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なく

ともひとつの第2コンタクト電極を含む、中間層、
を備える積層構造体を用意する工程と、

前記積層構造体上にバックプレーンを形成する工程であって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンを形成する工程と、
を含み、

前記積層構造体を用意する工程は、前記結晶成長基板の上面における複数の所定領域から前記第2半導体層を選択的に成長させる工程を含み、

前記バックプレーンを形成する工程は、

前記積層構造体上に半導体層を堆積する工程と、

前記積層構造体上の前記半導体層をパターンニングする工程と、
を含む、マイクロLEDデバイスの製造方法。

[請求項15]

前記積層構造体を用意する工程は、前記結晶成長基板の前記導電性表面を覆うマスク層であって、前記複数のマイクロLEDの位置を規定する複数のマスク開口部を有するマスク層を形成する工程と、

前記マスク開口部から前記第2半導体層および前記第1半導体層を、順次、成長させる工程と、を含む、請求項14に記載の製造方法。

[請求項16]

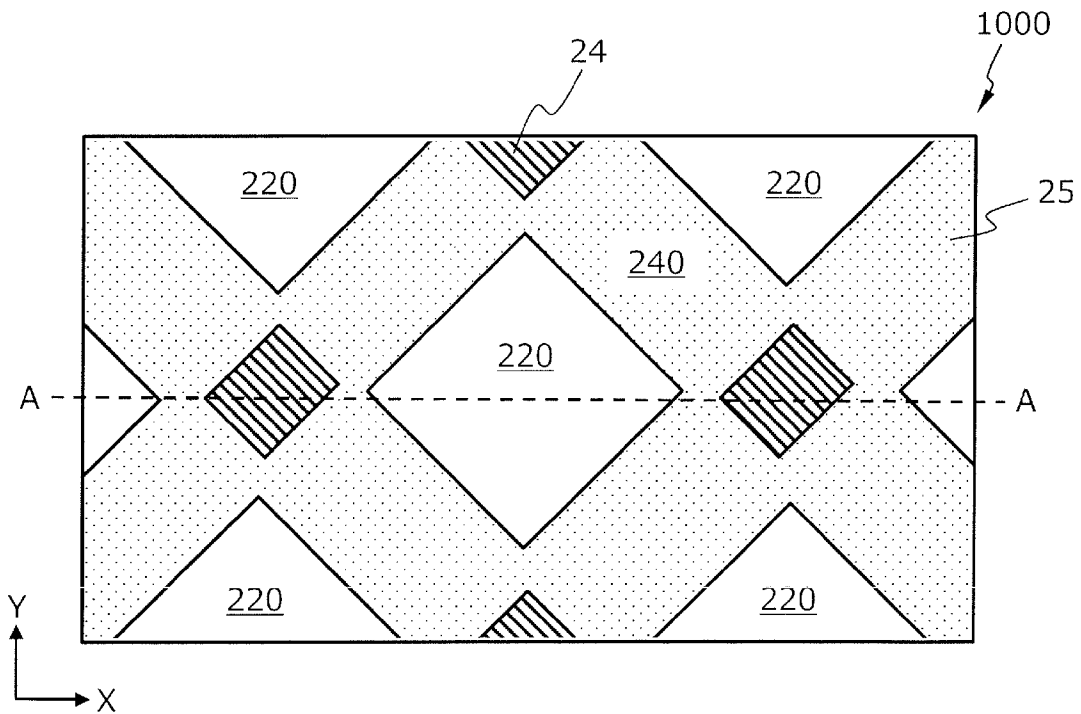
前記素子分離領域の形状および位置は、前記マスク層が有する前記複数のマスク開口部から選択的に成長した前記第2半導体層および前記第1半導体層によって規定される、請求項14または15に記載の製造方法。

[請求項17]

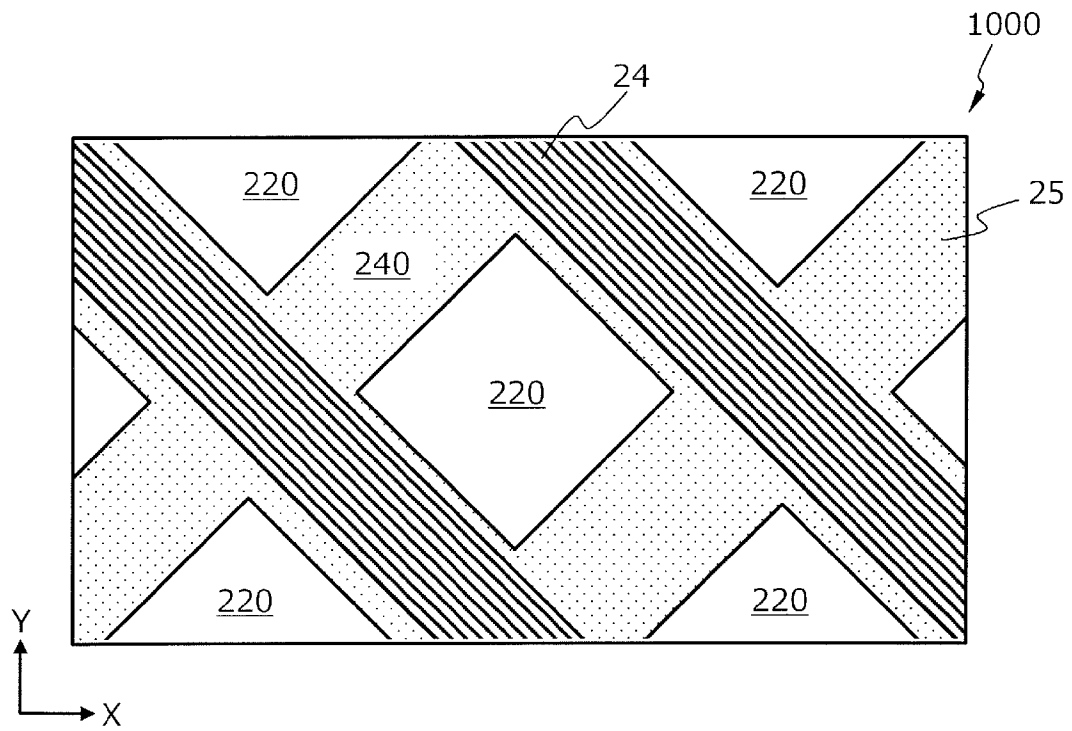
前記積層構造体を用意する工程は、

前記複数のマスク開口部から前記第2半導体層および前記第1半導体層を成長させる前記工程の後、前記金属プラグを前記結晶成長基板の前記導電性表面に接続するコンタクト開口部を前記マスク層に形成

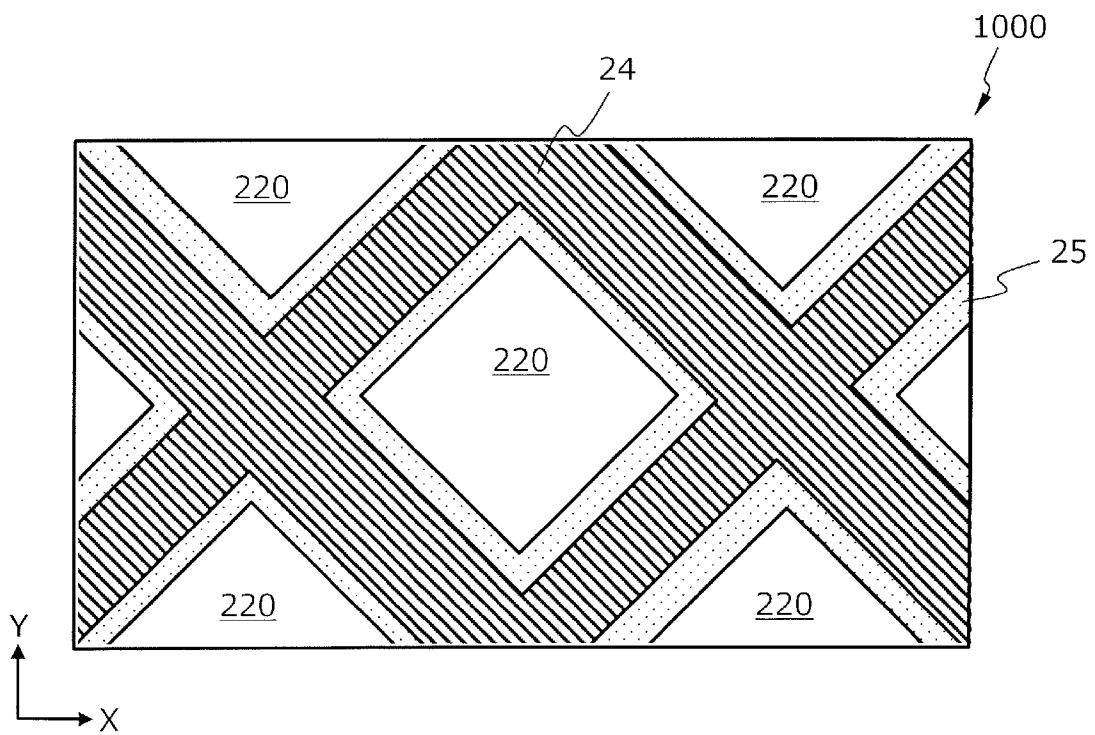
する工程を含む、請求項 1 5 または 1 6 に記載の製造方法。



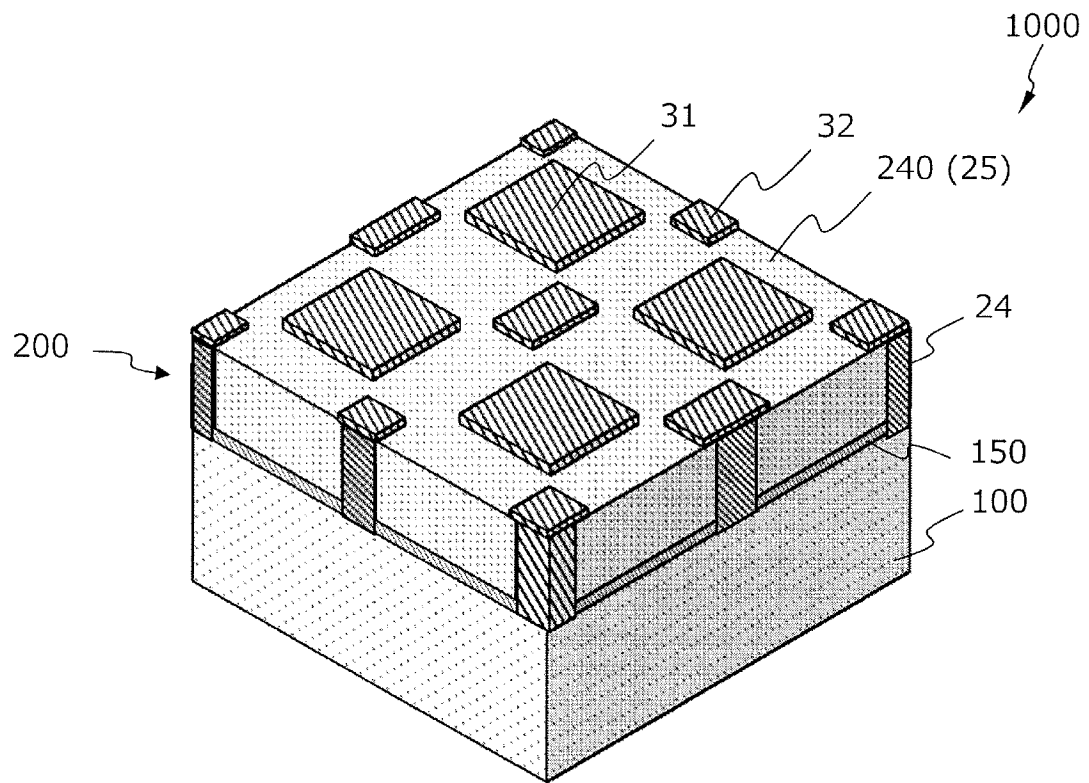
[図1C]



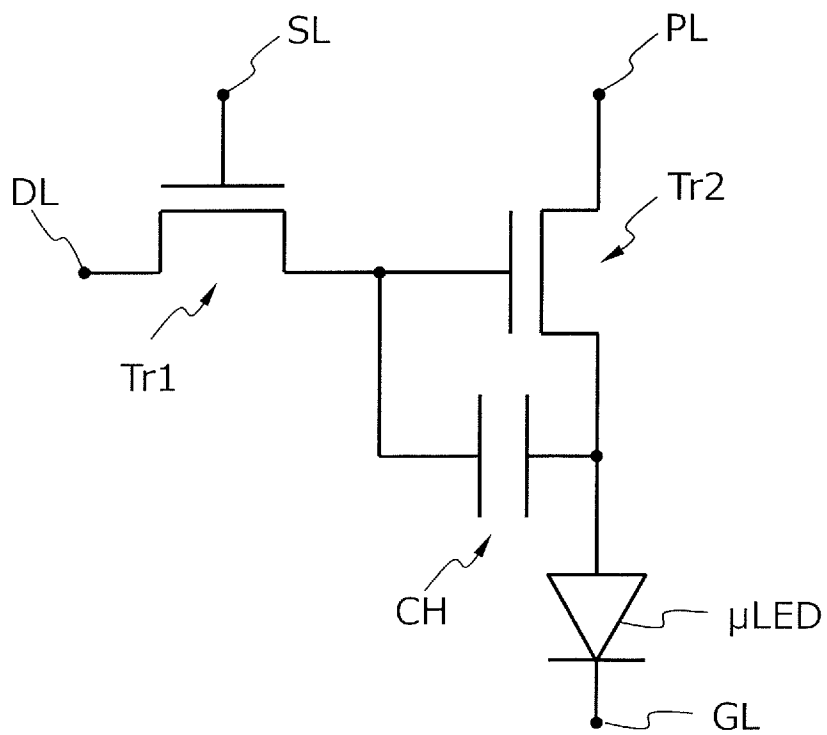
[図1D]



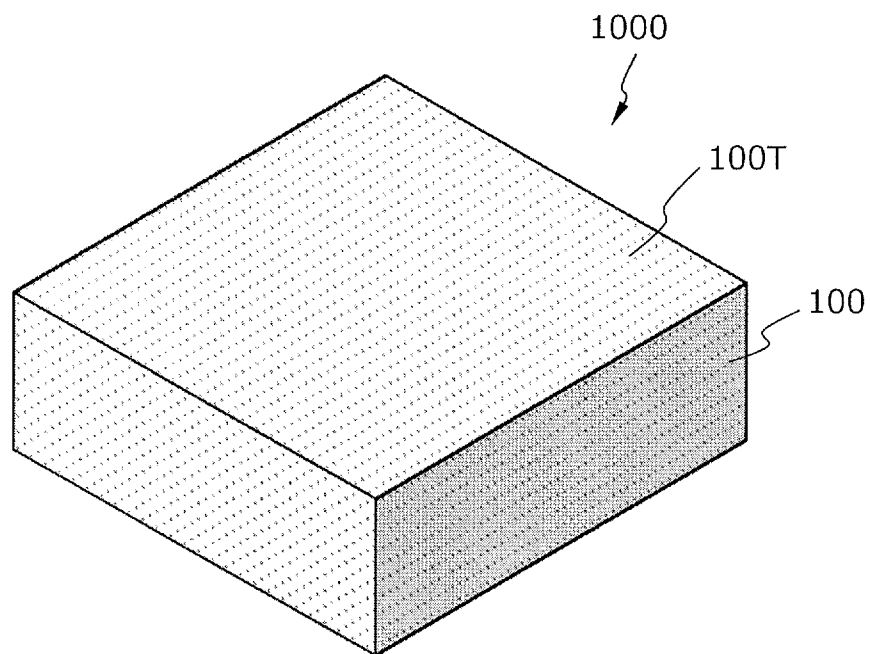
[図2]



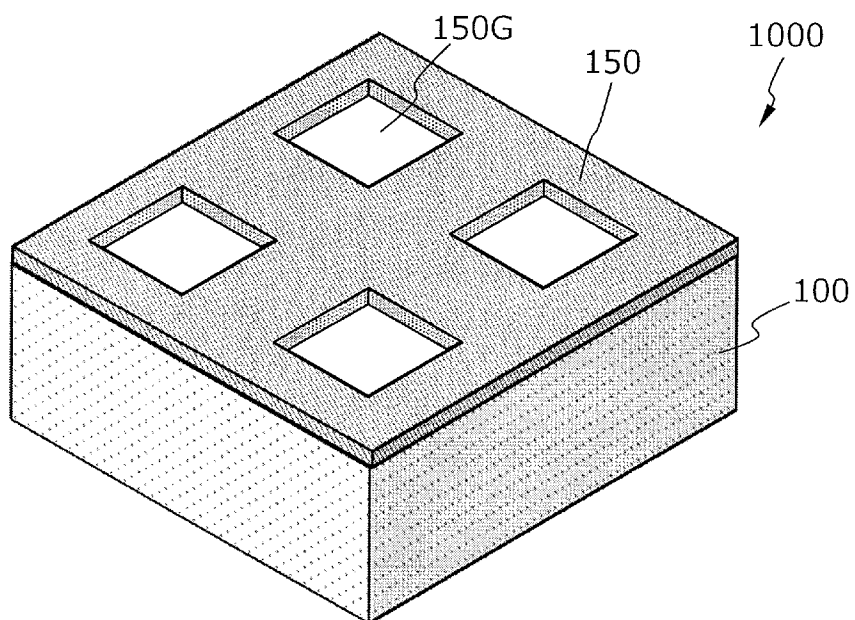
[図3]



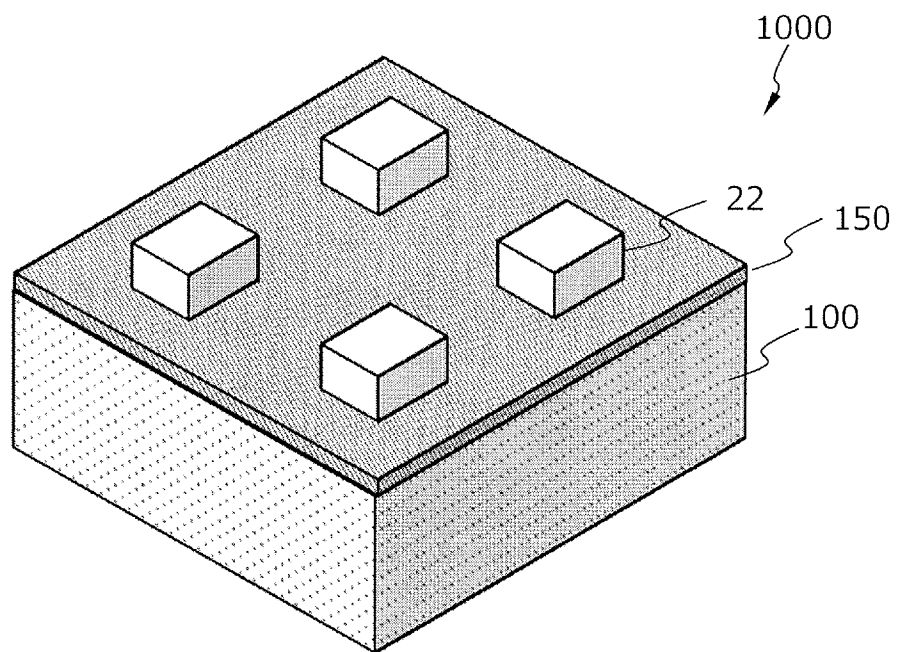
[図4A]



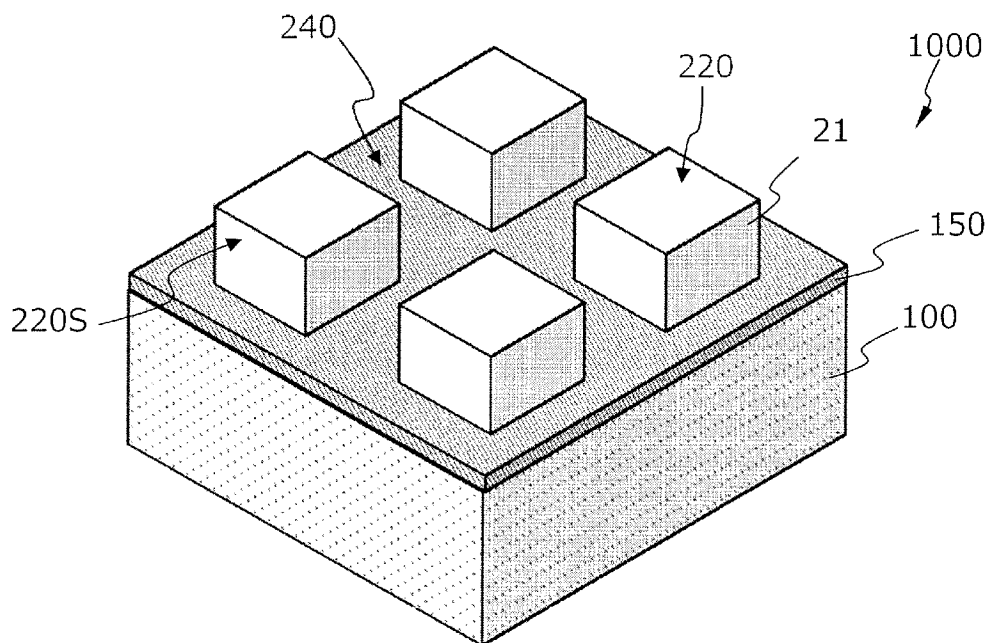
[図4B]



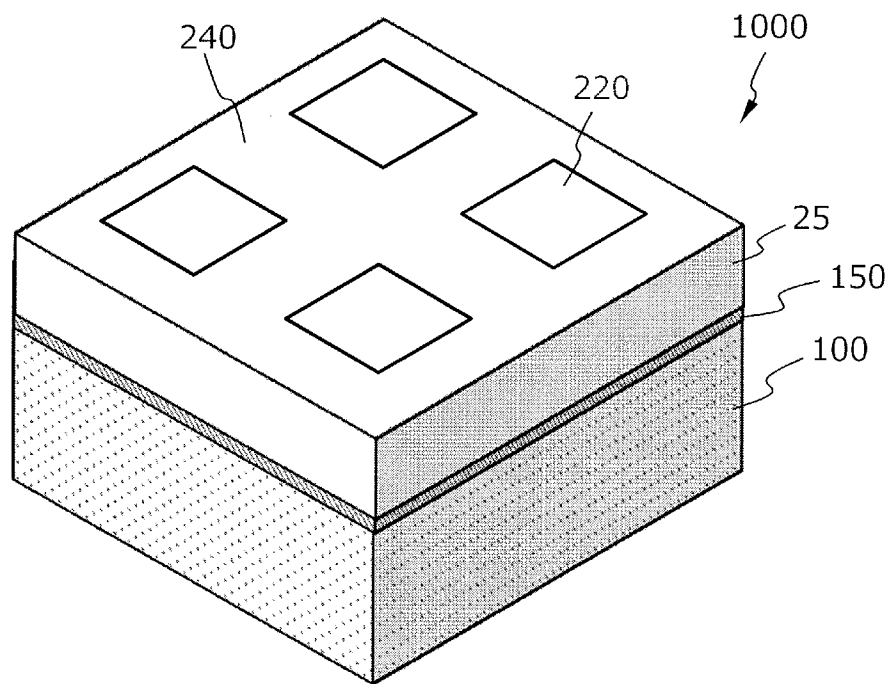
[図4C]



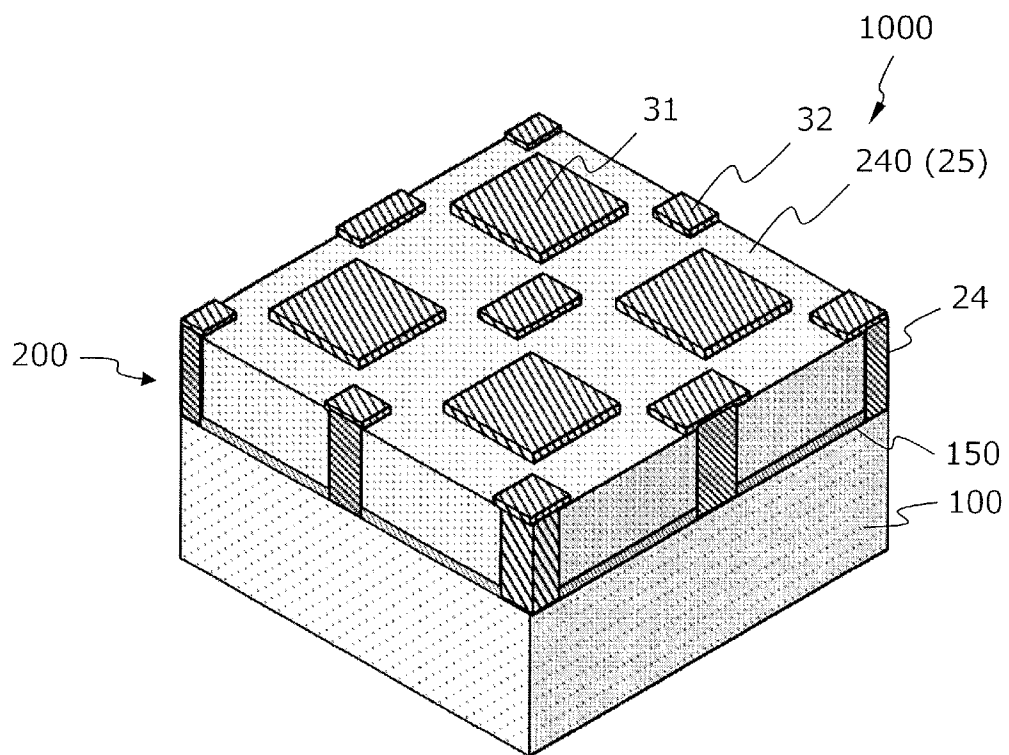
[図4D]



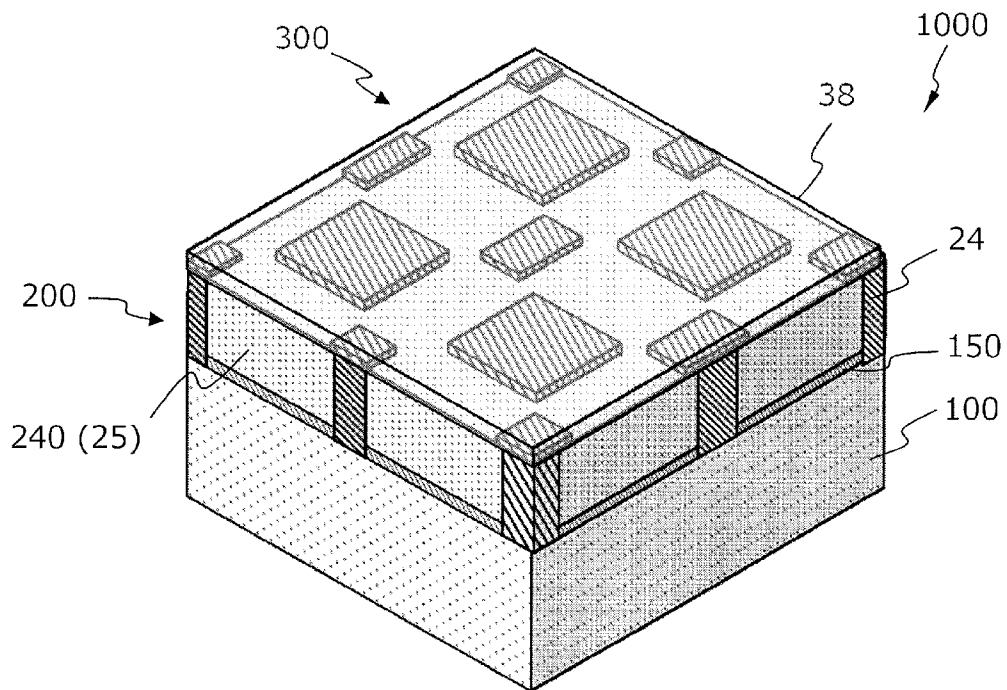
[図4E]



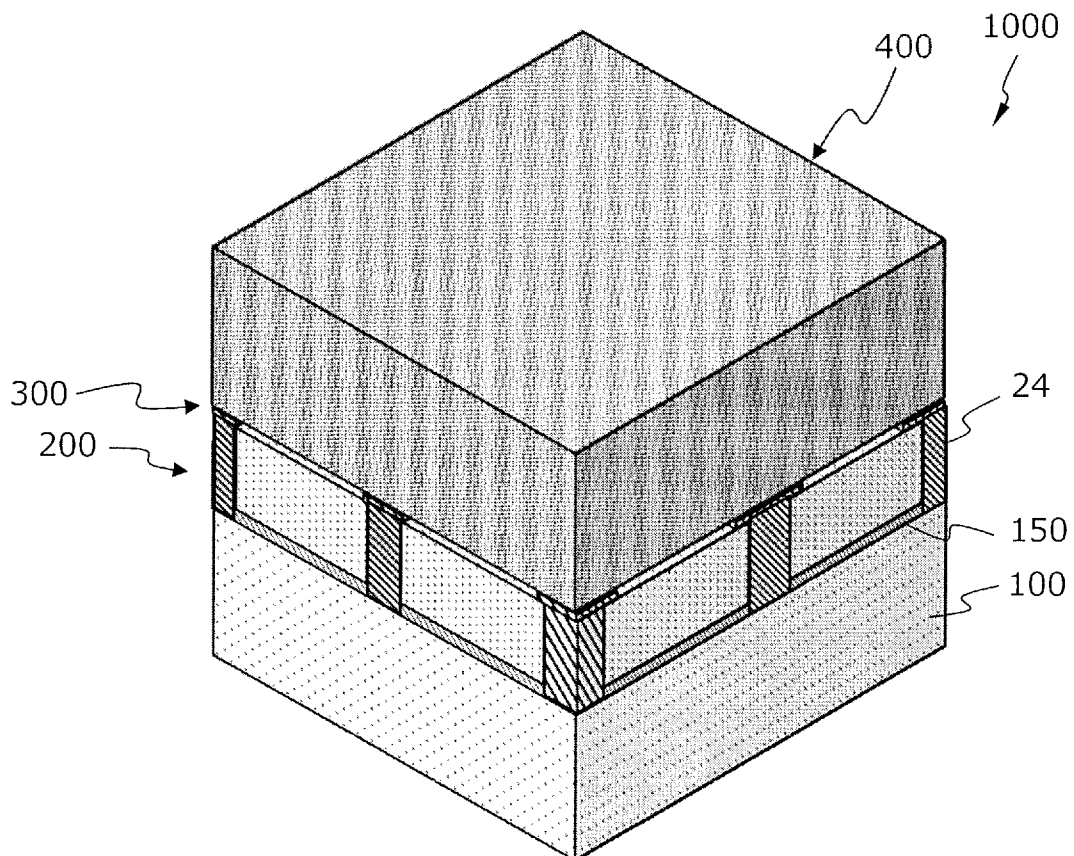
[図4F]



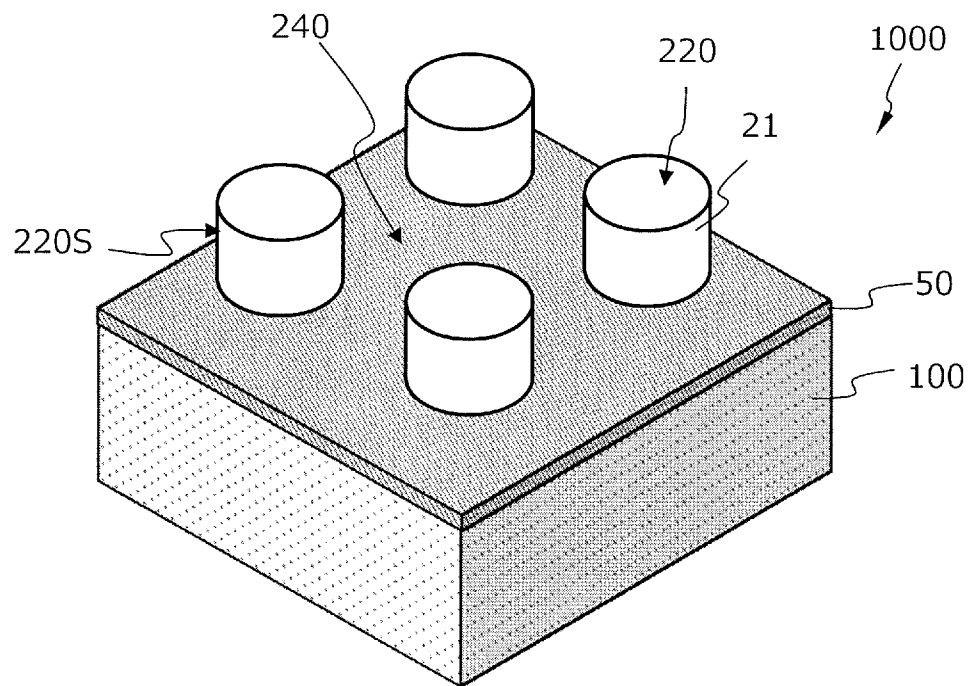
[図4G]



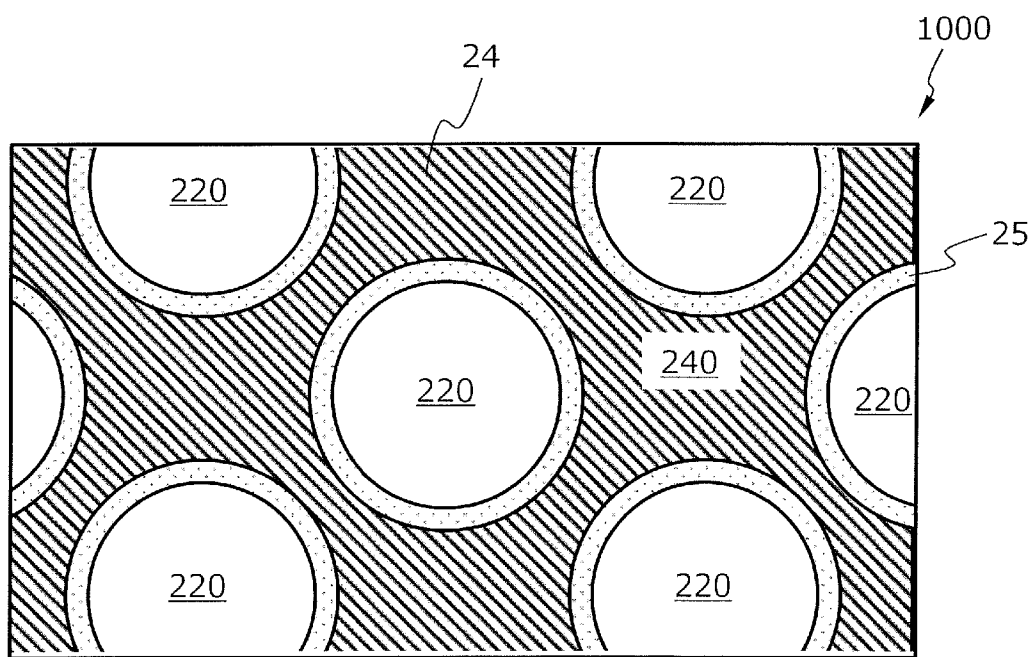
[図4H]



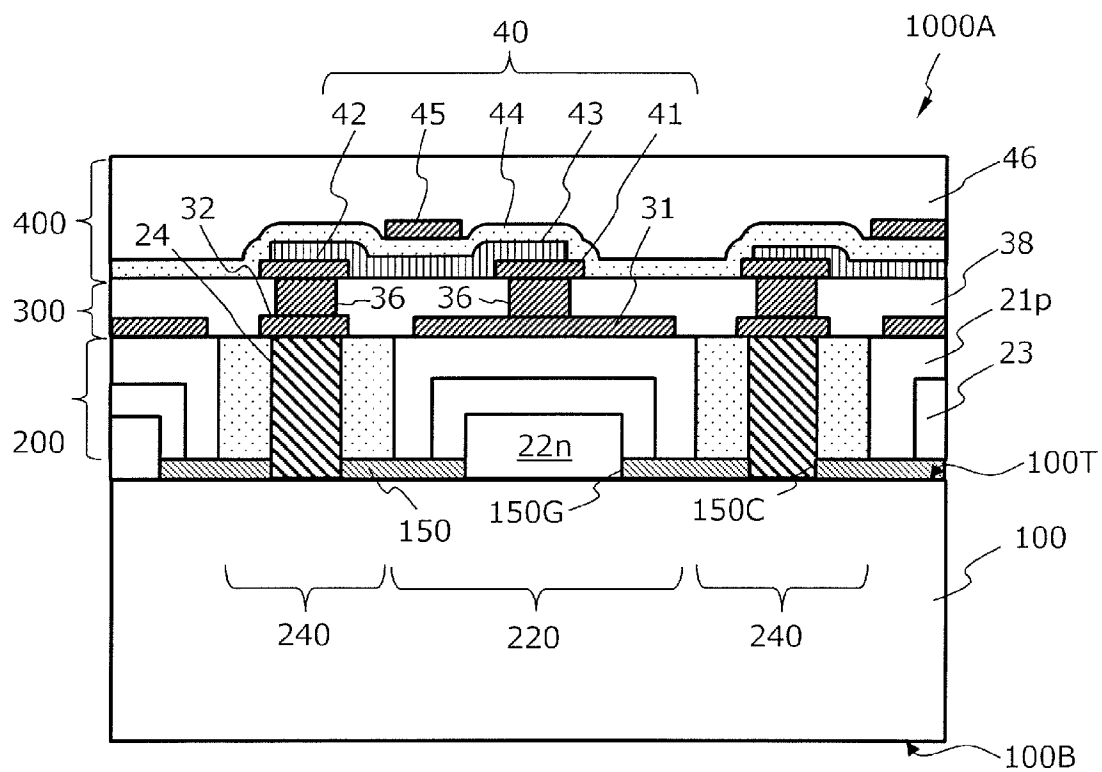
[図5A]



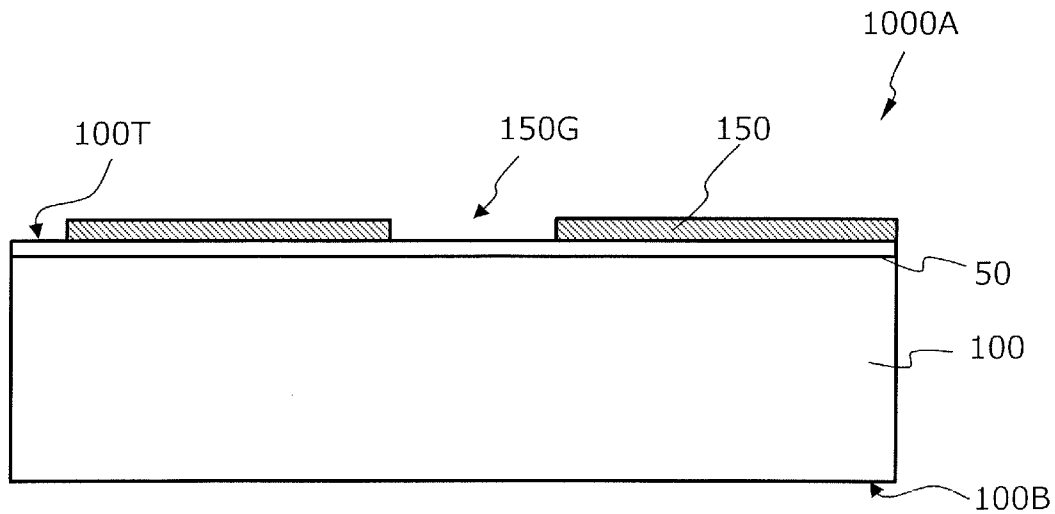
[図5B]



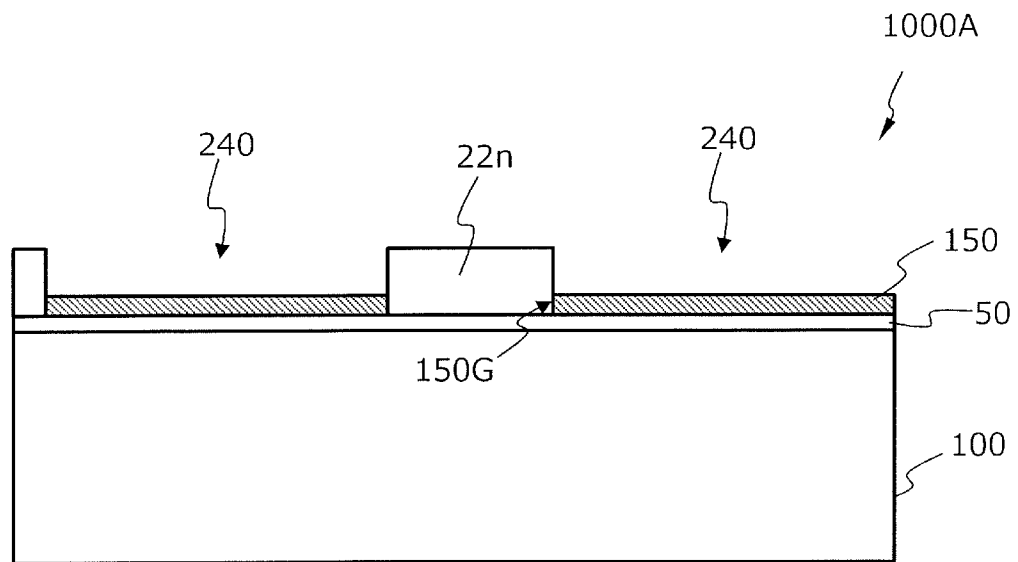
[図6]



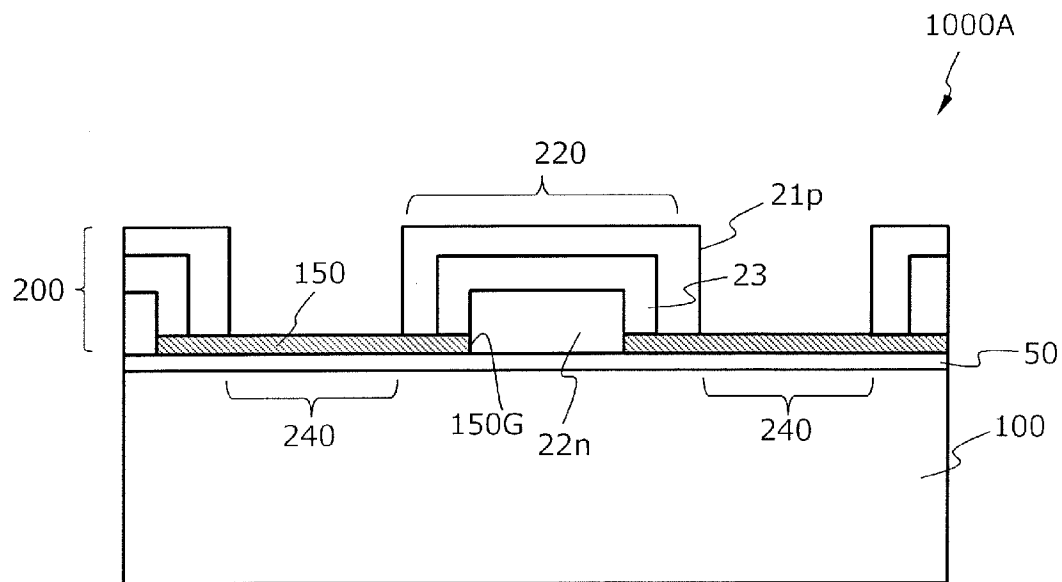
[図7A]



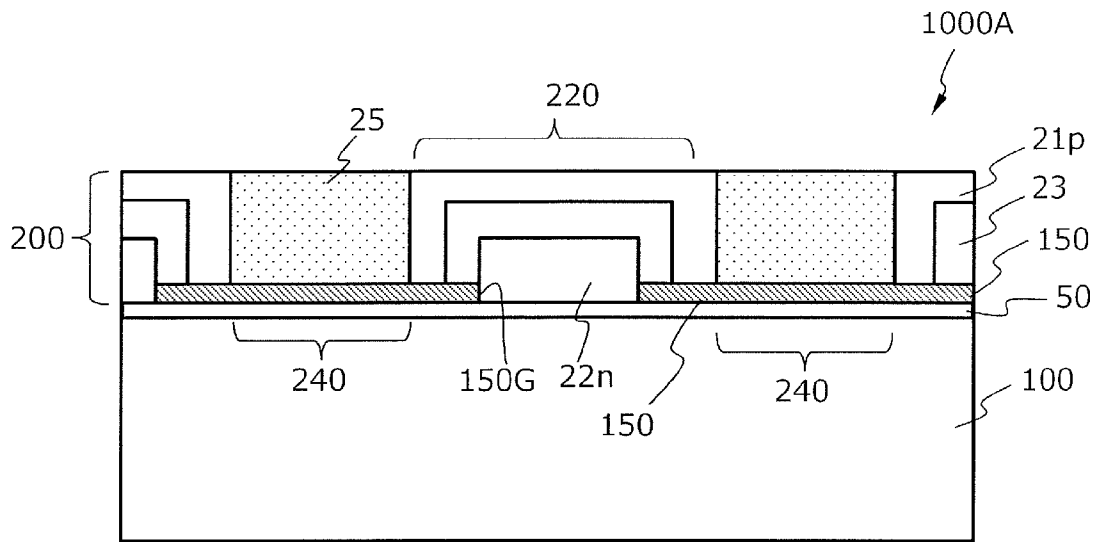
[図7B]



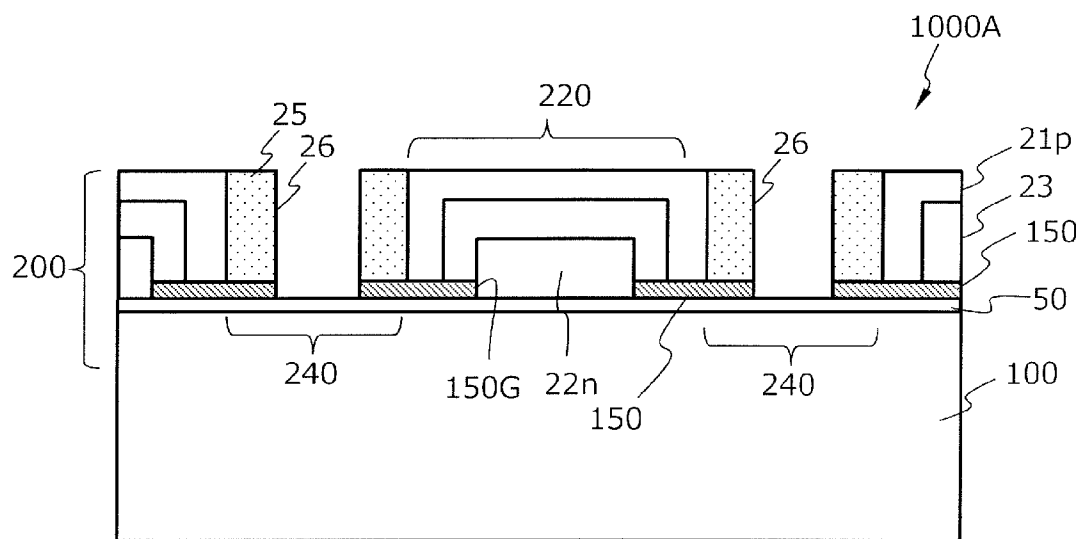
[図7C]



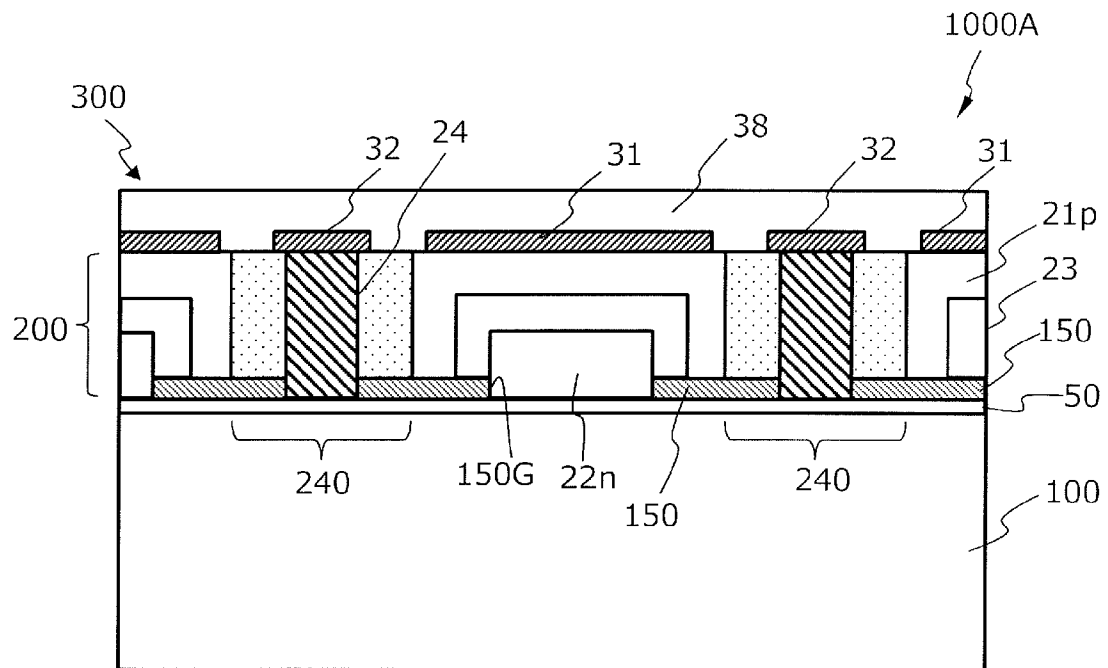
[図7D]



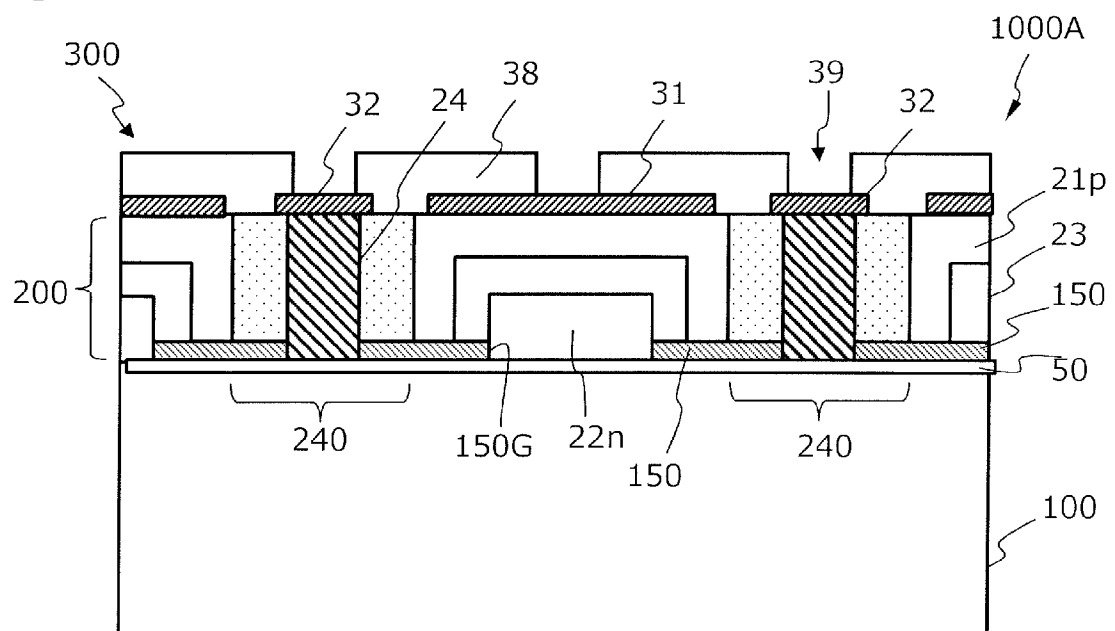
[図7E]



[図7F]

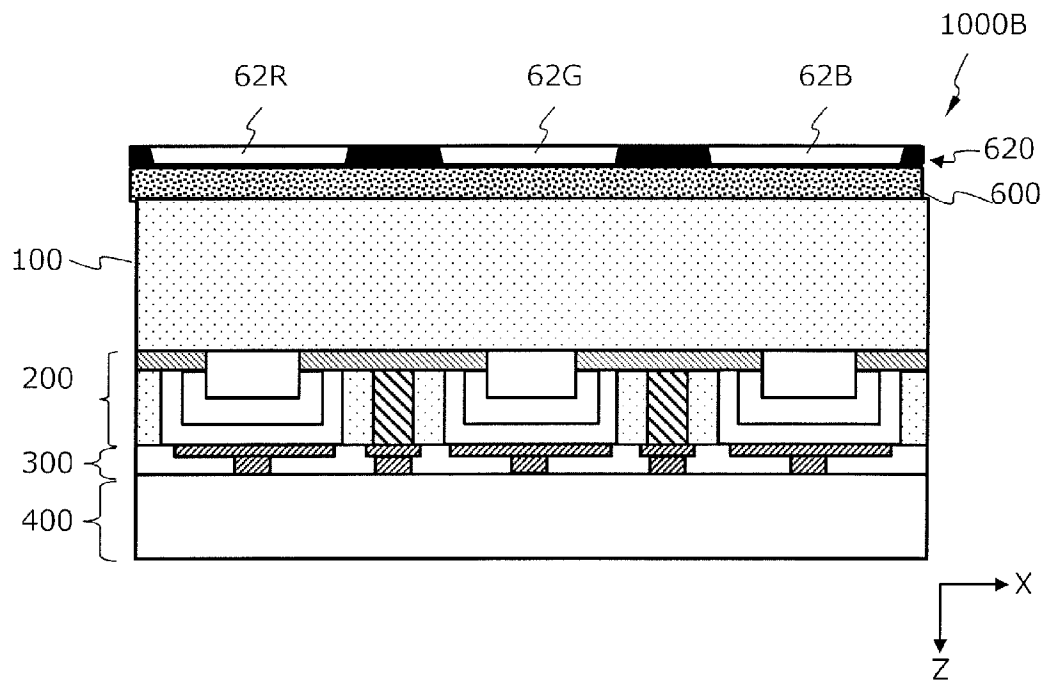


[図7G]

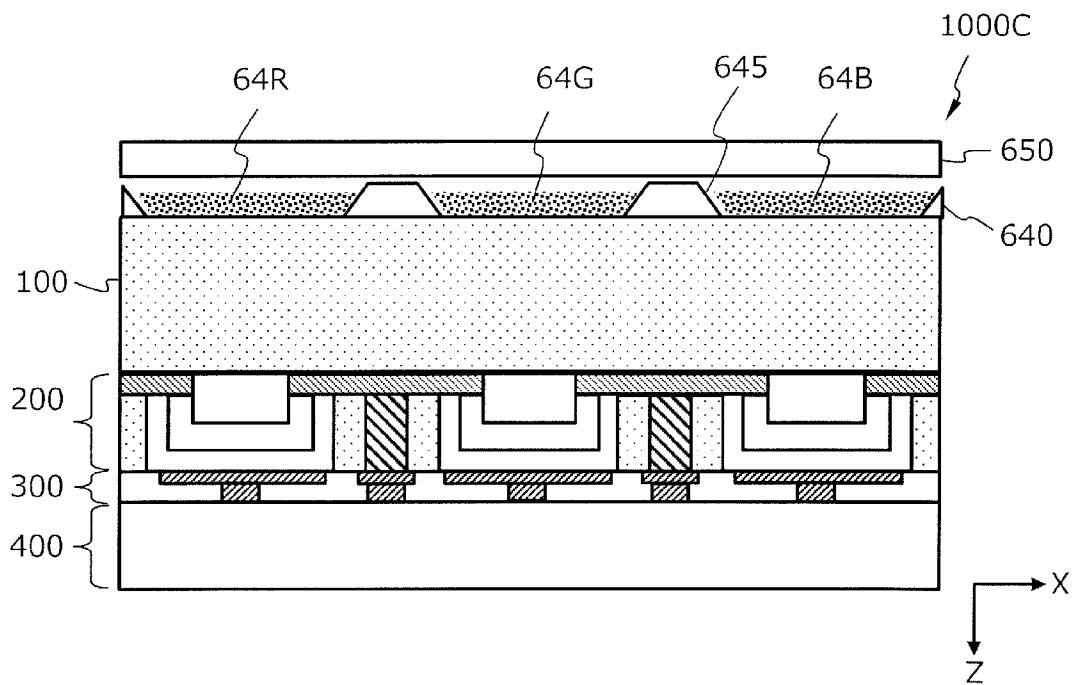


A detailed cross-sectional view of a semiconductor device 1000A. The device is built on a substrate 100, which includes a p-type region 22n. A base layer 50 is formed on the substrate. Above the base layer, there are several layers and structures: a layer 150, a layer 23, and a layer 21p. A central region 240 is defined by a series of layers and structures, including a central core 32, a surrounding layer 36, and a top layer 40. The top layer 40 is composed of several sub-layers: 41, 43, 45, 44, and 42. A layer 38 is located between the central region 240 and the surrounding region 220. A layer 46 is the topmost layer of the device. The device is divided into two main regions: 240 and 220, which are further divided into sub-regions 24, 32, 36, 41, 42, 43, 44, and 45. The overall structure is labeled 1000A.

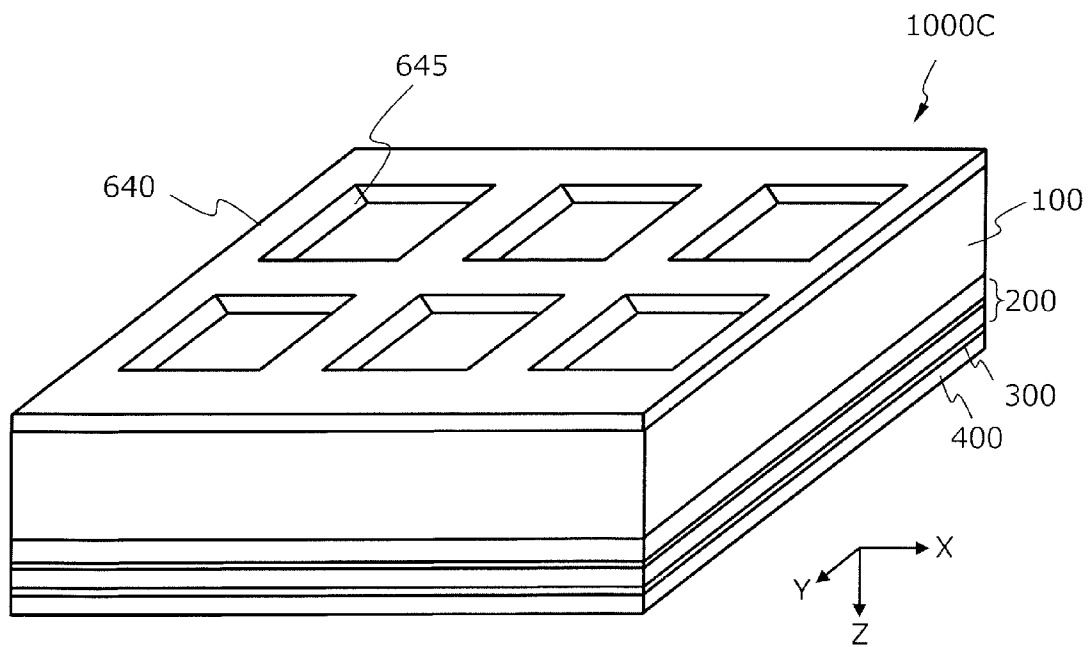
[図10]



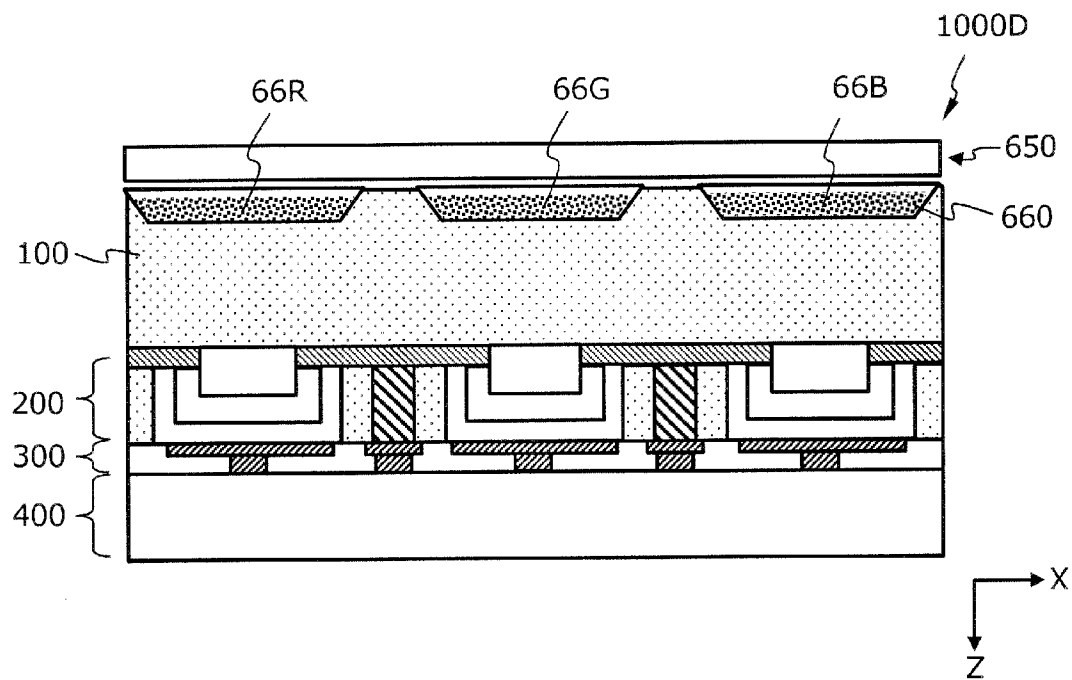
[図11A]



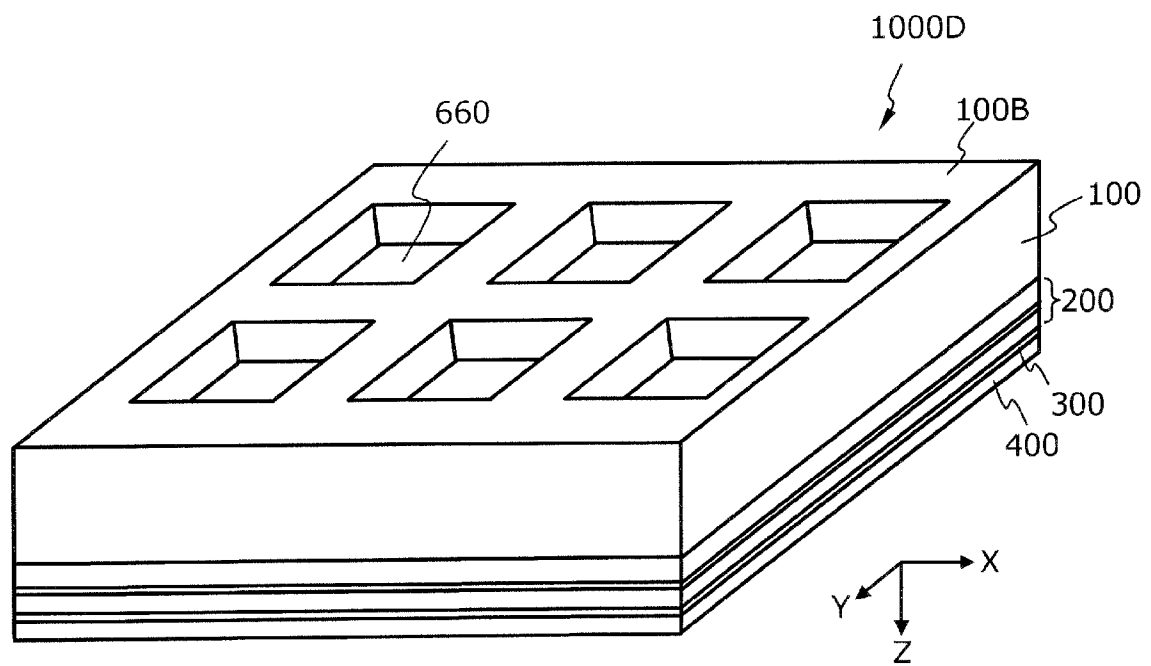
[図11B]



[図12A]



[図12B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/048340

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L33/38 (2010.01) i, H01L33/00 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L33/00-33/64, G09F9/33, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-502123 A (OSRAM OPTO SEMICONDUCTORS GMBH) 21 January 2016, paragraphs [0048], [0051]-[0077], fig. 1-3 & US 2015/0279902 A1, paragraphs [0053], [0058]-[0085], fig. 1-3 & WO 2014/053445 A1 & DE 102012109460 A & CN 104704634 A	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 March 2019 (05.03.2019)

Date of mailing of the international search report
12 March 2019 (12.03.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/048340

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/0325598 A1 (OSRAM OPTO SEMICONDUCTORS GMBH) 12 November 2015, paragraphs [0071]-[0072], [0118]-[0134], fig. 1c, 8 & WO 2014/090605 A1 & DE 102012112302 A1 & CN 104854696 A & KR 10-2015-0094739 A	1-17
Y	JP 2016-154213 A (TOSHIBA CORP.) 25 August 2016, paragraphs [0010], [0017], [0026]-[0050] & US 2016/0240561 A1, paragraphs [0026], [0033], [0042]-[0068]	1-17
Y	US 2016/0293586 A1 (EMAGIN CORPORATION) 06 October 2016, paragraphs [0017], [0038]-[0041], fig. 4 (Family: none)	1-17
Y	JP 2000-31534 A (SANKEN ELECTRIC CO., LTD.) 28 January 2000, abstract, fig. 2 (Family: none)	4
Y	JP 2006-93508 A (TOYOTA GOSEI CO., LTD.) 06 April 2006, paragraph [0011], fig. 2 & US 2006/0065898 A1, paragraph [0029], fig. 2	4
Y	US 5789766 A (MOTOROLA, INC.) 04 August 1998, fig. 15-17 (Family: none)	8-9
A	JP 2002-100804 A (SONY CORP.) 05 April 2002, paragraph [0056], fig. 6 & US 2003/0107047 A1, paragraph [0108], fig. 6 & WO 2002/007232 A1 & AU 7274101 A	1-17
A	US 2012/0061641 A1 (SEONG et al.) 15 March 2012, paragraphs [0012], [0026]-[0046], fig. 1-6 & KR 10-2012-0028104 A & CN 102403428 A	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L33/38(2010.01)i, H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L33/00-33/64, G09F9/33, H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-502123 A (オスラム オプト セミコンダクターズ ゲゼルシャフト ミット ベシュレンクテル ハフツング) 2016.01.21, [0048], [0051]-[0077], 図 1-3 & US 2015/0279902 A1 [0053], [0058]-[0085], FIGs. 1-3 & WO 2014/053445 A1 & DE 102012109460 A & CN 104704634 A	1-17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

05.03.2019

国際調査報告の発送日

12.03.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

島田 英昭

2 K

3 3 1 1

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2015/0325598 A1 (OSRAM OPTO SEMICONDUCTORS GMBH) 2015. 11. 12, [0071]-[0072], [0118]-[0134], FIGs. 1c, 8 & WO 2014/090605 A1 & DE 102012112302 A1 & CN 104854696 A & KR 10-2015-0094739 A	1-17
Y	JP 2016-154213 A (株式会社東芝) 2016. 08. 25, [0010], [0017], [0026]-[0050] & US 2016/0240561 A1 [0026], [0033], [0042]-[0068]	1-17
Y	US 2016/0293586 A1 (EMAGIN CORPORATION) 2016. 10. 06, [0017], [0038]-[0041], FIG. 4 (ファミリーなし)	1-17
Y	JP 2000-31534 A (サンケン電機株式会社) 2000. 01. 28, 要約, 図 2 (ファミリーなし)	4
Y	JP 2006-93508 A (豊田合成株式会社) 2006. 04. 06, [0011], 図 2 & US 2006/0065898 A1 [0029], FIG. 2	4
Y	US 5789766 A (MOTOROLA, INC.) 1998. 08. 04, FIGs. 15-17 (ファミリーなし)	8-9
A	JP 2002-100804 A (ソニー株式会社) 2002. 04. 05, [0056], 図 6 & US 2003/0107047 A1 [0108], FIG. 6 & WO 2002/007232 A1 & AU 7274101 A	1-17
A	US 2012/0061641 A1 (SEONG et al.) 2012. 03. 15, [0012], [0026]-[0046], FIGs. 1-6 & KR 10-2012-0028104 A & CN 102403428 A	1-17