

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-123732

(P2007-123732A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.

H01L 29/786 (2006.01)

F I

H01L 29/78 616T

テーマコード (参考)

5F110

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2005-317044 (P2005-317044)
 (22) 出願日 平成17年10月31日 (2005.10.31)

(71) 出願人 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 高杉 親知
 神奈川県大和市下鶴間1623-14 株
 式会社京セラディスプレイ研究所内
 (72) 発明者 蓮見 太郎
 神奈川県大和市下鶴間1623-14 株
 式会社京セラディスプレイ研究所内
 (72) 発明者 加納 圭吾
 神奈川県大和市下鶴間1623-14 株
 式会社京セラディスプレイ研究所内
 Fターム(参考) 5F110 AA11 BB01 CC07 GG02 GG13
 GG15 HM04 NN72 NN73

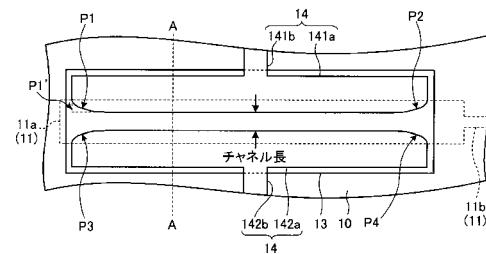
(54) 【発明の名称】 薄膜トランジスタおよび画像表示装置

(57) 【要約】

【課題】 チャンネル層における電流集中に起因したチャンネル層の導電性の劣化を緩和するとともに、狭い領域においても対応可能な高品質な薄膜トランジスタおよびこれを用いた画像表示装置を提供すること。

【解決手段】 ゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたチャンネル層と、前記チャンネル層上に形成されたソース・ドレイン電極と、を備え、前記ソース・ドレイン電極は、チャンネル幅方向の両端部が曲線形状を呈するとともに、前記チャンネル幅方向の中央部において略等しいチャンネル長を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
前記ゲート電極上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたチャンネル層と、
前記チャンネル層上に形成されたソース・ドレイン電極と、
を備え、
前記ソース・ドレイン電極は、チャンネル幅方向の両端部が曲線形状を呈するとともに、
前記チャンネル幅方向の中央部において略等しいチャンネル長を有すること
を特徴とする薄膜トランジスタ。

10

【請求項 2】

前記ソース・ドレイン電極のチャンネル幅方向の前記両端部の曲率半径は、前記ソース・ドレイン電極のチャンネル幅方向の前記中央部におけるチャンネル長以上であること
を特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記ソース・ドレイン電極がチャンネル長方向に略平行な第 1 辺と、チャンネル幅方向に略平行な第 2 辺とを備えた略四角形を呈し、前記曲線形状の一端が前記ソース・ドレイン電極の前記第 1 辺を、前記曲線形状の他端が前記ソース・ドレイン電極の前記第 2 辺をそれぞれ起点とし、

前記曲線形状の他端から前記ソース・ドレイン電極の前記第 1 辺及び前記第 2 辺との仮想交点までの距離が前記チャンネル幅方向の中央部におけるチャンネル長の 2 倍以下であること

20

を特徴とする請求項 1 または請求項 2 に記載の薄膜トランジスタ。

【請求項 4】

前記ソース・ドレイン電極の前記両端部とは、ソース電極とドレイン電極との間に実質的に電流が流れる領域におけるチャンネル幅方向の両端部であること
を特徴とする請求項 1 乃至請求項 3 のいずれか 1 つに記載の薄膜トランジスタ。

【請求項 5】

複数の画素を有する画像表示装置において、
各前記画素は、
注入電流に応じた輝度で発光する発光手段と、
前記発光手段を駆動する駆動トランジスタを含む複数のトランジスタと、
を備え、
複数の前記トランジスタのうち、前記駆動トランジスタのみが請求項 1 乃至 4 のいずれか 1 つに記載の薄膜トランジスタであること
を特徴とする画像表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタおよびこれを用いた画像表示装置に関する。

40

【背景技術】

【0002】

従来、有機発光ダイオード（OLED）を用いた有機 EL 表示装置などの画像表示装置においては、有機発光ダイオード（OLED）の駆動に、シリコン基板上に形成した電界効果型の薄膜トランジスタを用いている。

【0003】

ここで、従来のバックチャネルカット（BCC）型の薄膜トランジスタについて説明する。図 8 および図 9 に従来のバックチャネルカット（BCC）型の薄膜トランジスタの構成例を示す。図 8 は、従来のバックチャネルカット（BCC）型の薄膜トランジスタの要部上面図であり、図 9 は、該薄膜トランジスタのチャンネル長方向の要部断面図である。

50

【0004】

図8および図9に示した薄膜トランジスタは、基板200と、ゲート層201と、ゲート絶縁膜202と、チャネル層203と、ソース・ドレイン層204とを備えて構成されている。ゲート層201は任意の材料からなる導体層であり、ゲート電極とこれにつながる配線とを構成する。ゲート絶縁膜202は、任意の材料からなる絶縁層であり、ゲート層201とチャネル層203との間の絶縁を行う。

【0005】

チャネル層203は半導体層であり、一般にアモルファスシリコン（非晶質ケイ素、以下a-Siと称する）またはポリシリコン（多結晶ケイ素）により形成する。ここでは、チャネル層203としてa-Siにより形成する場合について説明する。また、チャネル層203は、第1チャネル層（真性半導体層）203aと、第2チャネル層（ドーパ半導体層）203bとの積層構造により構成されている。

10

【0006】

ソース・ドレイン層204は任意の材料からなる導体層であり、ソース電極、ドレイン電極、およびこれらにつながる配線を構成する。チャネル層203のうち、ソース・ドレイン層204と接する部分は、n型またはp型半導体になるようドーパされた第2チャネル層203bである。なお、ゲート層201とチャネル層203との間にはゲート絶縁膜202が存在するが、薄膜トランジスタが形成された基板200上に一様に形成されているので図9においては図示していない。

【0007】

20

以上のように構成された従来の薄膜トランジスタにおいて電流は半導体層であるチャネル層203をチャネル長方向に流れる。

【0008】

【特許文献1】特開2004-87682号公報（図1）

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、薄膜トランジスタは、流れた累積の電流量に応じてチャネル層の導電性が経年劣化することが知られている。このチャネル層の導電性の劣化は、チャネル層203をアモルファスシリコン（a-Si）により形成した場合に特に顕著となる。チャネル層の導電性が劣化した場合には閾値電圧が変動し、たとえばn型の場合にはより高いゲート電圧を印加しないと必要な電流が得られない。このようにチャネル層の導電性が劣化した場合には、ゲート電圧の補償が必要となる。

30

【0010】

図10に従来の薄膜トランジスタにおけるチャネル層の電流密度を示す。図10においては、H1、H2、H3、H4の部分を中心として電流密度が高く、H1～H4よりも外側の曲線に囲まれた領域ほど電流密度が低くなっていることを示す。すなわち、図10に示すようにH1、H2、H3、H4の部分に電流集中、すなわち電流密度の極端な上昇が見られる。これは、図8においては、ソース・ドレイン層204におけるゲート層（電極）201と重なった領域で、チャネルを挟んで対向して位置する角部の近傍に対応する。この電流集中が生じているソース・ドレイン層204の角部の近傍においては、該電流集中により部分的に導電性の経年劣化が激しく進む。

40

【0011】

チャネル層203内の電流密度が均一である場合には、該チャネル層203の導電性の劣化も部位によらず均一となるため、しきい電圧検出（たとえば、R. M. A. Dawson, et al. (1998). Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display. SID98 Digest, pp.11-14.参照）などの手法により対処することができる。一方、チャネル層203内の電流密度が不均一である場合には、該チャネル層203の導電性の劣化も不均一になる。そして、しきい電圧検出値にずれを生じるため、チャネル層203の導電性の劣化に応じた適正なゲート電圧の補償を行うことができない。その結果

50

、薄膜トランジスタは、適正な電流が得られず、正常な動作ができなくなるという問題がある。このため、チャンネル層 203 内においては電流密度が極力均一であることが求められる。

【0012】

このような経年劣化に対処する技術として、中心付近に配設されたソース／ドレイン領域と、ソース／ドレイン領域の外周に接触し、ソース／ドレイン領域の外周を覆うよう配設された半導体層と、半導体層の外周に接触し、半導体層の外周を覆うよう配設され、ソース／ドレイン領域の電位よりも高電位の状態に維持されたソース／ドレイン領域を備え、また、ソース／ドレイン領域の外周と、ソース／ドレイン領域の内周とは、互いが同心円となるような形状を呈する薄膜トランジスタが提案されている（たとえば、特許文献 1 参照）。しかしながら、このような従来の薄膜トランジスタにおいては、経年劣化の抑制は可能であるが、比較的広い領域を必要とするため、小さい画素に配置して用いることは困難であるという問題がある。

10

【0013】

本発明は、上記に鑑みてなされたものであって、チャンネル層における電流集中に起因したチャンネル層の導電性の劣化を緩和するとともに、狭い領域においても対応可能な高品質な薄膜トランジスタおよびこれを用いた画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

上述した課題を解決し、目的を達成するために、本発明にかかる薄膜トランジスタは、ゲート電極と、ゲート電極上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたチャンネル層と、チャンネル層上に形成されたソース・ドレイン電極と、を備え、ソース・ドレイン電極は、チャンネル幅方向の両端部が曲線形状を呈するとともに、チャンネル幅方向の中央部において略等しいチャンネル長を有することを特徴とする。

20

【発明の効果】

【0015】

この発明によれば、ソース・ドレイン電極のパターン変更という簡単な手法により、チャンネル層内における部分的な電流集中を緩和し、これによりチャンネル層内の導電性の劣化速度のばらつきを緩和した耐久性および高精度動作に優れた薄膜トランジスタを提供可能である、という効果を奏する。

30

【発明を実施するための最良の形態】

【0016】

以下に、本発明にかかる薄膜トランジスタおよび画像表示装置の実施の形態を図面に基づいて詳細に説明する。なお、本発明は以下の記述により限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。

【0017】

実施の形態 1.

図 1 および図 2 は、本発明の実施の形態 1 にかかる薄膜トランジスタの構成を示す図であり、図 1 は実施の形態 1 にかかるバックチャネルカット（BCC）型の薄膜トランジスタの要部上面図であり、図 2 は図 1 の線分 A-A における断面図であり、実施の形態 1 にかかる薄膜トランジスタのチャンネル長方向における要部断面図である。

40

【0018】

本実施の形態にかかる薄膜トランジスタは、図 1 および図 2 に示すように基板 10 と、該基板上に形成されたゲート層 11 と、基板 10 およびゲート層 11 上に一様に形成されたゲート絶縁膜 12 と、絶縁膜 12 上におけるゲート層 11 上およびその周囲の領域に形成されたチャンネル層 13 と、チャンネル層 13 上に形成されたソース・ドレイン層 14 とを備えて構成されている。

【0019】

ゲート層 11 は任意の材料からなる導体層であり、ゲート電極 11a とこれにつながる配線 11b とを構成する。ゲート絶縁膜 12 は、任意の材料からなる絶縁層であり、ゲ

50

ト層 1 1 とチャンネル層 1 3 との間の絶縁を行う。チャンネル層 1 3 は半導体層であり、一般にアモルファスシリコン（非晶質ケイ素、以下 a-Si と称する）またはポリシリコン（多結晶ケイ素）により形成する。本実施の形態においては、チャンネル層 1 3 は a-Si により形成されているものとする。また、チャンネル層 1 3 は、第 1 チャンネル層（真性半導体層）1 3 a と第 2 チャンネル層（ドープ半導体層）1 3 b とがゲート絶縁膜 1 2 側から積層された積層構造により構成されている。

【0020】

ソース・ドレイン層 1 4 は任意の材料からなる導体層であり、ソース・ドレイン電極 1 4 1 a、1 4 2 a、およびこれらにつながる配線 1 4 1 b、1 4 2 b を構成する。チャンネル層 1 3 のうち、ソース・ドレイン層 1 4 と接する部分は、n 型または p 型半導体になるようドープされた第 2 チャンネル層（ドープ半導体層）1 3 b である。なお、図 1 に示すようにゲート層 1 1 とチャンネル層 1 3 との間にはゲート絶縁膜 1 2 が形成されているが、該ゲート絶縁膜 1 2 は薄膜トランジスタが形成された基板 1 0 上に一様に形成されているので図 1 においては図示していない。

10

【0021】

つぎに、本実施の形態にかかる薄膜トランジスタの特徴について説明する。本実施の形態にかかる薄膜トランジスタにおいては、一対のソース・ドレイン電極であるソース・ドレイン電極 1 4 1 a、1 4 2 a は、図 1 に示すように対向するチャンネル幅方向の両端部 P 1、P 2、P 3、P 4 が、チャンネル幅方向の中央近傍におけるチャンネル長以上の曲率半径で角を有さない曲線形状を呈するとともに、チャンネル幅方向において前記の両端部 P 1、P 2、P 3、P 4 を除いて略同一（チャンネル長のばらつきが $\pm 3 \mu\text{m}$ 以内であることが好ましい）のチャンネル長を有する。なお、ソース・ドレイン電極のチャンネル幅方向の両端部とは、ソース電極とドレイン電極との間に実質的に電流が流れる領域におけるチャンネル幅方向の両端部のことである。一般的には、ソース・ドレイン電極のチャンネル幅方向の両端部とは、ソース・ドレイン電極及びチャンネル層が互いに重畳する第 1 重畳領域と、ゲート電極及びチャンネル層が互いに重畳する第 2 重畳領域とがチャンネル幅方向に沿って配置されている場合、第 1 及び第 2 重畳領域の双方が配置された領域におけるソース・ドレイン電極のチャンネル幅方向の両端部のことをいう。

20

【0022】

このトランジスタのチャンネル層 1 3 における電流密度を図 3 に示す。図 3 においても、図 1 0 と同様に外側の曲線に囲まれた領域ほど電流密度が低くなっていることを示す。図 3 に示すように、従来の薄膜トランジスタのチャンネル層における電流密度（図 1 0 参照）と比較して、前記のソース・ドレイン電極 1 4 1 a、1 4 2 a の両端部 P 1、P 2、P 3、P 4 に電流密度の過度に高い領域がなく、電流集中が緩和されているのが分かる。薄膜トランジスタのチャンネル層では、角を有する部分に電流集中が起こり、電流密度が過度に高くなる。

30

【0023】

そこで、本実施の形態にかかる薄膜トランジスタにおいては、一対のソース・ドレイン電極であるソース・ドレイン電極 1 4 1 a、1 4 2 a の対向するチャンネル幅方向の両端部 P 1、P 2、P 3、P 4 の形状を、チャンネル幅方向の中央近傍におけるチャンネル長以上の曲率半径で角を有さない曲線形状とする。これにより、チャンネル層 1 3 における P 1、P 2、P 3、P 4 の部位の電流集中を緩和することができる。そして、この部分のチャンネル層 1 3 における電流集中を緩和することにより、チャンネル層 1 3 における P 1、P 2、P 3、P 4 の部位の部分的な電導性の経年劣化を緩和することができる。

40

【0024】

また、本実施の形態にかかる薄膜トランジスタにおいては、チャンネル幅方向において前記の両端部 P 1、P 2、P 3、P 4 を除いて略同一のチャンネル長を有する。これにより、電流密度を均一にすることができ、チャンネル層 1 3 内の導電性の劣化速度のばらつきを緩和することができる。

【0025】

50

また、本実施の形態にかかる薄膜トランジスタは、ソース・ドレイン電極141a、142aにおける両端部P1、P2、P3、P4の形状のみを、チャンネル幅方向の中央近傍におけるチャンネル長以上の曲率半径で角を有さない曲線形状としているため、広い領域を必要とせず、狭い領域においても形成が可能である。

【0026】

したがって、本実施の形態にかかる薄膜トランジスタによれば、ソース・ドレイン電極141a、142aのパターンを変更するといった簡単な手法によりチャンネル層13内における部分的な電流集中を緩和し、これによりチャンネル層内の導電性の劣化速度のばらつきを緩和した耐久性および高精度動作に優れた薄膜トランジスタを実現可能である。

【0027】

また、本実施の形態にかかる薄膜トランジスタでは、一对のソース・ドレイン電極141a、142aが略長方形を呈し、前記のP1、P2、P3、P4部の曲線形状の一端がソース・ドレイン電極11aの短辺を起点とし、一方、前記のP1、P2、P3、P4部の曲線形状の他端がソース・ドレイン電極141aの長辺を起点としている。そして、ソース・ドレイン電極141a、142aの長辺と短辺との仮想交点（たとえば、図1に示すP1'）と曲線形状の他端との間の距離Lがチャンネル幅方向のチャンネル中央近傍におけるチャンネル長の2倍以下とされている。これにより、ソース・ドレイン電極141a、142aの両端部に曲線形状を設けることによるチャンネル幅の減少を良好に抑制することができる。

【0028】

なお、このようなソース・ドレイン層14は、ソース・ドレイン層14の形状パターンの変更により実現できるため、既存の製造工程や部材に大きな影響を及ぼすことなく実現することができる。

【0029】

つぎに、上述した本実施の形態にかかる薄膜トランジスタの製造方法について説明する。まず、図4-1に示すように、ガラス等の基板10上にゲート層11を形成するための金属層11'を形成する。金属層11'は、タンタル（Ta）、チタン（Ti）、アルミニウム（Al）、クロム（Cr）、銅（Cu）などの単層または多層の金属をスパッタリング法などにより堆積して形成される。つぎに、図4-1に示すようにレジスト21を塗布し、図4-2に示すようにパターンニングする。

【0030】

つぎに、パターンニングしたレジスト21をマスクに用いて金属層11'のエッチングを行って図4-3に示すようにゲート層11を形成し、レジスト21を除去する。図4-4にレジスト除去後の状態を示す。つぎに、図4-5に示すようにゲート絶縁膜12としてシリコン窒化膜12、第1チャンネル層13a用のアモルファスシリコン膜（真性半導体膜）13a'、第2チャンネル層13b用のドーパアモルファスシリコン膜（ドーパ半導体膜）13b'をこの順で基板10上およびゲート層11上に形成する。シリコン窒化膜12'は、たとえばプラズマCVD法またはスパッタリング法などによって単層または多層に形成することができる。また、アモルファスシリコン膜（真性半導体膜）13a'およびドーパアモルファスシリコン膜（ドーパ半導体膜）13b'はたとえばプラズマCVD法によって形成することができる。

【0031】

つぎに、図4-5に示すようにレジスト22を塗布し、図4-6に示すようにパターンニングする。そして、パターンニングしたレジスト22をマスクに用いて第2チャンネル層13b用のドーパアモルファスシリコン膜（ドーパ半導体膜）13b'および第1チャンネル層13a用のアモルファスシリコン膜（真性半導体膜）13a'のエッチングを行って図4-7に示すように第1チャンネル層（真性半導体層）13aと第2チャンネル層（ドーパ半導体層）13bとを形成し、レジスト22を除去する。図4-8にレジスト除去後の状態を示す。

【0032】

10

20

30

40

50

つぎに、図４－９に示すようにソース・ドレイン層１４用の金属層１４'を堆積し、レジスト２３を塗布し、図４－１０に示すようにレジスト２３をパターニングする。この金属層は、たとえばスパッタリング法などによって形成することができ、アルミニウム、チタン、珪化モリブデン、ITO等を単層または多層に堆積して形成することができる。そして、パターニングしたレジスト２３をマスクに用いて図４－１１に示すように金属層１４'のエッチングを行ってソース・ドレイン層１４を形成する。このとき、図１に示すようにソース・ドレイン層１４の端部Ｐ１、Ｐ２、Ｐ３、Ｐ４を曲線形状に形成する。さらに図４－１２に示すように第２チャンネル層（ドープ半導体層）１３bのエッチングを行ってパターニングをし、レジスト２３を除去する。図４－１３にレジスト除去後の状態を示す。以上により、図１および図２に示した本実施の形態にかかる薄膜トランジスタが完成する。 10

【００３３】

なお、たとえば特開２００５－７２１３５号公報にはソース・ドレイン電極の形状を変化させた薄膜トランジスタが示されているが、本発明は以下の点で大きく異なるものである。同文献に示された薄膜トランジスタは光リークを軽減するためチャンネル端におけるチャンネル長を大きくするものであるが、同文献に示された薄膜トランジスタは本発明の目的を満足するものではない。すなわち、同文献の図１の薄膜トランジスタはソース・ドレイン電極の端に１３５°前後の頂点があり、この頂点で電流集中が起きる。また、図５の薄膜トランジスタはチャンネル中央のチャンネル長が均一でないため、電流密度が不均一になる。また、図１０、図１１、図１２、図１３の薄膜トランジスタは直角の頂点を有しており、この頂点で電流集中が起きる。したがって、これらの薄膜トランジスタでは、本発明の効果を得られるものではない。 20

【００３４】

実施の形態２．

実施の形態２においては、本発明にかかる薄膜トランジスタの変形例について説明する。図５は、本発明の実施の形態２にかかる薄膜トランジスタの構成を示す図であり、バックチャンネルカット（ＢＣＣ）型の薄膜トランジスタの要部上面図である。本実施の形態にかかる薄膜トランジスタの基本構成は、上述した実施の形態１にかかる薄膜トランジスタと同様であるため、同じ部材については図１と同じ符号を付すことでここでは詳細な説明は省略する。 30

【００３５】

本実施の形態にかかる薄膜トランジスタが実施の形態１にかかる薄膜トランジスタと異なる点は、ソース・ドレイン電極１４１a、１４２aのうち、ソース電極とドレイン電極との間に実質的に電流が流れる領域、すなわちソース・ドレイン電極１４１a、１４２aがチャンネル層と重なる領域において対向するチャンネル幅方向の両端部Ｐ３、Ｐ４が、両端部Ｐ１、Ｐ２の曲率半径よりも大とされた凹形状とされている点である。

【００３６】

本発明においては、チャンネル層上のソース・ドレイン電極の曲率半径がチャンネル長以上であれば良く、チャンネル幅方向の両端でチャンネル長が大きい必要はなく、またソース・ドレイン電極形状が凸形状である必要もない。ただし、チャンネル幅方向における両端でのチャンネル長がチャンネル幅方向中央でのチャンネル長より小さくなることは、電流密度が高くなることにつながるので好ましくない。 40

【００３７】

したがって、本実施の形態にかかる薄膜トランジスタにおいても上述した実施の形態１にかかる薄膜トランジスタと同様の効果を得ることができる。

【００３８】

実施の形態３．

実施の形態３では、上述した本発明にかかる薄膜トランジスタを適用した画像表示装置について説明する。図６は、上述した本発明を適用した薄膜トランジスタ（n-MISFET TFT）を用いて構成した有機EL表示装置の１画素に対応する画素回路の構成を 50

示す図である。同図において、画素回路は、注入電流に応じた輝度で発光する発光手段として有機EL素子OLEDを、発光手段である有機EL素子OLEDへの注入電流を制御する制御手段として有機EL素子容量Col ed、駆動トランジスタTd、閾値電圧検出用トランジスタTth、補助容量Cs、スイッチングトランジスタTsおよびスイッチングトランジスタTmを、備えて構成されている。

【0039】

有機EL素子OLEDは、閾値電圧以上の電位差（アノードーカソード間電位差）が生じることにより、電流が流れ、発光する特性を有する素子である。具体的には、有機EL素子OLEDは、Al、Cu、ITO（Indium Tin Oxide）等によって形成されたアノード層およびカソード層と、アノード層とカソード層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯体等の有機系の材料によって形成された発光層とを少なくとも備えた構造を有し、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する。有機EL素子容量Col edは、有機EL素子OLEDの容量を等価的に表したものである。

10

【0040】

駆動トランジスタTdは、ゲート電極・ソース電極間に与えられる電位差に応じて有機EL素子OLEDに流れる電流量を制御するためのものである。また閾値電圧検出用トランジスタTthは、オン状態となった時に、駆動トランジスタTdのゲート電極とドレイン電極とを電氣的に接続し、駆動トランジスタTdのゲート電極・ソース電極間の電位差が駆動トランジスタTdの閾値電圧Vthとなるまで駆動トランジスタTdのゲート電極からドレイン電極に向かって電流を流すことにより、駆動トランジスタTdの閾値電圧Vthを検出する機能を有している。

20

【0041】

駆動トランジスタTd、閾値電圧検出用トランジスタTth、スイッチングトランジスタTsおよびスイッチングトランジスタTmは、薄膜トランジスタである。そして、有機EL素子OLEDに直接接続されて該有機EL素子OLEDの駆動を制御する駆動トランジスタTdに関しては、上述した本発明にかかる薄膜トランジスタを用いている。

【0042】

電源線110は、駆動トランジスタTdおよびスイッチングトランジスタTmに電源を供給する。Tth制御線111は、閾値電圧検出用トランジスタTthを制御するための信号を供給する。マージ線112は、スイッチングトランジスタTmを制御するための信号を供給する。走査線113は、スイッチングトランジスタTsを制御するための信号を供給する。画像信号線114は、画像信号を供給する。

30

【0043】

上記構成において、画素回路は、準備期間、閾値電圧検出期間、書き込み期間および発光期間という4つの期間を経て動作する。すなわち、準備期間では、電源線110には所定の正電位（ V_p 、 $V_p > 0$ ）が引加され、閾値電圧検出用トランジスタTthがオフ、スイッチングトランジスタTsがオフ、駆動トランジスタTdがオン、スイッチングトランジスタTmがオンとなるように制御される。その結果、電源線110→駆動トランジスタTd→有機EL素子容量Col edという経路で電流が流れ、有機EL素子容量Col edに電荷が蓄積される。

40

【0044】

つぎの閾値電圧検出期間では、電源線110にはゼロ電位が印加され、閾値電圧検出用トランジスタTthがオンとなるように制御され、駆動トランジスタTdのゲートとドレインとが接続される。これにより、補助容量Csおよび有機EL素子容量Col edに蓄積された電荷が放電され、駆動トランジスタTd→電源線110という経路で電流が流れる。そして、駆動トランジスタTdのゲートドレイン間の電位差が、駆動トランジスタTdの駆動閾値に対応する閾値電圧Vthに達すると、駆動トランジスタTdがオフとされる。

【0045】

50

つぎの書き込み期間では、電源線 110 の電位はゼロ電位を維持し、スイッチングトランジスタ T_s がオン、スイッチングトランジスタ T_m がオフとなり、有機 EL 素子容量 C_{oled} に蓄積された電荷が放電される。その結果、有機 EL 素子容量 $C_{oled} \rightarrow$ 閾値電圧検出用トランジスタ $T_{th} \rightarrow$ 補助容量 C_s という経路で電流が流れ、補助容量 C_s に電荷が蓄積される。すなわち、有機 EL 素子容量 C_{oled} に蓄積された電荷は、補助容量 C_s に移動する。

【0046】

つぎの発光期間では、電源線 110 には所定の負電位 ($-V_{DD}$ 、 $V_{DD} > 0$) が引加され、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_s がオフとなるように制御される。その結果、有機 EL 素子 $OLED \rightarrow$ 駆動トランジスタ $T_d \rightarrow$ 電源線 110 という経路で電流が流れ、有機 EL 素子 $OLED$ が発光する。

10

【0047】

以上のような本実施の形態にかかる有機 EL 表示装置においては、駆動トランジスタ T_d に本発明にかかる薄膜トランジスタを用いているため、省スペース化（小型化）を実現するとともに、電流集中に起因したチャンネル層の部分的な経年劣化を緩和した耐久性と高精度動作に優れた有機 EL 表示装置が実現されている。

【0048】

ここで、本実施の形態にかかる有機 EL 表示装置においては、駆動トランジスタ T_d のみに限定して、本発明にかかる薄膜トランジスタを用いている。本発明にかかる薄膜トランジスタは、実質的に電流が流れる領域におけるソース・ドレイン電極の端部の形状を、曲線により構成するため、わずかであるがチャンネル幅が必要最少寸法よりも大きくなる。したがって、有機 EL 表示装置に用いるすべての薄膜トランジスタに本発明にかかる薄膜トランジスタを用いた場合には、薄膜トランジスタの使用領域が多少大きくなる虞がある。

20

【0049】

そこで、極力画素領域を省スペース化（小型化）したい場合には、電流集中によるチャンネル層の劣化が直接画像表示に悪影響を及ぼす駆動トランジスタ T_d のみに限定して、本発明にかかる薄膜トランジスタを用いることが好ましい。これにより、本実施の形態にかかる有機 EL 表示装置のように、小型化を実現するとともに、電流集中に起因したチャンネル層の部分的な経年劣化を緩和した耐久性と高精度動作に優れた有機 EL 表示装置を実現することができる。なお、有機 EL 表示装置に備える他の薄膜トランジスタに本発明にかかる薄膜トランジスタを適用することも可能である。

30

【0050】

なお、本発明は上述の実施形態に限定されるものではなく、本発明の範囲を逸脱しない範囲内で種々の変更・改良が可能である。例えば、上述の実施形態においては、本発明を、ゲート電極がソース・ドレイン電極よりも基板側に位置するボトム・ゲート構造の薄膜トランジスタに適用した場合について説明したが、これに代えて、図 8 に示すように、ソース・ドレイン電極がゲート電極よりも基板側に位置するトップ・ゲート構造の薄膜トランジスタに適用しても良い。

40

【産業上の利用可能性】

【0051】

以上のように、本発明にかかる薄膜トランジスタは、画像表示装置の小型化された画素の駆動用に有用であり、特に、耐久性と高精度動作が要求される用途に適している。

【図面の簡単な説明】

【0052】

【図 1】本発明の実施の形態 1 にかかるバックチャンネルカット（BCC）型の薄膜トランジスタの要部上面図である。

【図 2】図 1 の線分 A-A における断面図であり、本発明の実施の形態 1 にかかる薄膜トランジスタのチャンネル長方向における要部断面図である。

50

【図 3】本発明の実施の形態 1 にかかる薄膜トランジスタのチャネル層における電流密度を示す特性図である。

【図 4-1】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-2】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-3】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-4】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-5】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-6】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-7】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-8】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-9】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-10】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-11】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-12】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 4-13】本発明の実施の形態 1 にかかる薄膜トランジスタの製造工程を説明する要部断面図である。

【図 5】本発明の実施の形態 2 にかかるバックチャネルカット（BCC）型の薄膜トランジスタの要部上面図である。

【図 6】本発明の実施の形態 3 にかかる有機 EL 表示装置の 1 画素に対応する画素回路の構成を示す図である。

【図 7】本発明の他の実施形態にかかる薄膜トランジスタの断面図である。

【図 8】従来の薄膜トランジスタの要部上面図である。

【図 9】従来の薄膜トランジスタの要部断面図である。

【図 10】従来の薄膜トランジスタのチャネル層における電流密度を示す特性図である。

【符号の説明】

【0053】

10 基板

11 ゲート層

11a ゲート電極

11b 配線

12 ゲート絶縁膜

13 チャネル層

13a 第 1 チャネル層（真性半導体層）

13b 第 2 チャネル層（ドープ半導体層）

14 ソース・ドレイン層

110 電源線

111 制御線

112 マージ線

10

20

30

40

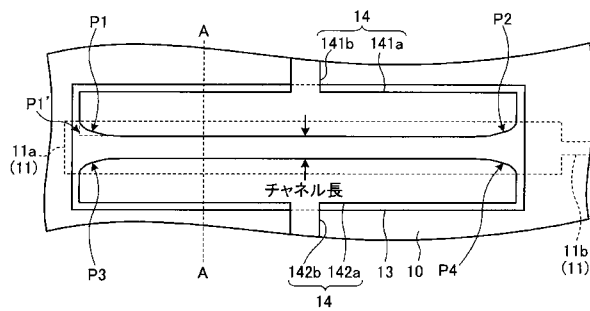
50

1 1 3 走査線
 1 1 4 画像信号線
 1 4 1 a ソース・ドレイン電極
 1 4 1 b 配線
 1 4 2 b ソース・ドレイン電極
 1 4 2 b 配線
 2 0 0 基板
 2 0 1 ゲート層
 2 0 2 絶縁膜
 2 0 3 チャンネル層
 2 0 3 b チャンネル層
 2 0 3 チャンネル層
 2 0 3 該チャンネル層
 2 0 4 ソース・ドレイン層
 C o l e d 素子容量
 C s 補助容量
 E L 有機
 O L E D 素子
 T d 駆動トランジスタ
 T m スイッチングトランジスタ
 T s スイッチングトランジスタ
 T t h 閾値電圧検出用トランジスタ
 V t h 閾値電圧

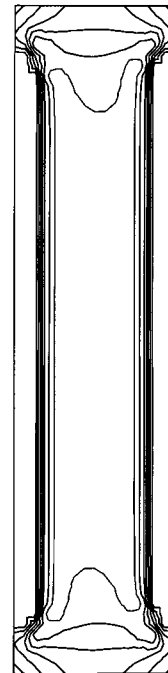
10

20

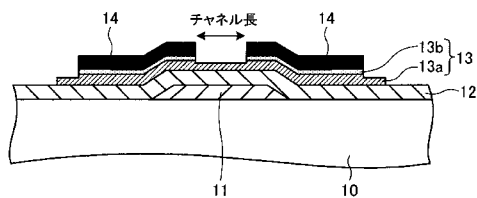
【図 1】



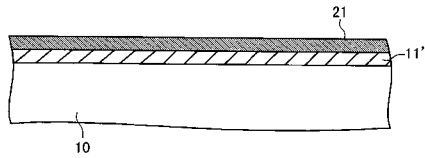
【図 3】



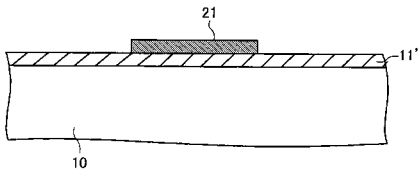
【図 2】



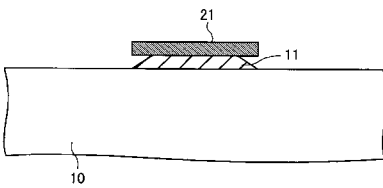
【図 4 - 1】



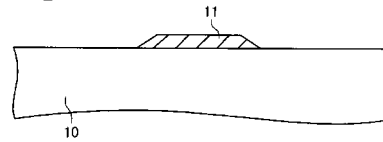
【図 4 - 2】



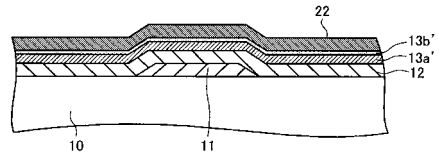
【図 4 - 3】



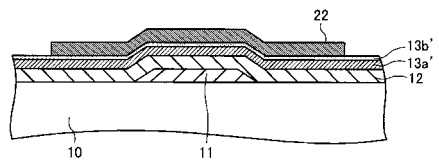
【図 4 - 4】



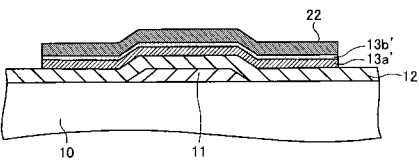
【図 4 - 5】



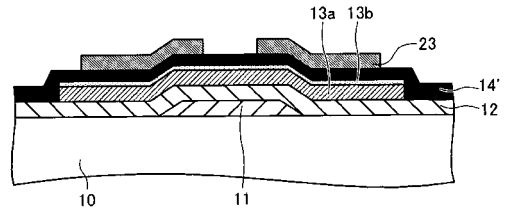
【図 4 - 6】



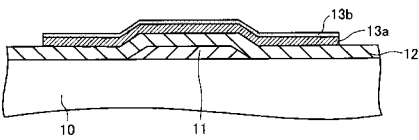
【図 4 - 7】



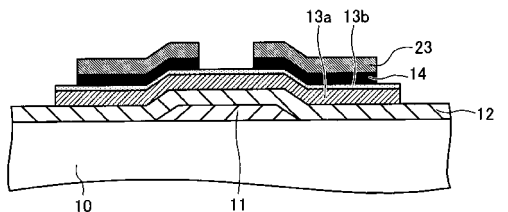
【図 4 - 10】



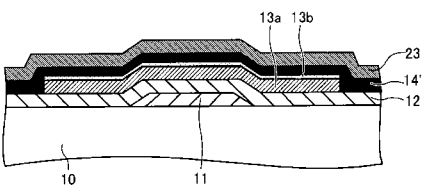
【図 4 - 8】



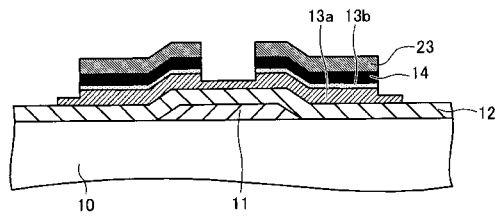
【図 4 - 11】



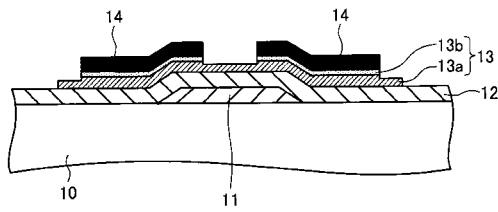
【図 4 - 9】



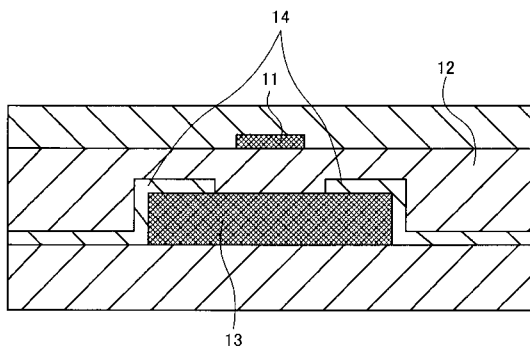
【図 4 - 1 2】



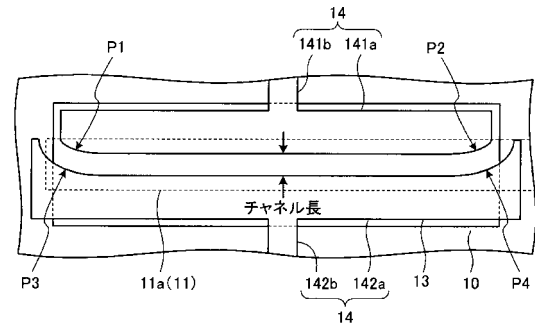
【図 4 - 1 3】



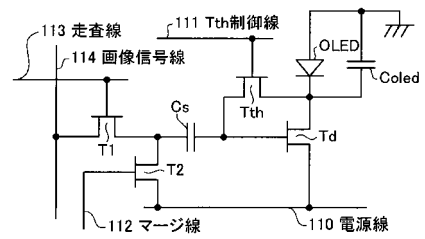
【図 7】



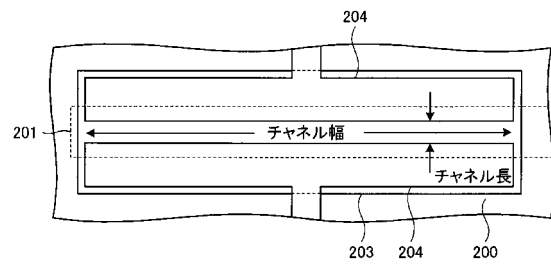
【図 5】



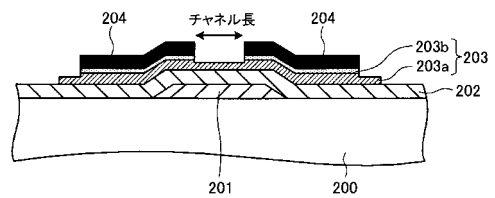
【図 6】



【図 8】



【図 9】



【図 10】

